



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.
G02F 1/1345 (2006.01)

(11) 공개번호 10-2007-0048973
(43) 공개일자 2007년05월10일

(21) 출원번호 10-2005-0106105
(22) 출원일자 2005년11월07일
심사청구일자 없음

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 전민두
서울 광진구 중곡3동 174-1번지
윤수영
경기 고양시 덕양구 행신2동 무원마을 10단지 서광아파트 1010동802호

(74) 대리인 특허법인네이트

전체 청구항 수 : 총 14 항

(54) 액정표시장치 및 이의 제조방법

(57) 요약

본 발명은 게이트드라이버의 일부 또는 전부가 기판 상에 실장되는 액정표시장치 및 이의 제조방법에 관한 것이다.

구체적으로 본 발명은 제 1 기판과; 상기 제 1 기판 상에 제 1 방향으로 배열된 제 1 및 제 2 라인과; 상기 제 1 기판 상에 상기 제 1 방향과 교차하는 제 2 방향으로 배열된 제 3 및 제 4 라인과; 상기 제 1 기판의 제 1 가장자리로 실장되고, 상기 제 1 라인이 접속되는 제 1 게이트드라이버와; 상기 제 1 기판의 상기 제 1 가장자리와 인접한 제 2 가장자리 외측으로 구비되고, 상기 제 3 라인이 접속되는 데이터드라이버와; 상기 제 1 기판의 외측으로 구비되고, 상기 제 4 라인이 접속되는 제 2 게이트드라이버와; 상기 제 1 기판 상에 상기 제 2 라인과 제 4 라인을 일대일 대응 연결하는 연결라인을 포함하는 액정표시장치 및 이의 제조방법을 제공한다.

이러한 본 발명에 따른 액정표시장치는 외부의 구동회로부와 상기 제 1 게이트드라이버를 연결하기 위해서, 상기 제 1 게이트드라이버 외측의 상기 제 1 기판의 제 1 가장자리를 따라 배열되는 제 1 버스라인의 수량감소를 통해 실장면적을 줄이는 효과가 있다.

대표도

도 4

특허청구의 범위

청구항 1.

제 1 기판과;

상기 제 1 기판 상에 제 1 방향으로 배열된 제 1 및 제 2 라인과;

상기 제 1 기판 상에 상기 제 1 방향과 교차하는 제 2 방향으로 배열된 제 3 및 제 4 라인과;

상기 제 1 기판의 제 1 가장자리로 실장되고, 상기 제 1 라인이 접속되는 제 1 게이트드라이버와;

상기 제 1 기판의 상기 제 1 가장자리와 인접한 제 2 가장자리 외측으로 구비되고, 상기 제 3 라인이 접속되는 데이터드라이버와;

상기 제 1 기판의 외측으로 구비되고, 상기 제 4 라인이 접속되는 제 2 게이트드라이버와;

상기 제 1 기판 상에 상기 제 2 라인과 제 4 라인을 일대일 대응 연결하는 연결라인

을 포함하는 액정표시장치.

청구항 2.

제 1 항에 있어서,

상기 연결라인과의 연결지점 이후의 상기 제 4 라인을 전기적으로 단선시키는 오픈부

를 더욱 포함하는 액정표시장치.

청구항 3.

제 1항에 있어서,

상기 제 2 게이트드라이버는 상기 제 1 기판의 상기 제 2 가장자리 외측으로 구비되는 액정표시장치.

청구항 4.

제 3항에 있어서,

상기 제 2 게이트드라이버와 데이터드라이버가 함께 탑재되는 PCB와;

상기 PCB를 상기 제 1 기판의 제 2 가장자리로 연결하는 TCP

를 더욱 포함하는 액정표시장치.

청구항 5.

제 1항에 있어서,

상기 제 1 기판은 각각,

상기 제 1 및 제 2 라인과 상기 제 3 라인이 교차되는 내부의 표시영역과;

상기 제 1 및 제 2 라인과 상기 제 4 라인이 교차되고, 상기 연결라인이 위치되는 상기 표시영역 가장자리의 더미영역과;
상기 제 1 게이트드라이버가 위치되는 상기 더미영역 가장자리의 비표시영역으로 구분되는 액정표시장치.

청구항 6.

제 5항에 있어서,

상기 더미영역에 위치되고, 상기 제 1 기관 상에 상기 제 1 방향으로 배열되는 제 5 라인

을 더욱 포함하는 액정표시장치.

청구항 7.

제 5항에 있어서,

상기 제 1 기관 외부에 마련된 구동회로부와;

상기 비표시영역 중 상기 제 1 게이트드라이버 외측의 상기 제 1 가장자리로 배열되고, 상기 구동회로부와 상기 제 1 게이트드라이버를 연결하는 제 1 버스라인과;

상기 제 1 기관 외부에서 상기 구동회로부와 상기 제 2 게이트드라이버를 연결하는 제 2 버스라인

을 더욱 포함하는 액정표시장치.

청구항 8.

제 5항에 있어서,

상기 제 1 및 제 2 라인과 상기 제 3 라인의 교차에 의해 정의되는 화소와;

상기 각 화소에 실장되는 투명 화소전극과;

상기 제 1 및 제 2 라인과 상기 제 3 라인의 교차점에 형성되며, 각각 반도체층, 상기 제 1 또는 제 2 라인에 연결되는 게이트전극, 상기 제 3 라인에 연결되는 소스전극, 상기 화소전극에 연결되는 드레인전극을 구비한 박막트랜지스터

를 더욱 포함하는 액정표시장치.

청구항 9.

제 8항에 있어서,

상기 반도체층은 비정질실리콘인 액정표시장치.

청구항 10.

제 8항에 있어서,

액정층과;

상기 액정층을 사이에 두고 상기 제 1 기판과 대면되는 제 2 기판과;

상기 제 2 기판 내면에 형성되고, 상기 각 화소전극을 노출시키면서 상기 박막트랜지스터, 상기 제 1 및 제 2 라인, 상기 제 4 라인을 가리는 내측의 격자부 그리고 상기 더미영역을 가리는 외측의 테두리부를 포함하는 블랙매트릭스와;

상기 각 격자부에 충전되는 컬러필터와;

상기 블랙매트릭스 및 컬러필터를 덮는 공통전극

을 더욱 포함하는 액정표시장치.

청구항 11.

a) 표시영역과, 상기 표시영역 가장자리의 더미영역과, 상기 더미영역 가장자리의 비표시영역으로 구분 정의된 제 1 기판을 구비하는 단계와;

b) 상기 제 1 기판 상의 상기 표시영역에서 제 1 방향으로 배열되는 제 1 및 제 2 라인과, 상기 제 1 기판 상의 제 1 가장자리 측 상기 비표시영역에서 상기 제 1 라인이 접속되는 제 1 게이트드라이버와, 상기 제 1 기판 상의 상기 표시영역에서 상기 제 1 방향과 교차되는 제 2 방향으로 배열되는 제 3 라인과, 상기 제 1 기판 상의 상기 더미영역에서 상기 제 2 방향으로 배열되는 제 4 라인을 각각 형성하는 단계와;

c) 상기 제 1 기판 외측으로 각각 데이터드라이버와 제 2 게이트드라이버를 구비하여, 상기 제 3 라인을 상기 데이터드라이버에 접속시키고, 상기 제 4 라인을 상기 제 2 게이트드라이버에 접속시키는 단계와;

d) 상기 더미영역에서 상기 제 2 라인과 상기 제 4 라인을 일대일 대응 연결하는 연결라인을 형성하는 단계

를 포함하는 액정표시장치의 제조방법.

청구항 12.

제 11항에 있어서,

상기 d) 단계 이후, 상기 연결라인과의 연결지점 이후의 상기 제 4 라인을 전기적으로 단선시키는 단계

를 더욱 포함하는 액정표시장치의 제조방법.

청구항 13.

제 11항에 있어서,

상기 b) 단계는, 상기 제 1 및 제 2 라인과 상기 제 3 라인의 교차에 의해 정의된 각 화소 내에 투명 화소전극을 형성하고, 상기 제 1 및 제 2 라인과 상기 제 3 라인의 교차점으로 각각 반도체층, 상기 제 1 또는 제 2 라인에 연결된 게이트전극, 상기 제 3 라인에 연결된 소스전극, 상기 화소전극에 연결된 드레인전극을 구비한 박막트랜지스터를 형성하는 단계

를 더욱 포함하는 액정표시장치의 제조방법.

청구항 14.

제 13항에 있어서,

e) 상기 제 1 기판과 대면되는 제 2 기판을 구비하여, 상기 제 2 기판 내면으로 상기 각 화소전극을 노출시키면서 상기 박막트랜지스터, 상기 제 1 및 제 2 라인, 상기 제 3 라인을 가리는 내측의 격자부 그리고 상기 더미영역을 가리는 외측의 테두리부를 포함하는 블랙매트릭스와, 상기 각 격자부에 충전된 컬러필터와, 상기 블랙매트릭스 및 컬러필터를 덮는 투명 공통전극을 형성하는 단계와;

f) 상기 제 1 및 제 2 기판 사이로 액정층을 개재하여 대면 합착시키는 단계

를 더욱 포함하는 액정표시장치의 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치(Liquid Crystal Display device) 및 이의 제조방법에 관한 것으로, 보다 구체적으로는 게이트드라이버(gate driver)의 일부 또는 전부가 기판(substrate) 상에 실장된 액정표시장치 및 이의 제조방법에 관한 것이다.

근래의 본격적인 정보화 시대에 발맞추어 디스플레이(display) 분야 또한 급속도로 발전해 왔고, 이에 부응해서 박형화, 경량화, 저소비전력화 장점을 지닌 여러 가지 평판표시장치(Flat Panel Display device : FPD)가 소개되어 기존의 브라운관(Cathode Ray Tube : CRT)을 빠르게 대체하고 있다. 이들 평판표시장치의 몇 가지 예로는 액정표시장치(Liquid Crystal Display device : LCD), 플라스마표시장치(Plasma Display Panel device : PDP), 전기발광표시장치(Electro luminescence Display device : ELD), 전계방출표시장치(Field Emission Display device : FED) 등을 들 수 있고, 이 중에서도 액정표시장치는 동화상 표시에 우수하고 콘트라스트비(contrast ratio)가 큰 특징을 보여 노트북, 모니터, TV 등의 분야에서 활발하게 이용되고 있다.

이러한 액정표시장치는 액정 고유물성인 광학적 이방성(optical anisotropy)과 분극(polarization) 성질을 이용한 화상구현원리를 나타내는바, 주지된 내용으로써 액정은 분자구조가 가늘고 길며 배열에 방향성을 갖는 광학적 이방성과 전기장 내에 놓일 경우에 그 크기에 따라 분자 배열방향이 변화되는 분극성질을 띤다.

이에 액정표시장치는 서로 마주보는 면에 투명 전계생성전극이 형성된 한 쌍의 기판 사이로 액정층을 개재해서 대면 합착시킨 액정패널(liquid crystal panel) 그리고 여기에 빛을 공급하는 백라이트(back light)를 필수적인 구성요소로 하며, 액정패널의 두 전계생성전극 사이의 전기장으로 액정분자의 배열방향을 인위적으로 조절해서 투과율의 차이를 발생시키고, 백라이트로부터 출사된 빛을 이용하여 상기 투과율 차이를 외부로 투영시켜 목적하는 화상을 표시한다.

최근에는 액정패널에 화상표현의 기본단위인 화소(pixel)를 행렬로 배열하고 박막트랜지스터(Thin Film Transistor : TFT)와 같은 스위칭소자로 각각을 개별 제어하는 능동행렬방식(Active Matrix type)이 색 재현성과 동영상 표시에 뛰어나 널리 이용되는데, 도 1은 일반적인 능동행렬방식 액정패널(2)의 일부를 간략하게 나타낸 모식도이고, 도 2는 이의 단위 화소에 대한 등가회로도이다.

보이는 것과 같이 일반적인 액정패널(2)은 액정층을 사이에 두고 제 1 및 제 2 기판(10,20)이 대면 합착된 형태를 나타내는데, 이중 제 1 기판(10)의 내면으로는 서로 교차되는 방향으로 배열된 복수의 제 1 및 제 2 라인(12,16)에 의해 화소(P)가 정의되고, 이들의 교차점마다 박막트랜지스터(T)가 구비되어 각 화소(P)에 실장된 투명 화소전극(미도시)과 일대일 대응 접속되어 있다. 이때 박막트랜지스터(T)는 제 1 라인(12)에 연결된 게이트전극(G), 제 2 라인(16)에 연결된 소스전극(S), 화소전극에 연결된 드레인전극(D) 그리고 전류의 이동통로인 반도체층을 포함한다.

또한 이와 마주보는 제 2 기판(20) 내면으로는 각 화소에 대응되는 컬러필터(color filter : 임의로 R(Red), G(Green), B(Blue))와, 이들의 사이간격을 메우는 블랙매트릭스(black matrix : 22) 그리고 이들 모두를 덮는 투명 공통전극(미도시)이 구비되고, 그 결과 액정층을 사이에 두고 대면된 화소전극과 공통전극은 액정캐패시터(C_{LC})를 이루게 된다. 이때 도 2의 미설명 부호 Cst는 화질개선을 위해 액정캐패시터(C_{lc})와 병렬 연결되는 보조용량으로서 스토리지캐패시터(storage capacitor)를 나타내고 있다.

그리고 이 같은 일반적인 액정패널(2)은 제 1 라인(12)으로 스캔(scan) 인가되며 박막트랜지스터(T)의 온/오프(on/off) 제어 신호가 담긴 주사신호와, 제 2 라인(16)으로 인가되며 실질적인 액정구동신호가 담긴 화상신호를 통해 목적하는 화상을 표시하는데, 주사신호에 의해 각각의 제 1 라인(12) 별로 선택된 박막트랜지스터(T)가 온(on) 되면 제 2 라인(16)의 화상신호가 해당 화소전극으로 인가되고, 상기 화소전극과 공통전극 사이의 전압차로 인해 액정이 구동된다.

이를 위해 다수의 제 1 라인(12)은 게이트드라이버(32)에 접속되어 주사신호를 전달받고, 다수의 제 2 라인(16)은 데이터드라이버(34)에 접속되어 화상신호를 전달받는다.

한편, 일반적인 액정패널(2)에 있어서 박막트랜지스터(T)의 반도체층은 비정질실리콘(amorphous silicon : a-Si) 또는 폴리실리콘(poly silicon : poly-Si)으로 이루어질 수 있고, 이중 비정질실리콘이 사용된 경우에 게이트드라이버(32)와 데이터드라이버(34)는 각각 제 1 기판(10) 외부로 별도 구비되어 TCP(Tape Carrier Package) 등을 매개로 제 1 및 제 2 라인(12,16)이 각각 접속되는 것이 일반적이지만, 최근 들어 비정질실리콘을 사용하면서도 게이트드라이버(32)의 일부 또는 전부를 제 1 기판(10) 내에 실장시키는 기술이 소개되어 제조단가의 절감 효과를 꾀하고 있다.

이에 도 1은 상기의 기술을 이용한 액정패널(2)에 대한 것으로, 게이트드라이버(32)가 제 1 기판(10)의 일측 가장자리로 실장되어 제 1 라인(12)이 직접 접속되는 반면, 데이터드라이버(34)는 별도의 PCB(40)에 탑재되어 TCP 등을 매개로 제 2 라인(16)이 접속되어 있다. 이때 제 1 기판(10)에 실장된 게이트드라이버(32)는 제 1 기판(10)의 제조공정 중에 완성되며, 외부 구동회로부에서 전달되는 각종 제어신호와 기준신호를 이용해서 주사신호를 생성 및 출력하는 것으로, 이를 위해 게이트드라이버(32) 외측의 제 1 기판(10) 가장자리로는 외부의 구동회로부에 접속되어 제어신호와 기준신호를 전달하는 많은 수의 버스라인(50)이 배열되어 있다.

또한 일반적인 액정패널(2)에 있어서 제 1 및 제 2 기판(10,20) 간의 여유 있는 합착 마진(margin)의 확보와 빗샘 현상을 방지하기 위해, 통상적으로 제 2 기판(20)의 블랙매트릭스(22)는 제 1 기판(10)의 비표시요소로서 박막트랜지스터(T)와 제 1 및 제 2 라인(12,16) 등을 가려 화소전극 만을 노출시키는 내측의 격자부(24) 그리고 제 2 기판(20)의 가장자리를 테두리해서 최 외곽에 위치한 2 내지 3 줄의 제 1 라인(14)과 2 내지 3 줄의 제 2 라인(18)을 가리는 테두리부(26)를 포함한다.

그 결과 액정패널(10)은 최외곽 가장자리로서 상술한 버스라인(50)과 게이트드라이버(32)를 비롯한 제 1 및 제 2 라인(12,16) 들의 끝단이 위치되는 비표시영역(L)과, 이의 내부 가장자리로서 블랙매트릭스(22)의 테두리부(26)에 의해 가려지며 2 내지 3 줄의 제 1 및 제 2 라인(14,18)이 위치되는 더미영역(M)과, 이의 내부에서 실질적으로 외부로 보여지는 화상이 구현되는 표시영역(N)으로 구분될 수 있다. 그리고 이 경우 통상적으로 제 1 라인(12)은 게이트라인 그리고 제 2 라인은 데이터라인(16)이라 불리고, 이들 각각에 있어서 더미영역(M) 내에 위치한 2 내지 3 줄의 제 1 라인(14)은 더미게이트라인 그리고 더미영역(M) 내에 위치한 2 내지 3 줄의 제 2 라인(16)은 더미데이터라인이라 불리기도 한다.

하지만, 이상에서 살펴본 일반적인 액정패널(2)은 면적활용도가 크게 떨어지는 단점을 나타내는데, 구체적으로는 비표시영역(L)이 차지하는 면적이 커서 전체면적 대비 표시영역(N)의 면적비율이 상대적으로 작아지는 단점을 나타낸다.

이의 가장 중요한 원인으로는, 게이트드라이버(32)를 제외하더라도, 버스라인(50)이 차지하는 영역이 지나치게 큰 것을 꼽을 수 있는데, 특히 게이트드라이버(32) 내에는 주사신호를 생성 및 출력하기 위한 시프트레지스터(shift resistor)가 제 1 라인(12)과 일대일 대응되게 다수로 마련되며, 버스라인(50)의 개수는 각각의 시프트레지스터로 전달되는 제어신호와 기준신호의 종류만큼 구분 할당됨을 감안하면, 버스라인(50)의 실장면적은 필연적으로 제 1 라인(12)의 수에 비례해서 증가된다.

특히, 최근 들어 평판표시장치의 대면적, 고화질화 경향에 따라 화소수가 급속도로 증가하는 추세임을 고려하면 액정패널(2) 내의 제 1 및 제 2 라인(12,16)에 대한 수량 또한 급격하게 증가되는바, 이에 따라 버스라인(50)의 수량증가와 실장면

적의 확대가 더욱 심화되고 있는데, 일례로 첨부된 도 3은 일반적인 액정패널(2)의 일부로서 도 1의 K로 표시한 부분에 대한 확대사진으로서, 게이트드라이버(32) 외측으로 버스라인(50)의 실장면적이 상당 비율을 차지하고 있음을 확인할 수 있다.

발명이 이루고자 하는 기술적 과제

이에 본 발명은 상기와 같은 문제점을 해결하기 위해 안출된 것으로, 게이트드라이버가 기판 내로 실장되는 경우에, 게이트드라이버 외측의 기판 가장자리를 따라 배열되는 버스라인의 실장면적을 최대한 줄임으로써 전체면적 대비 표시영역의 비율을 보다 증가시키는데 그 목적이 있다.

이를 위해 구체적으로 본 발명은 더미영역에 위치된 제 2 라인의 일부로서 더미데이터라인을 활용하고자 하는바, 본 발명의 또 다른 목적은 더미데이터라인의 구체적인 활용방도를 제시하여 액정표시장치의 효율성을 향상시키는데 있다.

발명의 구성

상기와 같은 목적을 달성하기 위하여, 본 발명은 제 1 기판과; 상기 제 1 기판 상에 제 1 방향으로 배열된 제 1 및 제 2 라인과; 상기 제 1 기판 상에 상기 제 1 방향과 교차하는 제 2 방향으로 배열된 제 3 및 제 4 라인과; 상기 제 1 기판의 제 1 가장자리로 실장되고, 상기 제 1 라인이 접속되는 제 1 게이트드라이버와; 상기 제 1 기판의 상기 제 1 가장자리와 인접한 제 2 가장자리 외측으로 구비되고, 상기 제 3 라인이 접속되는 데이터드라이버와; 상기 제 1 기판의 외측으로 구비되고, 상기 제 4 라인이 접속되는 제 2 게이트드라이버와; 상기 제 1 기판 상에 상기 제 2 라인과 제 4 라인을 일대일 대응 연결하는 연결라인을 포함하는 액정표시장치를 제공한다.

이때 상기 연결라인과의 연결지점 이후의 상기 제 4 라인을 전기적으로 단선시키는 오픈부를 더욱 포함하는 것을 특징으로 한다.

또한 상기 제 2 게이트드라이버는 상기 제 1 기판의 상기 제 2 가장자리 외측으로 구비되는 것을 특징으로 하며, 이 경우 상기 제 2 게이트드라이버와 데이터드라이버가 함께 탑재되는 PCB와; 상기 PCB를 상기 제 1 기판의 제 2 가장자리로 연결하는 TCP를 더욱 포함하는 것을 특징으로 한다.

또한 상기 제 1 기판은 각각, 상기 제 1 및 제 2 라인과 상기 제 3 라인이 교차되는 내부의 표시영역과; 상기 제 1 및 제 2 라인과 상기 제 4 라인이 교차되고, 상기 연결라인이 위치되는 상기 표시영역 가장자리의 더미영역과; 상기 제 1 게이트드라이버가 위치되는 상기 더미영역 가장자리의 비표시영역으로 구분되는 것을 특징으로 하고, 이 경우 상기 더미영역에 위치되고, 상기 제 1 기판 상에 상기 제 1 방향으로 배열되는 제 5 라인을 더욱 포함하는 것을 특징으로 한다.

그리고 이 경우 상기 제 1 기판 외부에 마련된 구동회로부와; 상기 비표시영역 중 상기 제 1 게이트드라이버 외측의 상기 제 1 가장자리로 배열되고, 상기 구동회로부와 상기 제 1 게이트드라이버를 연결하는 제 1 버스라인과; 상기 제 1 기판 외부에서 상기 구동회로부와 상기 제 2 게이트드라이버를 연결하는 제 2 버스라인을 더욱 포함하는 것을 특징으로 하며, 특히 상기 제 1 및 제 2 라인과 상기 제 3 라인의 교차에 의해 정의되는 화소와; 상기 각 화소에 실장되는 투명 화소전극과; 상기 제 1 및 제 2 라인과 상기 제 3 라인의 교차점에 형성되며, 각각 반도체층, 상기 제 1 또는 제 2 라인에 연결되는 게이트전극, 상기 제 3 라인에 연결되는 소스전극, 상기 화소전극에 연결되는 드레인전극을 구비한 박막트랜지스터를 더욱 포함하는 것을 특징으로 한다.

이때 상기 반도체층은 비정질실리콘인 것을 특징으로 하고, 또한 액정층과; 상기 액정층을 사이에 두고 상기 제 1 기판과 대면되는 제 2 기판과; 상기 제 2 기판 내면에 형성되고, 상기 각 화소전극을 노출시키면서 상기 박막트랜지스터, 상기 제 1 및 제 2 라인, 상기 제 4 라인을 가리는 내측의 격자부 그리고 상기 더미영역을 가리는 외측의 테두리부를 포함하는 블랙 매트릭스와; 상기 각 격자부에 충전되는 컬러필터와; 상기 블랙매트릭스 및 컬러필터를 덮는 공통전극을 더욱 포함하는 것을 특징으로 한다.

또한 본 발명은 a) 표시영역과, 상기 표시영역 가장자리의 더미영역과, 상기 더미영역 가장자리의 비표시영역으로 구분 정의된 제 1 기판을 구비하는 단계와; b) 상기 제 1 기판 상의 상기 표시영역에서 제 1 방향으로 배열되는 제 1 및 제 2 라인과, 상기 제 1 기판 상의 제 1 가장자리 측 상기 비표시영역에서 상기 제 1 라인이 접속되는 제 1 게이트드라이버와, 상기 제 1 기판 상의 상기 표시영역에서 상기 제 1 방향과 교차하는 제 2 방향으로 배열되는 제 3 라인과, 상기 제 1 기판 상의 상기 더미영역에서 상기 제 2 방향으로 배열되는 제 4 라인을 각각 형성하는 단계와; c) 상기 제 1 기판 외측으로 각각 테

이터드라이버와 제 2 게이트드라이버를 구비하여, 상기 제 3 라인을 상기 데이터드라이버에 접속시키고, 상기 제 4 라인을 상기 제 2 게이트드라이버에 접속시키는 단계와; d) 상기 더미영역에서 상기 제 2 라인과 상기 제 4 라인을 일대일 대응 연결하는 연결라인을 형성하는 단계를 포함하는 액정표시장치의 제조방법을 제공한다.

이때 상기 d) 단계 이후, 상기 연결라인과의 연결지점 이후의 상기 제 4 라인을 전기적으로 단선시키는 단계를 더욱 포함하는 것을 특징으로 하고, 상기 b) 단계는, 상기 제 1 및 제 2 라인과 상기 제 3 라인의 교차에 의해 정의된 각 화소 내에 투명 화소전극을 형성하고, 상기 제 1 및 제 2 라인과 상기 제 3 라인의 교차점으로 각각 반도체층, 상기 제 1 또는 제 2 라인에 연결된 게이트전극, 상기 제 3 라인에 연결된 소스전극, 상기 화소전극에 연결된 드레인전극을 구비한 박막트랜지스터를 형성하는 단계를 더욱 포함하는 것을 특징으로 하며, e) 상기 제 1 기관과 대면되는 제 2 기관을 구비하여, 상기 제 2 기관 내면으로 상기 각 화소전극을 노출시키면서 상기 박막트랜지스터, 상기 제 1 및 제 2 라인, 상기 제 3 라인을 가리는 내측의 격자부 그리고 상기 더미영역을 가리는 외측의 테두리부를 포함하는 블랙매트릭스와, 상기 각 격자부에 충전된 컬러필터와, 상기 블랙매트릭스 및 컬러필터를 덮는 투명 공통전극을 형성하는 단계와; f) 상기 제 1 및 제 2 기관 사이로 액정층을 개재하여 대면 합착시키는 단계를 더욱 포함하는 것을 특징으로 한다.

이하 도면을 참조하여 본 발명을 보다 상세하게 설명한다.

첨부된 도 4와 도 5는 각각 본 발명에 따른 액정표시장치의 액정패널(102)을 나타낸 도면으로서, 이중 도 4는 표시영역의 일부를 나타낸 분해사시도이고, 도 5는 이해를 돕기 위해 본 발명에 따른 액정패널(102)의 일 모서리 부분을 보인 모식도이다.

이들 도면을 참조하면, 본 발명에 따른 액정패널(102)은 액정층(200)을 사이에 두고 서로 대면 합착된 제 1 및 제 2 기관(110,140)을 포함하는바, 이중 제 1 기관(110) 위에는 임의의 제 1 방향을 따라 제 1 내지 제 3 라인(112,114,116)이 서로 나란하게 배열되어 있고, 이들과 전기적으로 절연된 상태로 상기 제 1 방향과 교차되는 제 2 방향을 따라 제 4 및 제 5 라인(122,124)이 서로 나란하게 배열되어 화소(P)를 정의하고 있다.

그리고 이들 제 1 내지 제 3 라인(112,114,116) 그리고 제 4 및 제 5 라인(122,124)의 교차점에는 박막트랜지스터(T)가 구비되어 각 화소(P)에 실장된 투명 화소전극(129)과 일대일 대응 연결되는데, 이들 박막트랜지스터(T)는 각각 전류의 이동통로를 제공하는 반도체층(119)과, 제 1 내지 제 3 라인(112,114,116) 중 하나와 연결된 게이트전극(G), 제 3 또는 제 4 라인(122,124)과 연결된 소스전극(S) 그리고 화소전극(129)에 연결된 드레인전극(D)을 포함한다.

이때 상기 반도체층(119)은 비정질실리콘으로 이루어질 수 있다.

다음으로 제 2 기관(140) 내면에는 블랙매트릭스(142)와 컬러필터(148) 그리고 공통전극(150)이 구비되는바, 이중 블랙매트릭스(142)는 화소(P)와 일대일 대응되어 각각의 화소전극(129)을 노출시키는 내측의 격자부(144) 그리고 제 2 기관(140)의 가장자리를 테두리하는 외측의 테두리부(146)를 포함하고, 이중 격자부(144)에는 각각 임의로 R(Red), G(Green), B(Blue) 컬러필터(148a,148b,148c)가 충전되며, 이들 블랙매트릭스(142)를 비롯한 컬러필터(148) 전체를 투명 공통전극(150)이 덮고 있다.

그 결과 본 발명에 따른 액정패널(102)은 블랙매트릭스(142)의 격자부(144)에 대응되는 내부의 표시영역(N)과, 이의 외측으로써 블랙매트릭스(142)의 테두리부(146)에 대응되는 더미영역(M) 그리고 이의 외측으로써 최 외곽의 비표시영역(N)으로 구분되며, 앞서의 제 1 내지 제 3 라인(112,114,116) 중에서 제 1 라인(112)은 더미영역(M) 내에 위치되고, 제 2 및 제 3 라인(114,116)은 표시영역(N)에 위치하고 있으며, 이들과 교차되는 제 4 및 제 5 라인(122,124) 중에서 제 4 라인(122)은 더미영역(M) 내에 위치하고, 제 5 라인(124)은 표시영역(N)에 위치하고 있다.

이에 따라 더미영역(M)에서는 제 1 방향을 향하는 제 1 라인(112)과 제 2 및 제 3 라인(114,116)의 일부 그리고 제 2 방향을 향하는 제 4 라인(122)이 교차되며, 표시영역(N)에서는 제 2 및 제 3 라인(114,116)과 제 5 라인(124)이 교차하고 있다.

또한 이러한 제 1 기관(110)의 비표시영역(L) 중 임의의 제 1 가장자리로는 제 1 게이트드라이버(162)가 실장되어 제 3 라인(116)이 접속되고, 이와 인접한 제 1 기관(110)의 다른 측 가장자리, 임의로 제 2 가장자리 외측으로는 제 2 게이트드라이버(164)와 데이터드라이버(166)가 각각 구비되어 이중 제 2 게이트드라이버(164)로는 제 4 라인(122)이 접속되며, 데이터드라이버(166)로는 제 5 라인(124)이 접속되어 있다.

이때 제 2 게이트드라이버(164)와 데이터드라이버(166)는 하나의 PCB(170) 내에 탑재되는 것도 가능하며, TCP 등을 매개로 제 1 기판(110)의 제 2 가장자리로 연결될 수 있다.

그리고 제 1 기판(110)의 더미영역(M)으로는 제 2 라인(114)과 제 4 라인(122)을 일대일 연결하는 연결라인(130)이 마련된다.

이때 설명의 편의를 위해 제 1 내지 제 5 라인(112,114,116,122,124)을 각각 통상적인 명칭에 대응시킬 경우, 표시영역(N)에서 제 1 방향을 향하는 제 2 및 제 3 라인(114,116)은 이른바 게이트라인에 해당되고, 더미영역(M)에서 제 1 방향을 향하는 제 1 라인(112)은 이른바 더미게이트라인에 해당되며, 표시영역(N)에서 제 2 방향을 향하는 제 5 라인(124)은 이른바 데이터라인에 해당된다. 그리고 제 4 라인(122)은 더미영역(M)에서 제 2 방향을 향하는 이른바 더미데이터라인의 형태를 취하고 있지만, 데이터드라이버(166)가 아닌 별도의 제 2 게이트드라이버(164)에 접속됨과 동시에 연결라인(130)을 매개로 제 2 라인(114)에 연결됨으로써 실질적으로는 게이트라인의 일부로 작용하고 있다.

이때 제 1 라인(112)과 제 4 라인(122)은 각각 일반적인 경우를 전제로, 2 내지 3 줄 정도가 될 수 있고, 제 2 라인(114)은 제 4 라인(122)과 일대일 대응되는 동수(同數)를 이룰 수 있다.

한편, 본 발명에 따른 액정패널(102)에 있어서 제 1 및 제 2 게이트드라이버(162,164)로부터는 프레임(frame) 별 박막트랜지스터(T)의 온/오프(on/off) 신호가 담긴 주사신호가 출력되고, 데이터드라이버(166)로부터는 프레임 별 실질적인 액정의 구동신호가 담긴 화상신호가 출력되는바, 이중 제 2 게이트드라이버(164)로부터 출력된 주사신호는 연결라인(130)을 매개로 제 2 라인(114)에 전달되고, 제 1 게이트드라이버(162)로부터 출력된 주사신호는 제 3 라인(116)으로 전달된다.

그리고 이들 제 2 및 제 3 라인(114,116)에 순차적으로 스캔(scan) 인가되는 주사신호에 의해 각 라인 별 선택된 박막트랜지스터가 온(on) 되면 제 5 라인(124)으로 전달되는 화상신호가 해당 화소(P)의 화소전극(129)으로 인가되고, 상기 화소전극(129)과 공통전극(150) 사이의 전압차에 의해 액정이 구동되어 투과율의 차이를 나타내게 된다.

그리고 이러한 주사신호를 생성 및 출력할 수 있도록 제 1 및 제 2 게이트드라이버(162,164)는 외부의 구동회로부(미도시)에 각각 연결되어 각종 제어신호와 기준신호를 전달받는데, 이를 위해 제 1 및 제 2 버스라인(182,184)이 구비되고, 이중 제 1 버스라인(182)은 액정패널(102)의 비표시영역(L)으로서 제 1 게이트드라이버(162)가 실장된 제 1 기판(110)의 제 1 가장자리 외측으로 배열되고, 제 2 버스라인(184)은 제 1 기판(110)의 외부에서 제 2 게이트드라이버(164)로 직접 접속된다.

다시 말해 본 발명에 따른 액정패널(102)은, 제 1 기판(110) 상의 더미영역(M)과 표시영역(N) 만을 살펴볼 경우에 기존과 유사하게, 게이트라인에 대응되는 제 1 내지 제 3 라인(112,114,116)이 제 1 방향으로 배열되고, 데이터라인에 대응되는 제 4 및 제 5 라인(122,124)이 제 2 방향으로 배열되어 교차하고 있다.

그 결과 제 1 라인(112)은 이른바 더미게이트라인에 대응될 수 있고, 제 4 라인(122)은 이른바 더미데이터라인에 대응될 수 있다.

하지만 게이트드라이버를 제 1 및 제 2 게이트드라이버(162,164)로 구분해서 제 1 게이트드라이버(162)는 제 1 기판(110) 상에 실장시키는 반면 제 2 게이트드라이버(164)는 제 1 기판(110) 외부에 별도로 구비하며, 표시영역(N)을 지나는 게이트라인인 제 2 및 제 3 라인(114,116) 중 임의로 선택된 제 3 라인(116) 만을 제 1 게이트드라이버(162)에 접속시키고, 더미데이터라인인 제 4 라인(122)을 별도의 제 2 게이트드라이버(164)에 접속시킴과 동시에, 연결라인(130)을 이용하여 제 1 기판(110)의 더미영역(M)에서 나머지 게이트라인인 제 2 라인(114)에 일대일 대응 연결시킨 형태를 나타내는바, 달리 표현하면 결국 기존의 더미데이터라인인 제 4 라인(122)을 이용해서 게이트라인의 일부인 제 2 라인(114)과 제 2 게이트드라이버(164)를 접속시킨 것이라 할 수 있다.

이때 바람직하게는 각각의 제 4 라인(122)과 연결라인(130) 이후의 적절한 지점으로 전기적인 단선을 위한 오픈부(132)를 형성함으로써 불필요한 신호유입을 억제할 수 있다.

한편, 이러한 구성을 통해 얻어질 수 있는 효과로는 제 1 기판(110)에 대한 제 1 버스라인(182)의 실장면적을 축소시키는 것으로, 표시영역(N)을 지나는 제 2 라인(114)은 실질적으로 제 1 기판(110) 외부의 제 2 게이트드라이버(164)로 접속되는바, 이의 수량을 뺀 나머지 제 3 라인(116) 만이 제 1 기판(110) 상에 실장된 제 1 게이트드라이버(162)에 접속되고, 그

결과 외부 구동회로부와 제 1 게이트드라이버(162)를 연결하기 위해서, 제 1 기판(110) 상의 제 1 게이트드라이버(162)의 외측으로 배열되는 제 1 버스라인(182)의 숫자 또한 제 2 라인(114)의 수량에 비례해서 저감된다. 결국 제 1 기판(110) 상에 실장되는 버스라인의 숫자를 줄여 그 실장면적을 줄일 수 있다.

이상에서 설명한 본 발명에 따른 액정패널의 제조공정을 설명한다.

먼저 유리등의 절연재질로 이루어진 투명 제 1 기판(110)을 구비하여, 이의 일면에 제 1 방향을 향하는 제 1 내지 제 3 라인(112,114,116) 그리고 제 2 방향을 향하는 제 4 및 제 5 라인(122,124)을 형성한다.

이때 제 1 내지 제 5 라인(112,114,116,122,124)의 형성방법은 일반적인 기술적 사상을 기초로 할 수 있고, 일례로 제 1 기판(110) 상에 제 1 금속막을 증착한 후 포토리소그래피 공정을 통해서 제 1 내지 제 3 라인(112,114,116)을 형성한다. 이어서 이들 제 1 내지 제 3 라인(112,114,116)을 덮는 기판 전면으로 절연막을 증착하고, 이의 상부로 제 2 금속막을 증착한 후 포토리소그래피 공정을 통해 제 4 및 제 5 라인(122,124)을 형성한다.

아울러 이들 제 1 내지 제 5 라인(112,114,116,122,124)의 형성공정 중에 박막트랜지스터(T)를 비롯한 제 1 게이트드라이버(162)와 제 1 버스라인(182)을 함께 완성할 수 있으며, 이중 박막트랜지스터(T)의 경우에는 제 1 내지 제 3 라인(112,114,116)의 형성공정 중에 각각으로부터 분기된 게이트전극(G)을 형성하고, 절연막을 형성한 후 이의 상부에서 게이트전극(G)을 덮는 섬 모양의 반도체층(119)을 형성하며, 제 4 및 제 5 라인(122,124)의 형성공정 중에 각각으로부터 분기되어 반도체층(119) 상부에서 게이트전극(G)에 오버랩되는 소스전극(S) 그리고 이와 이격되며 반도체층(119) 상부에서 게이트전극(G)에 오버랩되는 드레인전극(D)을 형성해서 완성할 수 있다.

이어서 이들 제 1 내지 제 5 라인(112,114,116,122,124)과 박막트랜지스터(T) 전체를 덮으며 드레인전극(D)의 일부를 각각 노출시키는 콘택홀이 구비된 보호막을 형성하고, 상기 콘택홀을 통해서 드레인전극(D)에 연결되며 각 화소(P)에 실장되는 화소전극(129)을 완성한다. 이상의 공정은 일반적인 액정표시장치의 제조공정과 유사한바, 다소의 변형이 가능한 당업자에게는 자명한 사실일 것이다.

다음으로 보호막 상에 제 3 금속층을 증착한 후, 포토리소그래피 공정을 통해 더미영역(M)에 위치되며 제 4 라인(122)과 제 2 라인(114)을 일대일로 연결하는 연결라인(130)을 형성한다.

이를 위해 보호막에는 제 4 라인(122)의 일부와 제 2 라인(114)의 일부를 각각 노출시키는 별도의 콘택홀이 구비될 수 있고, 이 경우 연결라인(130)은 화소전극(129)과 동일한 물질로 동일 공정에서 완성될 수 있다. 또는 이와 달리 화소전극(129)과는 별도의 공정에서 연결라인(130)을 형성하는 것도 가능한바, 한 예로써 제 4 및 제 5 라인(122,124)의 형성공정에서 완성될 수 있고, 이 경우 연결라인(130)은 제 4 라인(122)과 일체로 이루어질 수 있고, 절연막에는 제 2 라인(114)의 일부를 노출시키는 별도의 또 다른 콘택홀이 구비되어 이를 통해서 연결라인(130)은 제 2 라인(114)과 전기적으로 연결될 수 있다. 또한 목적에 따라서는 제 4 및 제 5 라인(122,124)의 형성공정 이후의 적절한 단계에서 레이저 CVD(Laser Chemical Vapour Deposition) 방법으로 연결라인(130)을 형성할 수도 있는바, 상기 연결라인(130)은 목적에 따라 다양한 단계에서 여러 가지 방법으로 형성할 수 있다.

다음으로 오픈부(132)를 통해 연결라인(130)과의 연결지점 이후의 제 4 라인(122)을 전기적으로 단선시키고, 이를 위해서는 레이저가 동원될 수 있다.

그리고 이들 제 1 내지 제 5 라인(112,114,116,122,124)과 박막트랜지스터(T)가 완성된 제 1 기판(110) 전면으로 보호막을 증착한 후, 이의 상부로 액정분자의 초기배열방향을 결정하는 제 1 배향막 등을 형성한다.

한편, 이와는 별도의 공정을 통해서 제 2 기판(140)이 완성되는데, 이의 일면에는 내측의 격자부(144)와 외측의 테두리부(146)를 포함하는 블랙매트릭스(142)와, 상기 격자부(144) 내에 충전되는 일례로 RGB 컬러필터(148a,148b,148c) 그리고 이들 전체를 덮는 투명 공통전극(150)이 형성되어 있다. 그리고 이러한 투명 공통전극(150)을 덮는 제 2 배향막이 형성될 수 있다.

이어서 제 1 및 제 2 기판(110,140) 사이로 액정층(200)을 개재하여 대면 합착시키는데, 상기 액정층(200)의 개재방법으로는 적하방식 또는 진공주입방식이 가능하며, 양 기판(110,140)의 합착을 위해서는 더미영역과(M) 비표시영역(L)의 경계를 따라 형성된 씰패턴(seal pattern)이 사용될 수 있고, 액정층(200)의 두께 내지는 양 기판(110,140) 사이의 간격으로 정의되는 셀갭(cell gap)을 일정하게 유지하기 위해 제 1 및 제 2 기판(110,140) 사이로는 스페이서(spacer)가 개재될 수 있다.

다음으로 별도의 공정에서 제공되며, 제 2 게이트드라이버(164)와 데이터드라이버(166)가 탑재된 PCB(170)를 TCP 등을 이용해서 제 1 기판(110)의 제 2 가장자리에 연결하고, 이로써 제 4 및 제 5 라인(122,124)을 각각 제 2 게이트드라이버(164)와 데이터드라이버(166)에 접속시킨다.

그리고 최종적으로 제 1 및 제 2 버스라인(182,184)을 이용해서 외부의 구동회로부를 제 1 및 제 2 게이트드라이버(162,164)에 각각 연결시키는바, 이때 제 2 버스라인(184)은 케이블 등의 형태로 제공되어 PCB(170)에 연결될 수 있다.

발명의 효과

이상에서 살펴본 바와 같이 본 발명에 따른 액정표시장치는 제 1 게이트드라이버 외측의 제 1 기판 가장자리를 따라 배열되는 제 1 버스라인의 실장면적을 최대한 줄임으로써 전체면적 대비 표시영역의 비율을 보다 증가시키는 효과가 있다.

이를 위해 본 발명은 더미영역에 위치된 제 4 라인(122)의 일부를 활용하는바, 화상표시에 별다른 역할을 기대할 수 없는 이른바 더미데이터라인을 활용함으로써 액정표시장치의 효율성을 향상시키는 효과가 있다.

도면의 간단한 설명

도 1은 일반적인 액정표시장치의 일부에 대한 모식도.

도 2는 일반적인 액정표시장치의 단위화소에 대한 등가회로도.

도 3은 도 1의 K 부분을 확대하여 나타낸 사진.

도 4는 본 발명에 따른 액정표시장치의 일부에 대한 분해사시도.

도 5는 본 발명에 따른 액정표시장치의 일부에 대한 모식도.

<도면의 주요부분에 대한 부호의 설명>

102 : 액정패널 110,140 : 제 1 및 제 2 기판

112,114,116 : 제 1 내지 제 3 라인 119 : 반도체층

124,126 : 제 4 및 제 5 라인 129 : 화소전극

130 : 연결라인 132 : 오픈부

140 : 제 2 기판 142 : 블랙매트릭스

144 : 격자부 146 : 테두리부

148 : 컬러필터

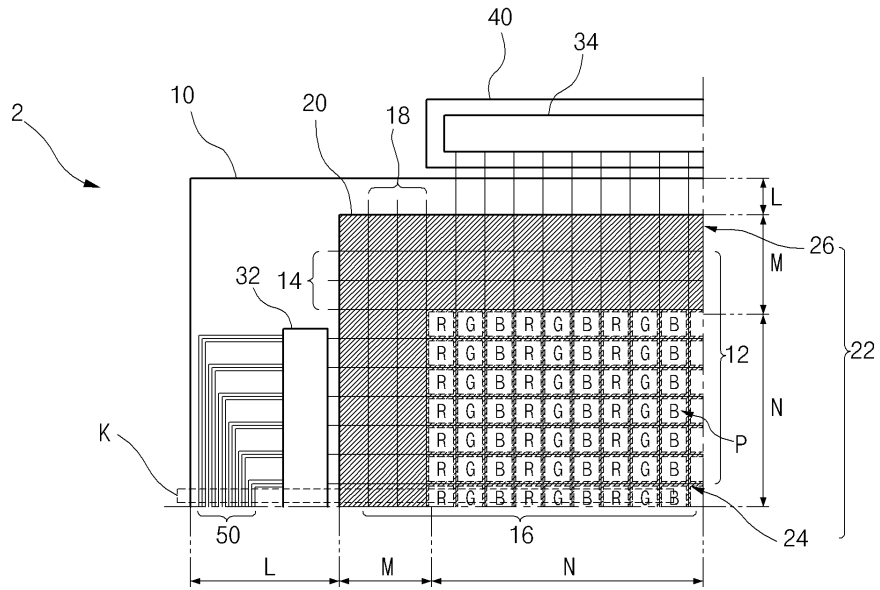
162,164 : 제 1 및 제 2 게이트드라이버

166 : 데이터드라이버 170 : PCB

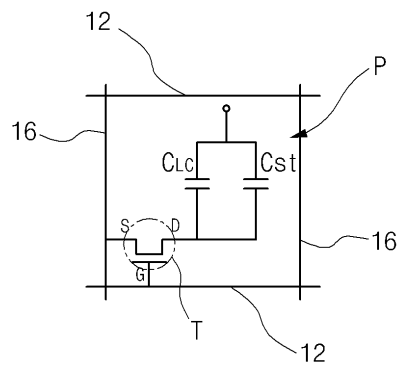
182,184 : 제 1 및 제 2 버스라인 200 : 액정층

도면

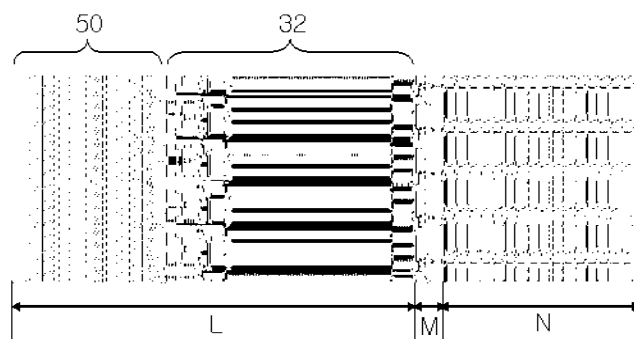
도면1



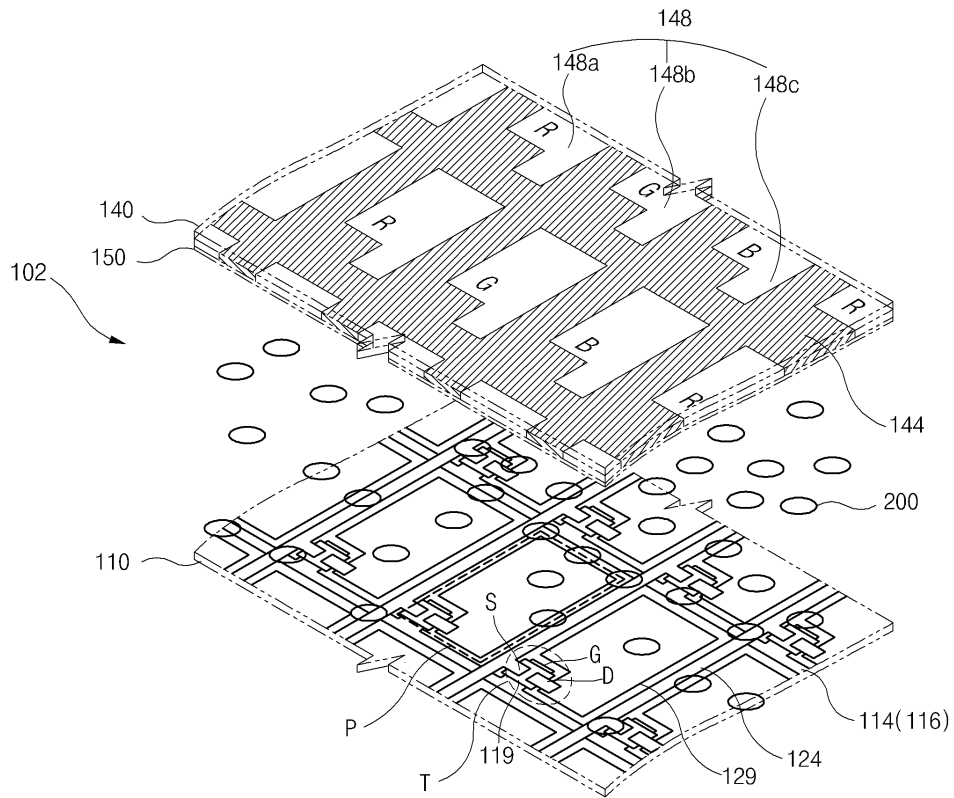
도면2



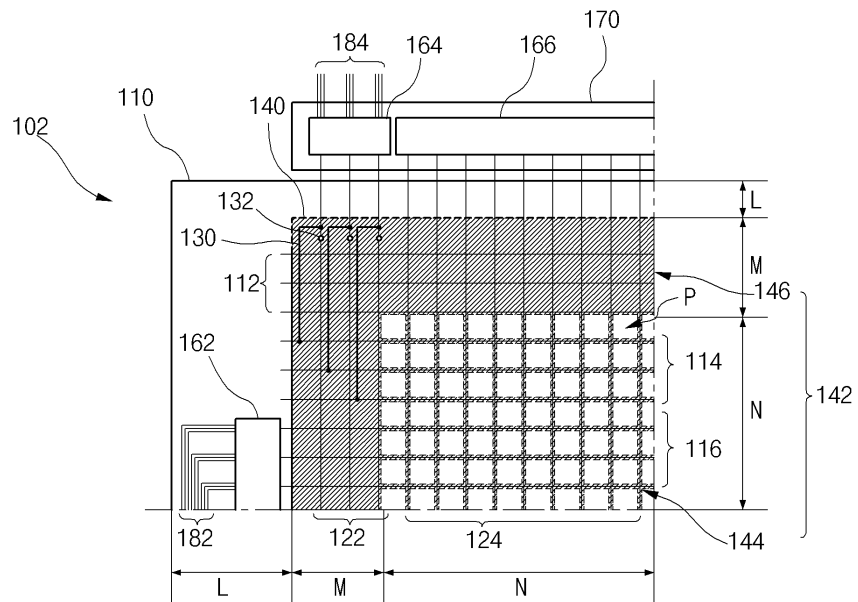
도면3



도면4



도면5



专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	KR1020070048973A	公开(公告)日	2007-05-10
申请号	KR1020050106105	申请日	2005-11-07
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	CHUN MIN DOO 전민두 YOON SOO YOUNG 윤수영		
发明人	전민두 윤수영		
IPC分类号	G02F1/1345		
CPC分类号	G02F1/13452 G02F1/13454 G09G3/3685 G02F1/136286 G02F1/1368 G02F1/136209 H01L29/786 G02F2001/136222 G02F2201/123 G02F2201/121		
其他公开文献	KR101157480B1		
外部链接	Espacenet		

摘要(译)

用途：提供一种LCD（液晶显示器）及其制造方法，通过减少沿第一基板边缘排列的第一总线的安装面积，增加整个区域中显示区域的比例栅极驱动器。结构：第一线（112）和第二线（114）沿第一方向布置在第一基板（110）上。第三线（116）和第四线（124）沿与第一基板上的第一方向交叉的第二方向布置。第一栅极驱动器（162）安装在第一基板的第一边缘中，并且第一线连接到第一基板。数据驱动器（166）设置在与第一基板的第一边缘相邻的第二边缘的外侧，并且第三线连接到第一边缘。第二栅极驱动器（164）设置在第一基板外部，第四线连接到第一基板。连接线（130）分别连接第一基板上的第二线和第四线。©KIPO 2007

