



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl. (11) 공개번호 10-2007-0028628
G02F 1/136 (2006.01) (43) 공개일자 2007년03월13일

(21) 출원번호 10-2005-0080110

(22) 출원일자 2005년08월30일

심사청구일자 없음

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 김영주
경기 안양시 동안구 호계1동 998-16번지 301호
이대운
경기 의왕시 오전동 한진로즈힐 아파트 107동 103호
박용인
경기 안양시 동안구 호계동 811 호계2차현대홈타운 202-201
강수혁
서울 서초구 잠원동 신반포한신아파트 319동 1115호

(74) 대리인 특허법인네이트

전체 청구항 수 : 총 13 항

(54) 액정표시장치와 그 제조방법

(57) 요약

본 발명은 액정표시장치에 관한 것으로 특히, 구동회로 일체형 액정표시장치와 그 제조방법에 관한 것이다.

본 발명의 특징은, 어레이기관과 컬러필터 기관으로 구성된 액정표시장치의 구성에서, 상기 컬러필터 기관에 포함되는 빛 차단수단을 어레이 기관에 구성하는 것이다.

이와 같은 구성은, 어레이 기관에 박막트랜지스터 어레이부를 형성하는 초기공정 전 상기 빛 차단수단을 형성하는 동일물질을 이용하여 얼라인 키(align key)를 형성하는 것이 가능하며, 이후 구동회로와 스위칭회로로 사용되는 p형 다결정 TFT와 n형 다결정 TFT를 형성하는 공정에서 셀프 얼라인(self align)인을 가능하게 한다.

또한, 상기 빛 차단수단을 어레이기관에 구성함으로써, 상기 두 기관의 합착마진을 고려할 필요가 없으므로 합착 마진만큼의 개구율을 확보할 수 있다.

대표도

도 8k

특허청구의 범위

청구항 1.

스위칭 영역 및 화소 영역을 포함하는 표시영역과, 표시 영역의 주변으로 정의된 비표시 영역을 포함하는 기판과;

상기 표시 영역 및 비 표시 영역에 걸쳐 구성된 빛 차단수단과, 상기 비표시 영역에 위치한 얼라인 키와;

상기 비표시 영역에 구성되고 다결정 박막트랜지스터의 조합으로 구성된 구동회로부와;

상기 스위칭 영역에 위치한 다결정 박막트랜지스터와, 상기 다결정 박막트랜지스터와 연결되고 상기 화소 영역에 구성된 화소 전극

을 포함하는 구동회로 일체형 액정표시장치용 어레이기판.

청구항 2.

제 1 항에 있어서,

상기 구동회로는 n형 다결정 박막트랜지스터와 p형 다결정 박막트랜지스터로 구성된 CMOS소자의 조합으로 이루어진 것을 특징으로 하는 구동회로 일체형 액정표시장치용 어레이기판.

청구항 3.

제 2 항에 있어서,

상기 n형 다결정 박막트랜지스터는 다결정 액티브층과, 상기 액티브층 상부의 게이트 전극과 소스 및 드레인 전극을 포함하고, 상기 소스 및 드레인 전극과 접촉하는 액티브층의 표면에는 n⁺ 이온이 도핑된 영역과, 상기 n⁺ 이온 도핑영역과 게이트 전극의 사이 영역에 대응하는 액티브층의 표면에는 n⁻ 이온이 도핑된 저농도 도핑영역을 포함하는 것을 특징으로 하는 구동회로 일체형 액정표시장치용 어레이기판.

청구항 4.

제 3 항에 있어서,

상기 게이트 전극은 상기 저 농도 도핑영역을 덮도록 구성된 것을 특징으로 하는 구동회로 일체형 액정표시장치용 어레이기판.

청구항 5.

상기 제 1 항에 의한 구동회로 일체형 액정표시장치용 어레이기판과

상기 어레이기판과 이격된 상태로 합착되고, 상기 화소 영역에 대응하여 컬러필터와, 상기 컬러필터의 상부에 공통 전극이 구성된 컬러필터 기판

을 포함하는 구동회로 일체형 액정표시장치.

청구항 6.

기관에 스위칭 영역 및 화소 영역을 포함하는 표시영역과, 구동 회로부를 포함하는 비표시 영역을 정의하는 단계와;

상기 기관에 빛 차단수단과, 상기 비표시 영역의 일부에 얼라인 키를 형성하는 제 1 마스크 공정 단계와;

상기 빛 차단수단및 얼라인 키가 형성된 기관의 전면에 제 1 절연막과 비정질 실리콘층을 순차 적층하는 단계와;

상기 구동회로부에 n영역과 p영역을 정의하고, 상기 p영역의 일부에 대응하는 비정질 실리콘층의 표면에 p+ 이온을 도핑하는 제 2 마스크 공정 단계와;

상기 n영역과 스위칭 영역의 일부 영역에 대응하는 비정질 실리콘층의 표면에 n+ 이온과 n- 이온을 별도의 영역에 형성하는 제 3 마스크 공정 단계와;

상기 비정질 실리콘층을 결정화하고 패터닝하여, 상기 p영역과 n영역과 스위칭 영역에 각각 반도체 패터를 형성하는 제 4 마스크 공정 단계와;

상기 p영역과 n영역과 스위칭 영역에 대응하여 이온이 도핑되지 않은 반도체 패터의 상부에 각각 게이트 전극을 형성하는 제 5 마스크 공정 단계와;

상기 각 게이트 전극의 양측으로, p+ 이온과 n+ 이온이 각각 도핑된 반도체 패터를 노출하는 제 1 콘택홀과 제 2 콘택홀을 포함하는 제 2 절연막을 형성하는 제 6 마스크 공정 단계와;

상기 각 게이트 전극의 양측으로 노출된 반도체 패터와 각각 접촉하는 소스 전극과 드레인 전극을 형성하는 제 7 마스크 공정 단계와;

상기 스위칭 영역의 드레인 전극 일부를 노출하는 제 3 절연막을 형성하는 제 8 마스크 공정 단계와;

상기 드레인 전극과 접촉하면서 상기 화소 영역에 위치하는 화소 전극을 형성하는 제 9 마스크 공정 단계

를 포함하는 구동회로 일체형 액정표시장치용 어레이기관 제조방법.

청구항 7.

제 6 항에 있어서,

상기 빛 차단수단은 표시영역에 격자 형상으로 형성된 동시에, 상기 비표시 영역의 일부에 형성된 구동회로 일체형 액정표시장치용 어레이기관 제조방법.

청구항 8.

제 6 항에 있어서,

상기 빛 차단수단과 얼라인 키는 크롬(Cr)과 같이 빛 반사율이 낮은 금속물질로 형성한 구동회로 일체형 액정표시장치용 어레이기관 제조방법.

청구항 9.

제 6 항에 있어서,

상기 제 2 마스크 공정 단계는,

상기 비정질 실리콘층의 전면에 포토레지스트를 증착하여 감광층을 형성하는 단계와;

상기 감광층을 마스크를 이용하여 노광 및 현상하여, 상기 p영역의 일부와, 상기 n영역과 스위칭 영역을 차단하는 감광패턴을 형성하는 단계와;

상기 감광패턴의 주변으로 노출된 p영역의 일부에 p⁺ 이온을 도핑하여 오믹 콘택영역을 형성하는 단계

를 포함하는 구동회로 일체형 액정표시장치용 어레이기판 제조방법.

청구항 10.

제 6 항에 있어서,

상기 제 3 마스크 공정 단계는

상기 p영역의 일부에 p⁺ 이온이 도핑된 비정질 실리콘층의 전면에 포토레지스트를 증착하여 감광층을 형성하는 단계와;

상기 감광층을 마스크를 이용하여 노광 및 현상하여, 상기 n영역 및 스위칭 영역의 일부와 p영역을 차단하는 감광패턴을 형성하는 단계와;

상기 감광패턴의 주변으로 노출된 n영역의 일부에 n⁺ 이온(고농도의 n형 이온)을 도핑하여 오믹 콘택 영역을 형성하는 단계와;

상기 감광패턴을 표면으로부터 일부 제거하는 애싱공정을 진행하여, 상기 n⁺ 이온이 도핑되지 않은 n영역의 일부를 노출하는 단계와;

상기 노출된 영역에 n-이온(저농도의 n형 이온)을 도핑하여 저농도 도핑영역(LDD영역)을 형성하는 단계

를 포함하는 구동회로 일체형 액정표시장치용 어레이기판 제조방법.

청구항 11.

제 6 항 내지 제 10 항 중 어느 한 항에 있어서,

상기 제 1 내지 제 5 마스크 공정시, 상이 얼라인 키를 이용하여 상기 기판 상에 마스크를 정확한 위치에 정렬한 후, 마스크 공정을 진행하는 것을 특징으로 하는 구동회로 일체형 액정표시장치용 어레이기판 제조방법.

청구항 12.

제 6 항에 있어서,

상기 n영역 및 스위칭 영역에 구성한 게이트 전극은, n-이온이 도핑된 영역 또한 덮도록 형성된 것을 특징으로 하는 구동회로 일체형 액정표시장치용 어레이기판 제조방법.

청구항 13.

상기 청구항 6항의 방법에 의해 구동회로 일체형 어레이기판을 형성하는 단계와;

상기 어레이기판과 이격되어 합착되는 기판을 준비하는 단계와;
 상기 어레이기판과 마주보는 기판의 일면에 컬러필터를 형성하는 단계와;
 상기 컬러필터가 형성된 기판의 전면에 공통 전극을 형성하는 단계
 를 포함하는 구동회로 일체형 액정표시장치 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치에 관한 것으로, 특히 구동회로 일체형 액정표시장치와 그 제조방법에 관한 것이다.

일반적으로, 액정표시장치는 박막 트랜지스터(Thin Film Transistor ; TFT)를 포함하는 어레이기판과 컬러 필터(color filter)기판 사이에 액정을 주입하여, 이 액정의 이방성에 따른 빛의 굴절률 차이를 이용해 이미지를 얻는 표시장치이다.

이러한 표시장치의 스위칭 소자로 사용되는 박막트랜지스터는, 어레이부의 설계에 따라 다양한 형태로 구성가능하며 특히 액티브 층으로 사용되는 반도체층으로는 비정질 실리콘 또는 다결정 실리콘(폴리 실리콘)을 사용하게 된다.

이때, 일반적인 스위칭 소자로써는 수소화된 비정질 실리콘(a-Si:H)이 주로 이용되는데, 이는 저온 공정이 가능하여 저가의 절연기판을 사용할 수 있기 때문이다.

그러나, 수소화된 비정질 실리콘은 원자 배열이 무질서하기 때문에 약한 결합(weak Si-Si bond) 및 땀글링 본드(dangling bond)가 존재하여 빛 조사나 전기장 인가 시 준 안정상태로 변화되어 박막 트랜지스터 소자로 활용시 안정성이 문제로 대두되고 있으며, 전기적 특성(낮은 전계효과 이동도 : $0.1 \sim 1.0 \text{ cm}^2/\text{V}\cdot\text{s}$)이 좋지 않아 구동회로로는 쓰기 어렵다.

반면, 폴리 실리콘은 비정질 실리콘에 비하여 전계효과 이동도가 크기 때문에 기판 위에 구동회로를 만들 수 있으며, 폴리 실리콘을 이용하여 기판에 직접 구동회로를 만들면 실장이 매우 간단해 지고 액정패널을 더욱 콤팩트(compact)하게 제작할 수 있는 장점이 있다.

도 1은 일반적인 구동회로 일체형 액정표시장치용 어레이기판의 개략도이다.

도시한 바와 같이, 절연 기판(10)은 크게 표시부(D1)와 비표시부(D2)로 정의될 수 있으며, 상기 표시부(D1)에는 다수의 화소(P)가 매트릭스 형태로 위치하고 각 화소마다 스위칭 소자(T) 및 이와 연결된 화소 전극(17)이 구성된다.

또한, 상기 화소(P)의 일 측을 따라 연장된 게이트 배선(GL)과 이와는 수직하게 교차하는 데이터 배선(DL)이 구성된다.

상기 비표시부(D2)에는 구동회로부(16,18)가 구성되는데, 구동회로부(16,18)는 기판(10)의 일 측에 위치하여 상기 게이트 배선(GL)에 신호를 인가하는 게이트 구동회로부(16)와, 이와는 평행하지 않은 기판(10)의 타 측에 위치하여 상기 데이터 배선(14)에 신호를 인가하는 데이터 구동회로부(18)를 포함한다.

상기 게이트 및 데이터 구동회로부(16,18)는 외부로부터 입력된 신호를 조절하여 각각 게이트 및 데이터 배선(12,14)을 통해 화소부(P)로 디스플레이 컨트롤 신호 및 데이터 신호를 공급하기 위한 장치이다.

따라서, 상기 게이트 및 데이터 구동회로부(16,18)는 입력되는 신호를 적절하게 출력시키기 위하여 일반적으로는 인버터(inverter)인 CMOS(complementary metal-oxide semiconductor)구조의 박막트랜지스터로 구성된다.

상기 CMOS는 고속 신호처리가 요구되는 구동회로부 박막 트랜지스터에 사용되는 반도체 기술의 일종으로서, 음전기로 충전된 여분의 전자들(n형 반도체)과 양전기로 충전된 정공들(p형 반도체)을 이용하여 하나의 전도체를 형성하고, 상기 두 종류의 반도체들의 효과적인 전기제어에 의해 전류 게이트를 이루기 위한 상호 보완적인 방법으로 사용된다.

이와 같이, 비표시부의 구동회로부를 이루는 CMOS 소자는 n형 및 p형 다결정 박막트랜지스터의 조합으로 이루어지고, 상기 표시부의 스위칭 소자는 n형 또는 p형 다결정 박막트랜지스터로 이루어진다.

이하, 도 2a와 2b를 참조하여 구동회로 일체형 액정표시장치의 단면 구성을 설명한다.

도 2a와 도 2b는 종래에 따른 구동회로 일체형 액정표시장치의 단면구성을 개략적으로 도시한 단면도이다.(도 2a는 구동회로부이고, 도 2b는 표시부이다.)

도 2a와 도 2b에 도시한 바와 같이, 구동회로 일체형 액정표시장치는 다수의 화소 영역(P)으로 구성된 표시부(D1)와 비표시부(D2)로 정의되며, 어레이 기판(AS)과 컬러필터 기판(CS)이 액정층(LC)을 사이에 두고 이격된 상태로 합착 구성된다.

상기 어레이기판(AS)은 비표시부(D2)에 대응하여 구동회로(DC)가 형성되어 있고 상기 표시부(D1)의 단일 화소 영역(P)마다 스위칭 소자(T)와 화소 전극(78)과 스토리지 캐패시터(Cst)가 구성된다.

또한, 도시하지는 않았지만 상기 스위칭 소자(T)에 스캔 신호(scan signal)를 입력하는 게이트 배선(미도시)과, 상기 스위칭 소자(T)에 데이터 신호(data signal)를 입력하는 데이터 배선(미도시)이 구성된다.

전술한 구성에서, 상기 구동회로(DC)는 일반적으로 n형 다결정 박막트랜지스터(T(n))와 p형 다결정 박막트랜지스터(T(p))로 구성된 CMOS의 조합으로 이루어지며, 상기 스위칭 소자는 n형 또는 p형 다결정 박막트랜지스터이다.

전술한 바와 같이 구성된 어레이기판(AS)과 합착되는 컬러필터 기판(CS)에는 빛차단수단인 블랙매트릭스(52)와 컬러필터(54)를 포함하는데, 상기 컬러필터(54)는 상기 화소영역(P)마다 위치하도록 구성된다.

상기 블랙매트릭스(52)는 상기 화소 영역(54)의 경계 및 스위칭 소자(T)와 구동회로(DC)에 대응하는 위치에 구성한다.

이때, 상기 블랙매트릭스(52)는 빛샘을 차단하는 역할을 하기 때문에 상기 어레이기판(AS)과 컬러필터기판(CS)을 합착할 때 발생하는 얼라인 오차를 고려해 주어야 한다.

만약, 얼라인 오차가 발생하게 되면 상기 블랙매트릭스(52)의 존재에도 불구하고 빛샘이 발생하여 표시품질이 저하될 수 있기 때문이다.

따라서, 종래에는 상기 블랙매트릭스(52)를 설계할 때 반드시 얼라인 마진(α)을 두어 얼라인 오차에 대비하였기 때문에 개구영역을 상당히 잠식하는 문제가 있었다.

또한, 상기 박막트랜지스터(T)를 형성할 때 상당한 수의 마스크 공정을 필요로 하여 공정수율이 저하되는 문제점이 있다.

즉, 컬러필터 기판을 형성하기 위해서는 아래와 같은 4마스크 공정을 필요로 한다.

제 1 마스크 공정 : 블랙매트릭스 형성.

제 2 내지 제 4 마스크 공정 : 적, 녹, 청 컬러필터를 다수의 화소에 형성하는 공정.

또한, 전술한 컬러필터 기판과 합착되는 박막트랜지스터 어레이기판은 9 마스크 공정을 필요로 한다.

이에 대해서는 이하, 공정도면을 참조하여 설명한다.

도 3a 내지 3i와 도 4a 내지 도 4i는 종래에 따른 구동회로 일체형 박막트랜지스터 어레이기판의 제조공정을 공정순서에 따라 도시한 공정 단면도이다.

(도 3a 내지 도 3i는 구동회로를 나타낸 공정 단면도이고, 도 4a 내지 도 4i는 표시영역의 단일 화소를 나타낸 공정 단면도이다.)

도 3a와 도 4a는 제 1 마스크 공정을 나타낸 단면도이다.

도시한 바와 같이, 기판(30)을 표시부(D1)와 비표시부(D2)로 정의하고, 표시부(D1)는 다시 다수의 화소영역(P)으로 정의한다.

이때, 비표시부(D2)에 편의상 P영역(A1)과 N영역(A2)을 정의하고, 상기 화소영역(P)에 스위칭 영역(A3)과 스토리지 영역(A4)을 정의한다.

전술한 바와 같이, 다수의 영역(A1,A2,A3,A4)이 정의된 기판(30)의 일면에 절연물질을 증착하여 버퍼층(32)을 형성하고, 상기 버퍼층(32)의 상부에 비정질 실리콘(a-Si:H)을 증착한 후 결정화 하는 공정을 진행한다.

상기 결정화를 위해 다양한 열전달 수단이 이용될 수 있지만, 일반적으로는 레이저(laser)를 이용하여 결정화를 진행한다.

결정화 공정으로 결정화된 층을 패터닝하여, 상기 P영역(A1)과 N영역(A2)과 스위칭 영역(A3)에 액티브층(active layer)으로서 기능을 하는 제 1 내지 제 3 반도체층(34,36,38)을 형성하고, 상기 스토리지 영역(A4)에 전극으로서 기능을 하는 제 4 반도체층(40)을 형성한다.

도 3b와 도 4b는 제 2 마스크 공정을 나타내며, 상기 스토리지 영역(A4)의 제 4 반도체층(40)에 이온을 도핑(doping)하는 공정을 나타낸 공정 단면도이다.

도시한 바와 같이, 상기 제 1 내지 제 4 반도체층(34,36,38,40)이 형성된 기판(30)의 전면에 포토레지스트(photoresist)를 도포한 후, 제 2 마스크 공정으로 패터닝하여, 상기 P영역(A1)과 N영역(A2) 및 스위칭 영역(A3)을 차폐하는 감광패턴(42)을 형성한다.

다음으로, 감광패턴(42)으로 차폐되지 않은 스토리지 영역(A4)의 제 4 반도체층(40)으로 표면에 이온(ion)을 도핑하는 공정을 진행한다.

상기 제 4 반도체층(40)은 전극의 역할을 해야 하기 때문에 도전성을 띄도록 하기 위해 전술한 바와 같이 이온(n또는 p형 이온)을 도핑하는 공정을 진행해야 한다.

전술한 바와 같이, 상기 스토리지 영역(A4)의 제 4 반도체층(40)에 이온을 도핑하는 공정이 완료되면 상기 감광패턴(42)을 제거하는 공정을 진행한다.

도 3c와 도 4c는 제 3 마스크 공정을 나타낸 단면도이다.

도시한 바와 같이, 상기 스토리지 영역(A4)의 제 4 반도체층(40)에 이온(ion)을 도핑하여 스토리지 제 1 전극으로 형성하는 공정 후, 상기 제 1 및 제 4 반도체층(34,36,38,40)이 형성된 기판(30)의 전면에 게이트 절연막(46)을 형성한다.

상기 게이트 절연막(46)은 질화 실리콘(SiNx)과 산화 실리콘(SiO₂)을 포함하는 무기절연물질 그룹 중 선택된 하나 이상의 물질을 증착하여 형성할 수 있다.

다음으로, 상기 게이트 절연막(46)이 형성된 기판(30)의 전면에 도전성 금속을 증착하고 패터닝하여, 상기 제 1 내지 제 3 반도체층(34,36,38)의 중심에 대응하는 상부에 제 1 내지 제 3 게이트 전극(48,50,52)을 형성하고, 상기 스토리지 영역(A4)의 제 4 반도체층(40)에 대응하는 상부에 스토리지 제 2 전극(54)을 형성한다.

도 3d와 도 4d는 제 4 마스크 공정을 나타내며, N영역(A2)과 스위칭 영역(A3)의 반도체층에 n+ 이온을 도핑하기 위한 공정 단면도이다.

도시한 바와 같이, 상기 제 1 내지 제 3 게이트 전극(48,50,52)과 스토리지 제 2 전극(54)이 형성된 기판(30)의 전면에 포토레지스트(photo-resist)를 도포한 후 제 4 마스크 공정으로 패터닝하여, 상기 P영역(A1)과 스토리지 영역(A4)을 차단하는 감광패턴(56)을 형성한다.

다음으로, 상기 감광패턴(56)사이로 노출된 N영역(A2)과 스위칭 영역(A3)에 n⁺ 이온을 도핑(doping)하는 공정을 진행한다.

이와 같이 하면, 상기 N영역(A2)과 스위칭 영역(A3)의 제 2 반도체층(36)과 제 3 반도체층(38)영역 중 상기 제 2 게이트 전극(50)과 제 3 게이트 전극(52)의 주변으로 노출된 부분의 표면에 n⁺ 이온이 도핑되며, 이온이 도핑된 영역은 저항성 접촉(ohmic contact)특성을 갖는다.

전술한 바와 같은 제 4 마스크 공정이 완료되면, 상기 감광패턴(56)을 제거하는 공정을 진행한다.

도 3e와 도 4e는 제 5 마스크 공정을 나타내며, P영역(A1)의 반도체층에 p⁺ 이온을 도핑하기 위한 공정 단면도이다.

도시한 바와 같이, 제 1 내지 제 3 게이트 전극(48,50,52)과 스토리지 제 1 전극(40)이 형성된 기판(30)의 전면에 포토레지스트(photoresist)를 도포한 후 제 5 마스크 공정으로 패터닝하여, N영역(A2)과 스위칭 영역(A3)과 스토리지 영역(A4)을 차단하는 감광패턴(58)을 형성한다,

다음으로, P영역(A1)의 노출된 제 1 반도체층(34)에 p⁺ 이온을 도핑하는 공정을 진행한다.

이때, 이온이 도핑된 영역은 앞서 언급한 바와 같이 저항성 접촉(ohmic contact)특성을 갖는다.

도 3f와 도 4f는 제 6 마스크 공정을 나타내는 공정 단면도이다.

전술한 바와 같은 공정으로, 각각 오믹영역(저항성 접촉 영역)이 형성된 제 1 내지 제 3 반도체층(34,36,38)과, 스토리지 제 1 전극(40)이 형성된 기판(30)의 전면에 질화 실리콘(SiN_x)과 산화 실리콘(SiO₂)을 포함하는 무기절연물질그룹 중 선택된 하나를 증착하여 층간 절연막(interlayer,60)을 형성한다.

다음으로, 상기 층간 절연막(60)과 하부의 게이트 절연막(46)을 제 6 마스크 공정으로 패터닝하여, 상기 제 1 내지 제 3 반도체층(34,36,38)의 이온도핑영역(오믹콘택영역)을 노출하는 콘택홀을 형성한다.

상세히는, 상기 제 1 내지 제 3 게이트 전극(48,50,52)을 중심으로 양측의 노출된 반도체층(34,36,38)측, 오믹영역을 각각 노출하는 제 1 콘택홀(62a,64a,66a)과 제 2 콘택홀(62b,64b,66b)을 형성한다.

도 3g와 도 4g는 제 7 마스크 공정을 나타낸 공정 단면도이다.

상기 제 1 내지 제 3 반도체층(34,36,38)을 노출하는 층간절연막(60)이 형성된 기판(30)의 전면에 크롬(Cr), 몰리브덴(Mo), 텅스텐(W), 구리(Cu), 알루미늄합금(AlNd)등을 포함하는 도전성 금속 그룹 중 선택된 하나를 증착하고 패터닝하여, 상기 제 1 콘택홀(62a,64a,66a)을 통해 노출된 오믹 콘택영역과 접촉하는 소스 전극(68a,70a,72a)과, 상기 제 2 콘택홀(62b,64b,66b)을 통해 노출된 오믹 콘택영역과 접촉하는 드레인 전극(68b,70b,72b)을 형성한다.

전술한 제 1 내지 제 7 마스크 공정을 통해, 비표시부(D2)에는 p형 다결정 박막트랜지스터와 n형 다결정 박막트랜지스터의 조합인 CMOS소자가 형성되고, 상기 표시 영역(D1)의 스위칭 영역(A3)에는 n형 다결정 박막트랜지스터가 형성되고, 상기 스토리지 영역(A4)에는 스토리지 제 1 전극과 스토리지 제 2 전극으로 구성된 스토리지 캐패시터(Cst)가 형성된다.

도 3h와 도 4h는 제 8 마스크 공정을 나타낸 공정 단면도이다.

도시한 바와 같이, 상기 각 영역(A1,A2,A3)마다 소스전극(68a,70a,72a)과 드레인 전극(68b,70b,72b)이 형성된 기판(30)의 전면에 앞서 언급한 절연물질 그룹 중 선택된 하나 이상의 물질을 증착하여 보호층(74)을 형성한다.

상기 보호층(74)을 제 8 마스크 공정으로 패터하여, 상기 스위칭 영역(A3)의 드레인 전극(72b)을 노출하는 드레인 콘택홀(76)을 형성한다.

도 3i와 도 4i는 제 9 마스크 공정을 나타낸 공정 단면도이다.

도시한 바와 같이, 보호층(74)이 형성된 기판(30)의 전면에 인듐-틴-옥사이드(ITO)와 인듐-징크-옥사이드(IZO)를 포함하는 투명한 도전성 금속 그룹 중 선택된 하나를 증착하고 제 9 마스크 공정으로 패터하여, 상기 드레인 전극(72b)과 접촉하면서 상기 화소 영역(P)에 위치하는 화소 전극(78)을 형성한다.

이상으로 전술한 바와 같은 제 1 내지 제 9 마스크공정을 통해 종래에 따른 구동회로 일체형 액정패널의 박막트랜지스터 어레이기판을 제작할 수 있다.

따라서, 종래에 따른 구동회로 일체형 액정패널은 컬러필터 기판을 형성하는 4 마스크 공정과, 박막트랜지스터 어레이기판을 형성하는 9 마스크 공정을 합하여 13마스크 공정을 필요로 한다.

이와 같이, 종래에 따른 구동회로 일체형 액정패널은 다수의 마스크 공정을 필요로 하여 공정 수율이 좋지 않은 점 뿐 아니라 앞서 언급한 바와 같이, 컬러필터 기판에 블랙매트릭스를 설계할 때 합차오차를 고려한 마진(margin)을 더 두어 설계하기 때문에 개구율이 저하되는 문제가 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 전술한 문제점을 해결하기 위해 제안된 것으로, 구동회로형 액정표시장치를 제작함에 있어 공정을 간략화 하여 공정수율을 개선함과 동시에, 개구율을 확보하여 휘도를 개선하는 것을 목적으로 한다.

발명의 구성

상기 목적을 달성하기 위한 본 발명에 따른 구동회로 일체형 액정표시장치용 어레이기판은 스위칭 영역 및 화소 영역을 포함하는 표시영역과, 표시 영역의 주변으로 정의된 비표시 영역을 포함하는 기판과; 상기 표시 영역 및 비 표시 영역에 걸쳐 구성된 빛 차단수단과, 상기 비표시 영역에 위치한 얼라인 키와; 상기 비표시 영역에 구성되고 다결정 박막트랜지스터의 조합으로 구성된 구동회로부와; 상기 스위칭 영역에 위치한 다결정 박막트랜지스터와, 상기 다결정 박막트랜지스터와 연결되고 상기 화소 영역에 구성된 화소 전극을 포함한다.

상기 구동회로는 n형 다결정 박막트랜지스터와 p형 다결정 박막트랜지스터로 구성된 CMOS소자의 조합으로 이루어진 것을 특징으로 하며, 상기 n형 다결정 박막트랜지스터는 다결정 액티브층과, 상기 액티브층 상부의 게이트 전극과 소스 및 드레인 전극을 포함하고, 상기 소스 및 드레인 전극과 접촉하는 액티브층의 표면에는 n⁺ 이온이 도핑된 영역과, 상기 n⁺ 이온 도핑영역과 게이트 전극의 사이 영역에 대응하는 액티브층의 표면에는 n-이온이 도핑된 저농도 도핑영역을 포함하는 것을 특징으로 한다.

본 발명은 상기 게이트 전극이 상기 저 농도 도핑영역을 덮도록 구성하는 것을 다른 특징으로 한다.

본 발명에 따른 구동회로 일체형 액정표시장치는, 앞서 언급한 구동회로 일체형 액정표시장치용 어레이기판과, 상기 어레이기판과 이격된 상태로 합착되고, 상기 화소 영역에 대응하여 컬러필터와, 상기 컬러필터의 상부에 공통 전극이 구성된 컬러필터 기판을 포함한다.

본 발명의 특징에 따른 구동회로 일체형 액정표시장치용 어레이기판 제조방법은 기판에 스위칭 영역 및 화소 영역을 포함하는 표시영역과, 구동 회로부를 포함하는 비표시 영역을 정의하는 단계와; 상기 기판에 빛 차단수단과, 상기 비표시 영역의 일부에 얼라인 키를 형성하는 제 1 마스크 공정 단계와; 상기 빛 차단수단 및 얼라인 키가 형성된 기판의 전면에서 제 1 절연막과 비정질 실리콘층을 순차 적층하는 단계와; 상기 구동회로부에 n영역과 p영역을 정의하고, 상기 p영역의 일부에 대응하는 비정질 실리콘층의 표면에 p⁺ 이온을 도핑하는 제 2 마스크 공정 단계와; 상기 n영역과 스위칭 영역의 일부 영역에 대응하는 비정질 실리콘층의 표면에 n⁺ 이온과 n- 이온을 별도의 영역에 형성하는 제 3 마스크 공정 단계와; 상기 비정질 실리콘층을 결정화하고 패터하여, 상기 p영역과 n영역과 스위칭 영역에 각각 반도체 패턴을 형성하는 제 4 마스크 공정 단계와; 상기 p영역과 n영역과 스위칭 영역에 대응하여 이온이 도핑되지 않은 반도체 패턴의 상부에 각각 게이트 전극을 형성하는 제 5 마스크 공정 단계와; 상기 각 게이트 전극의 양측으로, p⁺ 이온과 n⁺ 이온이 각각 도핑된 반도체 패턴을 노출

하는 제 1 콘택홀과 제 2 콘택홀을 포함하는 제 2 절연막을 형성하는 제 6 마스크 공정 단계와; 상기 각 게이트 전극의 양측으로 노출된 반도체 패턴과 각각 접촉하는 소스 전극과 드레인 전극을 형성하는 제 7 마스크 공정 단계와; 상기 스위칭 영역의 드레인 전극 일부를 노출하는 제 3 절연막을 형성하는 제 8 마스크 공정 단계와; 상기 드레인 전극과 접촉하면서 상기 화소 영역에 위치하는 화소 전극을 형성하는 제 9 마스크 공정 단계를 포함한다.

상기 빛 차단수단은 표시영역에 격자 형상으로 형성된 동시에, 상기 비표시 영역의 일부에 형성되며, 상기 빛 차단수단과 얼라인 키는 크롬(Cr)과 같이 빛 반사율이 낮은 금속물질로 형성한다.

상기 제 2 마스크 공정 단계는, 상기 비정질 실리콘층의 전면에 포토레지스트를 증착하여 감광층을 형성하는 단계와; 상기 감광층을 마스크를 이용하여 노광 및 현상하여, 상기 p영역의 일부와, 상기 n영역과 스위칭 영역을 차단하는 감광패턴을 형성하는 단계와; 상기 감광패턴의 주변으로 노출된 p영역의 일부에 p⁺ 이온을 도핑하여 오믹 콘택영역을 형성하는 단계를 포함한다.

상기 제 3 마스크 공정 단계는 상기 p영역의 일부에 p⁺ 이온이 도핑된 비정질 실리콘층의 전면에 포토레지스트를 증착하여 감광층을 형성하는 단계와; 상기 감광층을 마스크를 이용하여 노광 및 현상하여, 상기 n영역 및 스위칭 영역의 일부와 p영역을 차단하는 감광패턴을 형성하는 단계와; 상기 감광패턴의 주변으로 노출된 n영역의 일부에 n⁺ 이온(고농도의 n형 이온)을 도핑하여 오믹 콘택 영역을 형성하는 단계와; 상기 감광패턴을 표면으로부터 일부 제거하는 애싱공정을 진행하여, 상기 n⁺ 이온이 도핑되지 않은 n영역의 일부를 노출하는 단계와; 상기 노출된 영역에 n-이온(저농도의 n형 이온)을 도핑하여 저농도 도핑영역(LDD영역)을 형성하는 단계를 포함한다.

상기 제 1 내지 제 5 마스크 공정시, 상기 얼라인 키를 이용하여 상기 기판 상에 마스크를 정확한 위치에 정렬한 후, 마스크 공정을 진행하는 것을 특징으로 한다.

상기 n영역 및 스위칭 영역에 구성된 게이트 전극은, n-이온이 도핑된 영역 또한 덮도록 형성된 것을 특징으로 한다.

본 발명에 따른 구동회로 일체형 액정표시장치의 제조방법은 앞서 언급한 바와 같은 구동회로 일체형 어레이기판을 형성하는 단계와; 상기 어레이기판과 이격되어 합착되는 기판을 준비하는 단계와; 상기 어레이기판과 마주보는 기판의 일면에 컬러필터를 형성하는 단계와; 상기 컬러필터가 형성된 기판의 전면에 공통 전극을 형성하는 단계를 포함한다.

이하, 본 발명의 실시예에 따른 구동회로 일체형 액정표시장치용 어레이기판의 제조방법을 설명한다.

-- 제 1 실시예 --

본 발명의 제 1 실시예의 특징은, 블랙매트릭스를 박막트랜지스터 어레이기판에 구성하며 이를 9마스크 공정으로 제작하는 것을 특징으로 한다.

또한, n형 다결정 박막트랜지스터를 제작할 때, LDD영역을 형성하는 것을 특징으로 한다.

도 5는 본 발명에 따른 구동회로 일체형 어레이기판의 구성을 개략적으로 도시한 평면도이다.

도시한 바와 같이, 본 발명에 따른 구동회로 일체형 어레이기판(100)은 표시부(D1)와 비표시부(D2)의 구동부에 대응하여 빛 차단수단인 블랙매트릭스(102)를 구성한다.

또한, 비표시부(D2)의 외곽부에 상기 블랙매트릭스를 형성하는 공정에서 얼라인키(AK)를 형성하는 것을 특징으로 한다.

상기, 얼라인 키(AK)를 통해 이후 공정들의 셀프 얼라인(self align)이 가능해졌기 때문에 몇몇 마스크 공정을 생략할 수 있는 장점이 있고, 어레이기판에 상기 블랙매트릭스를 구성하는 경우, 합착마진을 생략하여 설계가 가능함으로 합착마진 만큼의 개구 영역을 더욱 확보할 수 있는 장점이 있다.

이하, 도 6a와 도 6b는 본 발명에 따른 구동회로 일체형 액정표시장치의 구성을 개략적으로 도시한 단면도이다.

(도 6a는 구동회로부의 CMOS를 나타낸 단면도이고, 도 6b는 표시부의 단일 화소를 나타낸 단면도이다.)

도시한 바와 같이, 본 발명에 따른 구동회로 일체형 액정표시장치(LP)는 표시부(D1)와 비표시부(D2)로 구성된 컬러필터 기관(CS)과, 구동회로(DC) 일체형 박막트랜지스터 어레이기관(AS)을 합착하여 구성한다.

상기 컬러필터 기관(CS)은, 표시부(D1)에 정의된 다수의 화소 영역(P)마다 이에 대응하여 컬러필터(302)를 구성하고, 상기 컬러필터(302)의 전면에 투명한 공통 전극(304)을 구성한다.

상기 구동회로 일체형 박막트랜지스터 어레이기관(AS)은, 비표시부(D2)에 구동회로(DC)를 구성하고 표시부(D1)의 화소 영역(P)에 대응하여 스위칭 소자(다결정 박막트랜지스터, T)와 스토리지 캐패시터(Cst)와 화소전극(148)을 구성한다.

상기 구동회로(DC)는 n형 다결정 박막트랜지스터(T(n))와 p형 다결정 박막트랜지스터(T(p))로 구성된 CMOS조합으로 형성하는 것이 일반적이며, 상기 스위칭 소자(T)는 n형 다결정 박막트랜지스터 이다.

이때, 상기 n형 다결정 박막트랜지스터를 형성할 때, 누설전류 특성을 개선하기 위한 구성으로 저농도 도핑영역(LDD)을 형성하는 것을 특징으로 한다.

또한, 전술한 구성에서 특징적인 것은 상기 표시부(D1)와 비 표시부(D2)에 대응하여 빛 차단수단인 블랙매트릭스(black matrix, 102)를 구성하는 동시에 얼라인 키(도 5의 AK)를 형성하는 것이다.

상기 얼라인 키(alignment key)의 존재로 인해 마스크 공정시 셀프 얼라인이 가능해져 공정 단순화 및 또 다른 방식의 공정이 가능해졌다.

비표시부(D2)의 블랙매트릭스(102)는 구동회로(DC)가 구성된 영역의 하부 전면에 구성하고, 상기 표시부(D1)에 위치하는 블랙매트릭스(102)는 각 화소 영역(P)에 구성된 스위칭 소자(및 스토리지 캐패시터)의 하부와 화소 영역(P)간 경계영역에 대응하도록 구성한다. 즉, 전체적으로 격자형상의 구성이 될 수 있다.

전술한 바와 같이, 컬러필터 기관(CS)의 블랙매트릭스를 박막트랜지스터 어레이기관(AS)에 구성하게 되면, 합착마진을 두지 않아도 되므로 합착마진만큼의 개구영역을 확보할 수 있다.

또한, 앞서 도 5에서 설명한 바와 같이, 블랙매트릭스(102)를 형성할 때 기관(100)의 비표시부(D2)에 얼라인키(도 5의 AK) 형성이 가능하므로, 이후 공정에서 상기 얼라인키(alignment key)를 이용한 셀프얼라인(self align)이 가능하므로 서로 다른 영역의 도핑공정을 동일한 공정에서 진행할 수 있으므로 마스크 공정을 줄일 수 있는 장점이 있다.(스토리지 영역과 n 영역의 n+ 도핑공정을 동시에 진행함.)

이하, 공정 단면도를 참조하여, 본 발명에 따른 구동회로 일체형 박막트랜지스터 어레이기관의 제조공정을 설명한다.

도 7a 내지 도 7k와 도 8a 내지 도 8k는 본 발명에 따른 구동회로 일체형 액정표시장치용 박막트랜지스터 어레이기관의 제조공정을 도시한 도면이다.

도 7a와 도 8a는 제 1 마스크 공정을 나타낸 단면도이다.

도시한 바와 같이, 기관(100)을 표시부(D1)와 비표시부(D2)로 정의하고, 다시 표시부(D1)에 스위칭 영역(A3)과 스토리지 영역(A4)을 포함하는 화소 영역(P)을 정의하고, 상기 비표시부(D2)에는 구동회로(CMOS소자로 구성된 회로)가 구성되기 위한 P영역(A1)과 N영역(A2)을 정의한다.

전술한 바와 같이 다수의 영역이 정의된 기관(100)상에 크롬(Cr)과 같이 반사율이 낮은 불투명한 금속을 증착하고 제 1 마스크 공정으로 패터닝하여, 상기 P영역(A1)과 N영역(A2)과 스위칭 영역(A3)과 스토리지 영역(A4)에 대응하여 패터닝된 블랙매트릭스(102)를 형성한다.

동시에, 상기 기관의 비표시부(D2)에 대응하여 얼라인 키(도 5의 AK)를 형성한다.

7b와 도 8b는 제 2 마스크 공정을 나타낸 단면도이다.

도시한 바와 같이, 상기 P영역(A1)과 N영역(A2)과 스위칭 영역(A3)과 스토리지 영역(A4)에 대응하여 블랙매트릭스(102)가 형성된 기판(100)의 전면에 질화 실리콘(SiN_x)과 산화 실리콘(SiO_2)을 포함하는 무기절연물질 그룹 중 선택된 하나 또는 그 이상의 물질을 증착하여 버퍼층(104)을 형성한다.

다음으로, 상기 버퍼층(104)의 상부에 불순물이 포함되지 않은 비정질 실리콘(a-Si:H)을 증착하여 비정질 실리콘층(106)을 형성한다.

다음으로, 상기 비정질 실리콘층(106)이 형성된 기판(100)의 전면에 포토레지스트(photoresist)를 도포하고 제 2 마스크 공정으로 노광 및 현상하여, N영역(A2)과 스위칭 영역(A3)과 스토리지 영역(A4)과, P영역(A1)의 일부를 차단하는 감광패턴(108)을 형성한다.

이때, P 영역(A1)을 제 1 액티브 영역(B1)과 제 2 액티브 영역(B2)으로 정의하고 상기 액티브 영역(B1)에 대응하는 부분만을 감광패턴(108)으로 차단한다.

다음으로, 상기 감광패턴(108)이 형성된 비정질 실리콘층(106)의 표면에 p+ 이온을 도핑(doping)하는 공정을 진행한다.

이와 같이 하면, 상기 감광패턴(108)의 주변으로 노출된 비정질 실리콘층(106)의 표면에 p+ 이온이 도핑되며 특히, 상기 P 영역(A1)의 노출된 제 2 액티브 영역(B2)은 오믹콘택(ohmic contact)영역이 된다.

전술한 바와 같은 p+ 이온 도핑공정이 완료되면, 상기 감광패턴(108)을 제거하는 공정을 진행한다.

도 7c와 도 8c는 제 3 마스크 공정을 나타낸 단면도이다.

도시한 바와 같이, 상기 N영역(A2)과 스위칭 영역(A3)과 스토리지 영역(A4)을 제외한 영역에 p+ 이온이 도핑된 비정질 실리콘층(106)의 표면에 포토레지스트(photoresist)를 도포한 후 제 3 마스크로 노광한 후 현상하여, 상기 P영역(A1)과 N영역(A2)과 스위칭 영역(A3)을 차단하는 감광패턴(110)을 형성한다.

이때, 상기 N영역(A2)과 스위칭 영역(A3)은 제 1 액티브 영역(B1)과 LDD영역(B3)과 제 2 액티브 영역(B2)으로 정의하고, 상기 제 1 액티브 영역 및 LDD영역(B1, B3)에 대응하는 부분에만 상기 감광패턴이 위치하도록 한다.

다음으로, 상기 감광패턴(110)의 주변으로 노출된 비정질 실리콘층(106)의 표면 특히, N영역(A2)의 제 2 액티브 영역(B2)과 스토리지 영역(A3)에 n+ 이온을 도핑하는 공정을 진행한다.

이와 같은 공정을 통해, 상기 N영역(A2)에 대응하는 제 2 액티브 영역(B2)은 오믹 콘택영역(ohmic contact area)이 된다.

도 7d와 도 8d는 감광패턴을 애싱하는 공정을 나타낸 도면이다.

도시한 바와 같이, 애싱공정(ashing process)을 진행하여 상기 n+ 도핑시 패턴된 감광패턴을 표면으로부터 일부 제거하는 공정을 진행한다.

본 애싱공정은, 상기 N 영역 및 스위칭 영역(A2, A3)에 정의한 LDD영역(B3)을 노출하기 위한 공정이며 일반적인 건식식각 공정을 이용한다.

도 7e와 도 8e는 저농도 도핑 공정을 나타낸 도면이다.

애싱공정을 통해, 상기 N영역 및 스위칭 영역(A2, A3)에 정의한 LDD영역(B3)에 대응하는 비정질 실리콘층(106)의 표면에 n-이온을 도핑한다.(흔히, 저농도 도핑이라 하며 lightly doped drain을 의미하고 LDD라 쓴다.)

상기 LDD영역(B3)은 사실상 표시영역(D1)에 존재하는 스위칭 소자의 오프전류(off current)를 낮추어 스위칭 소자의 정확한 동작을 통해 고화질을 구현하기 위한 목적으로 사용된다

이때, 저농도 도핑은 도핑되는 이온의 양이 극히 작기 때문에, 고농도 도핑영역에 도핑되더라도 고농도 도핑영역의 특성이 변화하지 않는다.

도 7f와 도 8f는 제 4 마스크 공정을 나타낸 단면도이다.

전술한 바와 같은 이온 도핑공정이 완료된 비정질 실리콘층에 열을 가하여 이를 결정층으로 형성한 후 제 4 마스크 공정으로 패터닝하여, 상기 N영역(A1)과 P영역(A2)과 스위칭 영역(A3)과 스토리지 영역(A4)에 제 1 반도체층(112)과 제 2 반도체층(114)과 제 3 반도체층(116)과 제 4 반도체층(118)을 형성한다.

이때, 상기 제 3 반도체층(116)과 제 4 반도체층(118)은 한 몸으로 패터닝한다.

상기 비정질 실리콘층(미도시)을 결정화 하는 방법은 다수가 있으나, 일반적으로 레이저(laser)를 이용하는 방법을 사용한다.

도 7g와 도 8g는 제 5 마스크 공정을 나타낸 단면도이다.

도시한 바와 같이, 상기 제 1 내지 제 4 반도체층(112,114,116,118)이 형성된 기판(100)의 전면에 질화 실리콘(SiN_2)과 산화 실리콘(SiO_2)을 포함하는 무기절연물질그룹 중 선택된 하나 또는 그 이상을 증착하여 게이트 절연막(120)을 형성한다.

다음으로, 상기 게이트 절연막(120)이 형성된 기판(100)의 전면에 알루미늄(Al), 크롬(Cr), 몰리브덴(Mo), 텅스텐(W)을 포함하는 도전성 금속 그룹 중 선택된 하나 또는 그 이상의 물질을 증착하고 제 5 마스크 공정으로 패터닝하여, 상기 P영역(A1)과 N영역(A2)과 스위칭 영역(A3)에 제 1 게이트 전극(122)과 제 2 게이트 전극(124)과 제 3 게이트 전극(126)을 형성한다. 또한, 상기 스토리지 영역(A4)에는 상기 제 4 반도체층(118)에 대응하여 금속전극(128)을 형성한다.

이때, 상기 제 4 반도체층(118)은 앞서 n+ 이온이 도핑된 상태로 결정화되었기 때문에 스토리지 제 1 전극으로서의 기능을 하게 되고, 상기 금속전극(128)은 스토리지 제 2 전극의 기능을 하게 되고, 상기 게이트 절연막(120)을 유전체로 하는 스토리지 캐패시터(storage capacitor, Cst)가 형성된다.

상기 제 1 내지 제 3 게이트 전극(122,124,126)은 그 하부에 위치한 제 1 내지 제 3 반도체층(112,114,116)의 액티브영역(B1)에 위치하도록 형성한다.

도 7h와 도 8h는 제 6 마스크 공정을 나타낸 단면도이다.

상기 제 1 내지 제 3 게이트 전극(122,124,126)과 스토리지 제 2 전극(128)이 형성된 기판(100)의 전면에 앞서 언급한 무기절연물질 그룹 중 하나 또는 그 이상의 물질을 증착하여 층간 절연막(130)을 형성한다.

다음으로, 상기 층간 절연막(130)을 제 6 마스크 공정으로 패터닝하여, 상기 제 1 내지 제 3 반도체층(112,114,116)의 각 양측 오믹 영역(B2, 제 2 액티브영역)을 노출하는 제 1 콘택홀(132a,134a,136a)과 제 2 콘택홀(132b,134b,136b)을 형성한다.

도 7i와 도 8i는 제 7 마스크 공정을 나타낸 단면도이다.

도시한 바와 같이, 상기 층간 절연막(130)이 형성된 기판(100)의 전면에 앞서 언급한 도전성 금속 그룹 중 선택된 하나 또는 그 이상의 물질을 증착하고 패터닝하여, 상기 각 반도체층(제 1 내지 제 3 반도체층)에 노출된 오믹 영역(B2)과 접촉하는 소스 전극(138a,140,142a)과 드레인 전극(138b,140b,142b)을 각각 형성한다.

전술한 바와 같은 공정으로, 상기 P 영역(A1)에는 p형 다결정 박막트랜지스터가 형성되고 N영역에는 n형 다결정 박막트랜지스터가 형성되고, 비표시부에 CMOS소자가 형성된다.

도 7j와 도 8j는 제 8 마스크 공정을 나타낸 단면도이다.

상기 표시부(D1)와 비표시부(D2)에 CMOS소자와 스위칭 소자가 형성된 기판(100)의 전면에 앞서 언급한 무기절연물질 그룹 중 선택된 하나 또는 그 이상의 물질을 증착하여 보호층(144)을 형성한다.

다음으로 상기 보호층(144)을 제 8 마스크 공정으로 패터하여, 상기 스위칭 소자의 드레인 전극(142b)을 노출하는 드레인 콘택홀(146)을 형성한다.

도 7k와 도 8k는 제 9 마스크 공정을 나타낸 단면도이다.

상기 보호층(144)이 형성된 기판(100)의 전면에 인듐-틴-옥사이드(ITO)와 인듐-징크-옥사이드(IZO)를 포함하는 투명한 도전성 금속 그룹 중 선택된 하나를 증착하고 제 9 마스크 공정으로 패터하여, 상기 노출된 드레인 전극(142b)과 접촉하면서 화소 영역(P)의 전면에 형성된 화소 전극(148)을 형성한다.

이상으로 본 발명의 제 1 실시예에 따른 액정표시장치용 어레이기판의 제조공정을 설명하였다.

전술한 바와 같이 제작된 어레이기판과 합착되는 컬러필터 기판(도 6a와 6b의 CS)은, 블랙매트릭스(102)를 형성하지 않기 때문에 다수의 화소 영역(P)에 순차로 적,녹,청 컬러필터(도 6a,6b의 302)를 형성하는 3 마스크 공정과, 상기 컬러필터가 형성된 기판의 전면에 공통 전극(도 6a와 6b의 304)을 형성하는 공정을 진행한다.

즉, 종래와 달리 상기 블랙매트릭스를 형성하는 공정이 하부기판에 진행되므로 컬러필터 형성공정은 3 마스크공정으로 완료 할 수 있고, 상기 블랙매트릭스를포함하는 어레이기판의 공정은 9 마스크 공정으로 완료 할 수 있으므로 총 12 마스크 공정으로 구동회로 일체형 액정표시장치를 제작할 수 있다.

이는, 종래와 비교하여 1 마스크 공정이 단축된 것이다.

이하, 전술한 제 1 실시예의 변형예를 이하 제 2 실시예를 통해 설명한다.

- - 제 2 실시예 - -

본 발명의 제 2 실시예의 특징은 구동소자 및 스위칭 소자로 사용하는 n형 박막트랜지스터를 형성할 때, 게이트 전극이 액티브 영역과 LDD영역을 덮는 구조인 것을 특징으로 한다.

이하, 공정 도면을 참조하여 본 발명의 제 2 실시예에 따른 구동회로 일체형 박막트랜지스터 어레이기판의 제조공정을 설명한다.

도 9a 내지 도 9k와 도 10a 내지 도 10k는 본 발명에 따른 구동회로 일체형 액정표시장치용 박막트랜지스터 어레이기판의 제조공정을 도시한 도면이다.

도 9a와 도 10a는 제 1 마스크 공정을 나타낸 공정 단면도이다.

도시한 바와 같이, 기판(200)을 표시부(D1)와 비표시부(D2)로 정의하고, 다시 표시부(D1)에 스위칭 영역(A3)과 스토리지 영역(A4)을 포함하는 화소 영역(P)을 정의하고, 상기 비표시부(D2)에는 구동회로(CMOS소자로 구성된 회로)가 구성되기 위한 P영역(A1)과 N영역(A2)을 정의한다.

전술한 바와 같이 다수의 영역이 정의된 기판(200)상에 크롬(Cr)과 같이 반사율이 낮은 불투명한 금속을 증착하고 제 1 마스크 공정으로 패터하여, 상기 P영역(A1)과 N영역(A2)과 스위칭 영역(A3)과 스토리지 영역(A4)에 대응하여 패터된 블랙매트릭스(202)를 형성한다.

동시에, 상기 기판(200)의 비표시부(D2)에 대응하여 얼라인 키(도 5의 AK)를 형성한다.

도 9b와 도 10b는 제 2 마스크 공정을 나타낸 공정 단면도이다.

도시한 바와 같이, 상기 P영역(A1)과 N영역(A2)과 스위칭 영역(A3)과 스토리지 영역(A4)에 대응하여 블랙매트릭스(202)가 형성된 기판(200)의 전면에 질화 실리콘(SiN_x)과 산화 실리콘(SiO_2)을 포함하는 무기절연물질 그룹 중 선택된 하나 또는 그 이상의 물질을 증착하여 버퍼층(204)을 형성한다.

다음으로, 상기 버퍼층(204)의 상부에 불순물이 포함되지 않은 비정질 실리콘(a-Si:H)을 증착하여 비정질 실리콘층(206)을 형성한다.

다음으로, 상기 비정질 실리콘층(206)이 형성된 기판(200)의 전면에 포토레지스트(photoresist)를 도포하고 제 2 마스크 공정으로 노광 및 현상하여, N영역(A2)과 스위칭 영역(A3)과 스토리지 영역(A4)과, P영역(A1)의 일부를 차단하는 감광패턴(208)을 형성한다.

이때, P영역(A1)을 제 1 액티브 영역(B1)과 제 2 액티브 영역(B2)으로 정의하고 상기 액티브 영역(B1)에 대응하는 부분만을 감광패턴(208)으로 차단한다.

다음으로, 상기 감광패턴(208)이 형성된 비정질 실리콘층(206)의 표면에 p+ 이온을 도핑(doping)하는 공정을 진행한다.

이와 같이 하면, 상기 감광패턴(208)의 주변으로 노출된 비정질 실리콘층(206)의 표면에 p+ 이온이 도핑되며 특히, 상기 P영역(A1)의 노출된 제 2 액티브 영역(B2)은 오믹콘택(ohmic contact)영역이 된다.

전술한 바와 같은 p+ 이온 도핑공정이 완료되면, 상기 감광패턴(208)을 제거하는 공정을 진행한다.

도 9c와 도 10c는 제 3 마스크 공정을 나타낸 단면도이다.

도시한 바와 같이, 상기 N영역(A2)과 스위칭 영역(A3)과 스토리지 영역(A4)을 제외한 영역에 p+ 이온이 도핑된 비정질 실리콘층(206)의 표면에 포토레지스트(photoresist)를 도포한 후 제 3 마스크로 노광한 후 현상하여, 상기 P영역(A1)과 N영역(A2)과 스위칭 영역(A3)을 차단하는 감광패턴(210)을 형성한다.

이때, 상기 N영역(A2)과 스위칭 영역(A3)은 제 1 액티브 영역(B1)과 LDD영역(B3)과 제 2 액티브 영역(B2)으로 정의하고, 상기 제 1 액티브 영역 및 LDD영역(B1,B3)에 대응하는 부분에만 상기 감광패턴(210)이 위치하도록 한다.

다음으로, 상기 감광패턴(210)의 주변으로 노출된 비정질 실리콘층(206)의 표면 특히, N영역(A2)과 스위칭 영역(A3)의 제 2 액티브 영역(B2)과 스토리지 영역(A4)에 n+ 이온을 도핑하는 공정을 진행한다.

이와 같은 공정을 통해, 상기 N영역(A2)과 스위칭 영역(A3)에 대응하는 제 2 액티브 영역(B2)은 오믹 콘택영역(ohmic contact area)이 된다.

도 9d와 도 10d는 감광패턴을 애싱하는 공정을 나타낸 도면이다.

도시한 바와 같이, 애싱공정(ashing process)을 진행하여 상기 n+ 도핑시 패턴된 감광패턴(210)을 표면으로부터 일부 제거하는 공정을 진행한다.

본 애싱공정은, 상기 N영역 및 스위칭 영역(A2,A3)에 정의한 LDD영역(B3)을 노출하기 위한 공정이며 일반적인 건식식각공정을 이용한다.

도 9e와 도 10e는 저농도 도핑 공정을 나타낸 도면이다.

애싱공정을 통해, 상기 N영역 및 스위칭 영역(A2,A3)에 정의한 LDD영역(B3)에 대응하는 비정질 실리콘층(206)의 표면에 n-이온을 도핑한다.(흔히, 저농도 도핑이라 하며 lightly doped drain을 의미하고 LDD라 쓴다.)

상기 LDD영역(B3)은 사실상 표시영역(D1)에 존재하는 스위칭 소자의 오프전류(off current)를 낮추어 스위칭 소자의 정확한 동작을 통해 고화질을 구현하기 위한 목적으로 사용된다.

이때, 상기 저농도 도핑인 n-도핑 공정 중 고농도 도핑영역(특히, p+ 영역)에 n- 이온이 도핑되더라도 특성이 변화하지 않는다.

도 9f와 도 10f는 제 4 마스크 공정을 나타낸 단면도이다.

전술한 바와 같은 이온 도핑공정이 완료된 비정질 실리콘층에 열을 가하여 이를 결정함으로써 결정층으로 형성한 후 제 4 마스크 공정으로 패터닝하여, 상기 N영역(A2)과 P영역(A1)과 스위칭 영역(A3)과 스토리지 영역(A4)에 제 1 반도체층(212)과 제 2 반도체층(214)과 제 3 반도체층(216)과 제 4 반도체층(218)을 형성한다.

이때, 상기 제 3 반도체층(216)과 제 4 반도체층(218)은 한 몸으로 패터닝한다.

상기 비정질 실리콘층(미도시)을 결정화 하는 방법은 다수가 있으나, 일반적으로 레이저(laser)를 이용하는 방법을 사용할 수 있다.

도 9g와 도 10g는 제 5 마스크 공정을 나타낸 단면도이다.

도시한 바와 같이, 상기 제 1 내지 제 4 반도체층(212,214,216,218)이 형성된 기판(200)의 전면에 질화 실리콘(SiN_2)과 산화 실리콘(SiO_2)을 포함하는 무기절연물질그룹 중 선택된 하나 또는 그 이상을 증착하여 게이트 절연막(220)을 형성한다.

다음으로, 상기 게이트 절연막(220)이 형성된 기판(200)의 전면에 알루미늄(Al), 크롬(Cr), 몰리브덴(Mo), 텅스텐(W)을 포함하는 도전성 금속 그룹 중 선택된 하나 또는 그 이상의 물질을 증착하고 제 5 마스크 공정으로 패터닝하여, 상기 P영역(A1)과 N영역(A2)과 스위칭 영역(A3)에 제 1 게이트 전극(222)과 제 2 게이트 전극(224)과 제 3 게이트 전극(226)을 형성한다. 또한, 상기 스토리지 영역(A4)에는 상기 제 4 반도체층(218)에 대응하여 금속전극(228)을 형성한다.

이때, 상기 제 4 반도체층(218)은 앞서 n+ 이온이 도핑된 상태로 결정화되었기 때문에 스토리지 제 1 전극으로서의 기능을 하게 되고, 상기 금속전극(228)은 스토리지 제 2 전극의 기능을 하게 되고, 상기 게이트 절연막(220)을 유전체로 하는 스토리지 캐패시터(storage capacitor, Cst)가 형성된다.

상기 제 1 게이트 전극(222)은 그 하부에 위치한 제 1 반도체층(212)의 제 1 액티브영역(B1)에 대응하여 위치하고, 상기 제 2 게이트 전극(224)과 제 3 게이트 전극(226)은 그 하부의 제 2 반도체층(214)과 제 3 반도체층(216)의 제 1 액티브영역(B1)과 LDD영역(B3)에 걸쳐 형성하는 것을 특징으로 한다.

이와 같이 상기 게이트 전극이 LDD영역(B3)을 덮는 구조는, 상기 LDD영역(B3)으로 인해 캐리어(carry)의 움직임이 느려지는 것을 개선할 수 있는 특징이 있다.

도 9h와 도 10h는 제 6 마스크 공정을 나타낸 단면도이다.

상기 제 1 내지 제 3 게이트 전극(222,224,226)과 스토리지 제 2 전극(228)이 형성된 기판(200)의 전면에 앞서 언급한 무기절연물질 그룹 중 하나 또는 그 이상의 물질을 증착하여 층간 절연막(230)을 형성한다.

다음으로, 상기 층간 절연막(230)을 제 6 마스크 공정으로 패터닝하여, 상기 제 1 내지 제 3 반도체층(212,214,216)의 각 양측 제 2 액티브 영역(B2, 오믹 콘택영역)을 노출하는 제 1 콘택홀(232a,234a,236a)과 제 2 콘택홀(232b,234b,236b)을 형성한다.

도 9i와 도 10i는 제 7 마스크 공정을 나타낸 단면도이다.

도시한 바와 같이, 상기 층간 절연막(230)이 형성된 기판(200)의 전면에 앞서 언급한 도전성 금속 그룹 중 선택된 하나 또는 그 이상의 물질을 증착하고 패터닝하여, 상기 각 반도체층(제 1 내지 제 3 반도체층)에 노출된 오믹 영역(D2)과 접촉하는 소스 전극(238a,240a,242a)과 드레인 전극(238b,240b,242b)을 각각 형성한다.

전술한 바와 같은 공정으로, 상기 P 영역(A1)에는 p형 다결정 박막트랜지스터가 형성되고 N영역(A2)에는 n형 다결정 박막트랜지스터가 형성됨으로써 이의 조합인 CMOS소자가 비표시부(D2)에 형성되는 결과를 얻을 수 있다.

또한, 상기 스위칭 영역(A3)에는 n형 다결정박막트랜지스터가 형성되고, 상기 스토리지 영역(A4)에는 스토리지 캐패시터(Cst)가 형성된다.

이때, 상기 CMOS소자 및 스위칭 소자로 사용되는 n형 다결정 박막트랜지스터의 구성에서, 게이트 전극을 구성할 때 반도체층의 액티브 영역과 LDD영역을 동시에 덮는 구조로 구성함으로써, 앞서 언급한 바와 같은 특성을 통해 안정된 온 커런트(on current)특성과 오프 커런트(off current)특성을 동시에 얻을 수 있는 장점이 있다.

도 9j와 도 10j는 제 8 마스크 공정을 나타낸 단면도이다.

상기 표시부(D1)와 비표시부(D2)에 스위칭 소자와 CMOS소자가 형성된 기관(200)의 전면에 앞서 언급한 무기절연물질 그룹 중 선택된 하나 또는 그 이상의 물질을 증착하여 보호층(244)을 형성한다.

다음으로 상기 보호층(244)을 제 8 마스크 공정으로 패터닝하여, 상기 스위칭 소자의 드레인 전극(242b)을 노출하는 드레인 콘택홀(246)을 형성한다.

도 9k와 도 10k는 제 9 마스크 공정을 나타낸 단면도이다.

상기 보호층(242)을 형성된 기관(200)의 전면에 인듐-틴-옥사이드(ITO)와 인듐-징크-옥사이드(IZO)를 포함하는 투명한 도전성 금속 그룹 중 선택된 하나를 증착하고 제 9 마스크 공정으로 패터닝하여, 상기 노출된 드레인 전극(242b)과 접촉하면서 화소 영역(P)의 전면에 형성된 화소 전극(248)을 형성한다.

이상으로 전술한 바와 같은 9마스크 공정으로 본 발명에 따른 박막트랜지스터 어레이기관을 제작할 수 있다.

이상으로, 본 발명의 제 1 및 제 2 실시예에 따른 구동회로 일체형 액정표시장치용 어레이기관을 제작할 수 있다.

전술한 제 1 및 제 2 실시예에 따른 컬러필터 기관의 블랙매트릭스를 박막트랜지스터 어레이기관에 구성함으로써 아래와 같은 장점이 있다.

1. 컬러필터 기관을 제작할 때, 기존의 4 마스크 공정에서 3 마스크 공정으로 공정이 단순해 졌다.
2. 박막트랜지스터 어레이기관을 제작하는 공정 시, 상기 블랙매트릭스를 형성하는 공정과 동시에 얼라인 키 형성이 가능하기 때문에 이후 공정에서, 셀프 얼라인이 가능해졌다.

즉, N영역 및 스위칭 영역에 동시에 이온을 도핑하는 공정이 가능해진 동시에, 비정질 실리콘층을 결정화 하지 않은 상태에서, 정확한 영역에 이온 도핑공정이 가능해 졌다.

또한, 이와 같이 비정질 실리콘 상태에서 이온을 도핑하고 결정화하게 되면 도핑된 이온이 안정된 상태로 분포하게 되어 소자의 특성이 개선되는 장점이 있다.

따라서, 상기 블랙매트릭스를 형성하기 위한 공정이 하나 더 늘었음에도 불구하고, 공정은 종래의 9마스크 공정으로 동일하므로 결국 공정이 단순해진 셈이다.

3. 블랙매트릭스를 하부 기관에 형성함으로써 두 기관을 합착하는 공정 중 발생할 수 있는 합착오차를 고려한 마진 설계를 하지 않아도 되므로, 상기 합착 마진만큼의 개구영역을 더욱 확보할 수 있는 장점이 있다.

4. 스위칭 소자에 LDD영역을 형성함으로써, 스위칭 소자의 오프전류 특성을 낮출 수 있는 장점이 있다.

5. LDD영역에 게이트 전극을 확장 형성함으로써, 오프 전류 특성 및 온 전류 특성을 동시에 만족시킬 수 있는 장점이 있다.

발명의 효과

따라서, 본 발명에 따른 구동회로 일체형 액정표시장치용 어레이 기관의 제조방법은 아래와 같은 효과가 있다.

첫째, 통상 컬러필터 기관에 구성하던 빛 차단 수단을 어레이기관에 구성함으로써, 빛 차단수단을 설계할 때 반드시 고려하였던 합착마진을 두지 않게 됨으로써, 합착마진 만큼의 개구영역을 확보할 수 있어 고휘도를 구현할 수 있는 효과가 있다.

둘째, 빛 차단수단을 어레이기관에 구성하는 공정에서 기관의 외곽에 얼라인 키(align key)를 형성할 수 있기 때문에, 마스크 공정 시 정확한 얼라인이 가능하여 이온 도핑 공정 또는 전극형성 공정 시 얼라인 오차가 발생하지 않아 공정수율을 개선할 수 있는 효과가 있다.

셋째, n형 박막트랜지스터를 구성할 때, LDD 영역을 형성함으로써 스위칭 소자의 오프 특성을 개선할 수 있고, 또 다른 구성으로 상기 LDD 영역의 상부로 게이트 전극을 연장 형성하는 구조를 도입함으로써, 스위칭소자의 누설전류 특성 및 온 전류 특성을 동시에 개선할 수 있어 액정패널의 안정된 동작특성을 얻을 수 있는 효과가 있다.

도면의 간단한 설명

도 1은 일반적인 구동회로 일체형 액정패널을 개략적으로 도시한 평면도이고,

도 2a와 도 2b는 종래에 따른 구동회로 일체형 액정표시장치의 단면구성을 개략적으로 도시한 단면도이고,

도 3a 내지 3i와 도 4a 내지 도 4i는 종래에 따른 구동회로 일체형 박막트랜지스터 어레이기관의 제조공정을 공정순서에 따라 도시한 공정 단면도이고,

도 5는 본 발명에 따른 구동회로 일체형 어레이기관의 구성을 개략적으로 도시한 평면도이고,

도 6a와 도 6b는 본 발명에 따른 구동회로 일체형 액정표시장치의 구성을 개략적으로 도시한 단면도이고,

도 7a 내지 도 7k와 도 8a 내지 도 8k는 본 발명에 따른 구동회로 일체형 액정표시장치용 박막트랜지스터 어레이기관의 제조공정을 도시한 공정 단면도이고,

도 9a 내지 도 9k와 도 10a 내지 도 10k는 본 발명에 따른 구동회로 일체형 액정표시장치용 박막트랜지스터 어레이기관의 제조공정을 도시한 공정 단면도이다.

< 도면의 주요 부분에 대한 부호의 설명 >

100 : 기관 102 : 블랙매트릭스

104 : 버퍼층 116 : 제 3 반도체층

118 : 제 4 반도체층 120 : 게이트 절연막

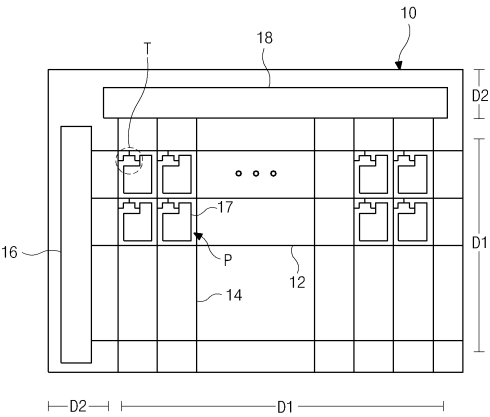
126 : 제 3 게이트 전극 128 : 제 2 스토리지 전극

130 : 층간 절연막 142a, 142b : 소스 전극, 드레인 전극

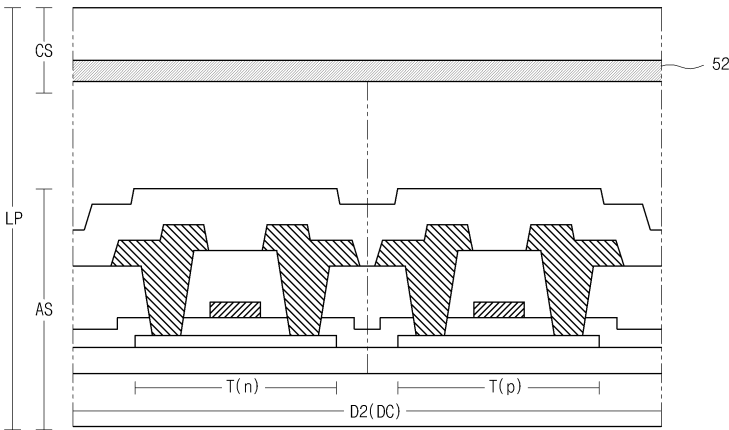
144 : 보호막 148 : 화소 전극

도면

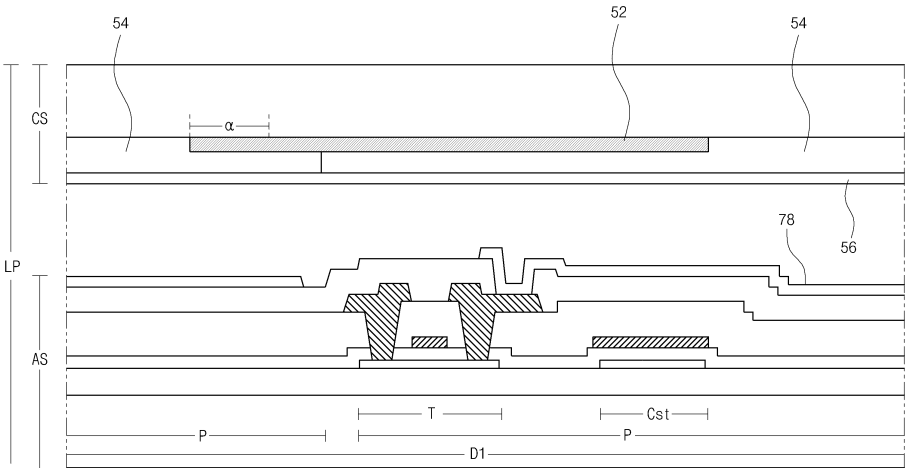
도면1



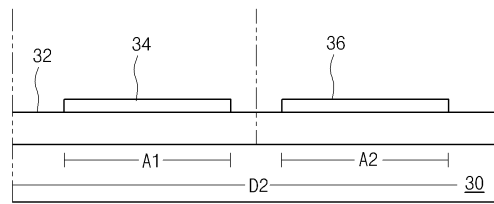
도면2a



도면2b

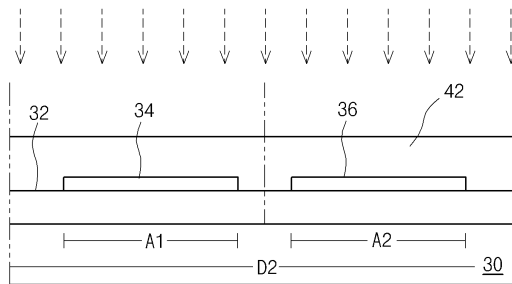


도면3a

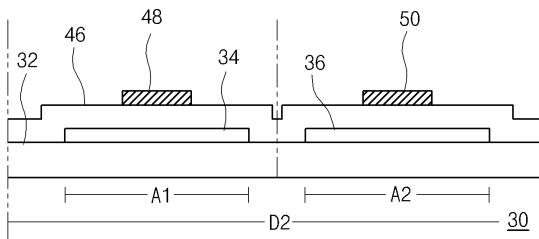


도면3b

n⁺ 이온도핑

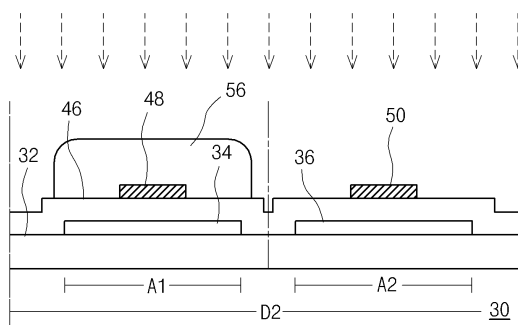


도면3c

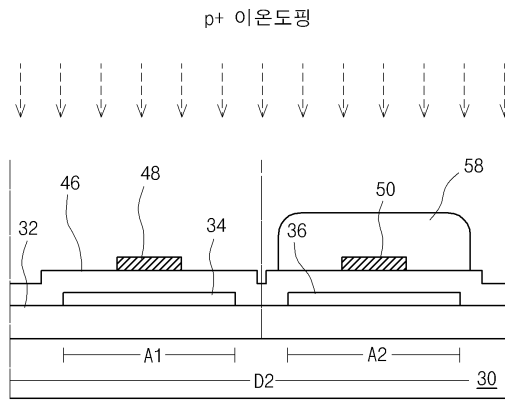


도면3d

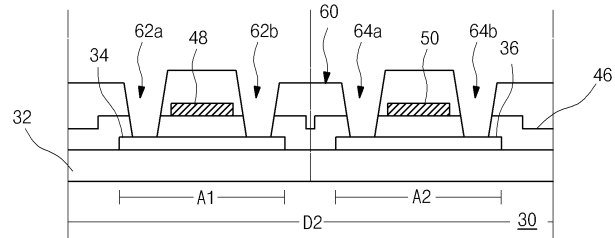
n⁺ 이온도핑



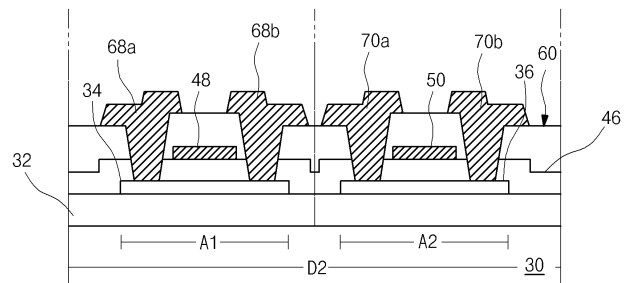
도면3e



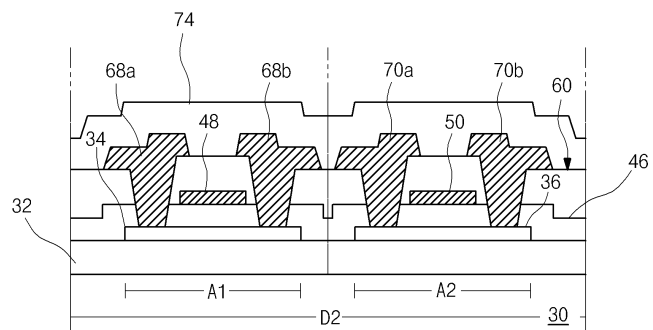
도면3f



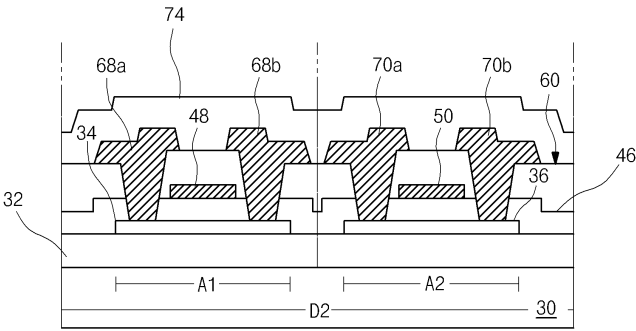
도면3g



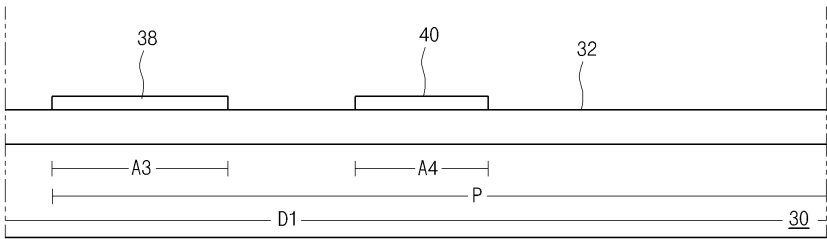
도면3h



도면3i

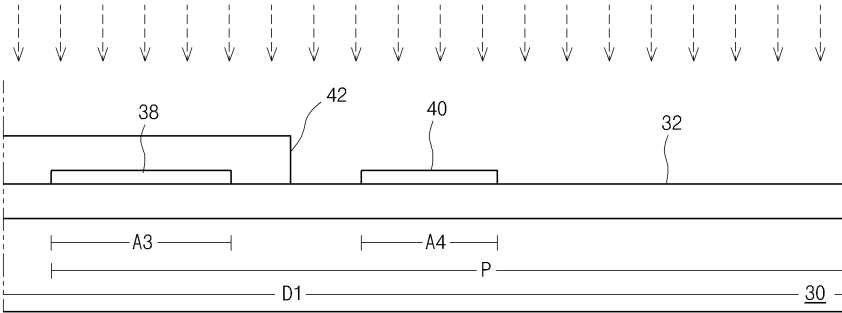


도면4a

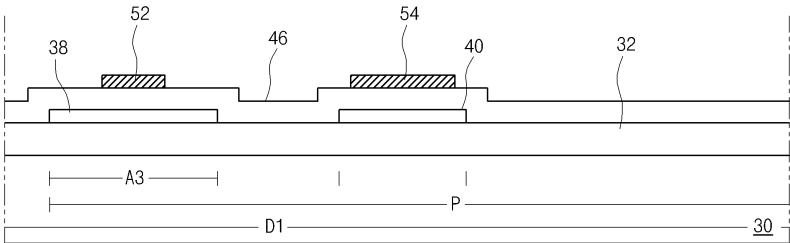


도면4b

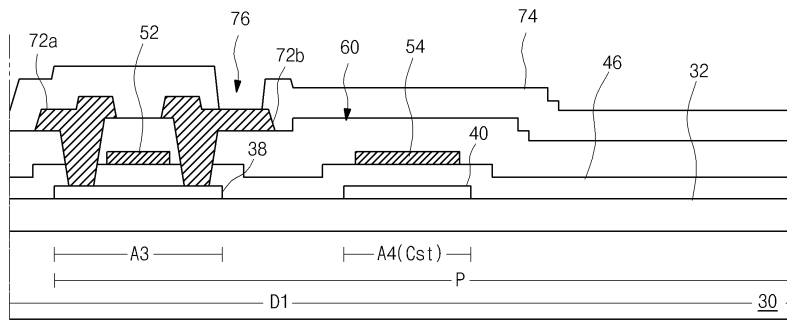
n+ 이온도핑



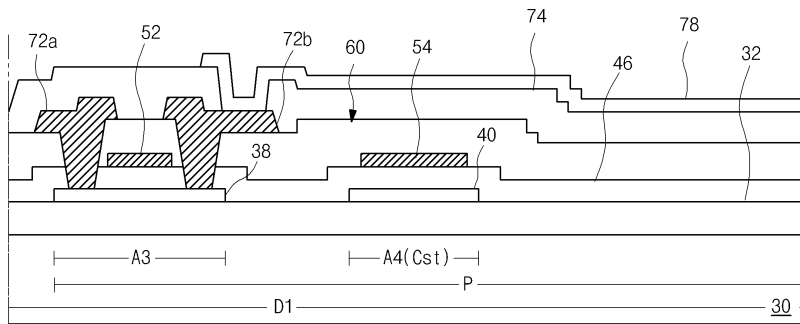
도면4c



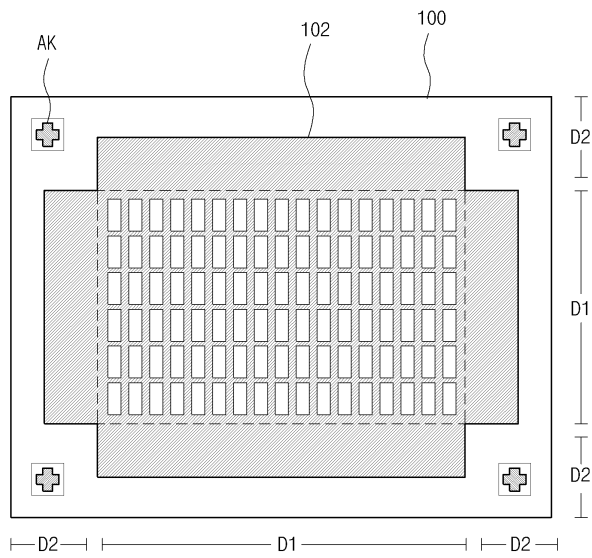
도면4h



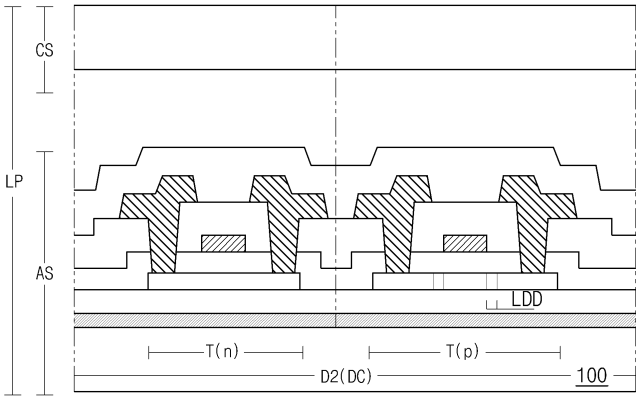
도면4i



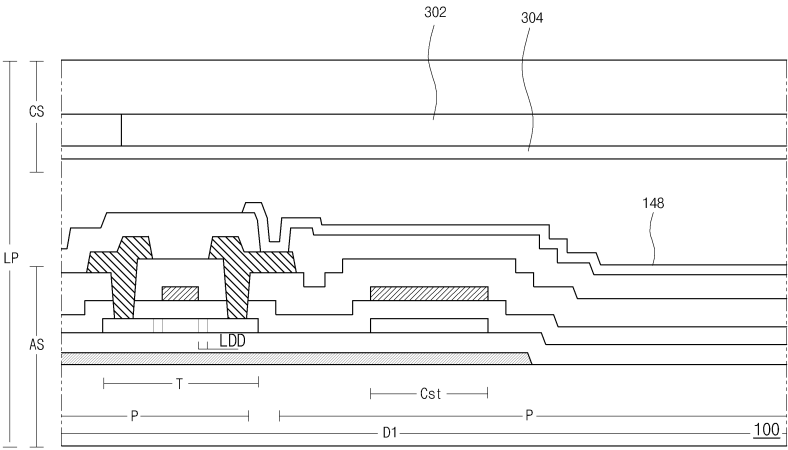
도면5



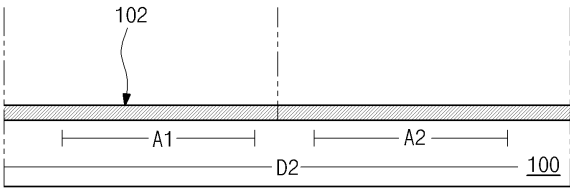
도면6a



도면6b

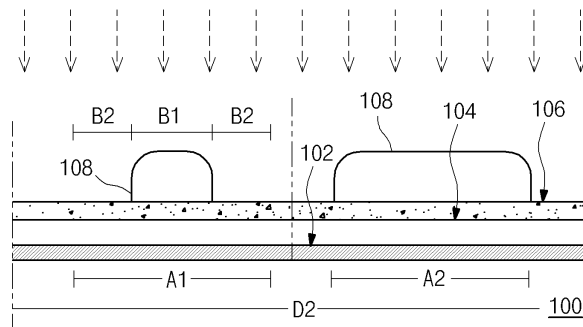


도면7a



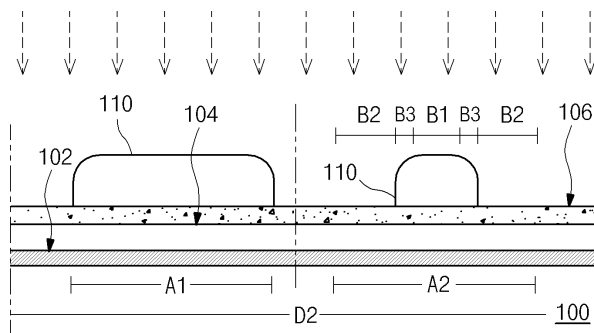
도면7b

p+ 이온도핑

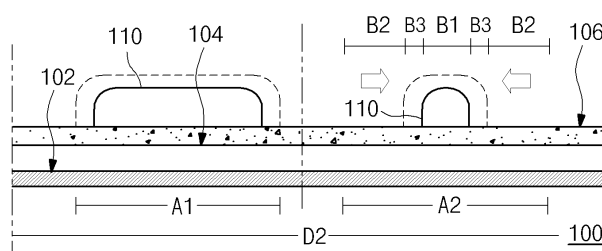


도면7c

n+ 이온도핑

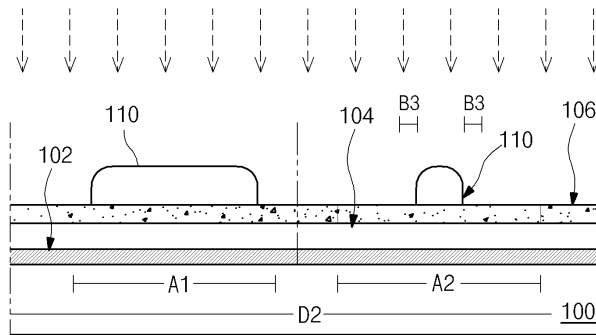


도면7d

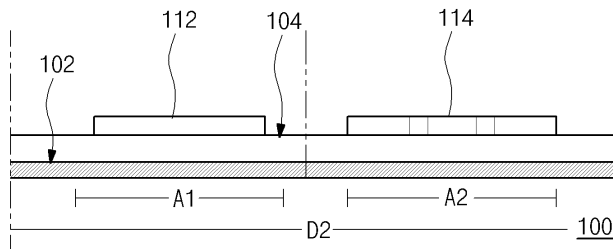


도면7e

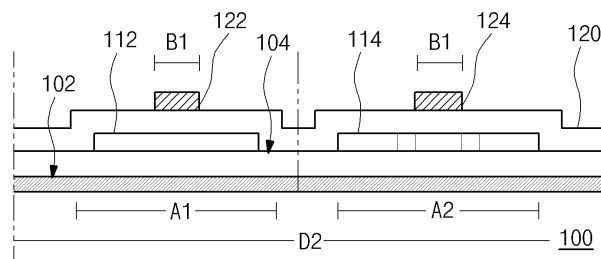
n- 이온도핑



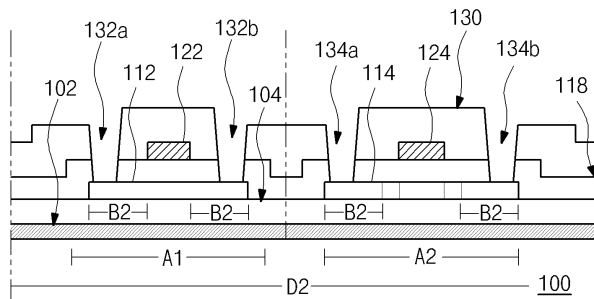
도면7f



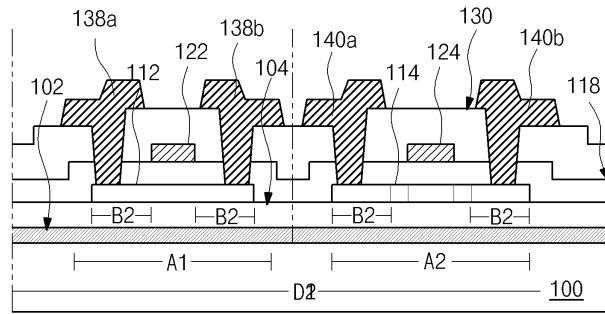
도면7g



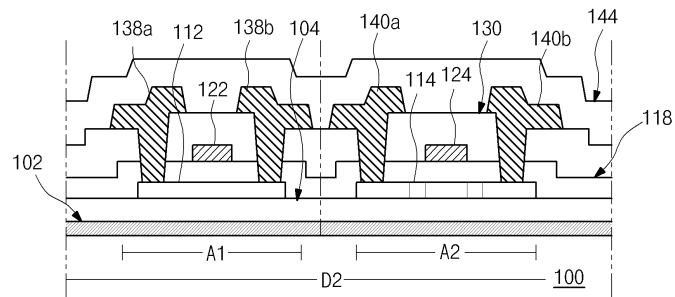
도면7h



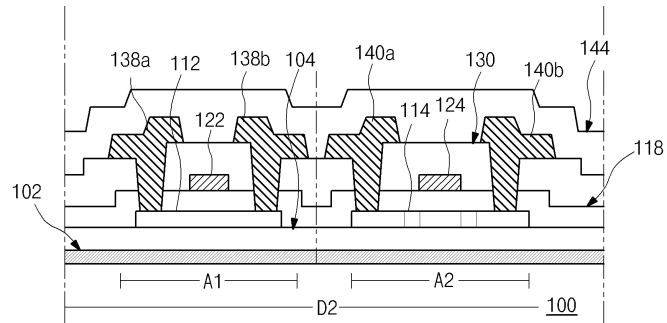
도면7i



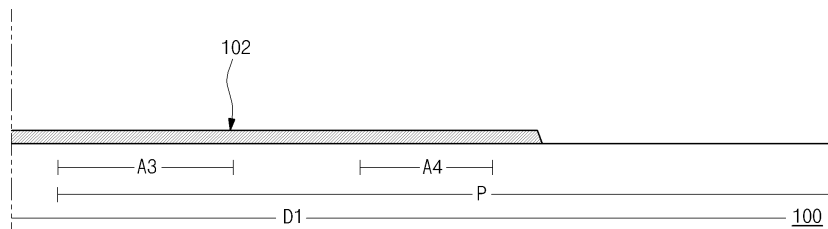
도면7j



도면7k

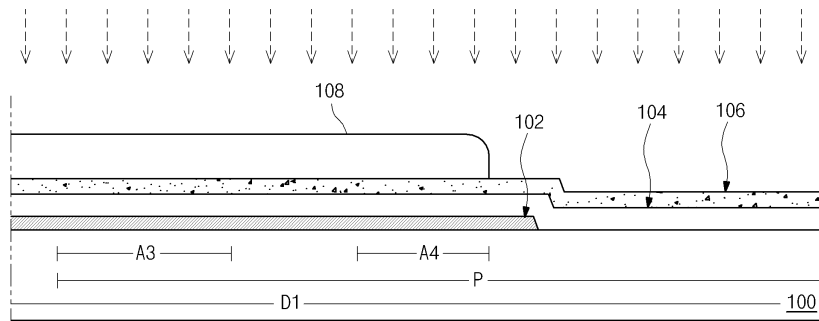


도면8a



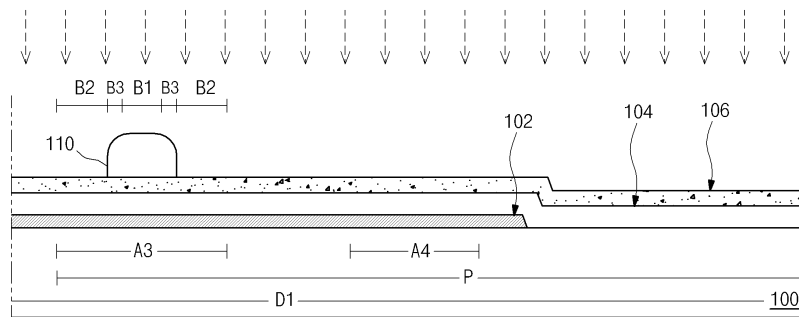
도면8b

p+ 이온도핑

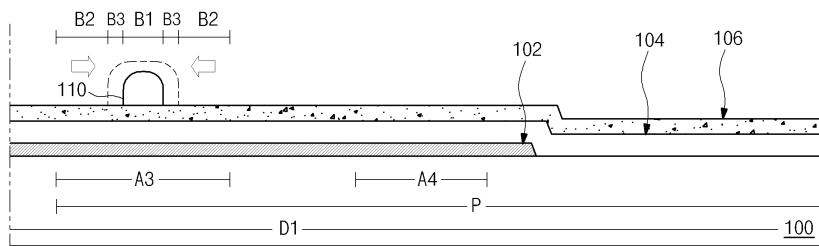


도면8c

n+ 이온도핑

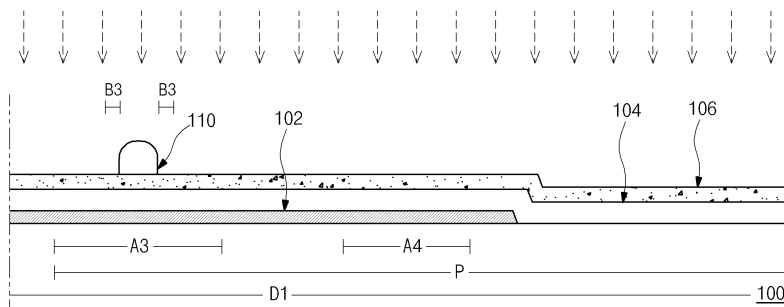


도면8d



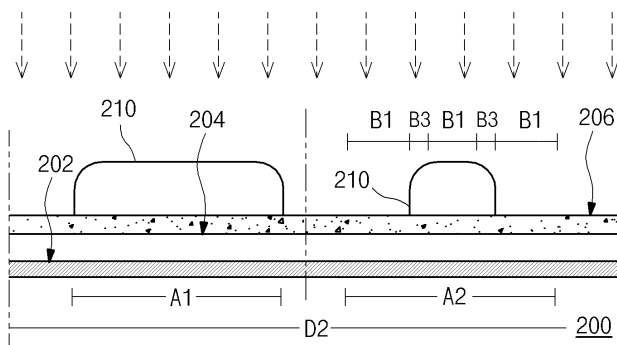
도면8e

n- 이온도핑

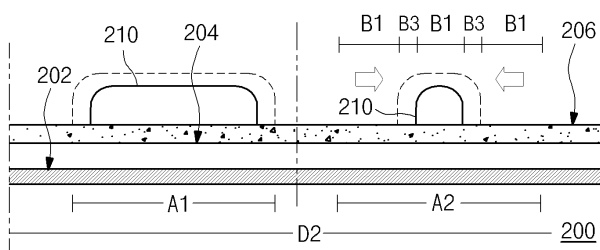


도면9c

n+ 이온도핑

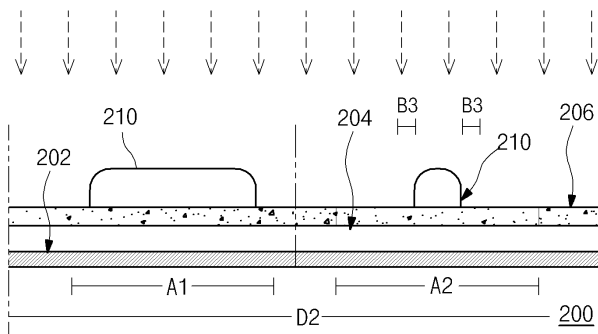


도면9d

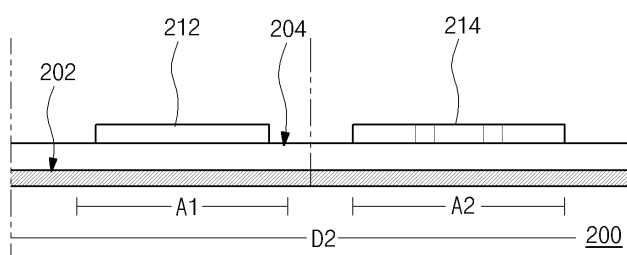


도면9e

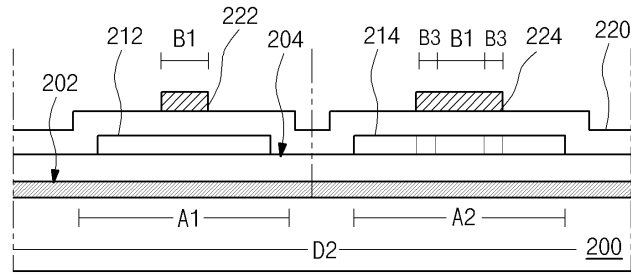
n- 이온도핑



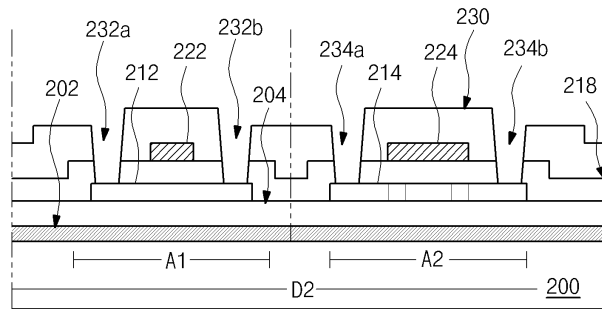
도면9f



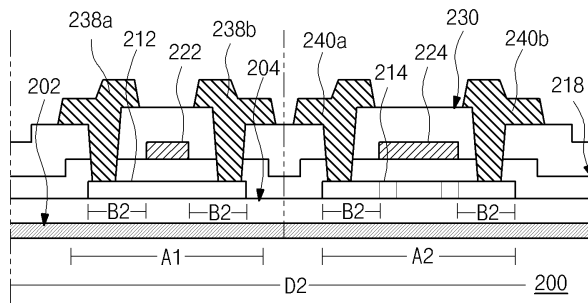
도면9g



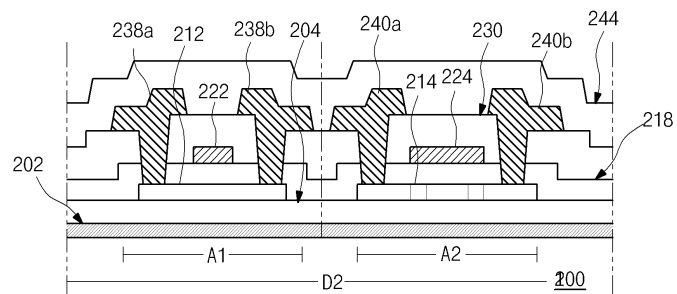
도면9h



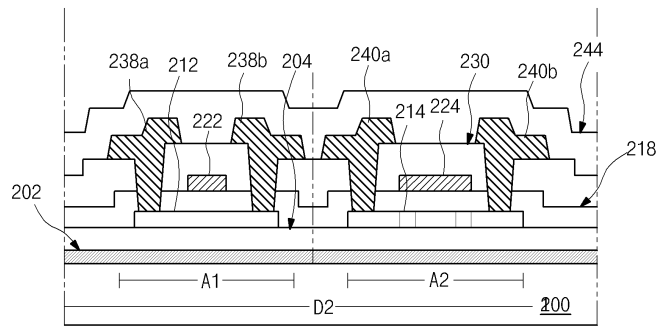
도면9i



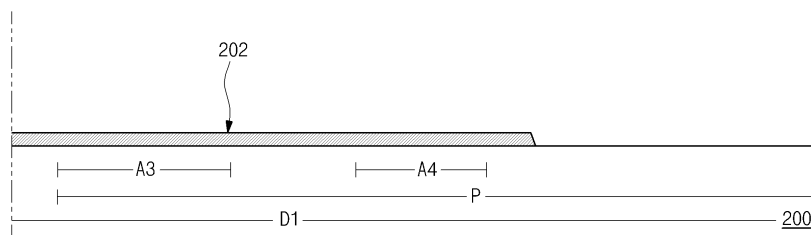
도면9j



도면9k

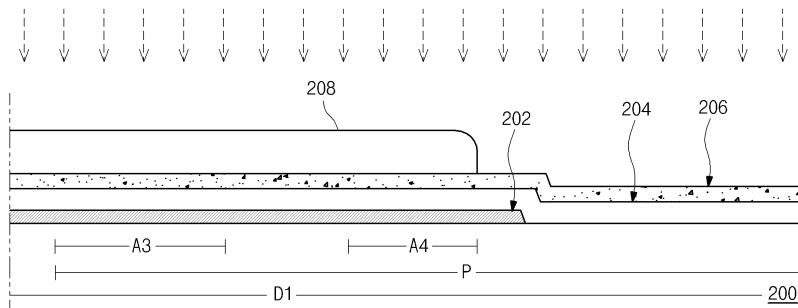


도면10a



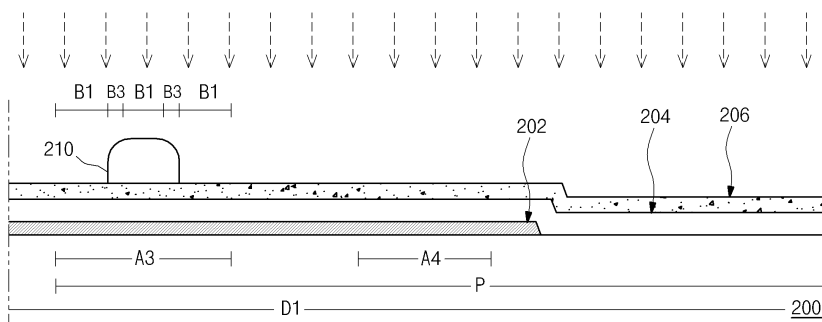
도면10b

p+ 이온도핑

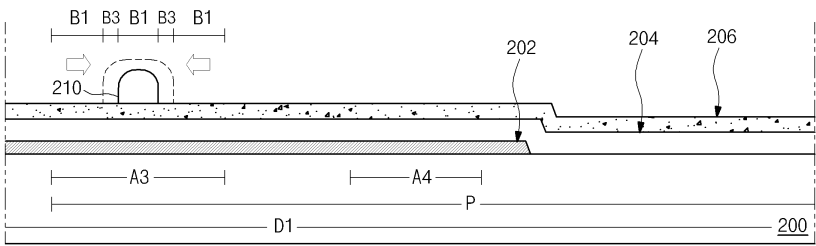


도면10c

n+ 이온도핑

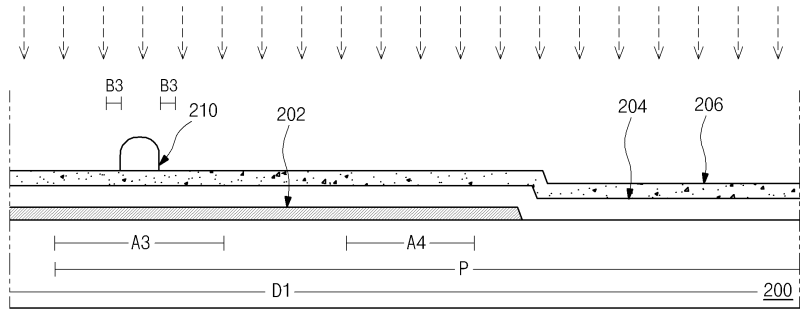


도면10d

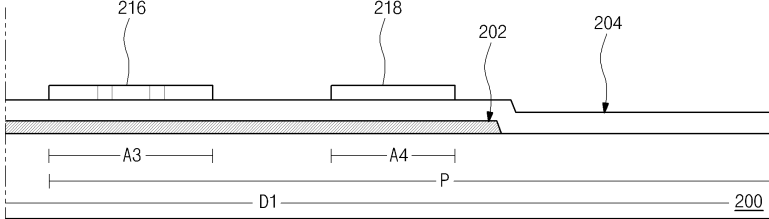


도면10e

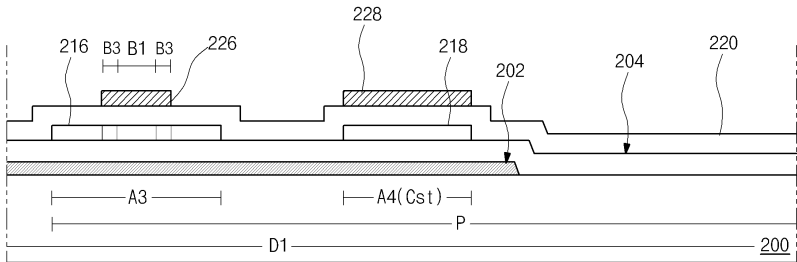
n- 이온도핑



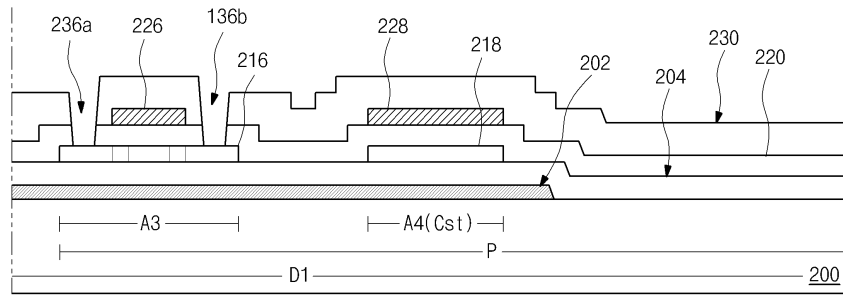
도면10f



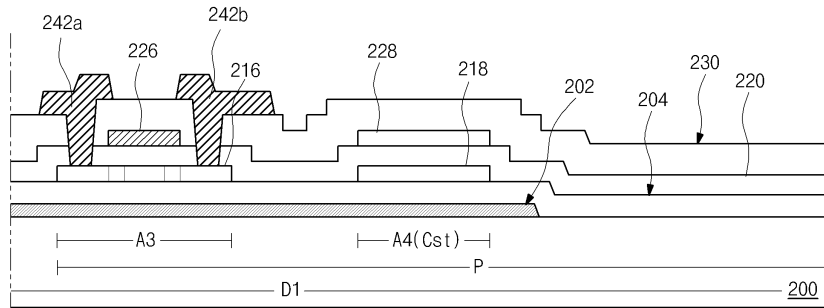
도면10g



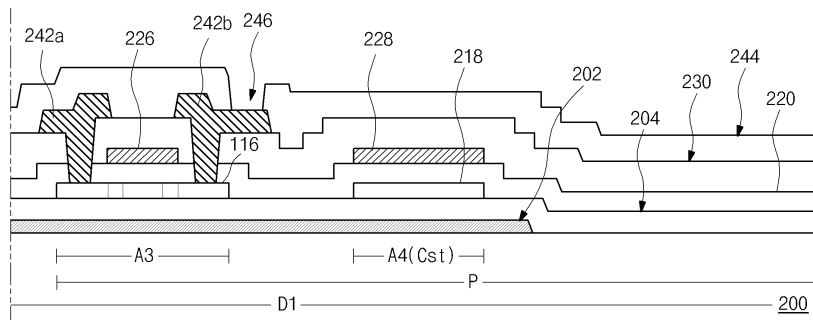
도면10h



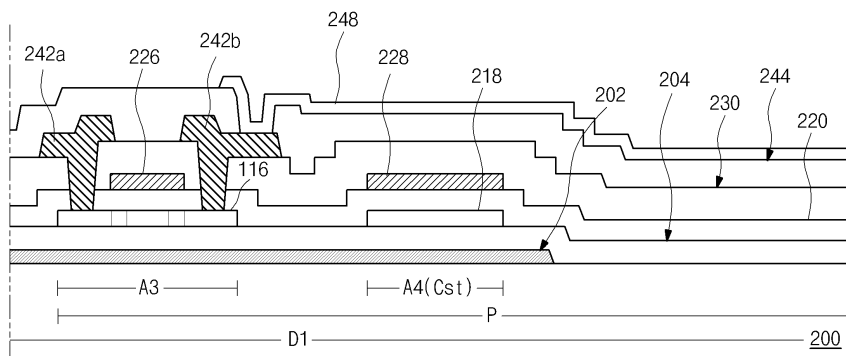
도면10i



도면10j



도면10k



专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	KR1020070028628A	公开(公告)日	2007-03-13
申请号	KR1020050080110	申请日	2005-08-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM YOUNG JOO 김영주 LEE DAI YUN 이대운 PARK YONG IN 박용인 KANG SU HYUK 강수혁		
发明人	김영주 이대운 박용인 강수혁		
IPC分类号	G02F1/136		
CPC分类号	G02F1/133516 G02F1/1368 H01L27/1288 H01L27/1262 G02F2001/13625		
其他公开文献	KR101189146B1		
外部链接	Espacenet		

摘要(译)

目的：提供一种LCD及其制造方法，不需要耦合余量，这在设计遮光构件时不可避免地考虑，从而获得具有与耦合裕度对应的面积的开口区域，以实现高亮度，通过在阵列基板内形成通常设置在滤色器基板内的遮光部件。基板具有包括切换区域和像素区域的显示区域（D1）和在显示区域。通过显示区域和非显示区域形成遮光构件（102）。对准键（AK）位于非显示区域。驱动电路形成在非显示区域中，其中驱动电路由多晶薄膜晶体管的组合构成。多晶薄膜晶体管位于开关区域中。像素电极连接到薄膜晶体管，并设置在像素区域中

