

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.
G02F 1/1339 (2006.01)

(11) 공개번호 10-2006-0072785
(43) 공개일자 2006년06월28일

(21) 출원번호 10-2004-0111511

(22) 출원일자 2004년12월23일

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 안병철
경기 안양시 동안구 평촌동 899-2(9통6반) 향촌아파트 203-903호
임주수
경북 구미시 황상동 금봉타운 501-105

(74) 대리인 김영호

심사청구 : 없음

(54) 액정 표시 패널 및 그 제조방법

요약

본 발명은 공정 시간을 단축함과 아울러 소형화가 가능한 액정 표시 패널 및 그 제조방법에 관한 것이다.

본 발명에 따른 액정 표시 패널은 공통전극이 형성된 제1 기판과; 상기 공통전극과 전계를 이루는 화소전극, 상기 화소전극과 접속된 박막트랜지스터, 상기 박막트랜지스터에 신호를 공급하기 위한 신호라인, 상기 신호라인이 형성된 영역을 제외한 나머지 영역을 따라 형성되어 상기 공통전극에 공통전압을 공급하기 위한 콘택부가 형성된 제2 기판과; 상기 제1 및 제2 기판 사이에 형성되어 상기 콘택부와 상기 공통전극을 접속시키는 도전성 스페이서를 가지는 실링재를 구비하는 것을 특징으로 한다.

대표도

도 2

명세서

도면의 간단한 설명

도 1은 종래 액정 표시 패널을 나타내는 사시도이다.

도 2는 본 발명에 따른 액정 표시 패널을 나타내는 평면도이다.

도 3a 내지 도 3e는 공통전극에 공통전압을 공급하기 위한 콘택부의 여러 실시예를 상세히 나타내는 평면도 및 단면도들이다.

도 4a 내지 도 4e는 도 3a 내지 도 3e에 도시된 콘택홀을 나타내는 단면도이다.

도 5a 내지 도 5c는 도전성 패턴을 가지는 실링재와 은 도트가 형성된 기판을 나타내는 평면도 및 단면도이다.

도 6은 도전성 패턴을 가지는 실링재를 구비한 반투과형 액정 표시 패널을 나타내는 단면도이다.

도 7a 내지 도 7f는 도 6에 도시된 액정 표시 패널의 제조방법을 나타내는 단면도이다.

< 도면의 주요 부분에 대한 부호의 설명 >

101,111 : 기판 106 : 게이트 전극

108 : 소스전극 110 : 드레인전극

112 : 게이트 절연막 114 : 활성층

116 : 오믹접촉층 118,136 : 보호막

120,122,124 : 공통라인 126 : 공통콘택홀

128 : 공통패드 130 : 유기막

156 : 반사전극 162 : 공통전극

172 : FPC 패드 182,184 : 실링재

142 : 화소전극

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정 표시 패널 및 그 제조방법에 관한 것으로, 특히 공정 시간을 단축함과 아울러 소형화가 가능한 액정 표시 패널 및 그 제조방법에 관한 것이다.

액정 표시 장치는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이러한 액정 표시 장치는 도 1에 도시된 바와 같이 액정(16)을 사이에 두고 서로 대향하는 박막 트랜지스터 어레이 기판(70) 및 칼라 필터 어레이 기판(80)을 구비한다.

박막 트랜지스터 어레이 기판(70)에는 서로 교차되게 형성된 게이트라인(2) 및 데이터라인(4)과, 그들(2,4)의 교차부에 형성된 박막트랜지스터(30)와, 박막트랜지스터(30)와 접속된 화소전극(22)과, 그들 위에 액정 배향을 위해 도포된 하부 배향막을 포함하는 박막트랜지스터 어레이가 하부 기판(1) 상에 형성된다.

칼라 필터 어레이 기판(80)에는 빛샘 방지를 위한 블랙 매트릭스(18)와, 칼라 구현을 위한 칼라 필터(12), 화소전극(22)과 수직전계를 이루는 공통전극(14)과, 그들 위에 액정 배향을 위해 도포된 상부 배향막을 포함하는 칼라 필터 어레이가 상부 기판(11) 상에 형성된다.

한편, 칼라필터 어레이 기판(80)의 공통전극(14)에 공통전압을 인가하기 위해서 은 도트를 구비한다. 은 도트는 상부기판(11) 상에 형성된 공통전극(14)과 하부기판(1) 상에 형성된 공통라인을 전기적으로 연결한다. 공통라인은 은 도트를 통해 전원 공급부(도시하지 않음)에서 생성된 기준전압을 공통패드를 통해 공통전극(14)에 공급한다.

이러한 공통라인의 라인저항이 클수록 공통전압이 왜곡되어 수평 크로스토크가 발생하는 문제점이 있다. 또한, 은 도트는 페이스트 상태로 박막트랜지스터 기판(70)과 칼라 필터 기판(80) 사이에 도팅된 후 합착되므로 합착시 기판(1,11)에 가해지는 압력에 의해 은 도트가 인접영역으로 퍼지게 된다. 이 때, 인접영역으로 확장된 은 도트가 스크라이빙공정에 의해 손상되지 않기 위해서는 스크라이빙 라인 안쪽으로 상대적으로 많은 은 도트 영역이 필요로 한다. 뿐만 아니라, 소형 액정 표시 패널은 모기관 상에 다수의 소형 패널 영역을 형성한 후 모든 패널 영역에 은 도트공정을 해야 하므로 대형 액정 표시 패널에 비해 공정이 복잡함과 아울러 공정시간이 많이 필요로 하는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 공정 시간을 단축함과 아울러 소형화가 가능한 액정 표시 패널 및 그 제조방법을 제공하는 것이다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명에 따른 액정 표시 패널은 공통전극이 형성된 제1 기판과; 상기 공통전극과 전계를 이루는 화소전극, 상기 화소전극과 접속된 박막트랜지스터, 상기 박막트랜지스터에 신호를 공급하기 위한 신호라인, 상기 신호라인이 형성된 영역을 제외한 나머지 영역을 따라 형성되어 상기 공통전극에 공통전압을 공급하기 위한 콘택부가 형성된 제2 기판과; 상기 제1 및 제2 기판 사이에 형성되어 상기 콘택부와 상기 공통전극을 접속시키는 도전성 스페이서를 가지는 실링재를 구비하는 것을 특징으로 한다.

상기 목적을 달성하기 위하여, 본 발명에 따른 액정 표시 패널의 제조방법은 공통전극이 형성된 제1 기판을 마련하는 단계와; 상기 공통전극과 전계를 이루는 화소전극, 상기 화소전극과 접속된 박막트랜지스터, 상기 박막트랜지스터에 신호를 공급하기 위한 신호라인, 상기 신호라인이 형성된 영역을 제외한 나머지 영역을 따라 형성되어 상기 공통전극에 공통전압을 공급하기 위한 콘택부가 형성된 제2 기판을 마련하는 단계와; 상기 공통전극과 상기 콘택부를 연결시키기 위한 도전성 스페이서를 가지는 제1 실링재를 이용하여 상기 상부기판과 하부기판을 합착하는 단계를 포함하는 것을 특징으로 한다.

상기 목적 외에 본 발명의 다른 목적 및 이점들은 첨부 도면을 참조한 본 발명의 바람직한 실시 예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

이하, 본 발명의 바람직한 실시 예들을 도 2 내지 도 7f를 참조하여 상세하게 설명하기로 한다.

도 2는 본 발명의 제1 실시 예에 따른 액정 표시 패널을 나타내는 평면도다.

도 2에 도시된 액정 표시 패널은 박막트랜지스터 어레이가 형성된 박막트랜지스터 어레이 기판(170)과; 컬러필터 어레이가 형성된 칼라필터 어레이 기판(180)과, 박막트랜지스터 어레이 기판(170)과 컬러 필터 어레이 기판(180)을 합착하기 위한 실링재(186)를 구비한다.

박막 트랜지스터 어레이 기판(170)은 서로 교차되게 형성된 게이트라인 및 데이터라인과, 그들의 교차부에 형성된 박막트랜지스터와, 박막트랜지스터와 접속된 화소전극과, 그들 위에 액정 배향을 위해 도포된 하부 배향막을 포함하는 박막트랜지스터 어레이가 하부 기판 상에 형성된다.

칼라 필터 어레이 기판(180)에는 빛샘 방지를 위한 블랙 매트릭스와, 컬러 구현을 위한 칼라 필터, 화소전극과 수직전계를 이루는 공통전극과, 그들 위에 액정 배향을 위해 도포된 상부 배향막을 포함하는 컬러필터 어레이가 상부기판 상에 형성된다.

실링재는 신호라인(124)의 위치에 따라 재질이 다른 제1 및 제2 실링재(184,182)가 선택적으로 형성된다.

제1 실링재(184)에는 공통라인(124)과 공통전극을 전기적으로 접속시키도록 실린트(184b)에 도전성 스페이서(184a)가 포함된다. 여기서, 도전성 스페이서(184a)는 도전성 글래스 파이버(Glass Fiber) 또는 도전성 불이 이용된다. 한편, 제1 실링재(184)에 포함된 글래스 파이버 등은 신축성이 적어 외부로부터 가압이 발생하는 경우 글래스 파이버 등에 의해 게이트 절연막 및/또는 보호막이 오픈된다. 오픈된 게이트 절연막 및/또는 보호막을 통해 도전성 스페이서(184a)와 신호라인(DL, GL)이 단락되는 것을 방지하기 위해서 제1 실링재(184)는 신호라인(DL, GL)과 비중첩되는 영역에 형성된다.

제2 실링재(182)에는 신호라인(DL, GL)과 중첩되는 영역에 형성되며 칼라필터 기관(180)과 박막트랜지스터 기관(170)이 셀갭을 유지한 채로 합착되도록 실링재(182b)에 비도전성 스페이서(182a)가 포함된다. 여기서, 비도전성 스페이서(182a)는 글래스 파이버 또는 볼 스페이서가 이용된다. 제2 실링재(184)에 포함된 글래스 파이버 등은 신축성이 적어 외부로부터 가압이 발생하는 경우 글래스 파이버 등에 의해 게이트 절연막 및/또는 보호막이 오픈되더라도 글래스 파이버는 비전도성 물질이므로 신호라인(GL, DL)과 글래스 파이버의 단락이 발생되지 않는다.

한편, 본 발명에 따른 액정 표시 패널은 공통전극에 공통전압을 인가하기 위해 하부 기관 상에 전원 공급부(도시하지 않음)와 접속된 공통패드(128) 및/또는 FPC 패드(172)로부터 신장되며 제1 실링재(184)를 통해 공통전극과 접속된 공통라인(124)을 구비한다.

이러한 공통라인(124)은 도 3a 내지 도 3e에 도시된 바와 같이 공통 콘택홀(126)을 통해 접속되는 제1 및 제2 공통라인(120, 122)을 구비한다.

도 3a에 도시된 제1 공통라인(120)은 데이터 링크(도시하지 않음), 데이터 라인(DL), 게이트 링크(도시하지 않음) 및 게이트 라인(GL)이 형성된 영역을 제외한 나머지 액티브 영역을 감싸도록 하부기관(101)의 세변을 따라 형성된다. 이러한 제1 공통라인(120)은 하부기관(101) 상에 게이트라인(GL)과 동일 금속으로 형성된다.

그리고, 제2 공통라인(122)도 제1 공통라인(120)을 따라 액티브 영역을 감싸도록 하부기관(101)의 적어도 세변을 따라 형성된다. 이 제2 공통라인(122)은 보호막(118) 상에 화소전극과 동일 금속으로 형성되며 게이트 절연막(112) 및 보호막(118)을 관통하는 공통 콘택홀(126)을 통해 제1 공통라인(120)과 접속된다. 여기서, 공통 콘택홀(126)은 제1 및 제2 공통라인(120, 122)을 따라 하부기관(101)의 세변에 형성된다. 또한, 제2 공통라인(122)은 제1 실링재(184)를 통해 상부기관(111)에 형성된 공통전극(162)과 접속된다.

도 3b에 도시된 제1 공통라인(120)은 데이터 링크(도시하지 않음), 데이터 라인(DL), 게이트 링크(도시하지 않음) 및 게이트 라인(GL)이 형성된 영역을 제외한 나머지 액티브 영역을 감싸도록 하부기관(101)의 세변을 따라 형성된다. 이러한 제1 공통라인(120)은 하부기관(101) 상에 게이트라인(GL)과 동일 금속으로 형성된다.

그리고, 제2 공통라인(122)은 데이터라인(DL)과 나란한 방향으로 제1 공통라인(120)과 중첩되게 형성되며 제1 공통라인(120)과 게이트 절연막(112) 및 보호막(118)을 관통하는 공통 콘택홀(126)을 통해 접속된다. 이 제2 공통라인(122)은 보호막(118) 상에 화소전극과 동일 금속으로 형성된다.

여기서, 공통 콘택홀(126)은 제2 공통라인(120, 122)을 따라 하부기관(101)의 두 변에 형성된다. 또한, 제2 공통라인(122)은 제1 실링재(184)를 통해 상부기관(111)에 형성된 공통전극(162)과 접속된다.

도 3c에 도시된 제1 공통라인(120)은 데이터 링크(도시하지 않음), 데이터 라인(DL), 게이트 링크(도시하지 않음) 및 게이트 라인(GL)이 형성된 영역을 제외한 나머지 액티브 영역을 감싸도록 하부기관(101)의 세변을 따라 형성된다. 이러한 제1 공통라인(120)은 하부기관(101) 상에 게이트라인(GL)과 동일 금속으로 형성된다.

그리고, 제2 공통라인(122)은 액정 주입구(도시하지 않음)와 대응되는 게이트 라인(GL)과 나란한 방향으로 제1 공통라인(120)과 중첩되게 형성된다. 이 제2 공통라인은 보호막(118) 상에 화소전극과 동일 금속으로 형성되며 제1 공통라인(120)과 게이트 절연막(112) 및 보호막(118)을 관통하는 공통 콘택홀(126)을 통해 접속된다. 여기서, 공통 콘택홀(126)은 제2 공통라인(122)을 따라 하부기관(101)의 한 변에 형성된다. 또한, 제2 공통라인(122)은 제1 실링재(184)를 통해 상부기관(111)에 형성된 공통전극(162)과 접속된다.

도 3d에 도시된 제1 공통라인(120)은 데이터 링크, 데이터 라인(DL), 게이트 링크 및 게이트 라인(GL)이 형성된 영역을 제외한 나머지 액티브 영역을 감싸도록 하부기관(101)의 세변을 따라 형성된다. 이러한 제1 공통라인(120)은 하부기관(101) 상에 게이트라인(GL)과 동일 금속으로 형성된다.

그리고, 제2 공통라인(122)은 하부기관(101)의 모서리 영역에서 제1 공통라인(120)과 중첩되게 형성된다. 이 제2 공통라인(122)은 보호막(118) 상에 화소전극과 동일 금속으로 형성되며 제1 공통라인(120)과 게이트 절연막(112) 및 보호막(118)을 관통하는 공통 콘택홀(126)을 통해 접속된다. 여기서, 공통 콘택홀(126)은 제2 공통라인(122)을 따라 하부기관

(101)의 모서리에 형성된다. 또한, 제2 공통라인(122)은 제1 실링재(184)를 통해 상부기관(111)에 형성된 공통전극(162)과 접속된다. 이에 따라서, 도 3d에 도시된 콘택홀(126)은 도 3a, 도 3b, 도 3c 및 도 3e에 도시된 다른 콘택홀(126)에 비해 콘택영역이 적다.

도 3e에 도시된 제1 공통라인(120)은 데이터 링크, 데이터 라인(DL), 게이트 링크 및 게이트 라인(GL)이 형성된 영역을 제외한 나머지 액티브 영역을 감싸도록 하부기관(101)의 세변을 따라 형성된다. 이 제1 공통라인(120)은 게이트라인(GL)과 동일 금속으로 기관(101) 상에 형성된다.

그리고, 제2 공통라인(122)은 데이터라인(DL)과 나란한 방향으로 제1 공통라인(120)과 중첩되게 형성된다. 이 제2 공통라인(122)은 보호막(118) 상에 화소전극과 동일 금속으로 형성되며 제1 공통라인(120)과 게이트 절연막(112) 및 보호막(118)을 관통하는 제1 공통 콘택홀(166)을 통해 접속된다.

이러한 제1 및 제2 공통라인(120,122)의 일측은 제1 공통패드(128a)와 접속되며, 타측은 FPC 패드(172)와 접속되어 외부로부터의 공통전압이 공급된다.

제3 공통라인(174)은 데이터라인(DL)과 동일 금속으로 게이트 절연막(112) 상에 형성된다. 제3 공통라인(174)은 제1 및 제2 실링재(184,182)에 의해 밀봉된 영역 내에 데이터라인(DL)과 나란한 방향으로 형성된다. 그리고, 제3 공통라인(174)은 제2 실링재(182)와 중첩되는 영역에 형성된 제1 링크콘택홀(164a)을 통해 제2 공통패드(128b)와 접속된다. 또한, 제3 공통라인(174)은 제1 실링재(184)와 중첩된 영역에 형성된 제2 공통 콘택홀(168)을 통해 제1 공통라인(120)과 접속된다.

제4 공통라인(176)은 데이터라인(DL)과 동일 금속으로 게이트 절연막(112) 상에 형성된다. 제4 공통라인(176)은 제1 및 제2 실링재(184,182)에 의해 밀봉된 영역 내에 데이터라인(DL)과 나란하게 형성된다. 그리고, 제4 공통라인(176)은 제1 실링재(182)와 중첩되는 영역에 형성된 제2 링크콘택홀(164b)을 통해 제3 공통패드(128c)와 접속된다. 또한, 제4 공통라인(176)은 제1 실링재(184)와 중첩된 영역에 형성된 제3 공통 콘택홀(178)을 통해 제1 공통라인(120)과 접속된다.

한편, 도 3a 내지 도 3e에 도시된 공통콘택홀(126)은 도 4a 내지 도 4e에 도시된 구조를 가지게 된다.

도 4a에 도시된 공통 콘택홀(126)은 보호막(118) 및 게이트 절연막(112)을 관통하도록 형성되어 제1 공통라인(120)과 제2 공통라인(122)을 전기적으로 접속시킨다.

도 4b에 도시된 공통 콘택홀(126)은 보호막(118) 및 게이트 절연막(112)을 관통하도록 다수개 형성되어 제1 공통라인(120)과 제2 공통라인(122)을 전기적으로 접속시킨다. 이 경우, 제1 및 제2 공통라인(120,122)의 접촉면적이 도 5a에 도시된 제1 및 제2 공통라인(120,122)보다 넓어 콘택 저항을 최소화할 수 있다.

도 4c에 도시된 공통 콘택홀(126)은 유기막(130), 보호막(118) 및 게이트 절연막(112)을 관통하도록 형성되어 제1 공통라인(120)과 제2 공통라인(122)을 전기적으로 접속시킨다.

도 4d에 도시된 공통 콘택홀(126)은 유기막(130), 보호막(118) 및 게이트 절연막(112)을 관통하도록 다수개 형성되어 제1 공통라인(120)과 제2 공통라인(122)을 전기적으로 접속시킨다. 이 경우, 제1 및 제2 공통라인(120,122)의 접촉면적이 도 5c에 도시된 제1 및 제2 공통라인(120,122)보다 넓어 콘택 저항을 최소화할 수 있다.

도 4e에 도시된 공통 콘택홀(126)은 제1 공통라인(120), 게이트 절연막(112) 및 보호막(118)을 관통하도록 형성되어 제1 공통라인(120)과 제2 공통라인(122)이 측면 접촉된다. 이 경우, 제1 공통라인(120)은 물리브덴 등과 같은 식각가스에 대한 반응성이 큰 금속으로 형성된다.

도 4a 내지 도 4e에 도시된 공통 콘택홀(126)은 실링재(184)에 포함된 도전성 스페이서(184a)의 폭보다 크게 형성된다. 예를 들어 공통 콘택홀(126)은 최소 50 μ m의 폭을 가지도록 형성된다.

한편, 실링재에 포함된 도전성 스페이서를 이용하여 공통전극과 공통라인을 연결시키는 것이외에도 도 5a 및 도 5b에 도시된 바와 같이 하부기관의 외곽에 형성된 은 도트(161)를 이용하여 공통전극에 공통전압을 공급할 수도 있다. 이 은 도트(161)는 별도의 도전성 라인(163)과 전기적으로 연결된다.

이러한 은 도트(161)는 도 5c에 도시된 바와 같이 잉크젯 장비(165)를 이용하여 하부기관(101) 상에 인쇄된다. 잉크젯 장비(165)를 통해 나노 크기의 분말 형태로 은(Ag) 또는 금(Au)을 인쇄하거나 도전성 볼에 은 또는 금을 입혀 기관 상에 인쇄한다. 이와 같이, 잉크젯 장비(165)를 통해 인쇄되는 은 도트(161)는 수십 μm ~수백 μm 의 폭으로 형성되므로 소형 액정 표시 패널에 적용이 용이하다.

도 6은 도 2 내지 도 4에 도시된 제1 및 제2 공통라인을 가지는 반투과형 액정 표시 패널의 박막트랜지스터 기관을 나타내는 단면도이다.

도 6에 도시된 박막트랜지스터 기관은 화소 영역을 정의하는 게이트 라인 및 데이터 라인, 그 게이트 라인 및 데이터라인과 접속된 박막트랜지스터와, 화소영역에 형성되어 박막트랜지스터와 접속된 화소 전극(142)과, 화소영역의 반사영역에 형성된 반사전극(156)을 구비한다.

박막트랜지스터는 게이트라인으로부터의 게이트신호에 응답하여 데이터라인으로부터의 데이터신호를 선택적으로 화소 전극(142)에 공급한다. 이를 위해, 박막트랜지스터는 게이트 라인과 접속된 게이트 전극(106), 데이터 라인과 접속된 소스 전극(108), 화소 전극(122)과 접속된 드레인 전극(110), 게이트 전극(106)과 게이트 절연막(112)을 사이에 두고 중첩되면서 소스 전극(108)과 드레인 전극(110) 사이에 채널을 형성하는 활성층(114), 활성층(114)과 소스 전극(108) 및 드레인 전극(110)과의 오믹 접촉을 위한 오믹 접촉층(116)을 구비한다.

화소 전극(142)은 데이터라인과 게이트라인의 교차로 마련된 화소영역에 형성되며, 드레인 전극(110)과 접속된다. 화소 전극(142)은 박막트랜지스터를 통해 공급된 데이터 신호에 의해 공통전극(도시하지 않음)과 전위차를 발생시킨다. 이 전위차에 의해 액정이 회전하게 되며 반사영역과 투과영역 각각의 액정의 회전 정도에 따라서 광투과량이 결정된다.

반사전극(156)은 칼라 필터 기관(도시하지 않음)을 통해 입사되는 외부광을 칼라필터 기관 쪽으로 반사시킨다. 이 반사전극(156)은 그 하부에 엠보싱 표면을 갖도록 형성된 유기막(130)을 따라 엠보싱 형상을 갖게 됨으로써 산란효과로 반사효율이 증대된다. 이러한 반사전극(156)이 형성된 영역은 각 화소영역 중 반사영역이 되며, 반사전극(130)이 형성되지 않은 영역은 각 화소영역 중 투과영역이 된다.

이 반사영역과 투과영역에서 액정층을 경유하는 광 경로의 길이가 동일하도록 투과영역에 유기막(130)을 관통하는 투과홀(132)이 형성된다. 이 결과, 반사영역으로 입사된 반사광은 액정층을 경유하여 반사전극(156)에서 반사되어 액정층을 경유하여 외부로 방출된다. 그리고, 투과영역으로 입사된 백라이트 유닛(도시하지 않음)의 투과광은 액정층을 투과하여 외부로 방출된다. 이에 따라서, 반사영역과 투과영역에서의 광 경로의 길이가 동일하므로 액정표시장치의 반사모드와 투과모드의 투과효율이 같아진다.

도 7a 내지 도 7f는 도 6에 도시된 반투과형 박막트랜지스터 어레이 기관의 제조방법을 나타내는 단면도이다.

도 7a를 참조하면, 하부기관(101) 상에 게이트전극(106), 제1 공통라인(120)을 포함하는 제1 도전패턴군이 형성된다.

하부기관(101) 상에 스퍼터링 등의 증착방법을 통해 게이트금속층이 형성된다. 이 게이트금속층이 포토리소그래피공정과 식각공정으로 패터닝됨으로써 게이트 전극(106) 및 제1 공통라인(120)을 포함하는 제1 도전패턴군이 형성된다. 게이트금속층으로는 Al, Mo, Cr, Cu, Al합금, Mo합금, Cu합금의 단일층 또는 다중층 구조가 이용된다.

도 7b를 참조하면, 제1 도전패턴군이 형성된 하부기관(101) 상에 게이트절연막(112)이 형성되고, 그 위에 활성층(11) 및 오믹접촉층(116)을 포함하는 반도체패턴과; 데이터라인, 소스전극(108) 및 드레인전극(110)을 포함하는 제2 도전패턴군이 형성된다.

제1 도전패턴군이 형성된 하부 기관(101) 상에 PECVD, 스퍼터링 등의 증착 방법을 통해 게이트 절연막(112), 비정질 실리콘층, 불순물이 도핑된 비정질 실리콘층, 그리고 소스/드레인 금속층이 순차적으로 형성된다. 게이트 절연막(112)으로는 산화실리콘(SiOx) 또는 질화실리콘(SiNx) 등과 같은 무기 절연 물질이, 소스/드레인 금속층으로는 Al, Mo, Cr, Cu, Al합금, Mo합금, Cu합금의 단일층 또는 이중층 구조가 이용된다.

그리고, 소스/드레인 금속층 위에 채널부가 다른 소스/드레인패턴부보다 낮은 높이를 가지는 포토레지스트패턴이 형성된다. 이 포토레지스트 패턴을 이용한 습식 식각 공정으로 소스/드레인 금속층이 패터닝됨으로써 데이터 라인, 소스 전극(108), 그 소스 전극(108)과 일체화된 드레인 전극(110)을 포함하는 제2 도전패턴군이 형성된다.

그 다음, 동일한 포토레지스트 패턴을 이용한 건식 식각공정으로 불순물이 도핑된 비정질 실리콘층과 비정질 실리콘층이 동시에 패터닝됨으로써 오믹 접촉층(116)과 활성층(114)이 형성된다.

그리고, 애싱(Ashing) 공정으로 채널부에서 상대적으로 낮은 높이를 갖는 포토레지스트 패턴이 제거된 후 건식 식각 공정으로 채널부의 소스/드레인 패턴 및 오믹 접촉층(116)이 식각된다. 이에 따라, 채널부의 활성층(114)이 노출되고 소스 전극(108)과 드레인 전극(110)은 분리된다.

이어서, 스트립 공정으로 제2 도전패턴군 위에 남아 있는 포토레지스트 패턴이 제거된다.

도 7c를 참조하면, 제2 도전 패턴군이 형성된 기판(101) 상에 제1 보호막(118)이 형성되고, 그 위에 오픈홀(152)과 투과홀(132) 및 공통 콘택홀(126)을 가지며 엠보싱 형상의 표면을 갖는 유기막(130)이 형성된다.

제2 도전 패턴군이 형성된 게이트 절연막(112) 상에 제1 보호막(118)과 유기막(128)이 순차적으로 형성된다. 제1 보호막(118)은 게이트 절연막(112)과 같은 무기 절연 물질 등으로 형성되며, 유기막(130)은 아크릴 등과 같은 유기 절연 물질 등으로 형성된다.

그런 다음, 유기막(130)이 포토리소그래피공정으로 패터닝됨으로써 오픈홀(152)과 투과홀(132) 및 공통 콘택홀(126)이 형성된다. 이 때, 유기막(130)을 형성하기 위한 마스크는 투과홀과 대응하는 투과부를 제외한 나머지 부분이 차단부와 회절 노광부가 반복되는 구조를 가진다. 이에 따라, 유기막(130)은 단차를 가지는 차단영역(돌출부) 및 회절 노광 영역(홈부)이 반복되는 구조로 패터닝된다. 이어서, 돌출부 및 홈부가 반복된 유기막(130)을 소성함으로써 유기막(130)의 표면이 엠보싱 형상을 갖게 된다. 특히, 유기막(130)은 화소영역과 실링재와 접촉하는 영역이 엠보싱 형상을 갖도록 형성된다.

도 7d를 참조하면, 엠보싱 형상을 갖는 유기막(130) 상에 반사전극(156)을 포함하는 제3 도전 패턴군이 형성된다.

유기막(130) 상에 반사금속층이 엠보싱 형상을 유지하며 적층된다. 반사금속층은 Al, AlNd 등과 같은 반사율이 높은 금속으로 형성된다. 이어서, 반사금속층이 포토리소그래피 공정과 식각공정으로 패터닝됨으로써 반사전극(156)을 포함하는 제3 도전 패턴군이 형성된다.

도 7e를 참조하면, 제3 도전 패턴군이 형성된 유기막(130) 상에 제2 보호막(136)이 형성된다.

제2 보호막(136)은 제1 보호막(118)과 같은 무기 절연물질로 형성된다. 그런 다음, 제2 보호막(136) 및 제1 보호막(118)이 포토리소그래피공정과 식각공정으로 패터닝됨으로써 드레인 콘택홀(120)과 공통 콘택홀(126)이 형성된다. 드레인 콘택홀(120)은 박막트랜지스터의 드레인전극(110)을 노출시킨다. 공통 콘택홀(126)은 제1 공통 라인(120)을 노출시킨다. 상기 제2 보호막(136)은 형성되지 않을 수도 있다.

도 7f를 참조하면, 제2 보호막(136) 상에 화소전극(142) 및 제2 공통라인(122)을 포함하는 제4 도전패턴군이 형성된다.

제2 보호막(136) 상에 투명도전층이 전면 형성된다. 투명 도전층으로는 인듐 주석 산화물(Indium Tin Oxide : ITO), 주석 산화물(Tin Oxide : TO), 인듐 주석 아연 산화물(Indium Tin Zinc Oxide : ITZO), 인듐 아연 산화물(Indium Zinc Oxide : IZO) 등이 이용된다. 그리고, 투명 도전층이 포토리소그래피공정과 식각공정으로 패터닝됨으로써 화소 전극(142) 및 제2 공통라인(122)을 포함하는 제4 도전패턴군이 형성된다.

한편, 본 발명에 따른 공통전극에 공통전압을 공급하기 위한 콘택부(제1 및 제2 공통라인, 공통콘택홀 등)는 반투과형 액정 표시 패널에 적용되는 것을 예로 들어 설명하였지만, 투과형 액정 표시 패널 등 다양한 액정 표시 패널에 적용될 수 있다.

발명의 효과

상술한 바와 같이, 본 발명에 따른 액정 표시 패널 및 그 제조방법은 실링재에 포함된 도전성스페이서를 이용하여 상부기판의 공통전극과 하부기판의 공통패턴을 연결시킨다. 이에 따라서, 별도의 은 도트 공정이 불필요하므로 공정을 단순화할 수 있으며 은 도트 공정시 발생하는 비용을 절감할 수 있다.

또한, 본 발명에 따른 액정 표시 패널 및 그 제조방법은 콘택부가 하부기관의 세변을 따라 "U"자 형태로 형성됨으로써 공통 전극과의 접촉면적이 넓어진다. 이에 따라, 공통패턴에 의한 라인 저항을 줄어들어 공통전압을 안정화시킴과 아울러 높은 콘트라스트비를 얻을 수 있다.

뿐만 아니라, 본 발명에 따른 액정 표시 패널 및 그 제조방법은 별도의 은 도트 영역이 불필요하므로 기관의 크기를 소형화할 수 있어 소형 액정 표시 패널을 더욱 소형화할 수 있다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

(57) 청구의 범위

청구항 1.

공통전극이 형성된 제1 기관과;

상기 공통전극과 전계를 이루는 화소전극, 상기 화소전극과 접속된 박막트랜지스터, 상기 박막트랜지스터에 신호를 공급하기 위한 신호라인, 상기 신호라인이 형성된 영역을 제외한 나머지 영역을 따라 형성되어 상기 공통전극에 공통전압을 공급하기 위한 콘택부가 형성된 제2 기관과;

상기 제1 및 제2 기관 사이에 형성되어 상기 콘택부와 상기 공통전극을 접속시키는 도전성 스페이서를 가지는 실링재를 구비하는 것을 특징으로 하는 액정 표시 패널.

청구항 2.

제 1 항에 있어서,

상기 도전성 스페이서는 도전성 글래스 파이버 및 도전성 볼 중 어느 하나로 형성되는 것을 특징으로 하는 액정 표시 패널.

청구항 3.

제 1 항에 있어서,

상기 신호라인이 형성된 영역의 상기 제1 및 제2 기관 사이에 형성되며 비도전성 스페이서를 가지는 제2 실링재를 추가로 구비하는 것을 특징으로 하는 액정 표시 패널.

청구항 4.

제 3 항에 있어서,

상기 비도전성 스페이서는 글래스 파이버 및 볼 스페이서 중 어느 하나로 형성되는 것을 특징으로 하는 액정 표시 패널.

청구항 5.

제 1 항에 있어서,

상기 콘택부는

상기 기관의 적어도 세변을 따라 형성된 제1 공통패턴과;

상기 제1 공통패턴을 노출시키는 적어도 하나의 공통콘택홀을 가지는 적어도 한 층의 절연막과;

상기 공통콘택홀을 통해 상기 제1 공통패턴과 접속됨과 아울러 상기 도전성 스페이서와 접속되는 제2 공통패턴을 포함하는 것을 특징으로 하는 액정 표시 패널.

청구항 6.

제 5 항에 있어서,

상기 제2 공통패턴은 상기 제1 공통패턴을 따라 상기 기관의 적어도 세변을 따라 형성되는 것을 특징으로 하는 액정 표시 패널.

청구항 7.

제 5 항에 있어서,

상기 신호라인은

상기 박막트랜지스터에 게이트신호를 공급하는 게이트라인과;

상기 박막트랜지스터에 데이터신호를 공급하는 데이터라인을 포함하는 것을 특징으로 하는 액정 표시 패널.

청구항 8.

제 7 항에 있어서,

상기 제2 공통패턴은 상기 데이터라인 및 게이트라인 중 어느 하나와 나란하게 형성되는 것을 특징으로 하는 액정 표시 패널.

청구항 9.

제 5 항에 있어서,

상기 제2 공통패턴은 액정 주입구와 대응되는 영역에 형성되는 것을 특징으로 하는 액정 표시 패널.

청구항 10.

제 5 항에 있어서,

상기 제2 공통패턴은 상기 제2 기관의 모서리 영역에 형성되는 것을 특징으로 하는 액정 표시 패널.

청구항 11.

제 5 항에 있어서,

상기 제1 및 제2 공통패턴의 양측과 접속되며 하부기판의 양측에 형성된 공통패드를 추가로 구비하는 것을 특징으로 하는 액정 표시 패널.

청구항 12.

제 5 항에 있어서,

상기 제1 공통패턴은 상기 박막트랜지스터의 게이트 전극과 동일 금속으로 형성되며,

상기 제2 공통패턴은 화소전극과 동일 물질로 형성되는 것을 특징으로 하는 액정 표시 패널.

청구항 13.

제 5 항에 있어서,

상기 콘택부는

상기 제1 및 제2 실링재에 의해 밀봉되어진 영역에 상기 제2 공통패턴 각각과 인접되게 형성되는 제3 및 제4 공통패턴을 추가로 구비하는 것을 특징으로 하는 액정 표시 패널.

청구항 14.

제 13 항에 있어서,

상기 제3 및 제4 공통패턴 중 적어도 어느 하나는 상기 박막트랜지스터의 소스전극과 동일 금속으로 형성되며, 상기 제1 공통패턴과 적어도 한 층의 절연막을 관통하는 제2 공통콘택홀을 통해 접속되는 것을 특징으로 하는 액정 표시 패널.

청구항 15.

제 14 항에 있어서,

상기 제2 공통콘택홀은 상기 제1 및 제2 실링재와 중첩되는 영역에 형성되는 것을 특징으로 하는 액정 표시 패널.

청구항 16.

제 5 항에 있어서,

상기 게이트라인 및 데이터라인에 의해 마련된 화소영역의 반사영역에 형성되는 반사전극을 추가로 구비하는 것을 특징으로 하는 액정 표시 패널.

청구항 17.

공통전극이 형성된 제1 기판을 마련하는 단계와;

상기 공통전극과 전계를 이루는 화소전극, 상기 화소전극과 접속된 박막트랜지스터, 상기 박막트랜지스터에 신호를 공급하기 위한 신호라인, 상기 신호라인이 형성된 영역을 제외한 나머지 영역을 따라 형성되어 상기 공통전극에 공통전압을 공급하기 위한 콘택부가 형성된 제2 기판을 마련하는 단계와;

상기 공통전극과 상기 콘택부를 연결시키기 위한 도전성 스페이서를 가지는 제1 실링재를 이용하여 상기 상부기관과 하부기관을 합착하는 단계를 포함하는 것을 특징으로 하는 액정 표시 패널의 제조방법.

청구항 18.

제 17 항에 있어서,

상기 도전성 스페이서는

도전성 글래스 파이버 및 도전성 볼 중 어느 하나로 형성되는 것을 특징으로 하는 액정 표시 패널의 제조방법.

청구항 19.

제 17 항에 있어서,

상기 제1 실링재를 이용하여 상기 상부기관과 하부기관을 합착하는 단계는

상기 제1 실링재와 상기 신호라인과 중첩되는 영역에 형성되는 비도전성 스페이서를 가지는 제2 실링재를 이용하여 상기 상부기관과 하부기관을 합착하는 단계를 포함하는 것을 특징으로 하는 액정 표시 패널의 제조방법.

청구항 20.

제 19 항에 있어서,

상기 비도전성 스페이서는

글래스 파이버 및 볼 스페이서 중 어느 하나로 형성되는 것을 특징으로 하는 액정 표시 패널의 제조방법.

청구항 21.

제 17 항에 있어서,

상기 콘택부가 형성된 제2 기판을 마련하는 단계는

상기 제2 기관 상에 제1 공통패턴을 형성하는 단계와;

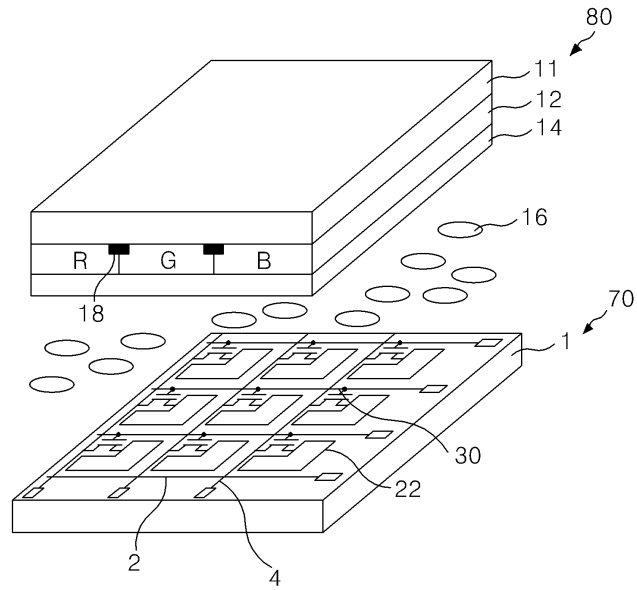
상기 제1 공통패턴을 덮도록 적어도 한 층의 절연막을 형성하는 단계와;

상기 적어도 한 층의 절연막을 관통하여 상기 제1 공통패턴을 노출시키는 적어도 하나의 공통 콘택홀을 형성하는 단계와;

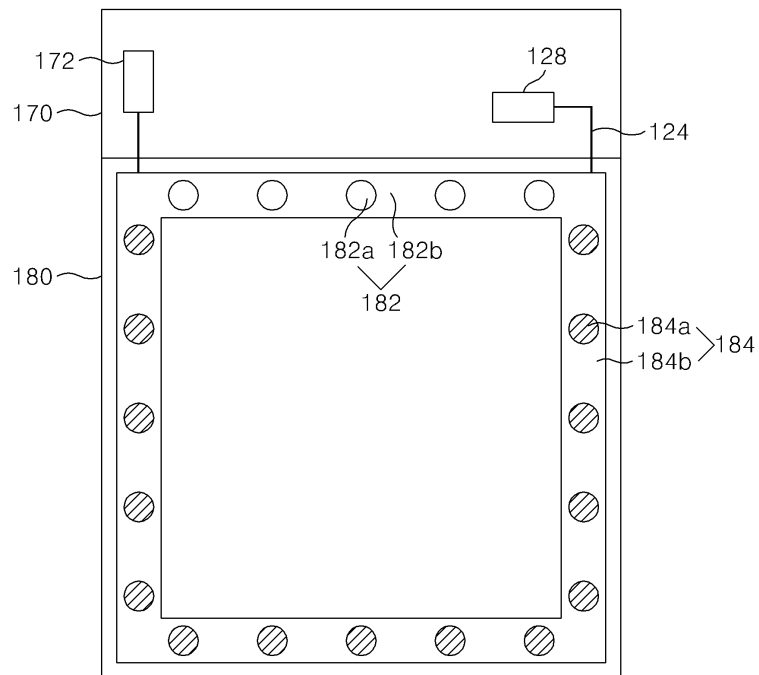
상기 공통 콘택홀을 통해 상기 제1 공통패턴과 접속됨과 아울러 상기 도전성 스페이서와 접속되는 제2 공통패턴을 형성하는 단계를 포함하는 것을 특징으로 하는 액정 표시 패널의 제조방법.

도면

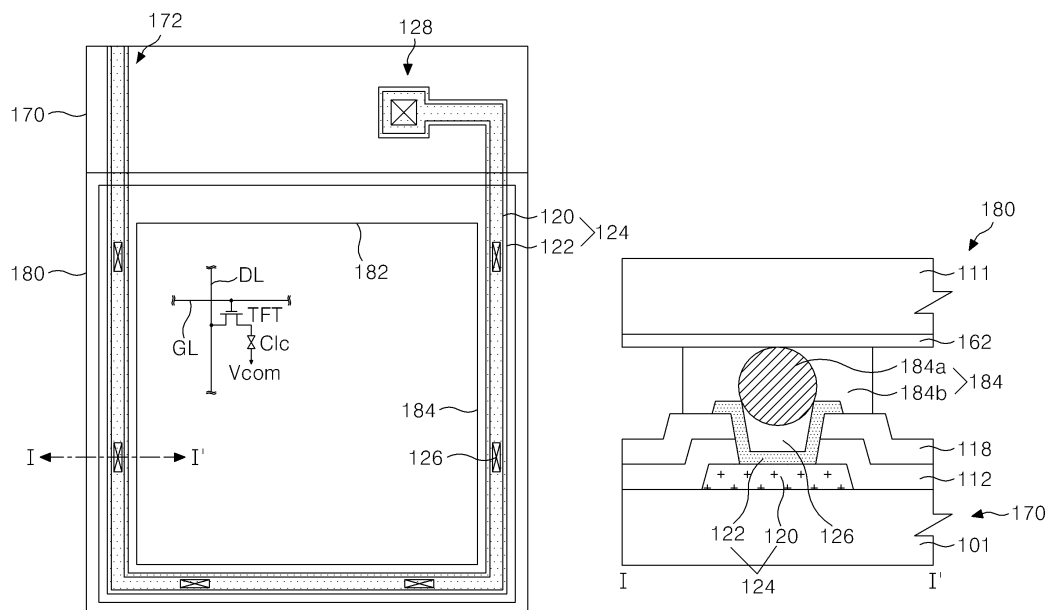
도면1



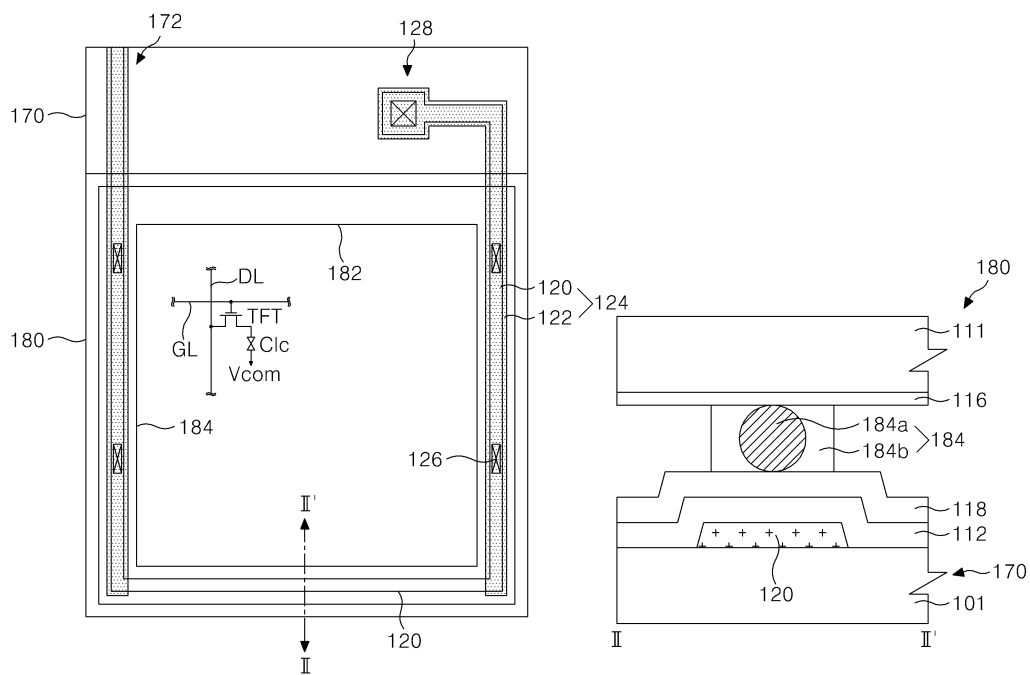
도면2



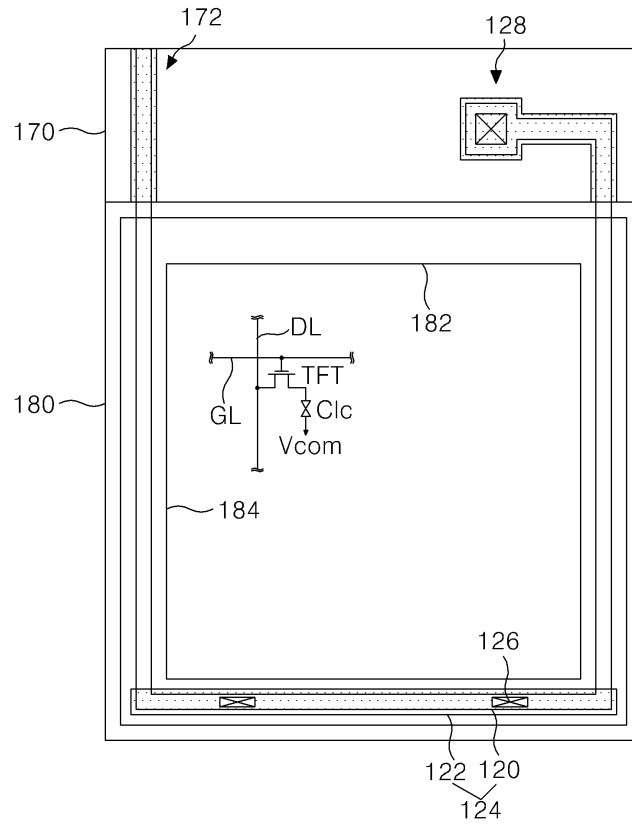
도면3a



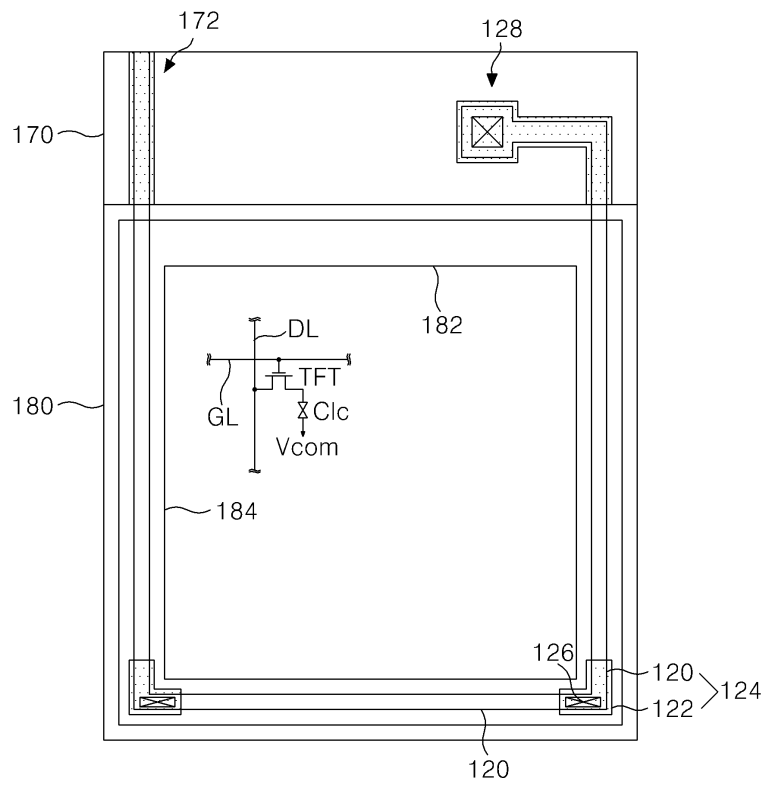
도면3b



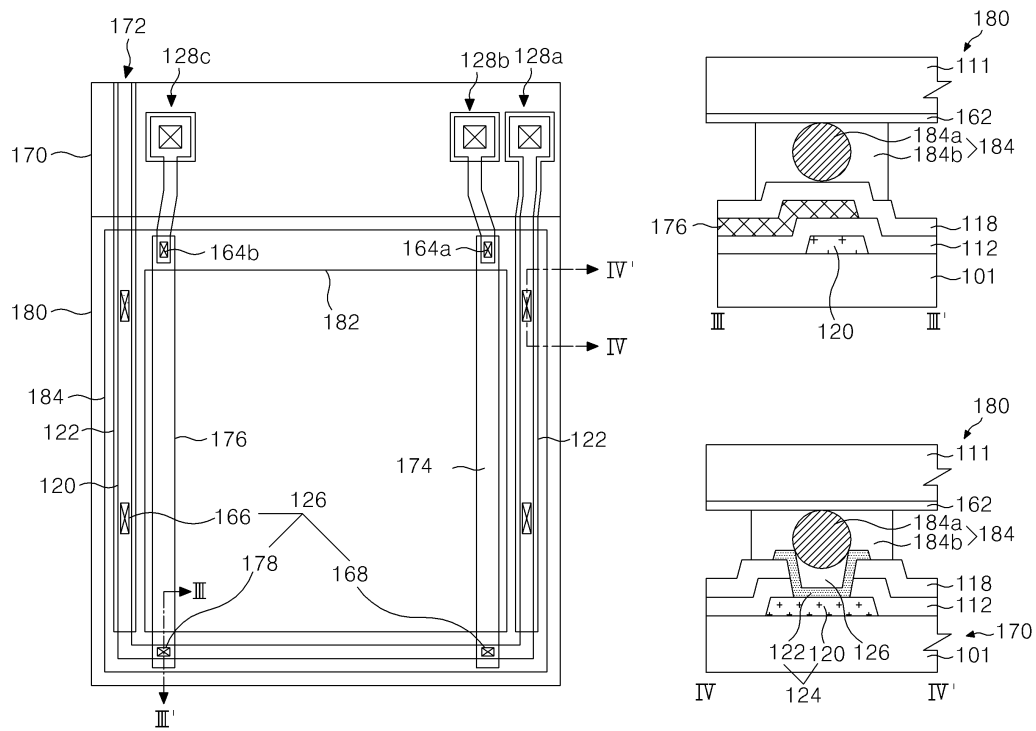
도면3c



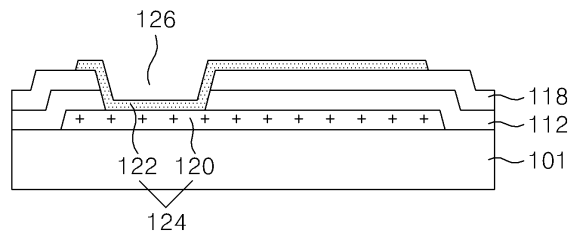
도면3d



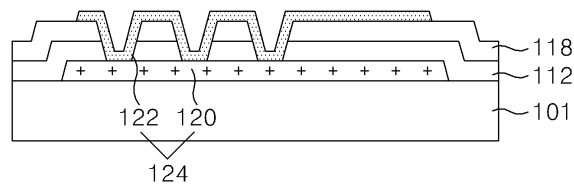
도면3e



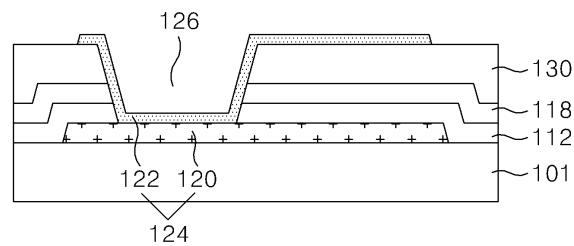
도면4a



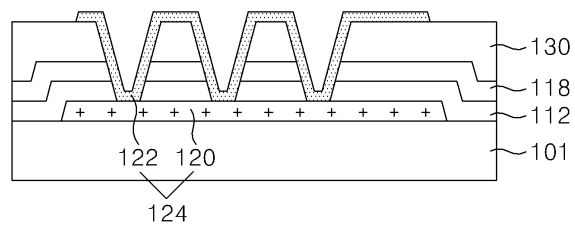
도면4b



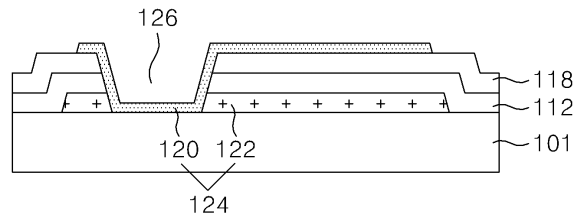
도면4c



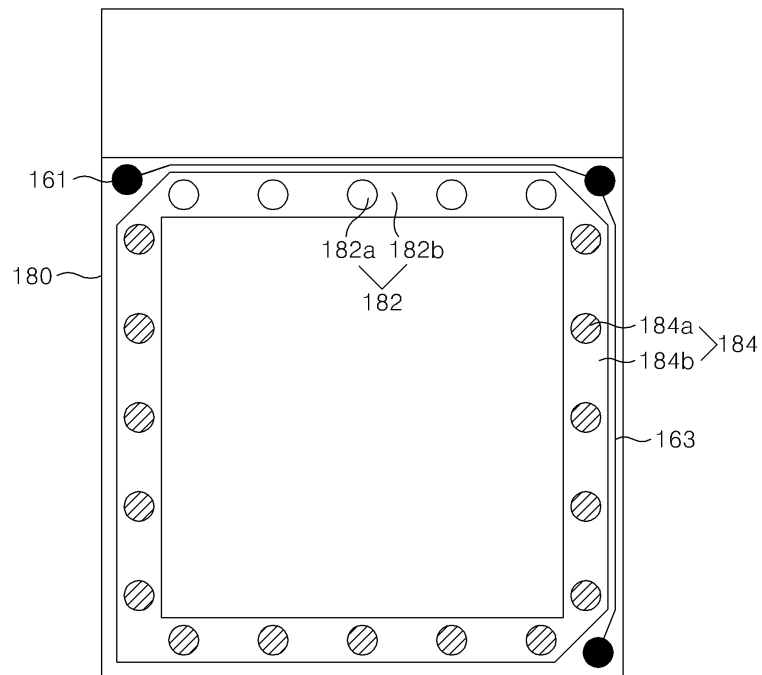
도면4d



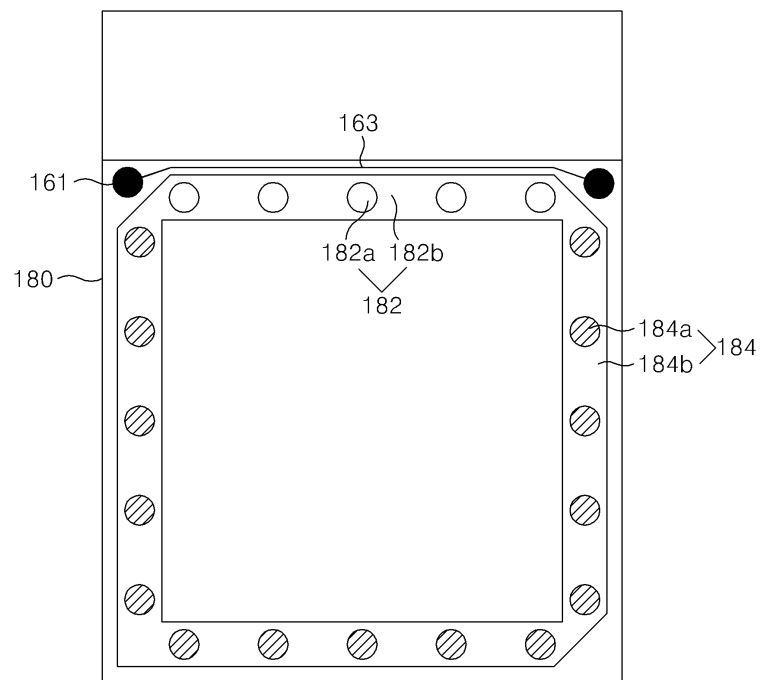
도면4e



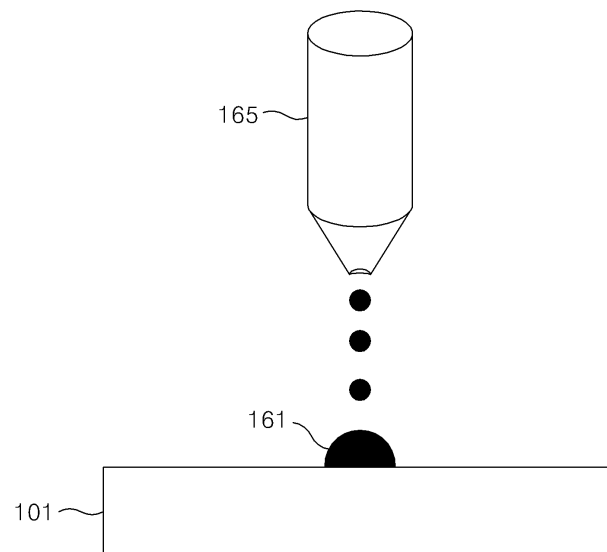
도면5a



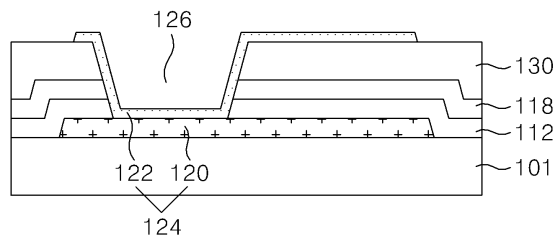
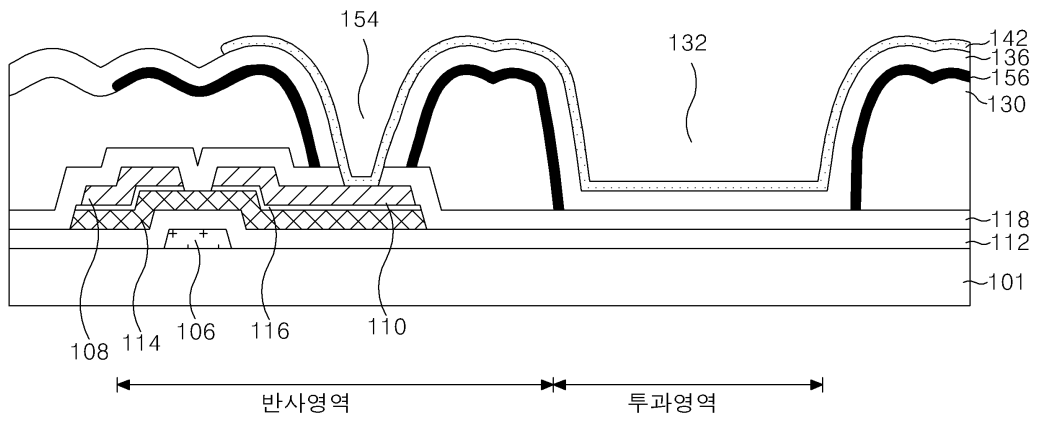
도면5b



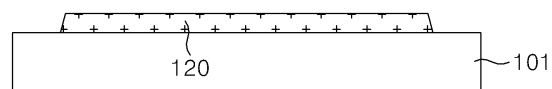
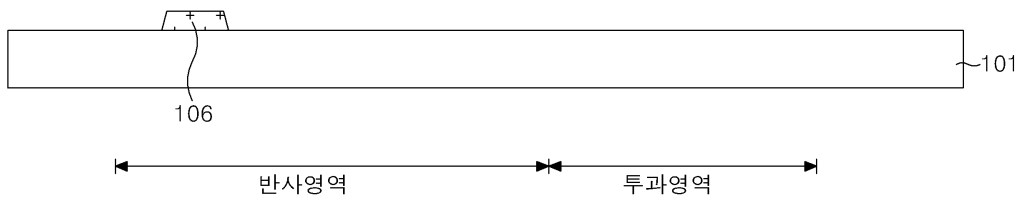
도면5c



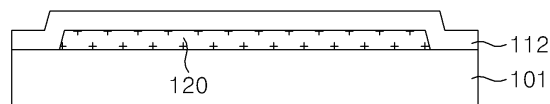
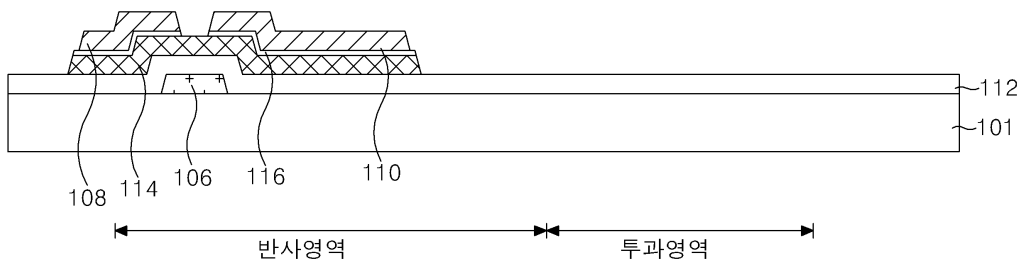
도면6



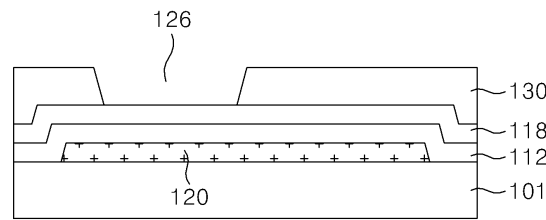
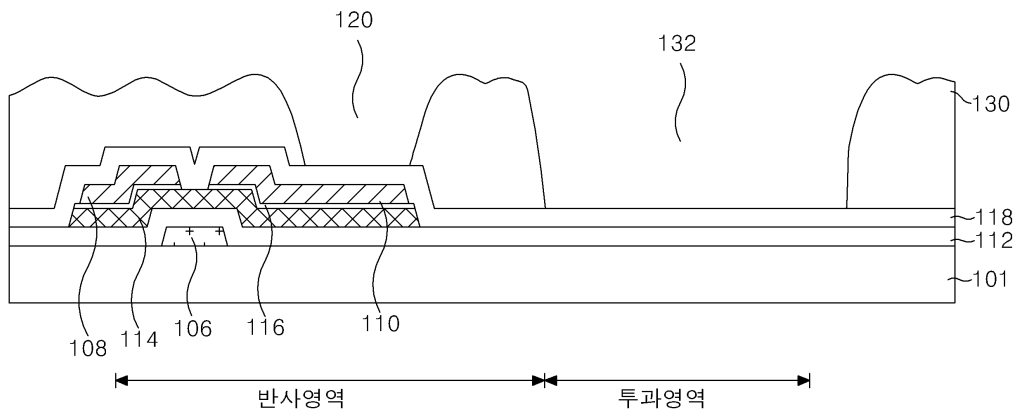
도면7a



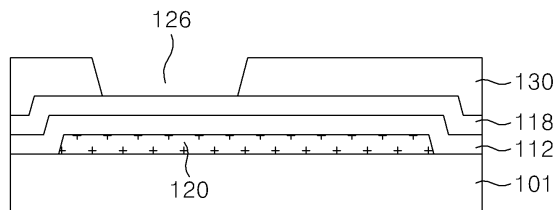
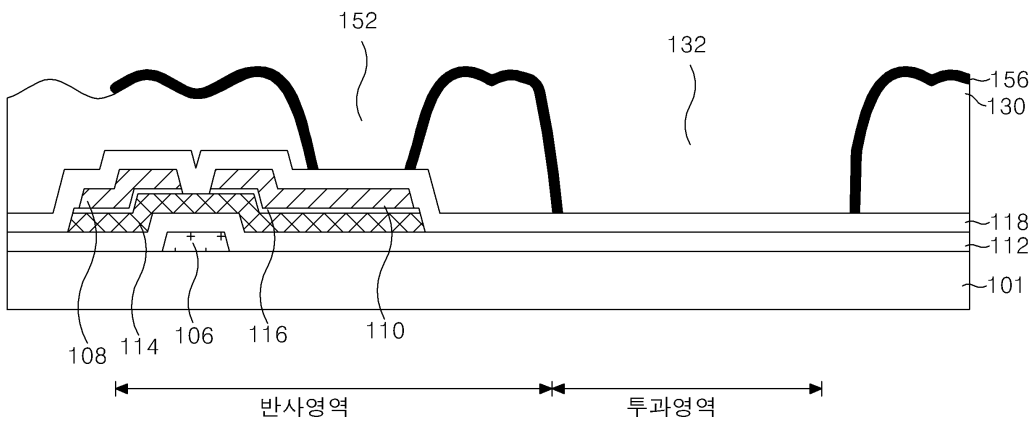
도면7b



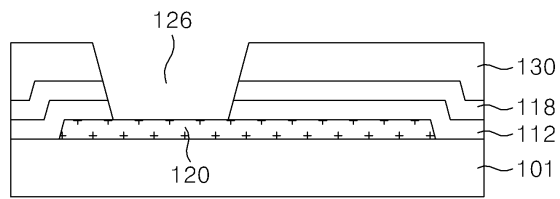
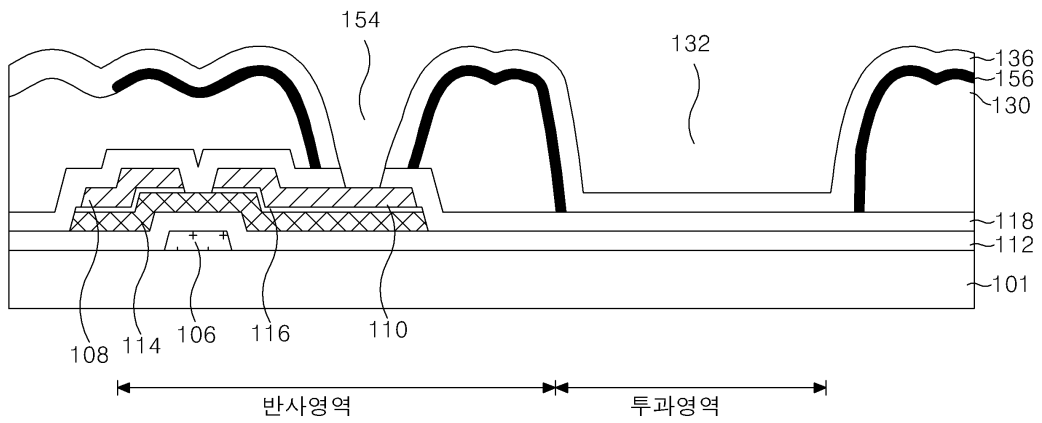
도면7c



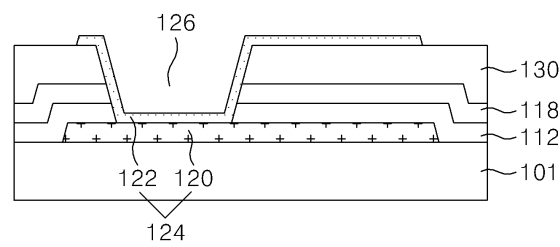
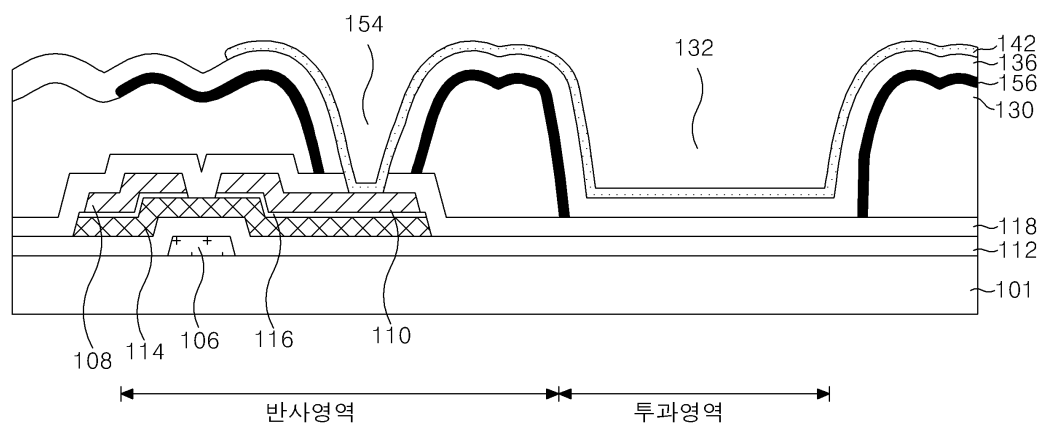
도면7d



도면7e



도면7f



专利名称(译)	液晶显示面板及其制造方法		
公开(公告)号	KR1020060072785A	公开(公告)日	2006-06-28
申请号	KR1020040111511	申请日	2004-12-23
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	AHN BYUNGCHUL 안병철 LIM JOOSOO 임주수		
发明人	안병철 임주수		
IPC分类号	G02F1/1339		
CPC分类号	G02F1/1343 G02F1/13394 G02F1/1368		
其他公开文献	KR101107239B1		
外部链接	Espacenet		

摘要(译)

用途：提供一种LCD（液晶显示器）面板及其制造方法，以省略额外的银点工艺，并通过使用上面的基板的公共基板连接到下基板的共同图案来简化制造工艺。密封胶中含有的导电空间。

