

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl. (11) 공개번호 10-2006-0034593
G02F 1/136 (2006.01) (43) 공개일자 2006년04월24일

(21) 출원번호 10-2004-0083766

(22) 출원일자 2004년10월19일

(71) 출원인 일진디스플레이(주)
경기 평택시 청북면 율북리 1032

(72) 발명자 장석필
경기 수원시 권선구 고색동 태산아파트 205-301
김성진
경기 성남시 분당구 정자동 한솔마을주공4단지아파트 415-2106
임상형
경기 안성시 원곡면 반제리 산수화 아파트 102-203
김종우
경기 의정부시 신곡1동 대우아파트 104-2402

(74) 대리인 박경훈

심사청구 : 있음

(54) 액정 디스플레이 패널 및 그 제조 방법

요약

본 발명은 박막 트랜지스터 액정 패널 및 그 제조 방법에 관한 것으로서, 본 발명에 따라 액티브 채널 주변에 광 차단벽을 설치하여 화소의 깜박임 현상(Flicker 현상)을 개선하는 박막 트랜지스터 액정 패널 및 그 제조 방법에 관한 것이다.

본 발명은 데이터 라인과 상기 게이트 라인이 중첩되는 액티브 영역에 입사되는 광을 차단하는 차단벽을 액티브 영역 주위에 별도로 형성하여 액티브 채널 영역에 입사되는 광을 차단하는 것을 목적으로 한다.

대표도

도 3

색인어

박막 트랜지스터, 액티브 채널, 누설전류, 깜박임 현상

명세서

도면의 간단한 설명

도 1은 종래 기술에 의한 박막 트랜지스터 액정 디스플레이 패널의 하부 기판 평면도이다.

도 2는 본 발명에 따른 일 실시예로서 액정표시장치의 하부기판의 단면도를 도시한다.

도 3은 본 발명에 따른 일 실시예로서 액정표시장치의 하부기판의 단면도를 도시한다.

도 4는 본 발명에 따른 일 실시예로서 액정표시장치의 하부기판의 단면도를 도시한다.

도 5 내지 도 16은 도 3에 제시된 본 발명에 따른 액정표시장치의 하부기판의 제조 공정을 도시한 공정도이다.

도 17은 본 발명의 차단벽을 생성하기 위한 컨택홀을 금속으로 충전한 후 에칭하는 공정을 설명하기 위한 도면이다.

도 18은 본 발명에 따른 일 실시예의 액정표시장치의 하부기판의 제조 공정 단면도의 일부이다.

도 19는 본 발명에 따른 일 실시예로서 액정표시장치의 하부기판의 단면도를 도시한다.

도 20은 도 9의 C-C' 단면도의 일부를 도시한 일부 단면도이다.

도 21 내지 도 32은 도 4에 제시된 본 발명에 따른 액정표시장치의 하부기판의 제조 공정을 도시한 공정도이다.

도 33은 도 25의 D-D' 단면도의 일부를 도시한 일부 단면도이다.

도 34 내지 도 37에서는 본 발명의 일 실시예에 따른 액정표시장치의 하부기판의 제조 공정의 일부를 도시한 공정도이다.

***** 도면의 주요 부분에 대한 부호 설명 *****

1: 투명 기판 10: 스토리지 캐패시터 하부 전극

14: 유전층 15: 하부 BM

16, 17: 제 1-1, 제 1-2절연층 18: 제 1절연층

20: 실리콘 박막 21: 게이트 절연막

30: 하부 수평 차단벽 94: 상부 수평 차단벽

36: 스토리지 캐패시터 상부 컨택전극

37: 스토리지 캐패시터 하부 컨택전극

40, 41, 102, 103: 제 1, 제 2, 제 3, 제 4차단벽

35: 게이트 전극 46: 소스전극

45: 제 2연결전극 47: 드레인전극

48: 제 1연결전극 66: 제 3연결전극

70: 상부 BM 80: 화소전극

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 박막 트랜지스터의 액정 디스플레이 장치의 광 차단벽에 관한 것으로서, 더욱 상세히 설명하면 박막 트랜지스터의 액티브 채널(Active channel) 주변에 입사되는 광을 차단하는 광 차단벽이 박막 트랜지스터의 활성층 주변에 설치되는 박막 트랜지스터 액정 패널 및 그 제조 방법에 관한 것이다.

종래는 박막 트랜지스터로 구성된 액정 패널의 게이트 전극 하부에 위치한 액티브 채널에 외부로부터 광이 입사하게 되면 누설전류가 생성되어 누설전류에 의한 깜박임 현상이 나타나 화질이 저하되는 문제점이 있었다.

도 1은 종래 기술에 의한 박막 트랜지스터 액정 디스플레이 패널의 하부 기판 평면도이다. 도 1을 참조하여 설명하기로 한다. 가로 방향으로의 게이트 라인(35)이 형성되고, 세로 방향으로의 데이터 라인(54)이 구비된다. 데이터 라인(54)의 하부에는 실리콘 박막(20)이 대략 "ㄷ"자 형상으로 형성된다. 데이터 라인(54)은 소스전극(46)을 통하여 실리콘 박막(20)의 일단과 연결되고, 실리콘 박막의 타단은 드레인전극(47) 및 제 3연결전극(66, 화소전극과 드레인전극을 연결하는 전극)을 통하여 화소 전극(80)과 연결된다. 실리콘 박막(20)과 게이트 라인(35)이 만나는 영역에는 액티브 채널(19)이 형성된다.

액정표시소자의 액티브 채널(19) 영역에 원하지 않는 광이 입사하면 누설전류가 발생하게 되고, 이로 인하여 화면이 깜박이는 현상이 발생하는 원인이 된다. 이는 주로 광원으로부터 입사된 광이 액정표시소자를 구성하는 금속막 등에 반사되어 액티브 채널(19) 영역으로 입사되기 때문에 발생한다. 특히 액정 프로젝터에 사용되는 액정소자의 경우에는 고휘도 광원을 사용하므로 더욱 심각한 문제가 되고 있다. 반사광이 액티브 채널(19) 영역으로 입사되는 것을 방지하기 위하여 하부 BM(Lower Black Matix)과 상부 BM(Upper Black Matrix)이 사용되고 있다. 하부 BM은 액정패널의 하부 기판에 부착되는 안티 더스터 글라스(anti dust glass) 또는 렌즈 등에 반사된 광이 재입사되어 액티브 채널 영역으로 입사되는 것을 방지하는 기능을 하며, 상부 BM은 광원으로부터 입사되는 빛이 화소 영역을 제외한 영역으로 입사되는 것을 방지하는 기능을 주로 하게 된다.

하지만 상부 BM과 하부 BM을 구비하더라도 액티브 채널로 난반사된 빛이 입사하는 것을 충분히 막을 수 없는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 액정의 스위칭 소자를 이루는 스위칭 소자의 액티브 채널로 입사되는 광을 차단하는 액정 디스플레이 패널 및 그 제조 방법을 제시하고자 하는 것이다.

본 발명의 또 다른 목적은 액티브 채널로 입사되는 광을 차단하는 차단벽이 광을 투과시키지 못하는 스위칭 소자 주변에 형성됨으로써 개구율에 불리하게 작용하지 않는 액정 디스플레이 패널 및 그 제조 방법을 제시하고자 하는 것이다.

상기 본 발명의 목적은 하부 BM, 스위칭 소자로 사용되는 박막 트랜지스터, 상기 박막 트랜지스터 게이트에 전압을 인가하는 게이트 라인, 상기 박막 트랜지스터의 드레인에 데이터 전압을 인가하는 데이터라인, 상부 BM 및 상기 박막 트랜지스터에 의해 구동되는 화소전극을 구비하는 하부 기판과 상기 화소전극과 대향되는 대향 전극을 구비하는 상부 기판 사이에 액정 물질을 개재하여 액정 물질 배열을 변화시켜 빛을 투과 또는 차단하는 액정 디스플레이 패널에 있어서, 상기 하부 기판이, 상기 하부 BM, 상기 스위칭 소자, 상기 데이터 라인, 상기 상부 BM 및 상기 화소전극 순으로 투명 기판상에 적층 형성되며, 상기 하부 BM과 상기 스위칭 소자 사이, 상기 스위칭 소자와 상기 데이터 라인 사이, 상기 데이터 라인과 상부 BM 사이 및 상기 상부 BM과 상기 화소전극 사이에는 제 1절연층, 제 2절연층, 제 3절연층, 제 4절연층이 각각 구비되고, 상기 스위칭 소자의 채널 길이 방향을 따라 상기 채널의 좌우에 소정 거리 이격되면서 상기 제 1절연층 상부에서 하부기판 쪽으로 형성되는 소정 사이즈의 홀이 구비되고, 상기 홀에 불투과 물질이 충전되는 제 1차단벽 및 제 2차단벽을 구비하는 것을 특징으로 하는 액정 디스플레이 패널에 의해서 달성 가능하다.

상기 본 발명의 목적은 하부 BM, 스위칭 소자로 사용되는 박막 트랜지스터, 상기 박막 트랜지스터의 게이트에 전압을 인가하는 게이트 라인, 상기 박막 트랜지스터 드레인의 데이터 전압을 인가하는 데이터라인, 상부 BM 및 상기 박막 트랜지스터에 의해 구동되는 화소전극을 구비하는 하부 기판과 상기 화소전극과 대향되는 대향 전극을 구비하는 상부 기판 사이에 액정 물질을 개재하여 액정 물질 배열을 변화시켜 빛을 투과 또는 차단하는 액정 디스플레이 패널을 제조하는 방법에 있어서, 상기 하부 기판을 제조하는 단계가, 상기 투명 기판의 상부에 불투명막을 증착하고 패터닝하여 하부 BM을 형성하는 제 1단계와 상기 투명 기판 및 상기 하부 BM 상부에 제 1절연층을 증착시키는 제 2단계와 상기 제 1절연층 상에 상기 박막 트랜지스터의 활성층을 패터닝 형성하는 제 3단계와 상기 제 1절연층 및 상기 박막 트랜지스터의 활성층 상부에 게이트 절연막을 증착시키는 제 4단계와 상기 제 1절연층 및 상기 게이트 절연막에 상기 활성층의 길이방향을 따라 상기 활성층으로부터 소정 거리 떨어진 위치에 양측으로 형성되는 제 1 및 제 2 수직홈을 형성하는 제 5-1단계 및 상기 제 1 및 제 2

수직홀을 불투과 물질로 충전시키는 제 5-2단계와 상기 게이트 절연막 상부에 게이트라인을 형성하는 물질을 증착시키는 제 6-1단계 및 상기 증착된 게이트라인을 마스크를 이용하여 패턴 형성하는 제 6-2단계와 상기 게이트 라인 및 상기 게이트 절연막 상부에 제 2절연층을 증착시키는 제 7단계와 상기 제 2절연층을 수직으로 가로지르며 상기 박막 트랜지스터의 소스 및 드레인과 각각 접촉하는 콘택홀을 형성하는 제 8단계와 상기 콘택홀에 금속을 충전시켜 상기 박막 트랜지스터의 소스전극 및 드레인 전극을 형성하는 제 9단계와 상기 제 2절연층, 상기 소스전극 및 드레인전극 상부에 제 3절연층을 증착시키는 제 10단계와 상기 제 3절연층을 수직으로 가로지르며 상기 드레인 전극과 연결되는 콘택홀을 형성하고, 상기 콘택홀에 금속을 충전하여 드레인전극과 연결되는 제 3연결전극을 형성하는 제 11단계와 상기 제 3절연층 및 상기 제 3연결전극 상부에 제 4절연층을 증착시키는 제 12단계 및 상기 제 4절연층을 수직으로 가로지르며 상기 제 3연결전극에 콘택하는 콘택홀을 형성하고, 상기 콘택홀과 접속되는 화소전극을 형성하는 제 13단계를 포함하는 것을 특징으로 하는 액정 디스플레이 패널 제조 방법에 의해서도 달성 가능하다.

발명의 구성 및 작용

본 발명의 특징, 장점 및 바람직한 실시예 등은 첨부한 도면을 참조하여 하기에서 상세히 설명된다.

도 2는 본 발명에 따른 일 실시예로서 액정표시장치의 하부기관의 단면도를 도시한다. 투명기관(1) 상부에 도전성 재질로 형성되는 스토리지 캐패시터 하부 전극(10)이 구비되고 그 위에 유전층(14)을 적층하고, 다시 하부 BM(15)을 적층하여 스토리지 캐패시터를 형성한다. 이때 하부 BM(15)은 도전성의 불투과 재질을 사용하여 스토리지 캐패시터의 상부 전극으로도 사용된다. 그 상부로 제 1절연층(18)을 적층한 후, 활성층(20)을 패턴 구비하고, 그 위로 게이트 절연막(21)이 증착 형성된다. 상부기관으로부터 입사된 광이 난반사되어 활성층으로 입사되는 것을 막기 위하여 활성층(20)의 길이방향을 따라 게이트 라인(35)와 함께 활성층을 둘러 싸도록 게이트 절연막(21)과 제 1절연층(18)을 관통하는 제 1차단벽(41)과 제 2차단벽(42)을 불투명 재질로 형성한다. 그 상부에 제 2절연층(49)이 증착 형성되고, 데이터라인(53)이 패턴 구비한 후, 다시 제 3절연층(54)을 형성한다. 제 3절연층(54) 상부에 상부 BM(70)을 패턴 형성하고, 그 상부에 제 4절연층(71)을 형성하며, 그 상부에 화소전극(80)을 형성한 후 배향막이 형성되는 구조를 갖는다. 제 1차단벽(41) 및 제 2차단벽(42)을 활성층(20)의 길이방향을 따라 제 1절연층(18)의 전체 또는 일부에 걸쳐서 형성함으로써 게이트라인(35)와 더불어 상부 BM(70) 및/또는 하부 BM(15)을 피해서 통과된 난반사된 광을 더욱 더 확실하게 차단할 수 있게 되었다.

도 3에 제시된 본 발명에 따른 일 실시예의 액정표시장치 하부기관의 단면도의 실시예는 도 2에 제시된 액정표시장치의 하부기관의 구조에서 제 1-1절연층 상부(16)에 하부 수평 차단벽(30)을 추가적으로 더 구비한 것에 차이가 있다. 이러한 차이에 의해서 제 1-1절연층(16) 상부에 하부 수평 차단벽(30)을 구비하고, 제 1-1절연층(16) 및 하부 수평 차단벽(30) 상부에 제 1-2절연층(17)을 증착 형성한 후 활성층(20)을 도포하기 전에 제 1-2절연층(17)을 평탄화하는 것을 특징으로 한다. 제 1차단벽(41), 제 2차단벽(42), 게이트 라인(35) 및 하부 수평 차단벽(30)에 의해서 활성층(20)의 채널 영역이 둘러 싸이므로써 난반사된 광(光)을 더욱 더 확실하게 차단할 수 있게 되었다.

도 4는 본 발명에 따른 일 실시예로서 액정표시장치의 하부기관의 단면도를 도시한다. 게이트 전극 또는 게이트 라인(35)이 활성층(20) 하부에 구비되는 형태의 액정표시장치의 하부기관으로서, 게이트 라인(35), 제 3차단벽(92), 제 4차단벽(93) 및 상부 수평 차단벽(94)에 의해서 활성층의 채널 영역이 둘러 싸이는 구조를 제시하였다. 투명기관(1) 상부에 도전성 재질로 형성되는 스토리지 캐패시터 하부 전극(10)이 구비되고 그 위에 유전층(14)을 적층하고, 다시 하부 BM(15)을 적층하여 스토리지 캐패시터를 형성한다. 이때 하부 BM(15)은 도전성의 불투과 재질을 사용하여 스토리지 캐패시터의 상부 전극으로도 사용된다. 그 상부로 제 1절연층(18)을 적층한 후, 게이트 라인(35)을 형성한다. 게이트 라인(35) 상부에 게이트 절연막(91)을 형성한 후, 게이트 절연막(91) 상부에 활성층(20)을 패턴 형성한다. 활성층(20) 상부에 제 10절연층(89)을 구비하고, 그 상부에 상부 수평 차단벽(94)을 구비하고, 활성층(20)의 채널 영역을 사이에 두고 각각 불투과 물질로 충전되는 제 3차단벽(92) 및 제 4차단벽(93)을 형성한다. 그 상부에 제 11절연층(95)이 구비되고, 데이터라인(53)이 패턴 구비된다. 제 11절연층(95)과 데이터라인(53) 상부에 제 3절연층(54)을 형성한 후, 상부 BM을 증착시킨 후, 그 상부에 제 4절연층(71)을 형성하며, 그 상부에 화소전극(80)을 형성한 후 배향막이 형성되는 구조를 갖는다. 도 4에 제시된 실시예에서는 활성층(20)의 채널 영역 주변을 제 3차단벽(92), 제 4차단벽(93), 게이트 라인(35) 및 상부 수평 차단벽(94)으로 차단하도록 함으로써 난반사되는 광(光)을 더욱 더 확실하게 차단할 수 있게 되었다.

도 5 내지 도 15는 도 3에 제시된 본 발명에 따른 액정표시장치의 하부기관의 제조 공정을 도시한 공정도이다. 도 2에 제시된 본 발명에 따른 액정표시장치의 하부기관은 도 3에 제시된 하부기관과 하부 수평 차단벽(30)이 구비되지 않는 차이가 있다. 제 1-1절연층(16)과 제 1-2절연층(17)에 대응되는 제 1절연층(18)이 구비되는 등의 몇 가지 공정 상의 차이점을 제외하면 도 3에 제시된 실시예의 약간의 변형을 통하여 해당 기술분야의 종사자는 용이하게 발명할 수 있는 것이므로 자세한 설명은 생략하기로 한다. 도 5 내지 도 15에서는 상부 도면과 하부 도면으로 이루어지는 2개의 도면이 동시에 도시되는데 상부 도면은 하부 기관의 레이아웃 평면도를 도시한 것이며, 하부 도면은 하부 기관의 단면도를 도시한 것이다. 도 5

에 도시한 바와 같이 하부에 표시되는 단면도는 상부에 도시된 레이아웃 평면도에 도시된 대략 "A" 방향으로 이루어지는 선분 방향으로 절단한 단면도를 펼친 후, "B" 방향으로 이루어지는 선분 방향의 절단면도와 연속해서 나타낸 것으로 약간의 상상력을 발휘하여 이해하여야 한다. 또한 "A" 방향 및 "B" 방향을 따라 절개를 하였다고 하였으나 필요한 경우에는 "A" 선분 또는 "B" 선분에서 이탈한 위치에 구현되는 구성부분을 나타내기 위해서 도시하였음을 유의하여 도면을 참조하기 바란다.

투명기관(1) 상부에 도펀트(Dopant)가 주입되어 전기 전도도를 높인 도핑된 폴리실리콘(Doped Polysilicon)을 증착한 후 패터하여 스토리지 캐패시터 하부 전극(10)을 형성한다(도 5). 스토리지 캐패시터 하부 전극(10) 상에 절연막을 열산화 혹은 저압 화학 기상증착법(LPCVD, Low Pressure Chemical Vapor Deposition) 등에 의한 방법으로 유전체 물질(14)을 증착한 후, 그 위에 도핑된 폴리실리콘과 텅스텐 실리사이드(WSix)를 연속적으로 증착하고 패터하여 이중막으로 하부 BM(15)을 패터 형성한다. 이때 형성되는 하부 BM(15)을 불투명 박막으로 형성함으로써 캐패시터 상부 전극으로도 사용되게 한다. 하부 BM(15)을 이중막으로 형성하는 이유는 텅스텐 실리사이드 박막의 내부 응력에 의한 크랙(Crack) 발생을 억제하기 위하여 스트레스를 완화시킬 수 있고, 또한 SiO_2 와 실리사이드(Six)의 계면 특성이 좋기 때문에 스토리지 캐패시터 절연막의 파괴 전압을 높일 수 있기 때문이다. 하부 BM(15)은 티타늄 실리사이드(TiSix) 또는 텅스텐 실리사이드(WSix) 등의 단층막으로 형성하여도 무방하며, 이중막으로 형성할 경우 텅스텐 실리사이드(WSix) 대신 티타늄 실리사이드(TiSix)를 사용하여도 된다. 또한 투명기관 상부에 불투명 도전성 박막으로 하부 BM을 먼저 패터 형성하고, 그 상부에 실리콘 산화막과 같은 유전층을 증착한 후, 그 상부에 도전성 박막을 형성하고 패터하여 스토리지 캐패시터 상부 전극을 형성하여도 된다. 이 경우에는 하부 BM이 스토리지 캐패시터 하부 전극의 기능을 동시에 하게 된다. 도 6의 상부에 도시된 레이아웃도에서 도시된 바와 같이 하부 BM(15)은 스토리지 캐패시터의 하부전극(10)과 연결하기 위한 콘택 영역을 남겨놓은 채 패터 형성된다. 스토리지 캐패시터를 형성한 후에 제 1-1절연층(16)을 증착한다(도 6). 제 1-1절연층(16)은 대략 3000Å 이상의 두께로 증착한다.

다음으로 광을 차단하는 재질을 사용하여 하부 수평 차단벽(30)을 패터 형성한 후, 제 1-2절연층(17)을 증착하고 평탄화한다(도 7). 하부 수평 차단벽(30)을 형성하는 물질은 광(光)을 차단하는 물질이면 무방하며, 되도록이면 하부 BM을 형성하는 물질과 동일 물질로 사용하는 것이 바람직하다. 제 1-2절연층(17)은 대략 3000Å 이상의 두께로 증착한다.

다음으로 제 1-2절연층(17) 상부에 반도체 활성층(20)을 대략 "ㄴ"자 형태로 패터 형성한 후, 게이트 절연막(21)을 증착시킨다(도 8). 그런 후, 게이트 절연막(21), 제 1-1절연층(16) 및 제 1-2절연층(17)을 관통하는 복수 개 콘택홀을 형성하여, 스토리지 상부 전극용 콘택 홀(25), 스토리지 하부 전극용 콘택 홀(26)을 형성한다. 이때 동일한 마스크를 이용하여 반도체 활성층(20)으로 난바사되어 입사되는 빛을 차단하기 위한 제 1차단벽 콘택홀(31) 및 제 2차단벽 콘택홀(32)을 하부 수평 차단벽(30)과 접촉되도록 각각 형성한다(도 9). 스토리지 상부 전극용 콘택홀(25), 스토리지 하부 전극용 콘택홀(26)을 형성하는 마스크와는 별도의 마스크를 사용하여 제 1차단벽 콘택홀(31), 제 2차단벽 콘택홀(32)을 형성할 수 있음은 물론이다.

특히 중요한 것은 형성되는 다음 공정에서 불투과 금속으로 제 1 및 제 2차단벽 콘택홀(31, 32)이 충전될 경우 개구율이 감소되지 않도록 제 1 및 제 2차단벽 콘택홀(31, 32)은 상부 BM(70)이 형성되는 영역을 벗어나지 않도록 하여야 한다. 도 9에서는 편의상 향후에 형성될 상부 BM(70)의 영역을 굵은 일점 쇄선으로 도시하였다. 도 9에 도시한 바와 같이 광차단벽 콘택홀(31, 32)은 상부 BM(70)이 형성되는 영역 상에 형성됨을 알 수 있으며, 바람직하게는 하부 BM(15)이 형성되는 영역 상에 형성되는 것이 좋다. 수직 차단벽을 형성하는 최적의 위치는 상하 레이아웃 쇼트를 방지할 수 있는 범위 내 개구율에 영향을 주지 않는 영역 중에서 액티브 채널의 길이 방향("L"의 세로 방향)으로 액티브 채널에 최대한 근접한 위치에 형성하는 것이 바람직하다.

마치 도 9의 아래에 도시된 단면도 상에서는 제 1 및 제 2 차단벽 콘택홀(31, 32)이 반도체 활성층(20)을 접촉하면서 관통하는 것처럼 도시되어 있으나, 도 9의 상부에 도시된 평면도에 도시된 바와 같이 제 1 및 제 2 차단벽 콘택홀(31, 32)이 반도체 활성층(20)과 전혀 접촉되지 않음을 알 수 있다. 이를 보다 명확하게 나타내기 위하여 도 9의 C-C' 방향의 절단면도를 도 20에 도시하였다. 도 9의 평면도 및 도 20에 도시된 바와 같이 제 1 및 제 2 차단벽 콘택홀(31, 32)은 반도체 활성층(20) 중 채널 영역(19)의 길이 방향을 따라 인접한 위치에 형성됨을 알 수 있다. 또한 제 1 및 제 2 차단벽 콘택홀(31, 32)은 하부 수평 차단벽(30)이 형성된 상부 영역 상에서 활성층을 감싸도록 형성되어 하부 수평 차단벽(30)과 접촉되게 형성됨을 알 수 있다.

다음으로 스토리지 상부 전극용 콘택 홀(25), 스토리지 하부 전극용 콘택 홀(26), 제 1차단벽 콘택홀(31) 및 제 2차단벽 콘택홀(32)을 충전하면서 대략 3000Å 두께로 게이트 전극 폴리실리콘을 도포한 후, 게이트 전극(35), 스토리지 캐패시터 상부 전극용 콘택전극(36) 및 스토리지 캐패시터 하부 전극용 콘택전극(37)을 패터 형성한다(도 10). 게이트 전극(35)은

도전성이면서 하부 게이트 절연막인 SiO_2 와 좋은 계면 특성을 가져야 하며, 빛에 의한 누설 전류 발생을 억제하기 위해서는 광투과도가 낮아야 한다. 또한 도펀트 액티베이션(Dopant Activation)을 위해 약 800도 정도의 후공정 온도에 견딜 수 있어야 한다. 이러한 요건 때문에 게이트 전극(35) 형성 물질로는 도핑된 폴리실리콘이 주로 사용되며, 전기 전도도를 높이고 광투과도를 낮추기 위해 도핑된 폴리실리콘과 텅스텐 실리사이드(WSi_x)의 이중막을 사용하는 것이 바람직하다. 게이트 전극 폴리실리콘을 CVD(Chemical Vapor Deposition: 화학적 기상 증착)법으로 증착할 때, 제 1차단벽 컨택홀(31) 및 제 2차단벽 컨택홀(32)이 각각 게이트 전극과 동일 물질로 충전되어 제 1차단벽(41) 및 제 2차단벽(42)이 형성된다.

게이트 전극(35)을 패턴 형성할 때 사용하는 마스크에 적절한 패턴을 형성하여 제 1차단벽(41) 및 제 2차단벽(42) 상부에 적층된 게이트 전극 형성 물질을 에칭하여 차단막 컨택홀 부분을 패턴 형성함으로써 보다 완벽한 차단벽을 형성하거나 또는 상기 마스크에 제 1차단벽(41) 및 제 2차단벽(42)을 위한 패턴을 형성하지 않고 게이트 전극 에칭시 사용하는 마스크를 그대로 이용할 경우에는 게이트 전극 에칭시 남는 스트링거(stringer)로 제 1차단벽(41) 및 제 2차단벽(42)을 형성할 수도 있다.

도 17을 이용하여 제 1차단벽 컨택홀(31) 및 제 2차단벽 컨택홀(32)에 게이트 전극 폴리실리콘을 충전시키는 공정을 보다 자세히 설명하기로 한다. 도 17에 도시된 바와 같이 컨택홀이 'a' 사이즈의 폭과 'b' 사이즈의 깊이를 가지고 있을 때, 두께 't'의 게이트 전극 폴리실리콘을 도포하게 되면 도 17(a)에 도시된 바와 같이 컨택홀이 충전된다. 본 발명에서 사용한 사이즈는 'a'와 'b'는 6000Å이었으며, 두께 't'는 3000Å이었다. 이후 게이트 전극을 남기는 마스크를 이용하여 나머지 부분을 에칭을 하게 되면, 도 17(b)에 도시된 바와 같이 에칭 후 컨택홀에 충전된 게이트 전극 폴리실리콘은 남아 있게 되며 이를 스트링거(stringer)라 한다.

전술한 바와 같이 게이트 전극 패턴 형성시 남는 스트링거로 형성하는 방법 외에도 별도의 마스크를 이용하여 제 1차단벽 컨택홀(31) 및 제 2차단벽 컨택홀(32) 상부에 증착된 게이트 전극 폴리실리콘을 제거할 수 있음은 물론이다. 경우에 따라서는 도 18에 도시된 바와 같이 제 1차단벽 컨택홀(31) 및 제 2차단벽 컨택홀(32) 상부에 증착된 게이트 전극 폴리실리콘을 수직홈과 겹쳐지도록 상부에 패턴을 남겨 놓을 수도 있다. 도 19는 제 1차단벽 컨택홀(31) 및 제 2차단벽 컨택홀(32) 상부에 증착된 게이트 전극 폴리실리콘이 일부 남아 있는 액정표시장치의 하부기판의 단면도이다. 바람직하게는 게이트 전극(35) 패턴이 제 1차단벽 컨택홀(31) 및 제 2차단벽 컨택홀(32) 상부에 겹쳐지도록 하는 것이 좋다.

게이트 절연막(21), 스토리지 캐패시터 상부 전극용 컨택전극(36), 스토리지 캐패시터 하부 전극용 컨택전극(37), 제 1차단벽(41) 및 제 2차단벽(42) 상부에 제 2절연층(49)을 도포한다. 소스 전극용 컨택홀(46'), 드레인전극용 컨택홀(47'), 스토리지 캐패시터 하부전극(37)과 드레인전극(47)을 연결하는 제 1연결전극용 컨택홀(48') 및 스토리지 캐패시터 상부전극(36)과 공통전극을 연결하는 제 2연결전극용 컨택홀(45')을 각각 형성한다(도 11).

다음으로 데이터라인(53)을 형성하기 위한 금속막을 PVD(Physical Vapor Deposition; 물리적 기상 증착법)를 이용하여 증착시킨 후 패턴닝한다. 데이터라인(53)은 전기 전도도가 높아야 하므로 금속이 사용되며, 대개 알루미늄(Al)이 사용된다. 알루미늄 상부와 하부에 반사도를 낮추고 하부 반도체 막과의 접촉 저항을 줄이기 위해 티타늄(Ti), 질화티타늄(TiN) 등의 레이어가 2층(Al/TiN) 혹은 3, 4층(TiN/Al/TiN, Ti/TiN/Al/TiN)으로 사용될 수 있다. 이로써 소스 전극(46), 드레인 전극(47), 스토리지 캐패시터 하부전극(37)과 드레인전극(47)을 연결하는 제 1연결전극(48) 및 스토리지 캐패시터 상부전극(36)과 공통전극을 연결하는 제 2연결전극(45)이 완성된다.

이후 제 2절연층(49), 소스 전극(46), 드레인전극(47), 스토리지 캐패시터 하부전극(37)과 제 1연결전극(48) 및 제 2연결전극(45) 상부를 덮는 제 3절연층(54)을 증착시킨다(도 12). 도 12의 원 내부에 확대 도시한 바와 같이 제 1차단벽(41) 및 제 2차단벽(42)은 활성층의 채널의 길이("L") 방향을 따라 하부 수평 차단벽(30)과 접촉하도록 형성되며, 채널로 입사되는 광(光)을 보다 확실하게 차단하기 위해서 채널의 길이(L)보다 길게 "L1"으로 형성하는 것이 바람직하다. 도면에 도시된 바와 같이 채널을 길이 'L'과 폭 'W'로 형성할 경우 하부 수평 차단벽(30)의 길이 및 폭은 각각 L1, W1으로 길고 넓게 형성하여야 한다.

제 3절연층(54)을 평탄화한 후, 공통전극 컨택홀(65'), 드레인전극(47)과 화소전극을 연결하기 위한 제 3연결전극을 위한 컨택홀(66')을 형성한다(도 13). 다음으로 상부 BM을 형성하기 위한 금속막을 증착한 후 패턴닝하여 공통전극(65) 및 제 3연결전극(66)을 형성한다. 상부 BM은 불투명해야 하고 일정 전압이 인가되고 이부 배선으로도 사용되므로 전기전도도가 높아야 한다. 후공정에 속하므로 고온에서 견딜 필요가 없으므로 대개 알루미늄(Al)이 사용되며 반사도를 낮추기 위해 질화 티타늄(TiN)을 상하 또는 상하 중 어느 하나에 적층하여 사용하여도 무방하다. 제 3절연층(54), 공통전극(65) 및 제

3연결전극(66) 상부에 제 4 절연층(71)을 증착한다(도 14). 도 14의 레이아웃도에 의하면 상부 BM(70)이 전체적으로 증착됨을 알 수 있으나, 이를 표시하는 단면도 상에서는 이를 전체적으로 도시하지 않고 설명의 편의상 일부분만을 도시하였다. 본 발명에서 상부 BM(70)의 두께는 약 4000Å 정도 되도록 하였다.

제 4 절연층(71)을 평탄화한 후, 화소전극을 위한 콘택홀(72')을 형성한다(도 15). 다음으로 투명한 전극 재질, 예로서 ITO (Indium Tin Oxide)을 이용하여 화소전극을 패턴 형성함으로써 하부 기관 공정이 완료된다(도 16). 도 16의 상부에 도시된 레이아웃도의 F-F' 방향으로 절단하면 도 2 및 도 3에 도시된 절단면도가 나타난다.

도 21 내지 도 32는 도 4에 제시된 본 발명에 따른 액정표시장치의 하부기관의 제조 공정을 도시한 공정도이다. 도 21 내지 도 32에서는 상부 도면과 하부 도면으로 이루어지는 2개의 도면이 동시에 도시되는데 상부 도면은 하부 기관의 레이아웃 평면도를 도시한 것이며, 하부 도면은 하부 기관의 단면도를 도시한 것이며, 도시 방식은 전술한 바와 동일하다.

투명기관(1) 상부에 도펀트(Dopant)가 주입되어 전기 전도도를 높인 도핑된 폴리실리콘(Doped Polysilicon)을 증착한 후 패터하여 스토리지 캐패시터 하부 전극(10)을 형성한다(도 21). 스토리지 캐패시터 하부 전극(10) 상에 절연막을 열산화 혹은 저압 화학 기상증착법(LPCVD, Low Pressure Chemical Vapor Deposition) 등에 의한 방법으로 유전체 물질(14)을 증착한 후, 그 위에 도핑된 폴리실리콘과 텅스텐 실리사이드(WSix)를 연속적으로 증착하고 패터하여 이중막으로 하부 BM(15)을 패턴 형성한다. 이때 형성되는 하부 BM(15)을 불투명 박막으로 형성함으로써 캐패시터 상부 전극으로도 사용되게 한다. 하부 BM(15)을 이중막으로 형성하는 이유는 텅스텐 실리사이드 박막의 내부 응력에 의한 크랙(Crack) 발생을 억제하기 위하여 스트레스를 완화시킬 수 있고, 또한 SiO₂와 실리사이드(Six)의 계면 특성이 좋기 때문에 스토리지 캐패시터 절연막의 파괴 전압을 높일 수 있기 때문이다. 하부 BM(15)은 티타늄 실리사이드(TiSix) 또는 텅스텐 실리사이드(WSix) 등의 단층막으로 형성하여도 무방하며, 이중막으로 형성할 경우 텅스텐 실리사이드(WSix) 대신 티타늄 실리사이드(TiSix)를 사용하여도 된다. 또한 투명기관 상부에 불투명 도전성 박막으로 하부 BM을 먼저 패턴 형성하고, 그 상부에 실리콘 산화막과 같은 유전층을 증착한 후, 그 상부에 도전성 박막을 형성하고 패터하여 스토리지 캐패시터 상부 전극을 형성하여도 된다. 이 경우에는 하부 BM이 스토리지 캐패시터 하부 전극의 기능을 동시에 하게 된다. 도 22의 상부에 도시된 레이아웃도에서 도시된 바와 같이 하부 BM(15)은 스토리지 캐패시터의 하부전극(10)과 연결하기 위한 콘택 영역을 남겨 놓은 채 패턴 형성된다. 스토리지 캐패시터를 형성한 후에 제 1절연층(18)을 증착한다(도 22). 제 1절연층(18)은 대략 3000Å 이상의 두께로 증착한다.

다음으로 게이트라인(35)을 패턴 형성하고, 게이트라인(35) 및 제 1절연층(18) 상부에 게이트 절연막(91)을 형성하고 평탄화한다(도 23). 게이트라인(35)은 도전성이면서 상부 게이트 절연막인 SiO₂와 좋은 계면 특성을 가져야 하며, 빛에 의한 누설 전류 발생을 억제하기 위해서는 광투과도가 낮아야 한다. 게이트라인(35) 형성 물질로는 도핑된 폴리실리콘이 주로 사용되며, 전기 전도도를 높이고 광투과도를 낮추기 위해 도핑된 폴리실리콘과 텅스텐 실리사이드(WSix)의 이중막을 사용하는 것이 바람직하다.

게이트 절연막(91) 상부 영역에 실리콘 박막을 도포하고 패터닝하여 활성층(20)을 형성한다(도 24). 그 위로 제 10절연층(89)을 형성한 후, 제 1절연층(18), 게이트 절연막(91) 및 제 10절연층(89)을 관통하는 스토리지 상부 전극용 콘택홀(25) 및 스토리지 하부 전극용 콘택홀(26)을 각각 형성하고, 동일한 마스크 또는 별도의 마스크를 사용하여 게이트 절연막(91) 및 제 10절연층(89)을 관통하여 게이트 전극(35)과 접촉하는 제 3차단벽 콘택홀(92') 및 제 4차단벽 콘택홀(93')을 각각 형성한다(도 25). 도 25 하부에 도시된 단면도 상으로는 제 3차단벽 콘택홀(92') 및 제 4차단벽 콘택홀(93')이 마치 활성층(20)을 관통하면서 형성되는 것으로 도시되어 있으나 이는 설명의 편의상 하나의 도면을 이용하여 표현하면서 생기는 문제라고 여겨주기 바란다. 도 25의 상부에 도시된 평면도를 살펴 보면 제 3차단벽 콘택홀(92') 및 제 4차단벽 콘택홀(93')은 활성층을 사이에 두고 각각 활성층의 길이 방향으로 나란히 게이트라인(35)의 길이 방향("L" 방향)으로 형성되어 있음을 알 수 있다. 이를 보다 정확하게 도시하기 위하여 도 25의 평면도의 D-D' 방향의 절개 단면도의 일부를 도 33에 도시하였다.

스토리지 상부 전극용 콘택홀(25), 스토리지 하부 전극용 콘택홀(26), 제 3차단벽 콘택홀(92') 및 제 4차단벽 콘택홀(93')을 불투과 금속으로 충전하고 패터닝한다(도 26). 이때 상부 전극용 콘택홀(25)과 스토리지 하부 전극용 콘택홀(26)에는 전도성 금속으로 충전하고, 제 3차단벽 콘택홀(92') 및 제 4차단벽 콘택홀(93')은 광(光)을 차단하는 비전도성 또는 전도성 재질로 형성하는 것이 바람직하다. 스토리지 상부 전극용 콘택홀(25), 스토리지 하부 전극용 콘택홀(26), 제 3차단벽 콘택홀(92') 및 제 4차단벽 콘택홀(93')에 충전되는 불투과 금속으로는 하부 BM을 형성하는 재질과 동일한 재질을 사용하는 것이 바람직하다. 이때 도 26의 평면도에 도시된 바와 같이 제 3차단벽 콘택홀(92') 및 제 4차단벽 콘택홀(93')을 연결하는

상부 수평 차단벽(94)을 불투과 물질로 패턴 형성함으로써 상부기관으로부터 채널영역으로 입사되는 광(光)을 줄일 수 있게 한다. 전술한 불투과 금속의 충전에 의해 스토리지 캐패시터 상부 콘택전극(36), 스토리지 캐패시터 하부 콘택전극(37), 제 3차단벽(92), 제 4차단벽(93) 및 상부 수평 차단벽(94)이 각각 형성된다.

다음으로 상부에 제 11절연층(95)을 증착 형성한 후, 제 11절연층(95)의 소정 영역을 뚫어 스토리지 캐패시터 상부 콘택전극(36)과 연결하기 위한 제 2연결전극 콘택홀(45'), 스토리지 캐패시터 하부 콘택전극(37)과 연결하기 위한 제 1연결전극 콘택홀(48')과 활성층(20)의 소스 영역과 드레인 영역으로 각각 연결되는 소스 전극용 콘택홀(46') 및 드레인 전극용 콘택홀(47')을 각각 형성한다(도 27).

다음으로 데이터라인(53)을 형성하기 위한 금속막을 PVD(Physical Vapor Deposition; 물리적 기상 증착법)를 이용하여 증착시킨 후 패턴닝한다. 데이터라인(53)은 전기 전도도가 높아야 하므로 금속이 사용되며, 대개 알루미늄(Al)이 사용된다. 알루미늄 상부와 하부에 반사도를 낮추고 하부 반도체 막과의 접촉 저항을 줄이기 위해 티타늄(Ti), 질화티타늄(TiN) 등의 레이어가 2층(Al/TiN) 혹은 3, 4층(TiN/Al/TiN, Ti/TiN/Al/TiN)으로 사용될 수 있다. 이로써 소스 전극(46), 드레인 전극(47), 스토리지 캐패시터 하부전극(37)과 드레인전극(47)을 연결하는 제 1연결전극(48) 및 스토리지 캐패시터 상부전극(36)과 공통전극을 연결하는 제 2연결전극(45)이 완성된다. 이후 제 11절연층(95), 소스 전극(46), 드레인전극(47), 스토리지 캐패시터 하부전극(37)과 제 1연결전극(48) 및 제 2연결전극(45) 상부를 덮는 제 3절연층(54)을 증착시킨다(도 28).

제 3절연층(54)을 평탄화한 후, 공통전극 콘택홀(65'), 드레인전극(47)과 화소전극을 연결하기 위한 제 3연결전극을 위한 콘택홀(66')을 형성한다(도 29).

다음으로 상부 BM을 형성하기 위한 금속막을 증착한 후 패턴닝하여 공통전극(65) 및 제 3연결전극(66)을 형성한다. 상부 BM은 불투명해야 하고 일정 전압이 인가되고 이부 배선으로도 사용되므로 전기 전도도가 높아야 한다. 후공정에 속하므로 고온에서 건넌 필요가 없으므로 대개 알루미늄(Al)이 사용되며 반사도를 낮추기 위해 질화 티타늄(TiN)을 상하 또는 상하 중 어느 하나에 적층하여 사용하여도 무방하다. 제 3절연층(54), 공통전극(65) 및 제 3연결전극(66) 상부에 제 4 절연층(71)을 증착한다(도 30). 도 30의 레이아웃도에 의하면 상부 BM(70)이 전체적으로 증착됨을 알 수 있으나, 이를 표시하는 단면도 상에서는 이를 전체적으로 도시하지 않고 설명의 편의상 일부분만을 도시하였다. 본 발명에서 상부 BM(70)의 두께는 약 4000Å 정도 되도록 하였다.

제 4절연층(71)을 평탄화한 후, 화소전극(72)을 위한 콘택홀을 형성한다(도 31). 다음으로 투명한 전극 재질, 예로서 ITO (Indium Tin Oxide)를 이용하여 화소전극을 패턴 형성함으로써 하부 기관 공정이 완료된다(도 32). 도 32의 상부에 도시된 레이아웃도의 F-F' 방향으로 절단하면 도 4에 도시된 절단면도가 나타난다.

도 34 내지 도 37에서는 스토리지 상부 전극용 콘택홀 및 스토리지 하부 전극용 콘택홀을 제 1절연층 상에 형성하고, 게이트라인을 도포하기 전에 형성하는 경우의 본 발명에 따른 일실시예의 공정도의 일부이다.

도 34는 도 22의 다음 단계의 공정으로서, 제 1절연층(18)의 소정 영역을 뚫어 각각 캐패시터 상부전극(15)와 캐패시터 하부전극(10)과 연결되는 스토리지 상부 전극용 콘택홀 및 스토리지 하부 전극용 콘택홀을 형성하고, 폴리실리콘을 충전 및 도포하고 패턴닝하여 게이트 라인(35), 스토리지 캐패시터 상부 콘택전극(36) 및 스토리지 캐패시터 하부 콘택전극(37)을 형성한다(도 34). 게이트 전극(35) 형성 물질로는 도핑된 폴리실리콘이 주로 사용되며, 전기 전도도를 높이고 광투과도를 낮추기 위해 도핑된 폴리실리콘과 텅스텐 실리사이드(WSix)의 이중막을 사용하는 것이 바람직하다. 이 경우에는 스토리지 상부 전극용 콘택홀 및 스토리지 하부 전극용 콘택홀에 충전되는 물질은 게이트라인(35)과 동일한 물질을 사용하여 스토리지 캐패시터 상부 콘택전극(36) 및 스토리지 캐패시터 하부 콘택전극(37)을 형성하고, 게이트라인(35)의 형성 시 사용하는 마스크와 동일한 마스크를 이용하여 패턴닝하는 것이 바람직하다.

다음으로 게이트 절연막(91)을 도포한 후, 그 상부에 활성층(20)을 형성한다(도 35). 게이트 절연막(91) 및 활성층(20) 상부에 다시 제 10절연층(89)을 증착한 후, 스토리지 캐패시터 상부 콘택전극(36)과 연결하기 위한 제 3연결전극 콘택홀(110'), 스토리지 캐패시터 하부 콘택전극(37)과 연결하기 위한 제 4연결전극 콘택홀(111'), 제 1차단벽용 콘택홀(92') 및 제 2차단벽용 콘택홀(93')을 형성한다(도 36).

제 3연결전극 콘택홀, 제 4연결전극 콘택홀, 제 3차단벽 콘택홀 및 제 4차단벽 콘택홀을 불투과 금속으로 충전하고 패턴닝한 후, 그 상부에 제 11절연층(95)을 증착 형성한다(도 37). 제 3연결전극 콘택홀, 제 4연결전극 콘택홀, 제 3차단벽 콘택홀 및 제 4차단벽 콘택홀에 충전되는 불투과 금속으로는 하부 BM을 형성하는 재질과 동일한 재질을 사용하는 것이 바람직하다. 이때 도 37의 평면도에 도시된 바와 같이 제 3차단벽 콘택홀 및 제 4차단벽 콘택홀을 연결하는 상부 수평 차단벽

(94)을 불투과 물질로 패턴 형성함으로써 상부기관으로부터 채널영역으로 입사되는 광(光)을 줄일 수 있게 한다. 전술한 불투과 금속의 충전에 의해 제 3연결전극(110), 제 4연결전극(111), 제 3차단벽(92), 제 4차단벽(93) 및 상부 수평 차단벽(94)이 각각 형성된다. 이후 공정은 도 27 내지 도 32에서 제시한 공정과 유사하게 진행함으로써 하부 기관의 제조를 완성할 수 있다.

스토리지 캐패시터 상부 콘택전극(36) 및 스토리지 캐패시터 하부 콘택전극(37)을 도 34에서 제시한 공정과 같이 형성한 후에 도 36에서 스토리지 캐패시터 상부 콘택전극(36)에 연결하기 위한 제 3연결전극 콘택홀(110') 및 스토리지 캐패시터 하부 콘택전극(37)에 연결하기 위한 제 4연결전극 콘택홀(111')을 형성하는 대신, 제 11절연층(95)을 증착한 후에 소스 전극(46')용 콘택홀과 드레인 전극(47)용 콘택홀을 형성하는 단계에서 스토리지 캐패시터 상부 콘택전극(36) 및 스토리지 캐패시터 하부 콘택전극(37)과 연결하는 콘택홀을 형성할 수 있음은 물론이다. 이러한 방법 외에도 스토리지 캐패시터 상부 콘택전극(36) 및 스토리지 캐패시터 하부 콘택전극(37)의 형성 및 이와 연결되는 연결전극은 다양한 공정으로 가능하다.

상기에서 제시된 본 발명에 따른 하부 기관은 별도의 공정을 거쳐 생성된 상부 기관과 결합되고, 상부 기관과 하부 기관 사이에 액정을 주입함으로써 액정 패널로 사용 가능하다. 상부 기관에는 하부 기관의 화소 전극과 대향되는 대향 전극이 구비되며, 휘도를 향상시키기 위한 별도의 집속 렌즈를 구비할 수도 있다.

또한 완성된 액정 패널은 적어도 하나의 조명, 집광 렌즈 및 다이크로익 렌즈를 조합하여 이미지를 형성하고, 형성된 이미지를 투사 렌즈를 이용하여 투사함으로써 액정 프로젝터로 이용된다.

발명의 효과

이상 설명한 바대로, 본 발명은 박막 트랜지스터 액정 패널 및 그 제조 방법에 관한 것으로서, 종래는 광이 박막 트랜지스터의 액티브 채널에 입사하게 되면 액티브 채널에 누설 전류를 발생시키게 되고 그로 인해 화소전극에 전달되는 유지전압이 불안정하게 되어 화소의 깜박임 현상이 있었다. 본 발명은 액티브 채널의 주변에 입사하는 광을 차단하는 차단벽을 액티브 채널 주변에 설치함으로써 화소의 깜박임 현상을 효과적으로 줄일 수 있다. 또한 차단벽을 상부 BM이 형성되는 영역의 하부에 형성하거나 바람직하게는 하부 BM이 형성되는 영역의 상부에 형성함으로써 차단벽의 추가에도 불구하고 개구율이 감소되는 부작용을 없앨 수 있었다.

본 발명의 바람직한 실시예가 특정 용어들을 사용하여 기술되어 왔지만, 그러한 기술은 오로지 설명을 하기 위한 것이며, 다음의 청구범위의 기술적 사상 및 범위로부터 이탈되지 않고서 여러 가지 변경 및 변화가 가해질 수 있는 것으로 이해되어야 한다.

(57) 청구의 범위

청구항 1.

하부 BM, 스위칭 소자로 사용되는 박막 트랜지스터, 상기 박막 트랜지스터 게이트에 전압을 인가하는 게이트 라인, 상기 박막 트랜지스터의 드레인에 데이터 전압을 인가하는 데이터라인, 상부 BM 및 상기 박막 트랜지스터에 의해 구동되는 화소전극을 구비하는 하부 기관과 상기 화소전극과 대향되는 대향 전극을 구비하는 상부 기관 사이에 액정 물질을 개재하여 액정 물질 배열을 변화시켜 빛을 투과 또는 차단하는 액정 디스플레이 패널에 있어서, 상기 하부 기관이,

상기 하부 BM, 상기 스위칭 소자, 상기 데이터 라인, 상기 상부 BM 및 상기 화소전극 순으로 투명 기관상에 적층 형성되며, 상기 하부 BM과 상기 스위칭 소자 사이, 상기 스위칭 소자와 상기 데이터 라인 사이, 상기 데이터 라인과 상부 BM 사이 및 상기 상부 BM과 상기 화소전극 사이에는 제 1절연층, 제 2절연층, 제 3절연층, 제 4절연층이 각각 구비되고, 상기 스위칭 소자의 채널 길이 방향을 따라 상기 채널의 좌우에 소정 거리 이격되면서 상기 제 1절연층 상부에서 하부기관쪽으로 형성되는 소정 사이즈의 홀이 구비되고, 상기 홀에 불투과 물질이 충전되는 제 1차단벽 및 제 2차단벽을 구비하는 것을 특징으로 하는 액정 디스플레이 패널.

청구항 2.

제 1항에 있어서,

상기 제 1절연층은 상기 하부 BM의 상부에 증착되는 제 1-1절연층 및 상기 제 1-1절연층과 상기 스위칭 소자 사이에 증착되는 제 1-2절연층으로 구비되고, 상기 제 1-1절연층 상부에는 상기 채널의 길이 방향을 따라 상기 채널의 폭보다 넓게 불투과 물질로 패턴 형성되는 하부 수평 차단벽을 더 구비하는 것을 특징으로 하는 액정 디스플레이 패널.

청구항 3.

제 1항 또는 제 2항에 있어서,

상기 제 1차단벽 및 제 2차단벽은 상기 게이트 라인을 형성하는 물질과 동일한 물질로 형성되는 것을 특징으로 하는 액정 디스플레이 패널.

청구항 4.

제 2항에 있어서,

상기 제 1차단벽 및 제 2차단벽은 상기 하부 수평 차단벽과 접촉되도록 형성되는 것을 특징으로 하는 액정 디스플레이 패널.

청구항 5.

제 1항 또는 제 2항에 있어서,

상기 제 1차단벽 및 제 2차단벽은 상기 게이트 라인과 전기적으로 도통되도록 연결되어 구비되는 것을 특징으로 하는 액정 디스플레이 패널.

청구항 6.

하부 BM, 스위칭 소자로 사용되는 박막 트랜지스터, 상기 박막 트랜지스터 게이트에 전압을 인가하는 게이트 라인, 상기 박막 트랜지스터의 드레인에 데이터 전압을 인가하는 데이터라인, 상부 BM 및 상기 박막 트랜지스터에 의해 구동되는 화소전극을 구비하는 하부 기판과 상기 화소전극과 대향되는 대향 전극을 구비하는 상부 기판 사이에 액정 물질을 개재하여 액정 물질 배열을 변화시켜 빛을 투과 또는 차단하는 액정 디스플레이 패널에 있어서, 상기 하부 기판이,

상기 하부 BM, 상기 스위칭 소자, 상기 데이터 라인, 상기 상부 BM 및 상기 화소전극 순으로 투명 기판 상에 적층 형성되며, 상기 하부 BM과 상기 스위칭 소자 사이, 상기 스위칭 소자와 상기 데이터 라인 사이, 상기 데이터 라인과 상부 BM 사이 및 상기 상부 BM과 상기 화소전극 사이에는 제 1절연층, 제 11절연층, 제 3절연층, 제 4절연층이 각각 구비되고, 상기 제 1절연층과 제 11절연층 사이에는,

상기 제 1절연층 상부에 형성되는 상기 게이트라인과 상기 게이트라인 상부에 적층되는 게이트 절연막과 상기 게이트 절연막 상부에 패턴 형성되는 실리콘 박막을 구비하는 상기 스위칭 소자와

상기 게이트 절연막과 상기 실리콘 박막 상부에 증착되는 제 10절연층 및 상기 제 10절연층 상부에는 상기 실리콘 박막 중 상기 게이트 라인과 만나는 영역으로 형성되는 채널 영역의 길이 방향을 따라서 평행하게 형성되며, 빛을 차단하는 물질로 패턴 형성되는 상부 수평 차단벽을 구비하는 것을 특징으로 하는 액정 디스플레이 패널.

청구항 7.

제 6항에 있어서,

상기 제 10절연층 및 상기 게이트 절연막을 관통하면서 상기 상부 수평 차단벽과 상기 게이트라인 사이에 연결되고 상기 채널 영역의 길이 방향을 따라 상기 채널과 소정 거리 이격되면서 상기 채널의 좌우에 형성되는 컨택홀을 구비하고, 상기 컨택홀에는 불투명 물질이 충전되어 형성되는 제 3차단벽 및 제 4차단벽을 구비하는 것을 특징으로 하는 액정 디스플레이 패널.

청구항 8.

제 7항에 있어서,

상기 제 3차단벽 및 제 4차단벽에 충전되는 물질은 상기 게이트 라인을 형성하는 물질과 동일한 물질인 것을 특징으로 하는 액정 디스플레이 패널.

청구항 9.

하부 BM, 스위칭 소자로 사용되는 박막 트랜지스터, 상기 박막 트랜지스터의 게이트에 전압을 인가하는 게이트 라인, 상기 박막 트랜지스터 드레인의 데이터 전압을 인가하는 데이터라인, 상부 BM 및 상기 박막 트랜지스터에 의해 구동되는 화소전극을 구비하는 하부 기판과 상기 화소전극과 대향되는 대향 전극을 구비하는 상부 기판 사이에 액정 물질을 개재하여 액정 물질 배열을 변화시켜 빛을 투과 또는 차단하는 액정 디스플레이 패널을 제조하는 방법에 있어서, 상기 하부 기판을 제조하는 단계가,

상기 투명 기판의 상부에 불투명막을 증착하고 패터닝하여 하부 BM을 형성하는 제 1단계;

상기 투명 기판 및 상기 하부 BM 상부에 제 1절연층을 증착시키는 제 2단계;

상기 제 1절연층 상에 상기 박막 트랜지스터의 활성층을 패턴 형성하는 제 3단계;

상기 제 1절연층 및 상기 박막 트랜지스터의 활성층 상부에 게이트 절연막을 증착시키는 제 4단계;

상기 제 1절연층 및 상기 게이트 절연막에 상기 활성층의 길이방향을 따라 상기 활성층으로부터 소정 거리 떨어진 위치에 양측으로 형성되는 제 1 및 제 2 수직홀을 형성하는 제 5-1단계 및 상기 제 1 및 제 2 수직홀을 불투과 물질로 충전시키는 제 5-2단계;

상기 게이트 절연막 상부에 게이트라인을 형성하는 물질을 증착시키는 제 6-1단계 및 상기 증착된 게이트라인을 마스크를 이용하여 패턴 형성하는 제 6-2단계;

상기 게이트 라인 및 상기 게이트 절연막 상부에 제 2절연층을 증착시키는 제 7단계;

상기 제 2절연층을 수직으로 가로지르며 상기 박막 트랜지스터의 소스 및 드레인 각각 컨택하는 컨택홀을 형성하는 제 8단계;

상기 컨택홀에 금속을 충전시켜 상기 박막 트랜지스터의 소스전극 및 드레인 전극을 형성하는 제 9단계;

상기 제 2절연층, 상기 소스전극 및 드레인전극 상부에 제 3절연층을 증착시키는 제 10단계;

상기 제 3절연층을 수직으로 가로지르며 상기 드레인 전극과 연결되는 컨택홀을 형성하고, 상기 컨택홀에 금속을 충전하여 드레인전극과 연결되는 제 3연결전극을 형성하는 제 11단계;

상기 제 3절연층 및 상기 제 3연결전극 상부에 제 4절연층을 증착시키는 제 12단계; 및

상기 제 4절연층을 수직으로 가로지르며 상기 제 3연결전극에 컨택하는 컨택홀을 형성하고, 상기 컨택홀과 접속되는 화소 전극을 형성하는 제 13단계를 포함하는 것을 특징으로 하는 액정 디스플레이 패널 제조 방법.

청구항 10.

제 9항에 있어서,

상기 제 5-2단계와 상기 제 6-1단계가 하나의 공정으로 진행되는 것을 특징으로 하는 액정 디스플레이 패널 제조 방법.

청구항 11.

하부 BM, 스위칭 소자로 사용되는 박막 트랜지스터, 상기 박막 트랜지스터의 게이트에 전압을 인가하는 게이트 라인, 상기 박막 트랜지스터 드레인의 데이터 전압을 인가하는 데이터라인, 상부 BM 및 상기 박막 트랜지스터에 의해 구동되는 화소전극을 구비하는 하부 기판과 상기 화소전극과 대향되는 대향 전극을 구비하는 상부 기판 사이에 액정 물질을 개재하여 액정 물질 배열을 변화시켜 빛을 투과 또는 차단하는 액정 디스플레이 패널을 제조하는 방법에 있어서, 상기 하부 기판을 제조하는 단계가,

상기 투명 기판의 상부에 불투명막을 증착하고 패터닝하여 하부 BM을 형성하는 제 1단계;

상기 투명 기판 및 상기 하부 BM 상부에 제 1-1절연층을 증착시키는 제 2단계;

상기 제 1-1절연층 상부의 소정 영역에 불투과 물질을 패턴 형성하여 하부 수평 차단벽을 형성하는 제 3단계;

상기 제 1-1절연층 및 상기 하부 수평 차단벽 상에 제 1-2절연층을 증착시키는 제 4단계;

상기 제 1-2절연층 상에 상기 박막 트랜지스터의 활성층을 패턴 형성하는 제 5단계;

상기 제 1-2절연층 및 상기 박막 트랜지스터의 활성층 상부에 게이트 절연막을 증착시키는 제 6단계;

상기 제 1-2절연층 및 상기 게이트 절연막에 상기 활성층의 길이방향을 따라 상기 활성층으로부터 소정 거리 떨어진 위치에 양측으로 형성되며 상기 하부 수평 차단벽과 컨택하는 제 1 및 제 2 수직홀을 형성하는 제 7-1단계 및 상기 제 1 및 제 2수직홀을 불투과 물질로 충전시키는 제 7-2단계;

상기 게이트 절연막 상부에 게이트라인을 형성하는 물질을 증착시키는 제 8-1단계 및 상기 증착된 게이트라인을 마스크를 이용하여 패턴 형성하는 제 8-2단계;

상기 게이트 라인 및 상기 게이트 절연막 상부에 제 2절연층을 증착시키는 제 9단계;

상기 제 2절연층을 수직으로 가로지르며 상기 박막 트랜지스터의 소스 및 드레인과 각각 컨택하는 컨택홀을 형성하는 제 10단계;

상기 컨택홀에 금속을 충전시켜 상기 박막 트랜지스터의 소스전극 및 드레인 전극을 형성하는 제 11단계;

상기 제 2절연층, 상기 소스전극 및 드레인전극 상부에 제 3절연층을 증착시키는 제 12단계;

상기 제 3절연층을 수직으로 가로지르며 상기 드레인 전극과 연결되는 컨택홀을 형성하고, 상기 컨택홀에 금속을 충전하여 드레인전극과 연결되는 제 3연결전극을 형성하는 제 13단계;

상기 제 3절연층 및 상기 제 3연결전극 상부에 제 4절연층을 증착시키는 제 14단계; 및

상기 제 4절연층을 수직으로 가로지르며 상기 제 3연결전극에 컨택하는 컨택홀을 형성하고, 상기 컨택홀과 접속되는 화소 전극을 형성하는 제 15단계를 포함하는 것을 특징으로 하는 액정 디스플레이 패널 제조 방법.

청구항 12.

제 11항에 있어서,

상기 제 7-2단계와 상기 제 8-1단계가 하나의 공정으로 진행되는 것을 특징으로 하는 액정 디스플레이 패널 제조 방법.

청구항 13.

하부 BM, 스위칭 소자로 사용되는 박막 트랜지스터, 상기 박막 트랜지스터의 게이트에 전압을 인가하는 게이트 라인, 상기 박막 트랜지스터 드레인의 데이터 전압을 인가하는 데이터라인, 상부 BM 및 상기 박막 트랜지스터에 의해 구동되는 화소전극을 구비하는 하부 기판과 상기 화소전극과 대향되는 대향 전극을 구비하는 상부 기판 사이에 액정 물질을 개재하여 액정 물질 배열을 변화시켜 빛을 투과 또는 차단하는 액정 디스플레이 패널을 제조하는 방법에 있어서, 상기 하부 기판을 제조하는 단계가,

상기 투명 기판의 상부에 불투명막을 증착하고 패터닝하여 하부 BM을 형성하는 제 1단계;

상기 투명 기판 및 상기 하부 BM 상부에 제 1절연층을 증착시키는 제 2단계;

상기 제 1절연층 상에 게이트 라인을 형성하는 제 3단계;

상기 게이트 라인 상부에 게이트 절연막을 증착 형성하는 제 4단계;

상기 게이트 절연막 상부에 실리콘 박막을 패터닝 형성하는 제 5단계;

상기 실리콘 박막 및 상기 게이트 절연막 상부에 제 10절연층을 증착시키는 제 6단계;

상기 제 10절연층 및 상기 게이트 절연막에 상기 실리콘 박막의 길이방향을 따라 상기 실리콘 박막과 소정 거리 떨어진 위치에 양측으로 형성되는 제 3 및 제 4수직홀을 형성하는 제 7-1단계 및 상기 제 3 및 제 4수직홀을 불투과 물질로 충전시키는 제 7-2단계;

상기 실리콘 박막이 게이트 라인과 크로스되는 영역인 채널 영역 상부에 대응되는 상기 제 10절연층 상부에 불투과 물질을 도포하는 제 8-1단계 및 상기 불투과 물질을 패터닝하여 상부 수평 차단벽을 형성하는 제 8-2단계;

상기 제 10절연층 및 상기 상부 수평 차단벽 상부에 제 11절연층을 증착 형성하는 제 9단계;

상기 제 10절연층에 상기 박막 트랜지스터의 소스 및 드레인과 각각 컨택하는 컨택홀을 형성하는 제 10단계;

상기 컨택홀에 금속을 충전시켜 상기 박막 트랜지스터의 소스전극 및 드레인 전극을 형성하는 제 11단계;

상기 제 10절연층, 상기 소스전극 및 드레인전극 상부에 제 3절연층을 증착시키는 제 12단계;

상기 제 3절연층을 수직으로 가로지르며 상기 드레인 전극과 연결되는 컨택홀을 형성하고, 상기 컨택홀에 금속을 충전하여 드레인전극과 연결되는 제 3연결전극을 형성하는 제 13단계;

상기 제 3절연층 및 상기 제 3연결전극 상부에 제 4절연층을 증착시키는 제 14단계; 및

상기 제 4절연층을 수직으로 가로지르며 상기 제 3연결전극에 컨택하는 컨택홀을 형성하고, 상기 컨택홀과 접속되는 화소 전극을 형성하는 제 15단계를 포함하는 것을 특징으로 하는 액정 디스플레이 패널 제조 방법.

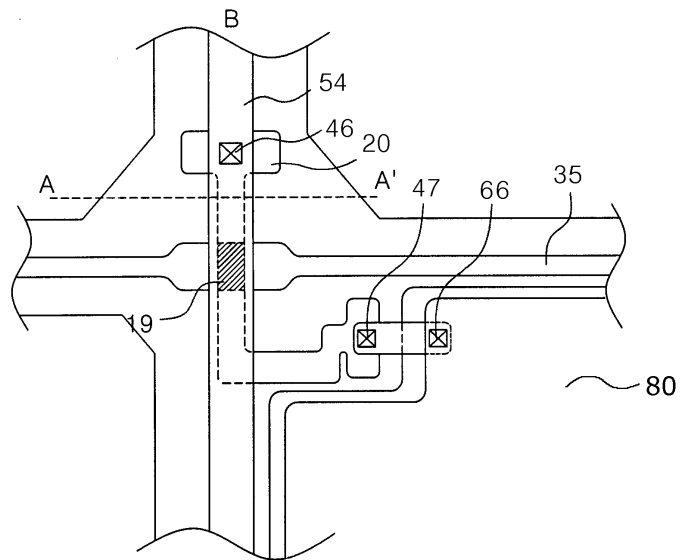
청구항 14.

제 13항에 있어서,

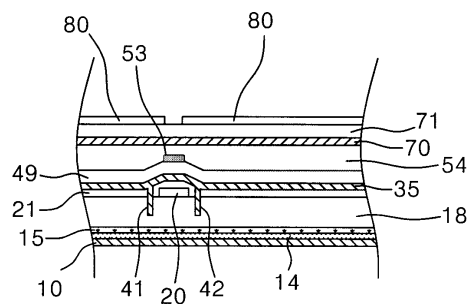
상기 제 7-2단계 및 상기 제 8-1단계가 하나의 공정에 의해서 수행되는 것을 특징으로 하는 액정 디스플레이 패널 제조 방법.

도면

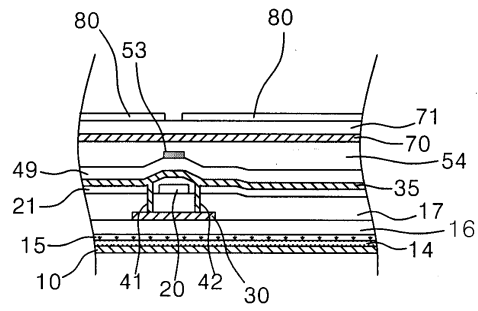
도면1



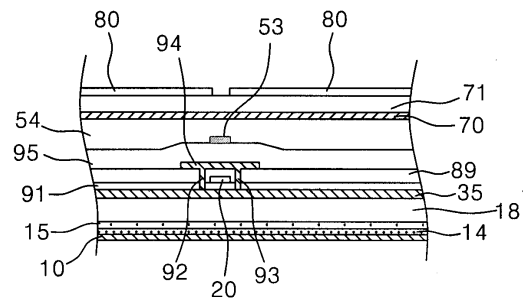
도면2



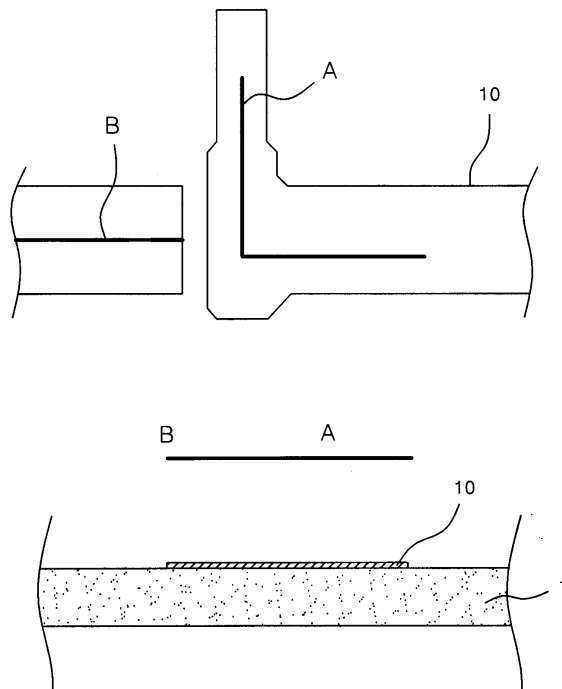
도면3



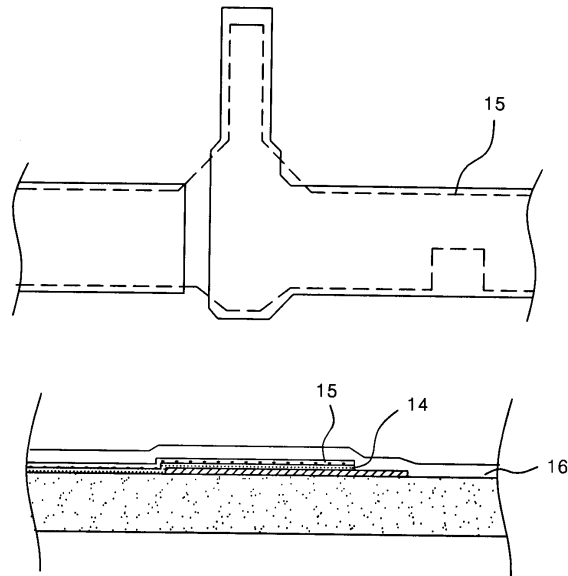
도면4



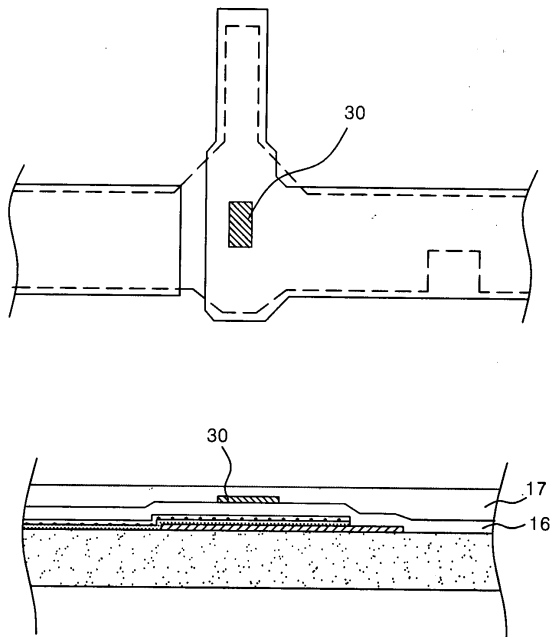
도면5



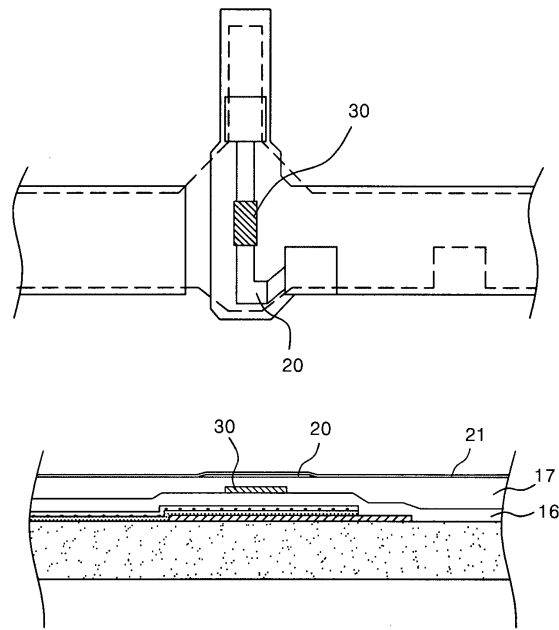
도면6



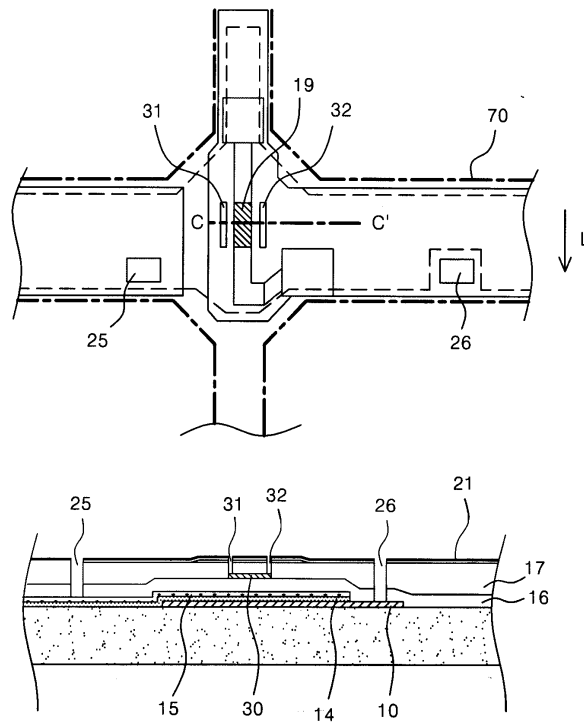
도면7



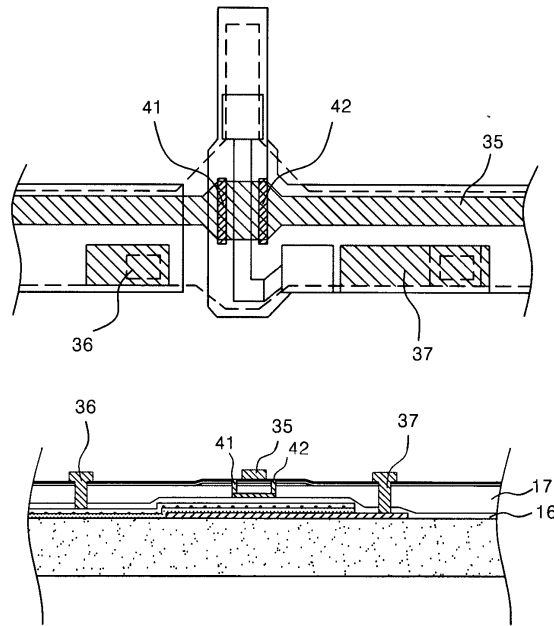
도면8



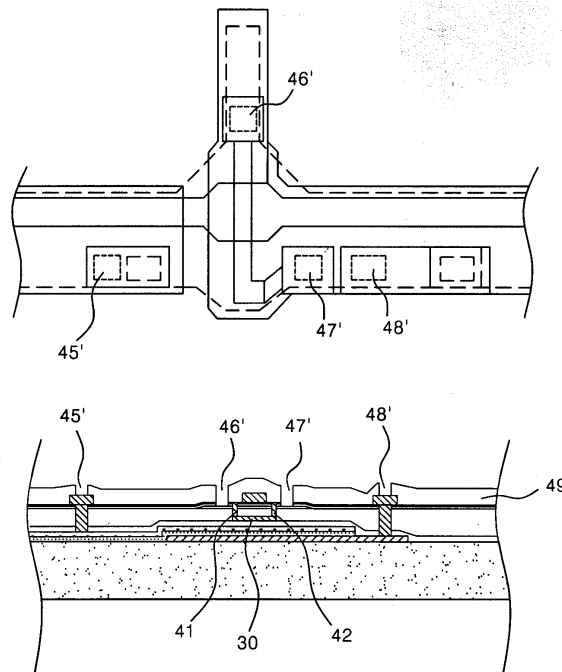
도면9



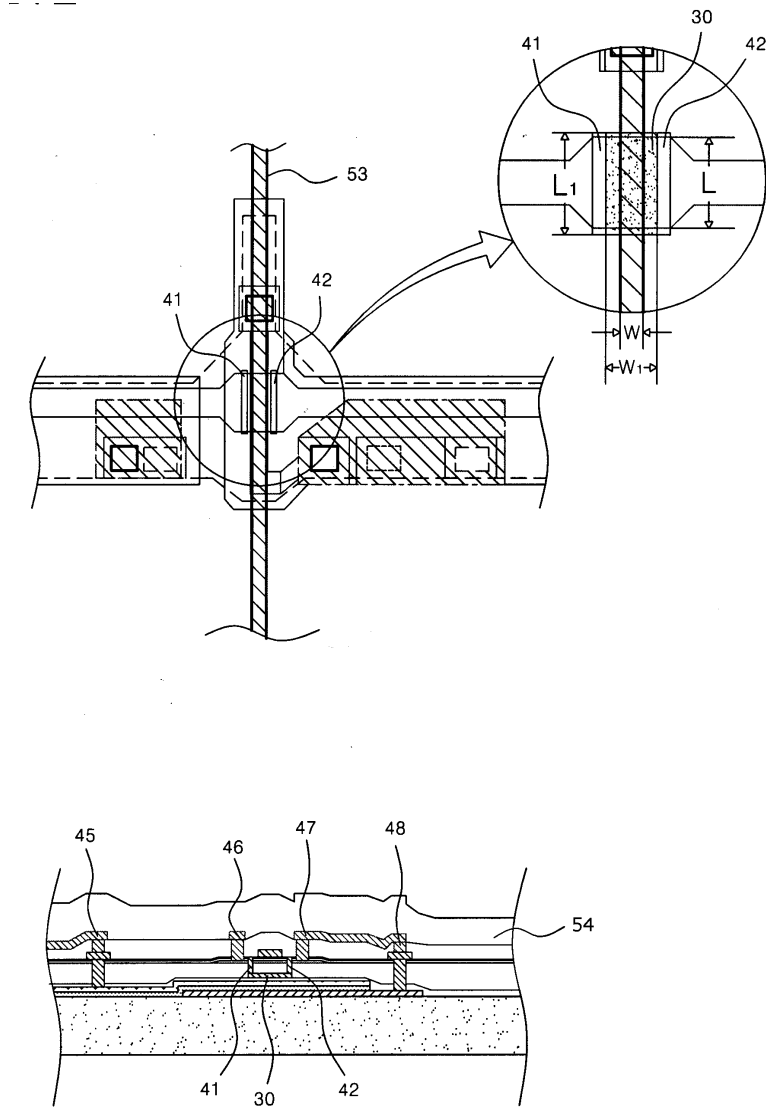
도면10



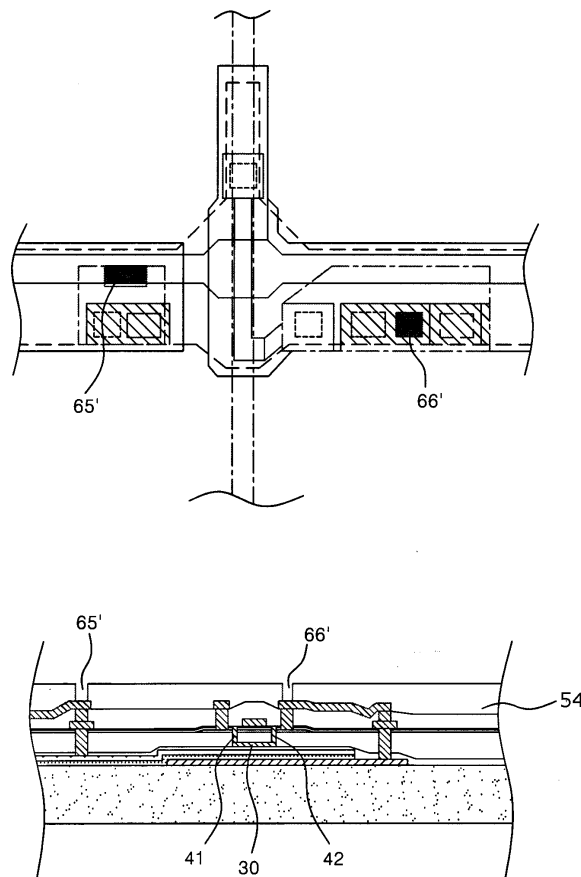
도면11



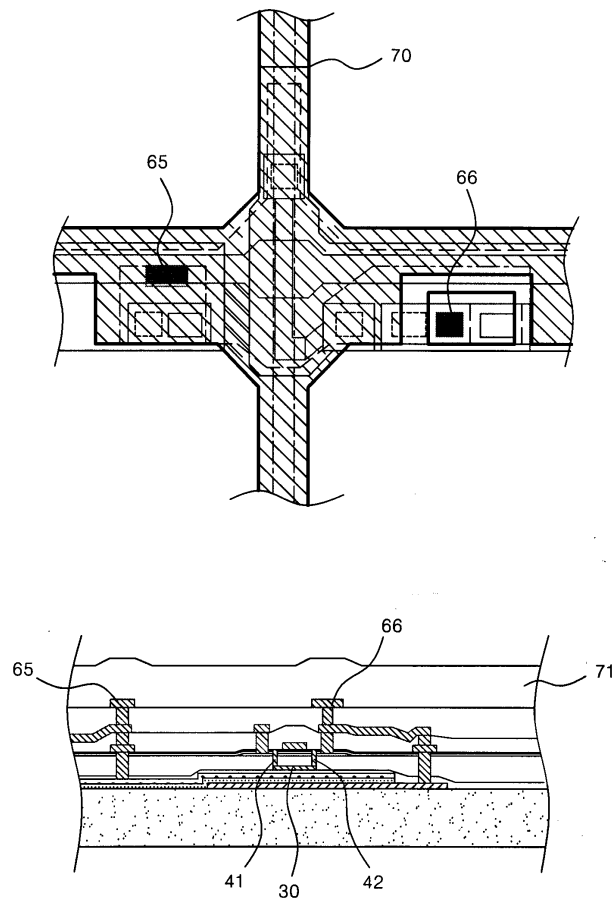
도면12



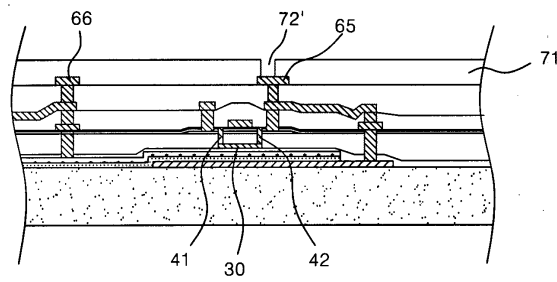
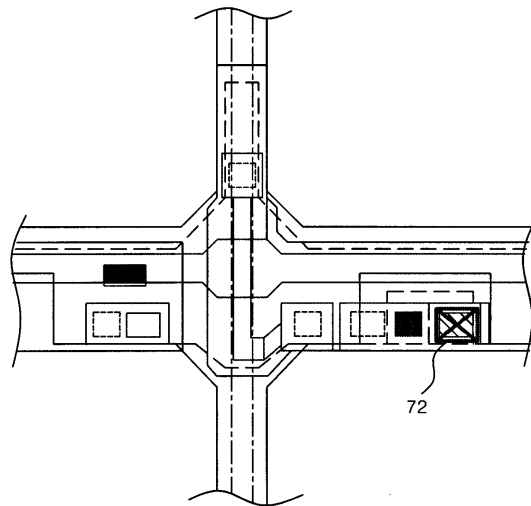
도면13



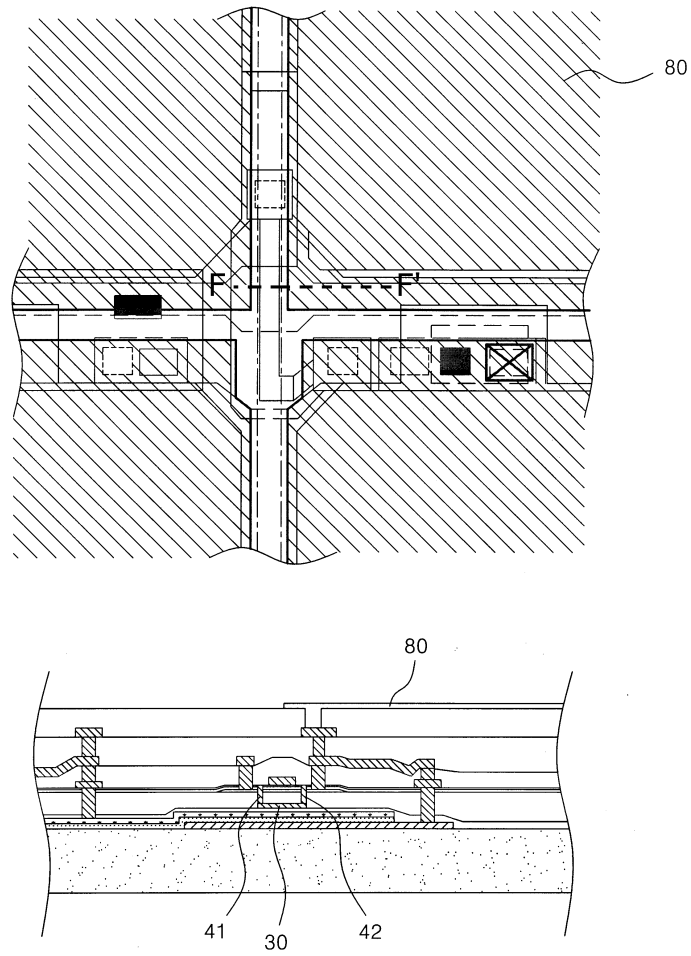
도면14



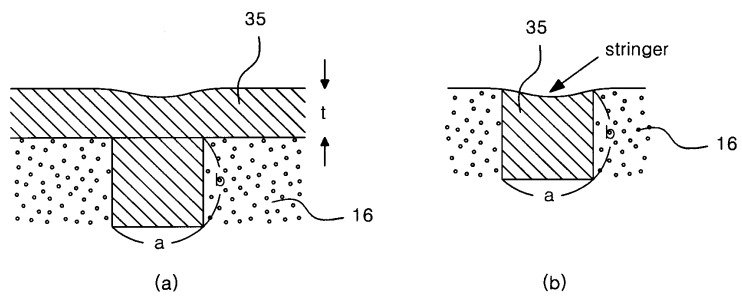
도면15



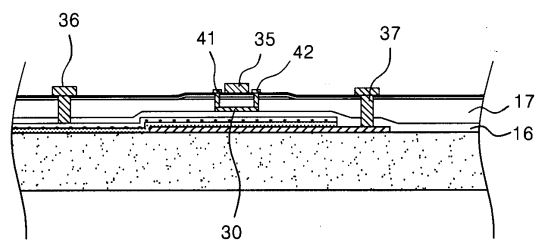
도면16



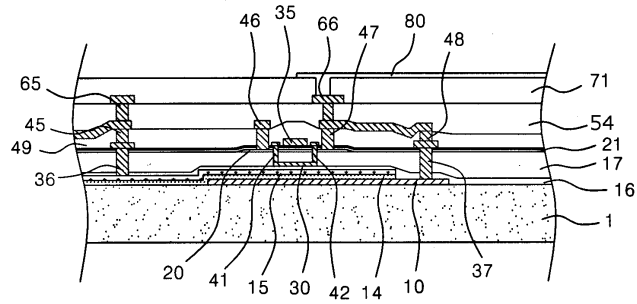
도면17



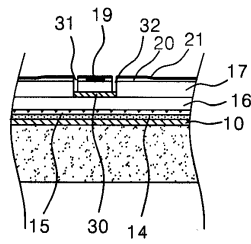
도면18



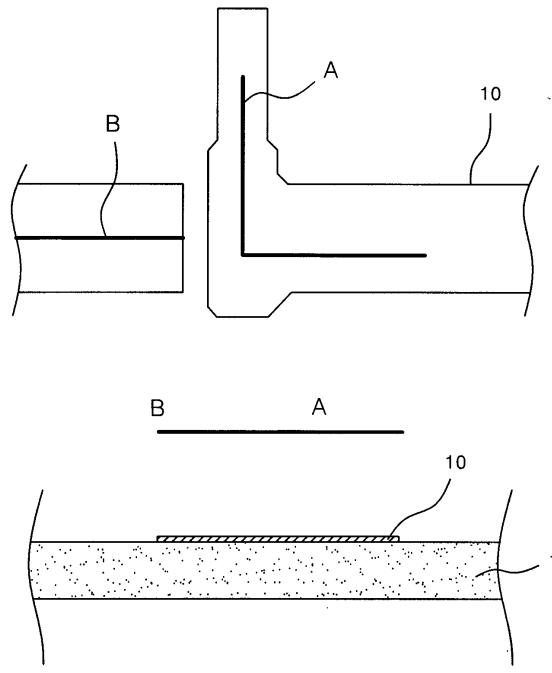
도면19



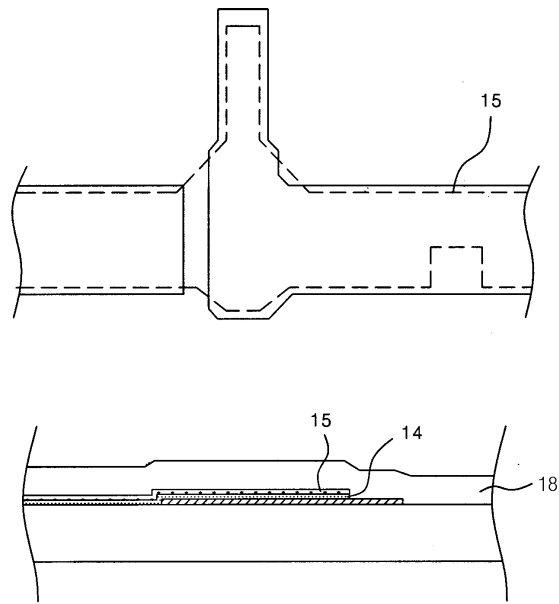
도면20



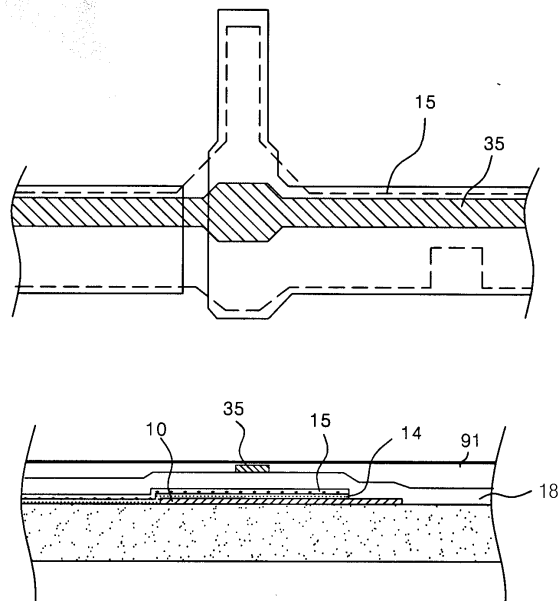
도면21



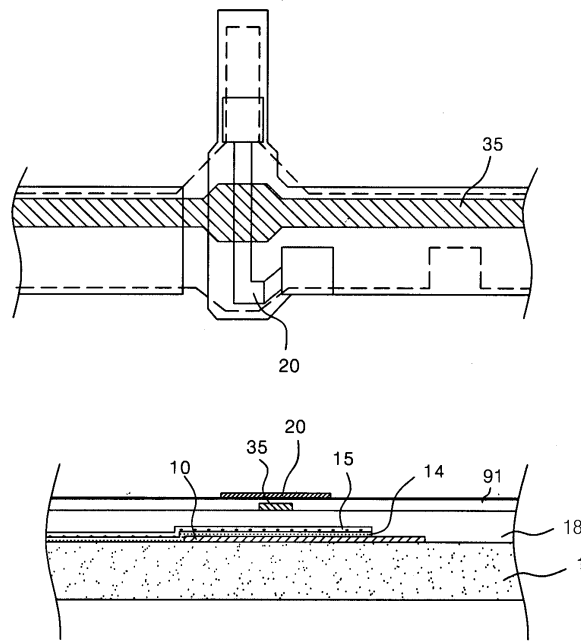
도면22



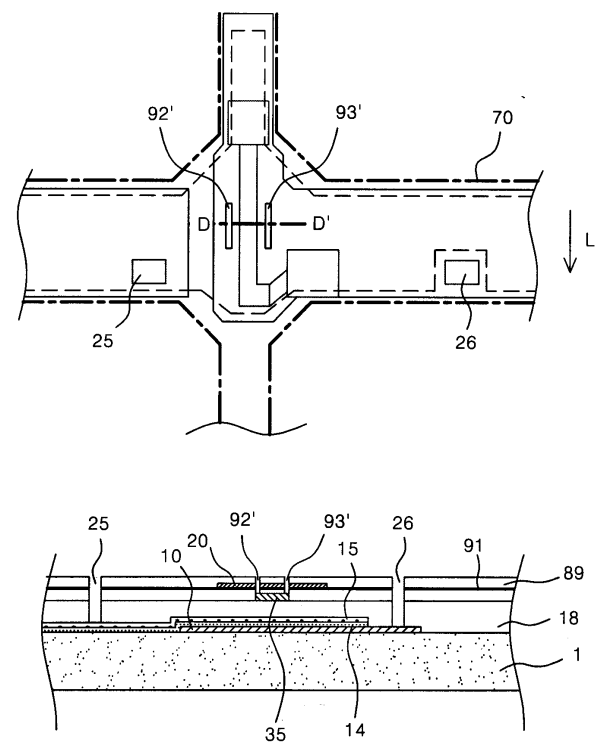
도면23



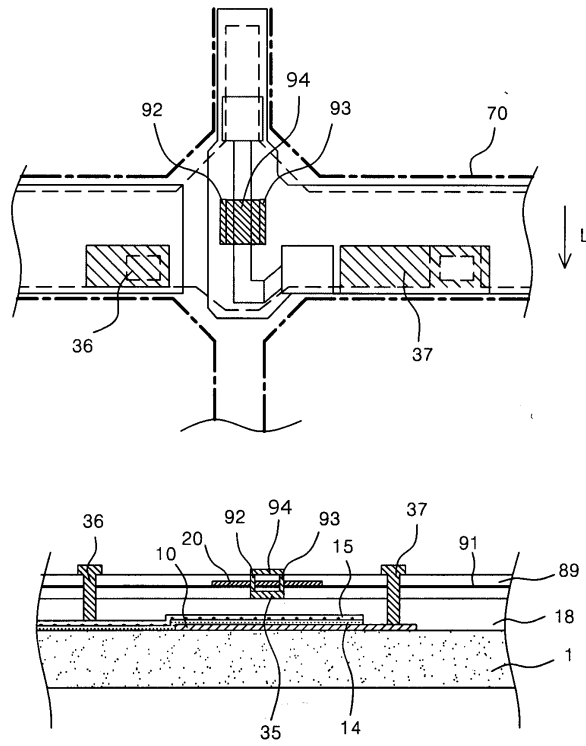
도면24



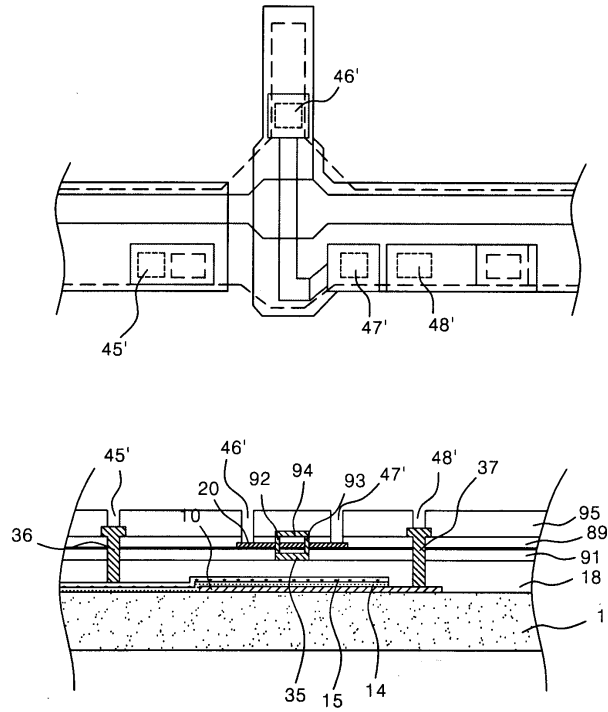
도면25



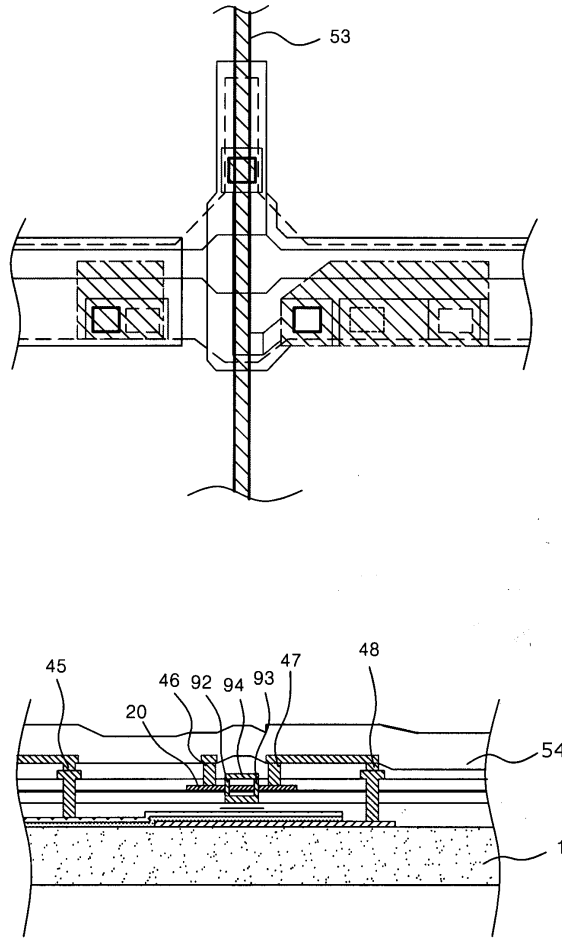
도면26



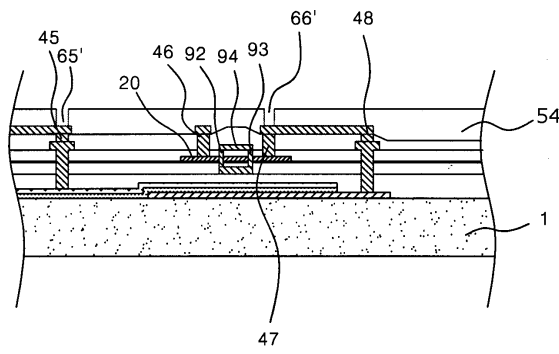
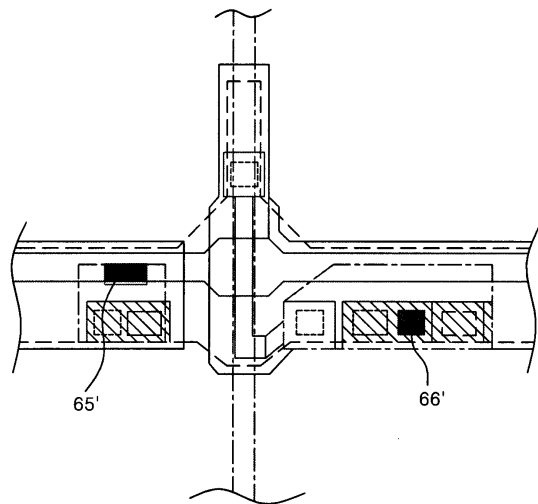
도면27



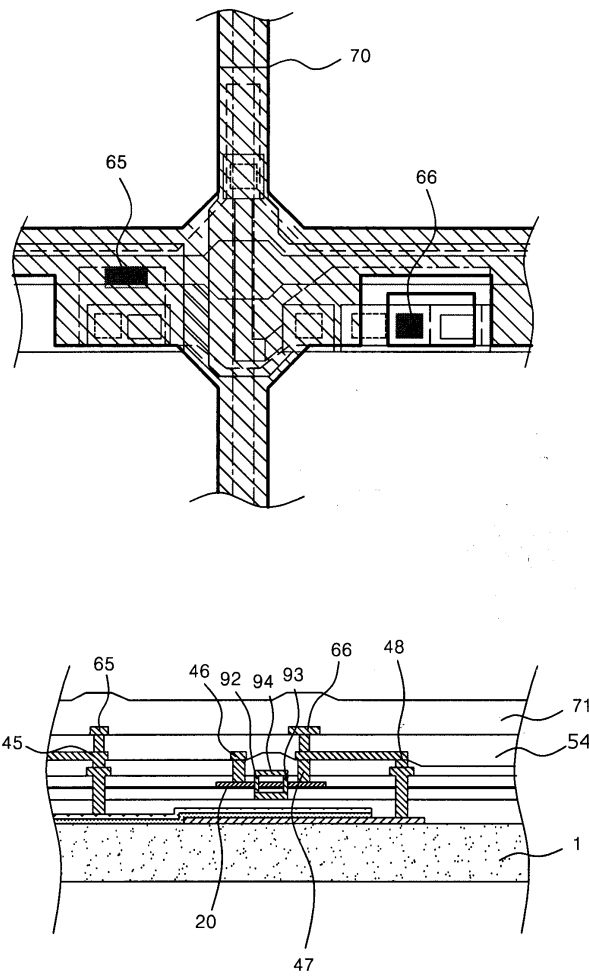
도면28



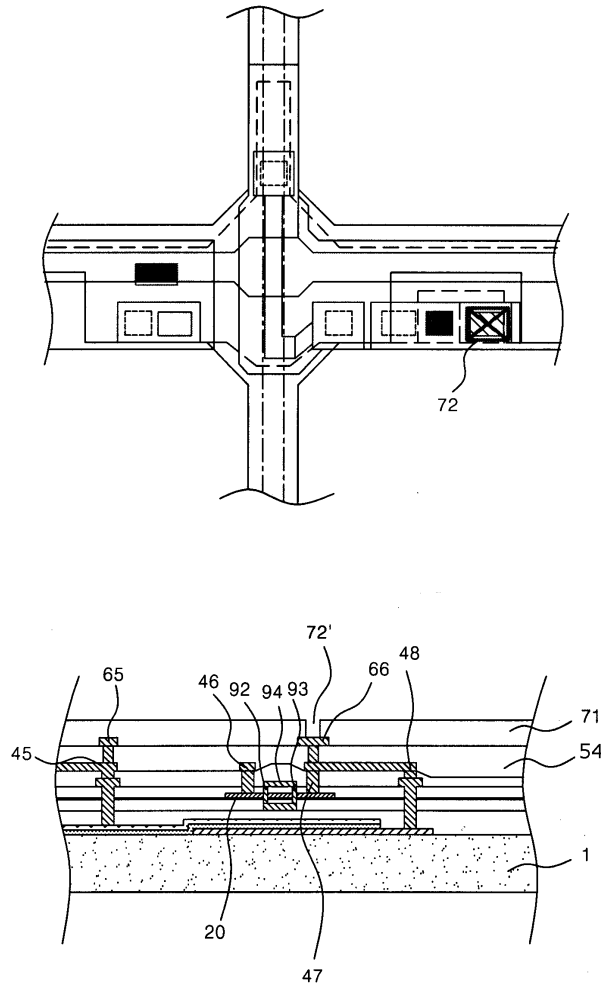
도면29



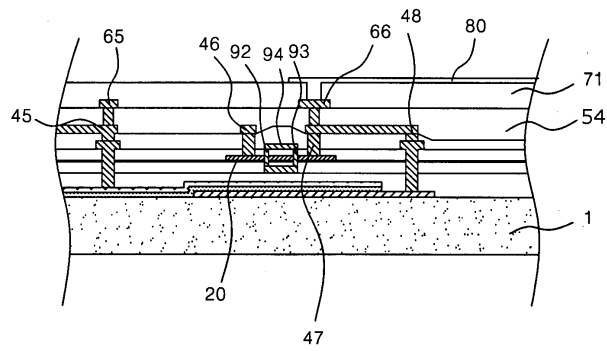
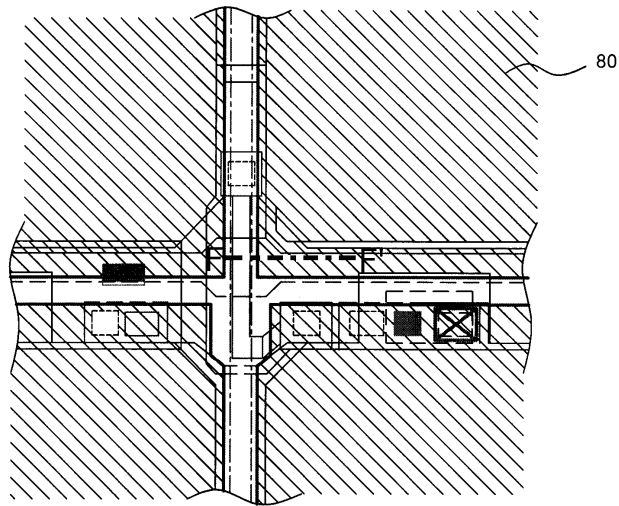
도면30



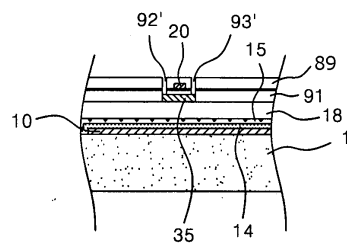
도면31



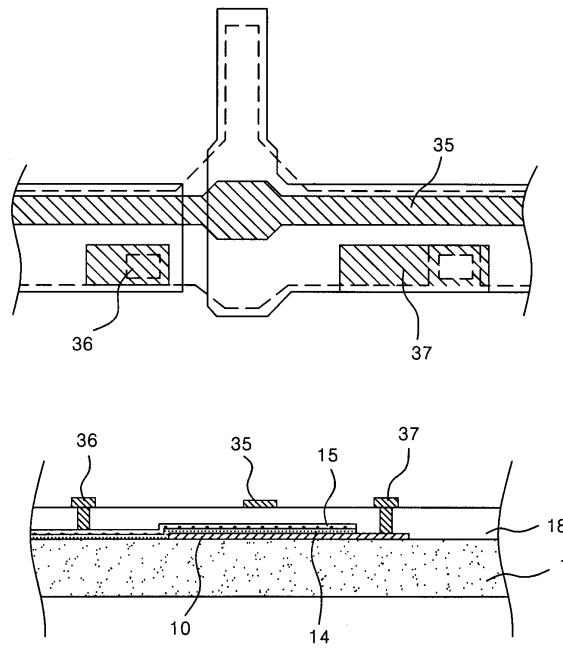
도면32



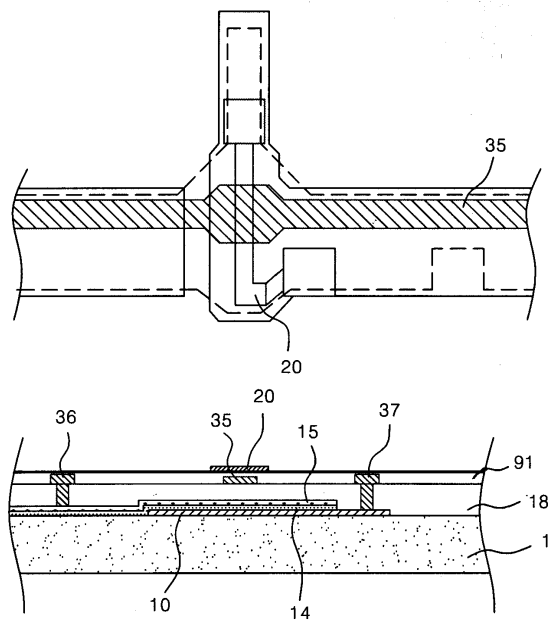
도면33



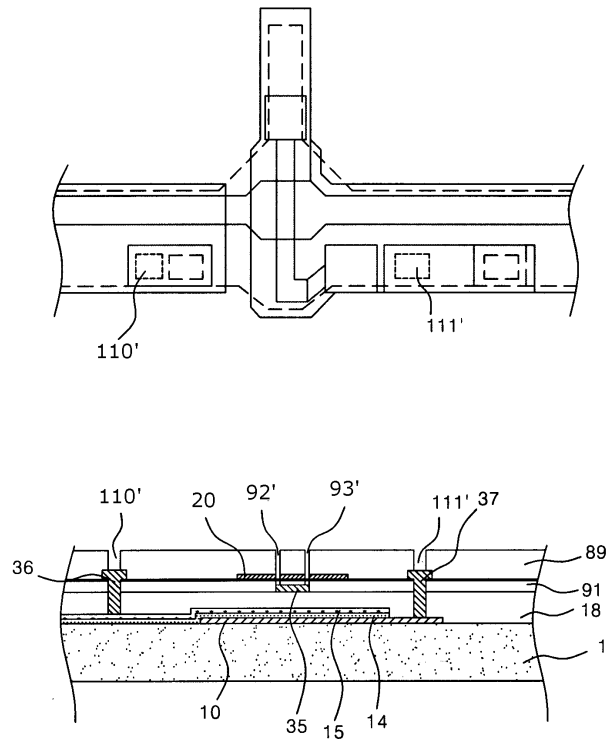
도면34



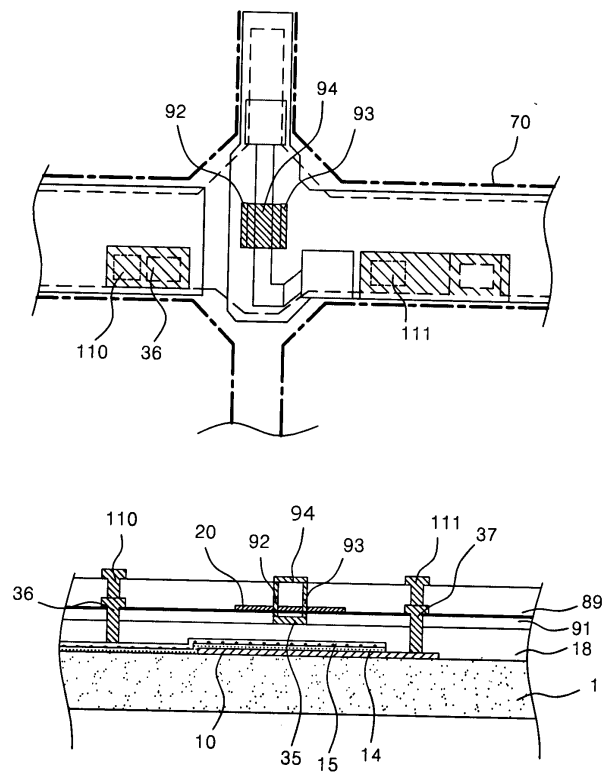
도면35



도면36



도면37



专利名称(译)	液晶显示面板及其制造方法		
公开(公告)号	KR1020060034593A	公开(公告)日	2006-04-24
申请号	KR1020040083766	申请日	2004-10-19
申请(专利权)人(译)	日进显示器有限公司		
当前申请(专利权)人(译)	日进显示器有限公司		
[标]发明人	JANG SEOKPIL 장석필 KIM SEONGJIN 김성진 LIM SANGHYUNG 임상형 KIM CHONGWOO 김종우		
发明人	장석필 김성진 임상형 김종우		
IPC分类号	G02F1/136		
CPC分类号	G02F1/136209 G02F1/136286 G02F1/1368		
代理人(译)	Kyeong HUN PARK		
其他公开文献	KR100695653B1		
外部链接	Espacenet		

摘要(译)

用途：提供一种LCD及其制造方法，通过在有源沟道的圆周上形成阻挡层来有效地减少像素的闪烁，以阻挡入射在有源沟道圆周上的光。

