

(19)대한민국특허청(KR)

(12) 공개특허공보(A)

(51) 。 Int. Cl.⁷
G09G 3/36

(11) 공개번호 10-2005-0105617
(43) 공개일자 2005년11월04일

(21) 출원번호 10-2004-0030665
(22) 출원일자 2004년04월30일

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 김우현
서울특별시서대문구봉원동45-9번지

(74) 대리인 김영호

심사청구 : 없음

(54) 액정표시장치 및 그 구동방법

요약

본 발명은 데이터라인 수를 줄임과 아울러 인접한 화소전극들에 인가된 화소전압들 간의 간섭을 방지할 수 있는 액정표시장치 및 그 구동방법에 관한 것이다.

본 발명에 따른 액정표시장치는 다수의 데이터라인들, 상기 데이터라인들과 교차하는 다수의 게이트라인들, 상기 게이트라인들과 나란한 제1 및 제2 제어라인, 상기 데이터라인을 기준으로 일측에 형성되는 제1 액정셀들, 상기 데이터라인을 기준으로 다른측에 형성되는 제2 액정셀들, 상기 제1 제어라인 및 게이트라인의 제어하에 상기 제1 액정셀을 구동하는 제1 스위칭부, 상기 제2 제어라인 및 게이트라인의 제어하에 상기 제2 액정셀을 구동하는 제2 스위칭부를 가지는 액정표시패널과; 상기 제i(기수 또는 우수)데이터라인 및 제i+ 1 데이터라인 사이에 위치하는 상기 제1 및 제2 액정셀들에 동일한 극성의 화소전압신호를 공급하는 액정표시패널 구동부를 구비하는 것을 특징으로 한다.

대표도

도 7a

명세서

도면의 간단한 설명

도 1은 종래의 액정표시장치를 개략적으로 나타내는 도면이다.

도 2는 본 발명에 따른 액정표시장치를 나타내는 도면이다.

도 3은 도 2에 도시된 제어라인으로 공급되는 제어신호 및 게이트라인으로 공급되는 게이트신호를 나타내는 파형도이다.

도 4는 도 2에 도시된 액정표시패널의 박막트랜지스터 어레이 기판을 상세히 나타내는 평면도이다.

도 5는 도 4에서 선" $V-V'$ "을 따라 절취한 박막트랜지스터 어레이 기판을 나타내는 단면도이다.

도 6a 및 도 6b는 수평 2 도트 인버전 방법으로 도 2에 도시된 액정셀에 기수프레임과 우수프레임에 공급되는 화소신호의 극성을 나타내는 도면이다.

도 7a 및 도 7b는 도 3에 도시된 제어신호에 대응하여 구동되는 액정셀들을 나타내는 도면이다.

도 8a 및 도 8b는 1도트 인버전 방식으로 구동되는 액정표시장치와 수평 2도트 인버전 방식으로 구동되는 액정표시장치에 전압 인가시 발생하는 수평 전계를 나타내는 도면이다.

도 9a 내지 도 9c는 1도트 인버전 방식으로 구동되는 액정표시장치의 광투과율을 나타내는 도면이다.

도 10a 내지 도 10c는 수평 2도트 인버전 방식으로 구동되는 액정표시장치의 광투과율을 나타내는 도면이다.

도 11a 내지 도 11c는 동일 그레이 화면에 화이트 그레이를 구현하는 윈도우를 구현시 1도트 인버전 방식과 수평 2도트 인버전 방식 구현시 크로스토크를 평가한 도면이다.

도 12a 내지 도 12c는 동일 그레이 화면에 블랙 그레이를 구현하는 윈도우를 구현시 1도트 인버전 방식과 수평 2도트 인버전 방식 구현시 크로스토크를 평가한 도면이다.

< 도면의 주요 부분에 대한 부호의 설명 >

2,20 : 액정패널 4,22 : 데이터 드라이버

6,24 : 게이트 드라이버 10,12 : 액정셀

14,16 : 스위칭부 23 : 제어신호 공급부

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치에 관한 것으로 특히, 데이터라인 수를 줄임과 아울러 인접한 화소전극들에 인가된 화소전압들 간의 간섭을 방지할 수 있는 액정표시장치 및 그 구동방법에 관한 것이다.

액정표시장치는 전계를 이용하여 액정의 광 투과율을 조절함으로써 화상을 표시하게 된다. 이를 위하여, 액정표시장치는 화소 매트릭스를 가지는 액정패널과 액정패널을 구동하기 위한 구동회로를 구비한다. 구동회로는 화상정보가 표시패널에 표시되도록 화소 매트릭스를 구동하게 된다.

도 1은 종래의 액정표시장치를 나타내는 도면이다.

도 1을 참조하면, 종래의 액정표시장치는 액정패널(2)과, 액정패널(2)의 데이터라인들(DL1 내지 DLm)을 구동하기 위한 데이터 드라이버(4)와, 액정패널(2)의 게이트라인들(GL1 내지 GLn)을 구동하기 위한 게이트 드라이버(6)를 구비한다.

액정패널(2)은 게이트라인들(GL1 내지 GLn)과 데이터라인들(DL1 내지 DLm)의 교차부에 각각 형성된 박막 트랜지스터(TFT)와, 박막 트랜지스터(TFT)에 접속되고 매트릭스 형태로 배열되어진 액정셀들을 구비한다.

게이트 드라이버(6)는 도시되지 않은 타이밍 제어부로부터의 제어신호에 따라 게이트 라인들(GL1 내지 GLn)에 순차적으로 게이트신호를 공급한다. 데이터 드라이버(4)는 타이밍 제어부로부터 공급되는 데이터(R,G,B)를 아날로그 신호인 비디오신호로 변환하여 게이트라인들(GL1 내지 GLn)에 게이트신호가 공급되는 1수평주기마다 1수평라인분의 비디오신호를 데이터라인들(DL1 내지 DLm)로 공급한다.

박막 트랜지스터(TFT)는 게이트라인(GL1 내지 GLn)으로부터의 게이트신호에 응답하여 데이터라인(DL1 내지 DLm)으로부터의 데이터를 액정셀로 공급한다. 액정셀은 액정을 사이에 두고 대면하는 공통전극과, 박막 트랜지스터(TFT)에 접속된 화소전극으로 구성되므로 등가적으로 액정 캐패시터(Clc)로 표시될 수 있다. 이러한 액정셀은 액정 캐패시터(Clc)에 충전된 데이터전압을 다음 데이터전압이 충전될 때 까지 유지시키기 위하여 이전단 게이트라인에 접속된 스토리지 캐패시터(도시되지 않음)를 포함한다.

이와 같은 종래의 액정표시장치의 액정셀들은 게이트라인들(GL1 내지 GLn)과 데이터라인들(DL1 내지 DLm)의 교차부에 각각 위치되기 때문에 데이터라인들(DL1 내지 DLm)의 수만큼(즉 m개)의 수직라인을 형성한다. 다시 말하여, 액정셀들은 m개의 수직라인 및 n개의 수평라인을 이루도록 매트릭스 형태로 배치된다.

여기서 알수 있듯이, 종래에는 m개의 수직라인의 액정셀들을 구동하기 위하여 m개의 데이터라인들(DL1 내지 DLm)을 필요로한다. 따라서, m개의 데이터라인을 각각 구동하기 위해서 m/i(i는 하나의 데이터 드라이버 집적회로가 공급하는 데이터 출력라인 수)개의 데이터 드라이버 집적회로가 요구되어진다. 그러므로, 액정표시장치의 해상도가 증가할수록 고가인 데이터 드라이버 집적회로의 수가 증가할 뿐 아니라 드라이버 집적회로를 부착하는 공정시간 및 제조비용도 증가되어 결국 액정표시장치의 코스트 상승요인으로 작용하는 문제가 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 데이터라인 수를 줄임과 아울러 인접한 화소전극들에 인가된 화소전압들 간의 간섭을 방지할 수 있는 액정표시장치 및 그 구동방법을 제공하는 것이다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명에 따른 액정표시장치는 다수의 데이터라인들, 상기 데이터라인들과 교차하는 다수의 게이트라인들, 상기 게이트라인들과 나란한 제1 및 제2 제어라인, 상기 데이터라인을 기준으로 일측에 형성되는 제1 액정셀들, 상기 데이터라인을 기준으로 다른측에 형성되는 제2 액정셀들, 상기 제1 제어라인 및 게이트라인의 제어하에 상기 제1 액정셀을 구동하는 제1 스위칭부, 상기 제2 제어라인 및 게이트라인의 제어하에 상기 제2 액정셀을 구동하는 제2 스위칭부를 가지는 액정표시패널과; 상기 제i(기수 또는 우수)데이터라인 및 제i+1 데이터라인 사이에 위치하는 상기 제1 및 제2 액정셀들에 동일한 극성의 화소전압신호를 공급하는 액정표시패널 구동부를 구비하는 것을 특징으로 한다.

상기 액정 표시 패널 구동부는 1/2프레임 기간동안 상기 게이트라인들로 순차적으로 게이트신호를 공급하기 위한 게이트 드라이버와, 상기 게이트라인들로 상기 게이트신호가 공급될 때 상기 인접한 데이터라인 사이에 위치하는 제1 및 제2 액정셀들과 접속된 상기 데이터라인들로 상기 화소전압신호를 공급하는 데이터 드라이버와, 상기 제1 제어라인 및 제2 제어라인으로 1/2프레임 단위로 교번되는 제어신호를 공급하기 위한 제어신호 공급부를 포함하는 것을 특징으로 한다.

상기 제1 스위칭부는 상기 게이트라인에 접속되어 상기 게이트신호가 공급될 때 턴온되어 상기 비디오신호를 공급받는 제1 박막 트랜지스터와, 상기 제1 제어라인으로 상기 제어신호가 공급될 때 턴온되어 상기 비디오신호를 상기 제1 액정셀로 공급하기 위한 제2 박막 트랜지스터를 포함하는 것을 특징으로 한다.

상기 제2 스위칭부는 상기 게이트라인에 접속되어 상기 게이트신호가 공급될 때 턴온되어 상기 비디오신호를 공급받는 제3 박막 트랜지스터와, 상기 제2 제어라인으로 상기 제어신호가 공급될 때 턴온되어 상기 비디오신호를 상기 제2 액정셀로 공급하기 위한 제4 박막 트랜지스터를 포함하는 것을 특징으로 한다.

상기 제1 액정셀은 상기 제2 박막트랜지스터와 접속된 화소전극, 그 화소전극과 수평전계를 이루는 공통전극을 포함하며, 상기 제2 액정셀은 상기 제4 박막트랜지스터와 접속된 제2 화소전극, 그 제2 화소전극과 수평전계를 이루는 제2 공통전극을 포함하는 것을 특징으로 한다.

상기 제1 및 제2 액정셀이 공유하도록 제1 및 제2 액정셀 사이에 위치하는 공유공통전극을 추가로 구비하며, 상기 공유공통전극을 사이에 두고 양측에 위치하는 제1 및 제2 액정셀에는 동일한 극성의 화소전압신호가 인가되는 것을 특징으로 한다.

상기 1/2프레임 단위로 교번되도록 공급되는 제어신호에 대응하여 상기 제1 액정셀들 및 제2 액정셀들은 1/2프레임 단위로 교번되면서 상기 비디오신호를 공급받는 것을 특징으로 한다.

상기 액정표시패널의 구동부는 상기 제1 및 제2 액정셀에 수평방향으로 2도트 단위로 극성이 반전되고 수직방향으로 1도트 단위로 극성이 반전되는 수평 2도트 인버전 방식으로 화소신호를 공급하는 것을 특징으로 한다.

상기 목적을 달성하기 위하여, 본 발명에 따른 다수의 데이터라인들, 상기 데이터라인들과 교차하는 다수의 게이트라인들, 상기 게이트라인들과 나란한 제1 및 제2 제어라인, 상기 데이터라인을 기준으로 일측에 형성되는 제1 액정셀들, 상기 데이터라인을 기준으로 다른측에 형성되는 제2 액정셀들, 상기 제1 제어라인 및 게이트라인의 제어하에 상기 제1 액정셀을 구동하는 제1 스위칭부, 상기 제2 제어라인 및 게이트라인의 제어하에 상기 제2 액정셀을 구동하는 제2 스위칭부를 가지는 액정표시장치의 구동방법은 한프레임 중 전반부 1/2프레임 기간동안 상기 제1 액정셀들로 제1 화소신호를 공급하는 단계와; 상기 한 프레임 중 후반부 1/2프레임 기간동안 상기 제1 액정셀과 다른 데이터라인에 접속된 상기 제2 액정셀들로 상기 제1 화소신호와 동일한 극성의 화소신호를 공급하는 단계를 포함하는 것을 특징으로 한다.

상기 제1 액정셀들로 화소신호를 공급하는 단계는 상기 제1 제어라인을 통해 제1 제어신호를 공급하여 상기 제1 액정셀들 각각과 접속된 상기 제1 스위칭부에 포함된 제1 박막 트랜지스터를 턴온시키는 단계와, 모든 게이트라인들로 순차적으로 게이트신호를 공급하여 상기 제1 스위칭부에 포함된 제2 박막 트랜지스터를 순차적으로 턴온시키는 단계와, 상기 게이트신호가 공급될 때 데이터라인을 통해 상기 제1 액정셀들마다 극성이 다른 상기 제1 화소신호를 공급하는 단계를 포함하는 것을 특징으로 한다.

상기 제2 액정셀들로 비디오신호를 공급하는 단계는 상기 제2 제어라인을 통해 제2 제어신호를 공급하여 제2 액정셀들 각각과 접속된 제2 스위칭부에 포함된 제3 박막 트랜지스터를 턴온시키는 단계와, 모든 게이트라인들로 순차적으로 게이트신호를 공급하여 상기 제2 스위칭부에 포함된 제4 박막 트랜지스터를 순차적으로 턴온시키는 단계와, 상기 게이트신호가 공급될 때 상기 제1 액정셀과 동일한 데이터라인에 접속된 제2 액정셀에 상기 제1 화소신호와 극성이 다른 제2 화소신호를 공급하는 단계를 포함하는 것을 특징으로 한다.

상기 제1 및 제2 제어신호는 1/2프레임 기간 단위로 교번되도록 공급되는 것을 특징으로 한다.

상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부도면을 참조한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

이하, 도 2 내지 도 12c를 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.

도 2는 본 발명의 실시예에 의한 액정표시장치를 나타내는 도면이다.

도 2를 참조하면, 본 발명의 실시예에 의한 액정표시장치는 액정패널(20)과, 액정패널(20)의 데이터라인들(DL1 내지 DLm/2)을 구동하기 위한 데이터 드라이버(22)와, 액정패널(20)의 게이트라인들(GL1 내지 GLn)을 구동하기 위한 게이트 드라이버(24)와, 게이트라인들(GL1 내지 GLn)들과 나란하게 형성된 제1 및 제2 제어라인들(CL1, CL2)로 제어신호를 공급하기 위한 제어신호 공급부(23)와, 공통라인(230)들을 구동하기 위한 공통전압발생부(26)를 구비한다.

게이트 드라이버(24)는 도시되지 않은 타이밍 제어부로부터 공급되는 제어신호에 대응하여 도 3과 같이 1/2프레임 단위로 게이트라인들(GL1 내지 GLn) 각각에 게이트신호(SP)를 순차적으로 공급한다. 즉, 본 발명의 게이트 드라이버(24)는 1/2프레임 단위로 게이트라인들(GL1 내지 GLn)을 구동시킨다.

데이터 드라이버(22)는 타이밍 제어부로부터 공급되는 데이터(R,G,B)를 아날로그 신호인 비디오신호로 변환하여 데이터라인들(DL1 내지 DLm/2)에 공급한다. 여기서, 데이터 드라이버(22)는 1/2프레임 단위로 제1 액정셀(10)에 공급될 화소신호와 제2 액정셀(12)에 공급될 화소신호를 교번적으로 공급한다.

이러한 데이터 드라이버(22)는 전반부 1/2 프레임기간에 도트 인버전 방식으로 제1 액정셀(10)에 공급될 화소신호의 극성을 달리하여 데이터라인에 공급하고, 후반부 1/2 프레임기간에 도트 인버전 방식으로 제2 액정셀(12)에 공급될 화소신호의 극성을 달리하여 공급한다. 그리고, 데이터 드라이버(22)는 제i 데이터라인(DLi)과 제i+1 데이터라인(DLi+1) 사이에 위치하는 제1 및 제2 액정셀(10,12)에 동일한 극성의 화소신호를 공급한다.

한편, 본 발명의 데이터 드라이버(22)는 종래의 액정표시장치에 비하여 데이터라인들(DL1 내지 DLm/2)의 수가 절반으로 감소하였기 때문에 데이터 드라이버(22)에 포함되는 데이터 드라이버 IC의 수도 절반으로 감소한다.

제어신호 공급부(23)는 도 3에 도시된 바와 같이 1/2프레임 단위로 제1 제어신호(CS1) 및 제2 제어신호(CS2)를 제1 및 제2 제어라인(CL1, CL2)으로 교번적으로 공급한다. 예를 들어, 제어신호 공급부(23)는 전반부 1/2프레임 기간동안 제1 제어라인(CL1)으로 제1 제어신호(CS1)를 공급하고, 후반부 1/2프레임 기간동안 제2 제어라인(CL2)으로 제2 제어신호(CS2)를 공급할 수 있다.

그리고, 제어신호 공급부(23)는 전반부 1/2프레임 기간동안 제2 제어라인(CL2)으로 제2 제어신호(CS2)를 공급하고, 후반부 1/2프레임 기간동안 제1 제어라인(CL1)으로 제1 제어신호(CS1)를 공급할 수 있다. 아울러, 본 발명에서는 도 2와 같이 별도의 제어신호 공급부(23)를 설치하지 않고, 타이밍 제어부에서 제1 및 제2 제어신호(CS1, CS2)를 공급할 수 있다.

액정패널(20)은 액정을 사이에 두고 대향하는 박막트랜지스터 어레이 기판과 컬러필터 어레이 기판을 구비한다.

박막트랜지스터 어레이 기판은 도 4 및 도 5에 도시된 바와 같이 하부 기판(201) 상에 형성된 게이트라인(GL)과; 그 게이트라인(GL)을 사이에 두고 양측에 위치하는 제1 및 제2 제어라인(CL1, CL2)과; 게이트라인(GL), 제1 및 제2 제어라인(CL1, CL2)과 교차되게 형성된 데이터 라인(DL)과; 게이트라인들(GL1 내지 GLn)과 데이터라인들(DL1 내지 DLm/2)의 교차부에 형성된 제1 액정셀(10) 및 제2 액정셀(12)과(교번적으로 형성); 제1 액정셀(10)을 구동하기 위한 제1 스위칭부(14)와; 제2 액정셀(12)을 구동하기 위한 제2 스위칭부(16)를 구비한다.

게이트라인(GL)은 제1 및 제3 박막트랜지스터(TFT1, TFT3)의 게이트전극에 게이트신호를 공급한다.

데이터라인(DL)은 데이터라인(DL)은 제1 박막트랜지스터(TFT1)의 소스전극(208) 및 제2 박막트랜지스터(TFT2)를 통해 제1 화소전극(222)에 화소신호를 공급하고, 데이터라인(DL)은 제3 박막트랜지스터(TFT3)의 소스전극 및 제4 박막트랜지스터(TFT4)를 통해 제2 화소전극(224)에 화소신호를 공급한다.

공통라인(230)은 게이트라인(GL)과 나란하게 형성되며 공통전압발생부(26)에서 생성된 액정 구동을 위한 기준전압을 제1 및 제2 공통전극(234, 236)에 공급한다. 또한, 공통라인(230)은 제1 및 제2 액정셀(10, 12) 사이에 형성되며 제1 및 제2 액정셀(10, 12)이 서로 공유하는 공유공통전극(232)에 기준전압을 공급한다.

제어라인(CL1, CL2)은 제2 및 제4 박막트랜지스터(TFT2, TFT4)의 게이트전극에 제어신호를 공급한다. 제1 제어라인(CL1)은 제4 박막트랜지스터(TFT4)의 게이트전극에 제1 제어신호를 공급하고, 제2 제어라인(CL2)은 제2 박막트랜지스터(TFT2)의 게이트전극에 제2 제어신호를 공급한다.

제1 스위칭부(14)는 데이터라인(DL)의 우측, 즉 우수번째 수직라인에 형성되어 제1 액정셀(10)을 구동시키기 위해 제1 및 제2 박막 트랜지스터(TFT1, TFT2)를 포함한다.

제1 박막 트랜지스터(TFT1)는 데이터라인(DL) 및 게이트라인(GL)과 접속되어 게이트라인(GL)의 게이트 신호에 응답하여 데이터 라인(DL)의 화소 신호를 제2 박막트랜지스터(TFT2)의 소스전극(204)에 공급한다. 이를 위해, 제1 박막트랜지스터(TFT1)는 게이트 라인(GL)에 포함된 게이트 전극과, 데이터 라인(DL)에 접속된 소스 전극(208)과, 제2 박막트랜지스터(TFT2)의 소스 전극(204)에 접속된 드레인 전극(210)을 구비한다.

제2 박막 트랜지스터(TFT2)는 제1 박막 트랜지스터(TFT1)와 제1 액정셀(10) 사이에 접속되어 제2 제어라인(CL2)의 제2 제어신호에 응답하여 제2 박막트랜지스터(TFT2)의 소스전극(204)에 공급된 화소신호가 제1 화소 전극(222)에 충전되어 유지되게 한다. 이를 위하여, 제2 박막 트랜지스터(TFT2)는 제2 제어 라인(CL2)에 포함된 게이트 전극과, 제1 박막트랜지스터(TFT1)의 드레인전극(210)에 접속된 소스 전극(204)과, 제1 화소 전극(222)에 접속된 드레인 전극(206)을 구비한다.

제2 스위칭부(16)는 데이터라인(DL)의 좌측, 즉 기수번째 수직라인에 형성되어 제2 액정셀(10)을 구동시키기 위해 제3 및 제4 박막 트랜지스터(TFT3, TFT4)를 포함한다.

제3 박막 트랜지스터(TFT3)는 게이트 라인(GL)의 게이트 신호에 응답하여 데이터 라인(DL)의 화소 신호를 제4 박막트랜지스터(TFT4)의 소스전극에 공급한다. 이를 위해, 제3 박막트랜지스터(TFT3)는 게이트 라인(GL)에 포함된 게이트 전극과, 데이터 라인에 접속된 소스 전극과, 제4 박막트랜지스터(TFT4)의 소스 전극에 접속된 드레인 전극을 구비한다.

제4 박막트랜지스터(TFT4)는 제1 제어라인(CL1)의 제1 제어신호에 응답하여 제3 박막트랜지스터(TFT3)의 소스전극에 공급된 화소신호가 제2 화소 전극(224)에 충전되어 유지되게 한다. 이를 위하여, 제4 박막 트랜지스터(TFT4)는 제1 제어 라인(CL1)에 포함된 게이트 전극과, 제3 박막트랜지스터(TFT3)의 드레인전극에 접속된 소스 전극과, 제2 화소 전극(224)에 접속된 드레인 전극을 구비한다.

제1 액정셀(10)은 수평전계를 이루는 제1 공통전극(234)과 제1 화소전극(222)으로 구성된다. 여기서, 제1 화소 전극(222)은 제2 제어라인(CL2)과 중첩되는 제1 수평부(222a)와, 제1 제어라인(CL1)과 중첩되는 제2 수평부(222b)와, 공통라인(230)과 중첩되는 제3 수평부(222c)와; 제1 내지 제3 수평부(222a,222b,222c) 사이에 형성되어 제1 공통전극과 수평전계를 이루는 핑거부(222d)를 구비한다.

제2 액정셀(12)은 수평전계를 이루는 제2 공통전극(236)과 제2 화소전극(224)으로 구성된다. 여기서, 제2 화소 전극(224)은 제1 제어라인(CL1)과 중첩되는 제1 수평부(224a)와, 제2 제어라인(CL2)과 중첩되는 제2 수평부(224b)와, 공통라인(230)과 중첩되는 제3 수평부(224c)와; 제1 내지 제3 수평부(224a,224b,224c) 사이에 형성되어 제2 공통전극과 수평전계를 이루는 핑거부(224d)를 구비한다.

이러한 제1 및 제2 액정셀(10,12)은 공유공통전극(232)을 사이에 두고 화소영역(205)에서 좌측과 우측에 형성된다. 즉, 제1 액정셀(10)은 공유공통전극(232)을 기준으로 좌측에 형성되며, 제2 액정셀(12)은 공유공통전극(232)을 기준으로 우측에 형성된다. 이 공유공통전극(232)은 다른 제1 및 제2 공통전극(234,236)보다 폭을 크게 형성(예를 들어, 약 $13\mu\text{m}$)하여 제1 및 제2 화소전극(222,224)에 공급되는 제1 및 제2 화소전압 간의 간섭을 방지한다.

이와 같이, 제1 액정셀(10) 및 제2 액정셀(12)은 하나의 데이터라인(DL)을 사이에 두고 좌/우측에 형성된다. 여기서, 제1 액정셀(10) 및 제2 액정셀(12)은 인접되게 위치된 데이터라인(DL)으로부터 화소신호를 공급받는다. 즉, 본 발명의 실시예에 의한 액정표시장치에 의하면 도 1에 도시된 종래의 액정표시장치에 비하여 데이터라인(DL)의 수가 절반으로 줄어들게 된다.

한편, 본 발명에 따른 액정표시패널은 도 6a 및 도 6b에 도시된 바와 같이 기수 프레임과 우수 프레임에 있어서 화소신호의 극성이 수직방향으로 도트 단위로 바뀌는 반면에 수평방향으로는 2도트 단위로 바뀌는 수평 2도트 인버전 방식으로 구동된다.

즉, 도 6a에 도시된 바와 같이 기수 프레임기간동안 수평라인에 접속된 2개의 화소전극(공유공통전극을 사이에 두고 좌측과 우측에 위치하는 제1 및 제2 화소전극에는 동일 극성의 화소신호 인가) 단위로 정극성(+)의 화소신호와 부극성(-)의 화소신호가 교번적으로 반복되게 공급되고 수직라인단위로 극성이 반전되는 화소신호가 공급된다.

도 6b에 도시된 바와 같이 우수 프레임기간동안 수평라인에 접속된 2개의 화소전극 단위로 부극성(-)의 화소신호와 정극성(+)의 화소신호가 교번적으로 반복되게 공급되고 수직라인단위로 극성이 반전되는 화소신호가 공급된다.

이를 위해, 각 프레임의 전반부 1/2 프레임기간동안 제2 액정셀(10)에 도트 인버전 방식으로 화소신호가 공급되어야 하고, 후반부 1/2 프레임기간동안 제1 액정셀(12)에 도트 인버전 방식으로 화소신호가 공급되어야 한다. 이에 대한 상세한 설명을 도 7a 및 도 7b를 결부하여 상세히 설명하기로 한다.

먼저, 전반부 1/2프레임 기간동안 제1 제어라인(CL1)으로 제1 제어신호(CS1)가 공급된다. 그러면, 제1 제어라인(CL1)과 접속된 제4 박막 트랜지스터(TFT4)들이 턴-온된다.(이때, 제2 박막 트랜지스터(TFT2)들은 턴-오프 상태를 유지한다)

전반부 1/2프레임 기간동안 게이트라인들(GL1 내지 GLn)로 게이트신호(SP)가 순차적으로 공급된다. 이때, 게이트라인(GL)과 접속되도록 형성되는 제3 박막트랜지스터(TFT3)가 수평라인 단위로 턴온된다. 그리고, 데이터라인들(DL1 내지 DLm/2)을 통해 제2 액정셀(12)에 도트 인버전 방식으로 화소신호가 공급된다. 그러면, 데이터라인들(DL1 내지 DLm/2)로 공급된 화소신호들이 제3 및 제4 박막 트랜지스터(TFT3,TFT4)를 경유하여 제2 액정셀(12)로 공급된다.

따라서, 전반부 1/2프레임 기간동안 도 7a에 도시된 바와 같이 기수번째 수직라인에 위치된 제2 액정셀(12)들이 구동된다. 한편, 게이트신호들(SP)에 의하여 제1 박막 트랜지스터(TFT1)도 순차적으로 턴온되지만, 제2 박막 트랜지스터(TFT2)가 턴오프되기 때문에 비디오신호들은 제1 액정셀(10)로 공급되지 않는다.

이후, 후반부 1/2프레임 기간동안 제2 제어라인(CL2)으로 제2 제어신호(CS2)가 공급된다. 그러면, 제2 제어라인(CL2)과 접속된 제2 박막 트랜지스터(TFT2)들이 턴-온된다.(이때, 제 4박막 트랜지스터(TFT4)들은 턴-오프 된다)

후반부 1/2프레임 기간동안 게이트라인들(GL1 내지 GLn)로 게이트신호(SP)가 순차적으로 공급된다. 이때, 게이트라인(GL)과 접속되도록 형성되는 제1 박막 트랜지스터(TFT1)가 수평라인 단위로 턴온된다. 그리고, 데이터라인들(DL1 내지 DLm/2)을 통해 제 1액정셀(10)에 도트 인버전 방식으로 화소신호가 공급된다. 그러면, 데이터라인들(DL1 내지 DLm/2)로 공급된 화소신호들이 제1 및 제2 박막 트랜지스터(TFT1, TFT2)를 경유하여 제1 액정셀(10)로 공급한다.

따라서, 후반부 1/2프레임 기간동안 도 7b에 도시된 바와 같이 우수번째 수직라인에 위치한 제1 액정셀(10)들이 구동된다. 이 때, 제1 액정셀(10)에는 그 제1 액정셀(10)과 좌측 또는 우측으로 인접한 제2 액정셀(12)과 동일한 극성의 화소신호들이 구동된다. 이에 따라, 제i 데이터라인(DL)과 제i+1 데이터라인(DLi+1) 사이에 위치하는 제1 및 제2 액정셀들(10,12)에는 동일한 극성의 화소신호가 충전되므로 액정패널은 수평 2 도트 인버전 방식으로 구동된다. 한편, 게이트신호들(SP)에 의하여 제3 박막 트랜지스터(TFT3)도 순차적으로 턴온되지만, 제4 박막 트랜지스터(TFT4)가 턴오프되기 때문에 비디오신호들은 제2 액정셀(12)로 공급되지 않는다.

즉, 본 발명에서는 제1 제어라인(CL1) 및 제2 제어라인(CL2)으로 1/2프레임 단위로 교번되는 제어신호들(CS1, CS2)을 공급하여 제2 박막 트랜지스터(TFT2)들 또는 제4 박막 트랜지스터(TFT4)들을 교번적으로 턴온시킴으로써 1/2프레임 단위로 제1 액정셀(10) 및 제2 액정셀(12)을 교번적으로 구동시킬 수 있다. 그리고, 본 발명에서는 하나의 데이터라인(DL)을 이용하여 좌/우측에 위치되는 제1 액정셀(10) 및 제2 액정셀(12)로 원하는 비디오신호를 공급하기 때문에 종래에 비하여 데이터라인(DL) 및 데이터 IC를 절반으로 줄일 수 있고, 이에 따라 제조비용을 저감할 수 있다.

한편, 본 발명에서는 전반부 1/2프레임 기간동안 제2 제어신호(CS2)를 공급함과 아울러 후반부 1/2프레임 기간동안 제1 제어신호(CS1)를 공급할 수 있다. 그러면, 전반부 1/2프레임 기간동안에는 도 7b에 도시된 바와 같이 우수번째 수직라인에 위치한 제1 액정셀(10)들이 구동되고, 후반부 1/2프레임 기간동안 도 7a에 도시된 바와 같이 기수번째 수직라인에 위치한 제2 액정셀들(12)이 구동된다. 즉, 본 발명에서는 제1 및 제2 제어신호(CS1, CS2)의 공급순서를 조절하여 제1 및 제2 액정셀(10,12)의 구동순서를 조절할 수 있다.

이와 같이, 본 발명에 따른 액정표시장치는 공유공통전극을 사이에 두고 좌측과 우측에 위치하는 제1 및 제2 화소전극에 동일 극성의 화소신호가 인가되도록 수평 2도트 인버전 방식으로 구동된다. 이에 따라, 제1 및 제2 화소전극에 인가되는 화소신호에 서로 영향을 받지 않아 수평전계 왜곡현상을 방지할 수 있다.

도 8a 및 도 8b는 1도트 인버전 방식으로 구동되는 액정표시장치와 수평 2도트 인버전 방식으로 구동되는 액정표시장치에 전압 인가시 발생하는 수평 전계를 나타내는 도면이다.

도 8a에 도시된 바와 같이 공유공통전극(232)을 사이에 두고 좌측에 위치하는 제1 화소전극(222)에는 부극성(-)의 화소신호가 인가되고 우측에 위치하는 제2 화소전극(224)에는 정극성(+)의 화소신호가 인가된다. 이 때, 정극성(+)의 화소신호는 예를 들어 14V이고, 부극성(-)의 화소신호는 0V이고, 공통전극(234, 236) 및 공유공통전극(232)에 인가되는 공통전압은 7V이다.

이 경우, 제1 및 제2 화소전극(222, 224) 중 어느 하나와 공통전극(234, 236) 사이에는 약 7V의 수평전계가 형성된다. 이 수평전계에 의해 액정분자들이 회전하게 되며 액정분자들의 회전정도에 따라 광투과율이 달라져 화상을 구현한다. 그러나, 공유공통전극(232)을 사이에 두고 제1 및 제2 화소전극(222, 224)은 극성이 서로 반대이다. 이 경우, 공유 공통전극(232)과 제1 화소전극[제2 화소전극] 사이에서 수평전계가 형성되지 않고 공유 공통전극(232)을 사이에 두고 인접한 제1 및 제2 화소전극(222, 224) 사이에서 약 14V의 수평전계가 발생된다. 이러한 수평전계의 차이에 의해 제1 및 제2 액정셀(10,12) 중 적어도 어느 하나의 광투과율이 변동된다.

반면에 도 8b에 도시된 바와 같이 공유공통전극(232)을 사이에 두고 좌측에 위치하는 제1 화소전극(222)에는 부극성(-)의 화소신호가 인가되고 우측에 위치하는 제2 화소전극(224)에는 부극성(-)의 화소신호가 인가된다. 이 때, 정극성(+)의 화소신호는 예를 들어 14V이고, 부극성(-)의 화소신호는 0V이고, 공통전극(234, 236)과 공유공통전극(232)에 인가되는 공통전압은 7V이다.

이 경우, 제1 및 제2 화소전극(222,224) 중 어느 하나와 공통전극(234,236) 사이에는 약 7V의 수평전계가 형성된다. 또한, 공유공통전극(232)과 인접한 제1 및 제2 화소전극(222,224) 사이에는 다른 영역과 마찬가지로 약 7V의 수평전계가 형성된다. 공통전극(234,236)과 화소전극(222,224) 사이의 전압차가 동일하므로 제1 및 제2 액정셀(10,12)의 광투과율의 변동을 방지할 수 있다.

도 9a 내지 도 9c는 1도트 인버전 방식으로 구동되는 액정표시장치의 광투과율을 나타내는 도면이다. 여기서, 도 9a 내지 도 9c에 도시된 액정표시장치는 액정층(152)을 사이에 두고 상부기판(150)과 하부기판(201)이 대향하도록 형성된다.

도 9a에 도시된 바와 같이 공유공통전극(232)을 사이에 두고 제1 액정셀(10)과 제2 액정셀(12)은 동일한 중간 그레이를 구현한다. 이 때, 제1 및 제2 액정셀(10,12)에 동일한 중간 그레이를 인가하기 위해서 화소전극(222,224)에는 예를 들어 약 3~11V의 화소전압신호가 인가되고, 공통전극(234,236)과 공유 공통전극(232)에는 약 7V의 공통전압이 인가된다. 그리고, 도 9b에 도시된 바와 같이 공유 공통전극(232)을 사이에 두고 제1 액정셀(10)은 화이트 그레이를 구현하고, 제2 액정셀(12)은 중간 그레이를 구현한다. 이 때, 제1 액정셀(10)이 화이트 그레이를 구현하기 위해 제1 액정셀(10)의 화소전극(222)에는 약 0~14V의 화소전압신호가 인가되고, 제2 액정셀(12)이 중간 그레이를 구현하기 위해 제2 액정셀(12)의 화소전극(224)에는 약 3~11V의 화소전압신호가 인가되고, 공통전극(234,236)과 공유공통전극(232)에는 약 7V의 공통전압이 인가된다. 이 경우, 도 9a에서 중간 그레이를 구현하는 제2 액정셀(12)과 도 9b에서 중간 그레이를 구현하는 제2 액정셀(12)의 광투과율은 약 4.9%정도 변동된다. 이는 제1 액정셀(10)에 인가된 제1 화소전압의 영향으로 제1 화소전압과 반대극성을 가지는 제2 화소전압이 인가된 제2 액정셀(12)의 광투과율이 변동되기 때문이다.

그리고, 도 9c에 도시된 바와 같이 공유공통전극(232)을 사이에 두고 제1 액정셀(10)은 블랙 그레이를 구현하고, 제2 액정셀(12)은 중간 그레이를 구현한다. 이 때, 제1 액정셀(10)이 블랙 그레이를 구현하기 위해 제1 액정셀(10)의 화소전극(222)에는 약 6~8V의 화소전압신호가 인가되고, 제2 액정셀(12)이 중간 그레이를 구현하기 위해 제2 액정셀(12)의 화소전극(224)에는 약 3~11V의 화소전압신호가 인가되고, 공통전극(234,236)과 공유공통전극(232)에는 약 7V의 공통전압이 인가된다. 이 경우, 도 9a에서 중간 그레이를 구현하는 제2 액정셀(12)과 도 9b에서 중간 그레이를 구현하는 제2 액정셀(12)의 광투과율은 약 6.3%정도 변동된다. 이는 제1 액정셀(10)에 인가된 제1 화소전압의 영향으로 제1 화소전압과 반대극성을 가지는 제2 화소전압이 인가된 제2 액정셀(12)의 광투과율이 변동되기 때문이다.

도 10a 내지 도 10c는 수평 2도트 인버전 방식으로 구동되는 액정표시장치의 광투과율을 나타내는 도면이다.

도 10a에 도시된 바와 같이 공유공통전극(232)을 사이에 두고 제1 액정셀(10)과 제2 액정셀(12)은 동일한 중간 그레이를 구현한다. 이 때, 제1 및 제2 액정셀(10,12)이 동일한 중간 그레이를 인가하기 위해 화소전극(222,224)에는 예를 들어 약 3~11V의 화소전압신호가 인가되고, 공통전극(234,236)과 공유공통전극(232)에는 약 7V의 공통전압이 인가된다. 그리고, 도 10b에 도시된 바와 같이 공유 공통전극(232)을 사이에 두고 제1 액정셀(10)은 화이트 그레이를 구현하고, 제2 액정셀(12)은 중간 그레이를 구현한다. 이 때, 제1 액정셀(10)이 화이트 그레이를 구현하기 위해 제1 액정셀(10)의 화소전극(222)에는 약 0~14V의 화소전압신호가 인가되고, 제2 액정셀(12)이 중간 그레이를 구현하기 위해 제2 액정셀(12)의 화소전극(224)에는 약 3~11V의 화소전압신호가 인가되고, 공통전극(234,236)과 공유공통전극(232)에는 약 7V의 공통전압이 인가된다. 이 경우, 도 10a에서 중간 그레이를 구현하는 제2 액정셀(12)과 도 10b에서 중간 그레이를 구현하는 제2 액정셀(12)의 광투과율은 도 9b에 도시된 액정표시장치보다 낮은 약 1.5%정도 변동된다.

그리고, 도 10c에 도시된 바와 같이 공유공통전극(232)을 사이에 두고 제1 액정셀(10)은 블랙 그레이를 구현하고, 제2 액정셀(12)은 중간 그레이를 구현한다. 이 때, 제1 액정셀(10)이 블랙 그레이를 구현하기 위해 제1 액정셀(10)의 화소전극(222)에는 약 6~8V의 화소전압신호가 인가되고, 제2 액정셀(12)이 중간 그레이를 구현하기 위해 제2 액정셀(12)의 화소전극(224)에는 약 3~11V의 화소전압신호가 인가되고, 공통전극(234,236)과 공유공통전극(232)에는 약 7V의 공통전압이 인가된다. 이 경우, 도 10a에서 중간 그레이를 구현하는 제2 액정셀(12)과 도 10b에서 중간 그레이를 구현하는 제2 액정셀(12)의 광투과율은 도 9c에 도시된 1도트 인버전 방식으로 구동되는 액정표시장치보다 낮은 약 0.8%정도 변동된다.

도 11a 내지 도 11c는 동일 그레이 화면에 화이트 그레이를 구현하는 윈도우를 구현시 1도트 인버전 방식과 수평 2도트 인버전 방식 구현시 크로스토크를 평가한 도면이다.

먼저, 제1 기간동안 화면(120) 전체에 동일 그레이를 구현한 후 제2 기간동안 화면(120)의 특정영역에 도 11a에 도시된 바와 같이 화이트를 구현하는 윈도우(122)를 표시한다. 이 때, 1도트 인버전 방식으로 구동되는 액정표시패널의 경우, 제1 기간과 제2 기간동안 동일 그레이를 구현하는 측정영역에서의 휘도는 도 11b에 도시된 바와 같이 약 1.9%정도 변화되

어 크로스토크가 발생된다. 반면에 수평 2도트 인버전 방식으로 구동되는 액정표시패널의 경우, 제1 기간과 제2 기간동안 동일 그레이를 구현하는 측정영역에서의 휘도는 도 11c에 도시된 바와 같이 약 0.3%정도 변화되어 크로스토크가 개선됨을 알 수 있다.

도 12a 내지 도 12c는 동일 그레이 화면에 블랙 그레이를 구현하는 윈도우를 구현시 1도트 인버전 방식과 수평 2도트 인버전 방식 구현시 크로스토크를 평가한 도면이다.

먼저, 제1 기간동안 화면(130) 전체에 동일 그레이를 구현한 후 제2 기간동안 화면(130)의 특정영역에 도 12a에 도시된 바와 같이 블랙을 구현하는 윈도우(132)를 표시한다. 이 때, 1도트 인버전 방식으로 구동되는 액정표시패널의 경우, 제1 기간과 제2 기간동안 동일 그레이를 구현하는 측정영역에서의 휘도는 도 12b에 도시된 바와 같이 약 0.4%정도 변화되어 크로스토크가 발생된다. 반면에 수평 2도트 인버전 방식으로 구동되는 액정표시패널의 경우, 제1 기간과 제2 기간동안 동일 그레이를 구현하는 측정영역에서의 휘도는 도 12c에 도시된 바와 같이 약 0.21%정도 변화되어 크로스토크가 개선됨을 알 수 있다.

발명의 효과

상술한 바와 같이, 본 발명에 따른 액정표시장치 및 그 구동방법은 1/2프레임 단위로 기수번째 수직라인들에 위치한 액정셀 및 우수번째 수직라인들에 위치한 액정셀을 교번적으로 구동시킨다. 여기서, 하나의 데이터라인이 좌/우에 인접되게 위치한 액정셀들을 구동시키기 때문에 데이터라인의 수가 절반정도로 감소되게 된다. 따라서, 데이터라인에 구동신호를 공급하는 데이터 드라이버의 수도 절반으로 감소되고, 이에 따라 제조비용을 절감할 수 있다.

또한, 본 발명에 따른 액정표시장치 및 그 구동방법은 공유공통전극을 사이에 두고 좌우측에 위치하는 제1 및 제2 액정셀에 동일한 극성의 화소전압신호가 공급된다. 이에 따라, 제1 및 제2 액정셀 중 어느 하나의 액정셀에 인가되는 화소전압신호에 의해 나머지 액정셀에 인가된 화소전압신호의 변동을 방지할 수 있다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

(57) 청구의 범위

청구항 1.

다수의 데이터라인들, 상기 데이터라인들과 교차하는 다수의 게이트라인들, 상기 게이트라인들과 나란한 제1 및 제2 제어라인, 상기 데이터라인을 기준으로 일측에 형성되는 제1 액정셀들, 상기 데이터라인을 기준으로 다른측에 형성되는 제2 액정셀들, 상기 제1 제어라인 및 게이트라인의 제어하에 상기 제1 액정셀을 구동하는 제1 스위칭부, 상기 제2 제어라인 및 게이트라인의 제어하에 상기 제2 액정셀을 구동하는 제2 스위칭부를 가지는 액정표시패널과;

상기 제i(기수 또는 우수)데이터라인 및 제i+1 데이터라인 사이에 위치하는 상기 제1 및 제2 액정셀들에 동일한 극성의 화소전압신호를 공급하는 액정표시패널 구동부를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 2.

제 1 항에 있어서,

상기 액정 표시 패널 구동부는

1/2프레임 기간동안 상기 게이트라인들로 순차적으로 게이트신호를 공급하기 위한 게이트 드라이버와;

상기 게이트라인들로 상기 게이트신호가 공급될 때 상기 인접한 데이터라인 사이에 위치하는 제1 및 제2 액정셀들과 접속된 상기 데이터라인들로 상기 화소전압신호를 공급하는 데이터 드라이버와;

상기 제1 제어라인 및 제2 제어라인으로 1/2프레임 단위로 교번되는 제어신호를 공급하기 위한 제어신호 공급부를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 3.

제 2 항에 있어서,

상기 제1 스위칭부는

상기 게이트라인에 접속되어 상기 게이트신호가 공급될 때 턴온되어 상기 비디오신호를 공급받는 제1 박막 트랜지스터와;

상기 제1 제어라인으로 상기 제어신호가 공급될 때 턴온되어 상기 비디오신호를 상기 제1 액정셀로 공급하기 위한 제2 박막 트랜지스터를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 4.

제 3 항에 있어서,

상기 제2 스위칭부는

상기 게이트라인에 접속되어 상기 게이트신호가 공급될 때 턴온되어 상기 비디오신호를 공급받는 제3 박막 트랜지스터와;

상기 제2 제어라인으로 상기 제어신호가 공급될 때 턴온되어 상기 비디오신호를 상기 제2 액정셀로 공급하기 위한 제4 박막 트랜지스터를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 5.

제 3 항 및 제 4 항 중 어느 한 항에 있어서,

상기 제1 액정셀은 상기 제2 박막트랜지스터와 접속된 화소전극, 그 화소전극과 수평전계를 이루는 공통전극을 포함하며;

상기 제2 액정셀은 상기 제4 박막트랜지스터와 접속된 제2 화소전극, 그 제2 화소전극과 수평전계를 이루는 제2 공통전극을 포함하는 것을 특징으로 하는 액정표시장치.

청구항 6.

제 1 항에 있어서,

상기 제1 및 제2 액정셀이 공유하도록 제1 및 제2 액정셀 사이에 위치하는 공유공통전극을 추가로 구비하며,

상기 공유공통전극을 사이에 두고 양측에 위치하는 제1 및 제2 액정셀에는 동일한 극성의 화소전압신호가 인가되는 것을 특징으로 하는 액정표시장치.

청구항 7.

제 2 항에 있어서,

상기 1/2프레임 단위로 교번되도록 공급되는 제어신호에 대응하여 상기 제 1액정셀들 및 제 2액정셀들은 1/2프레임 단위로 교번되면서 상기 비디오신호를 공급받는 것을 특징으로 하는 액정표시장치.

청구항 8.

제 1 항에 있어서,

상기 액정표시패널 구동부는

상기 제1 및 제2 액정셀에 수평방향으로 2도트 단위로 극성이 반전되고 수직방향으로 1도트 단위로 극성이 반전되는 수평 2 도트 인버전 방식으로 화소신호를 공급하는 것을 특징으로 하는 액정표시장치.

청구항 9.

다수의 데이터라인들, 상기 데이터라인들과 교차하는 다수의 게이트라인들, 상기 게이트라인들과 나란한 제1 및 제2 제어라인, 상기 데이터라인을 기준으로 일측에 형성되는 제1 액정셀들, 상기 데이터라인을 기준으로 다른측에 형성되는 제2 액정셀들, 상기 제1 제어라인 및 게이트라인의 제어하에 상기 제1 액정셀을 구동하는 제1 스위칭부, 상기 제2 제어라인 및 게이트라인의 제어하에 상기 제2 액정셀을 구동하는 제2 스위칭부를 가지는 액정표시장치의 구동방법에 있어서,

한프레임 중 전반부 1/2프레임 기간동안 상기 제1 액정셀들로 제1 화소신호를 공급하는 단계와;

상기 한 프레임 중 후반부 1/2프레임 기간동안 상기 제1 액정셀과 다른 데이터라인에 접속된 상기 제2 액정셀들로 상기 제1 화소신호와 동일한 극성의 화소신호를 공급하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 10.

제 9 항에 있어서,

상기 제1 액정셀들로 화소신호를 공급하는 단계는

상기 제1 제어라인을 통해 제1 제어신호를 공급하여 상기 제1 액정셀들 각각과 접속된 상기 제1 스위칭부에 포함된 제1 박막 트랜지스터를 턴온시키는 단계와;

모든 게이트라인들로 순차적으로 게이트신호를 공급하여 상기 제1 스위칭부에 포함된 제2 박막 트랜지스터를 순차적으로 턴온시키는 단계와;

상기 게이트신호가 공급될 때 데이터라인을 통해 상기 제1 액정셀들마다 극성이 다른 상기 제1 화소신호를 공급하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 11.

제 10 항에 있어서,

상기 제2 액정셀들로 비디오신호를 공급하는 단계는

상기 제2 제어라인을 통해 제2 제어신호를 공급하여 제2 액정셀들 각각과 접속된 제2 스위칭부에 포함된 제3 박막 트랜지스터를 턴온시키는 단계와;

모든 게이트라인들로 순차적으로 게이트신호를 공급하여 상기 제2 스위칭부에 포함된 제4 박막 트랜지스터를 순차적으로 턴온시키는 단계와;

상기 게이트신호가 공급될 때 상기 제1 액정셀과 동일한 데이터라인에 접속된 제2 액정셀에 상기 제1 화소신호와 극성이 다른 제2 화소신호를 공급하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

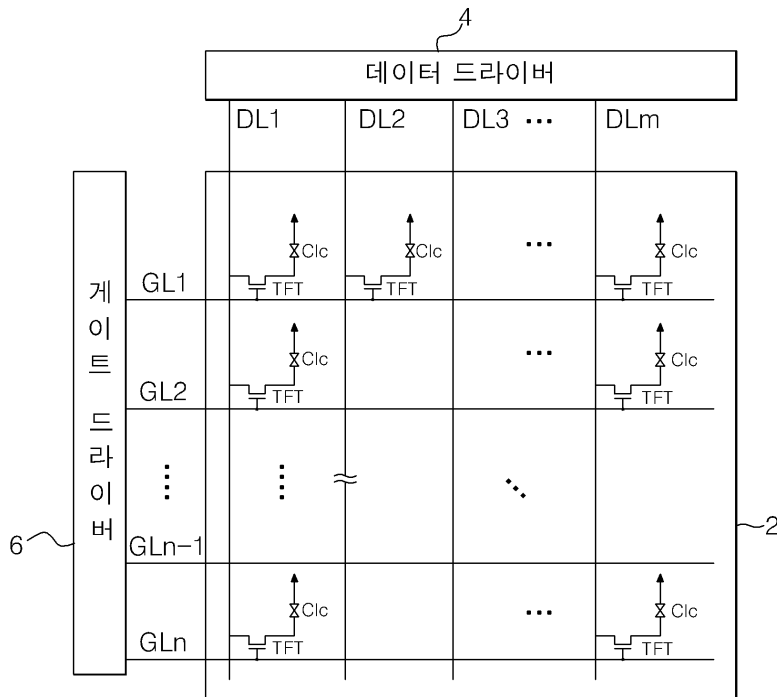
청구항 12.

제 11 항에 있어서,

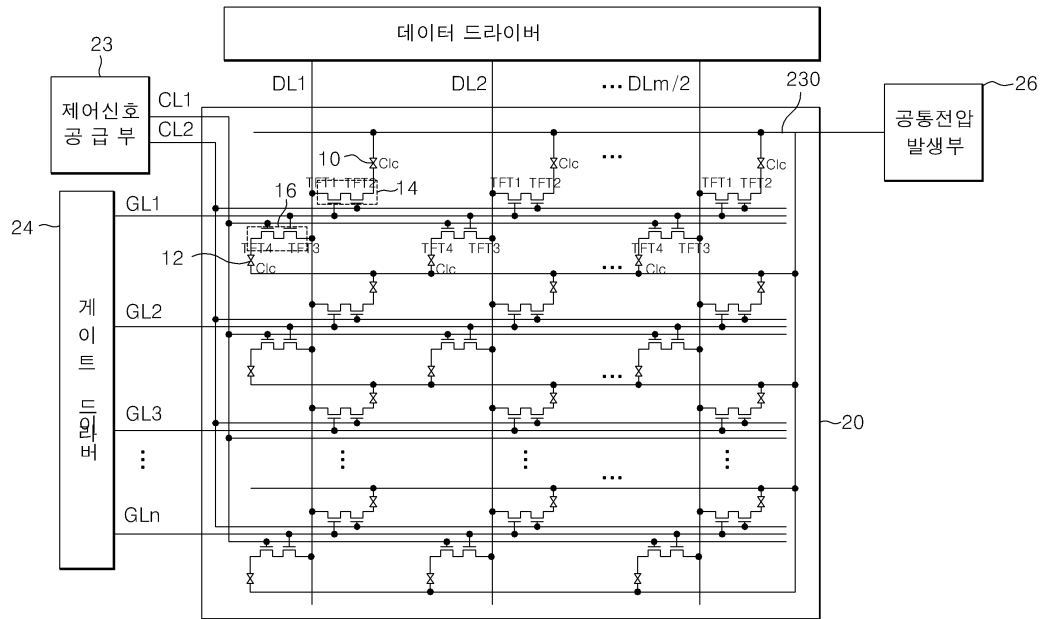
상기 제 1 및 제 2제어신호는 1/2프레임 기간 단위로 교번되도록 공급되는 것을 특징으로 하는 액정표시장치의 구동방법.

도면

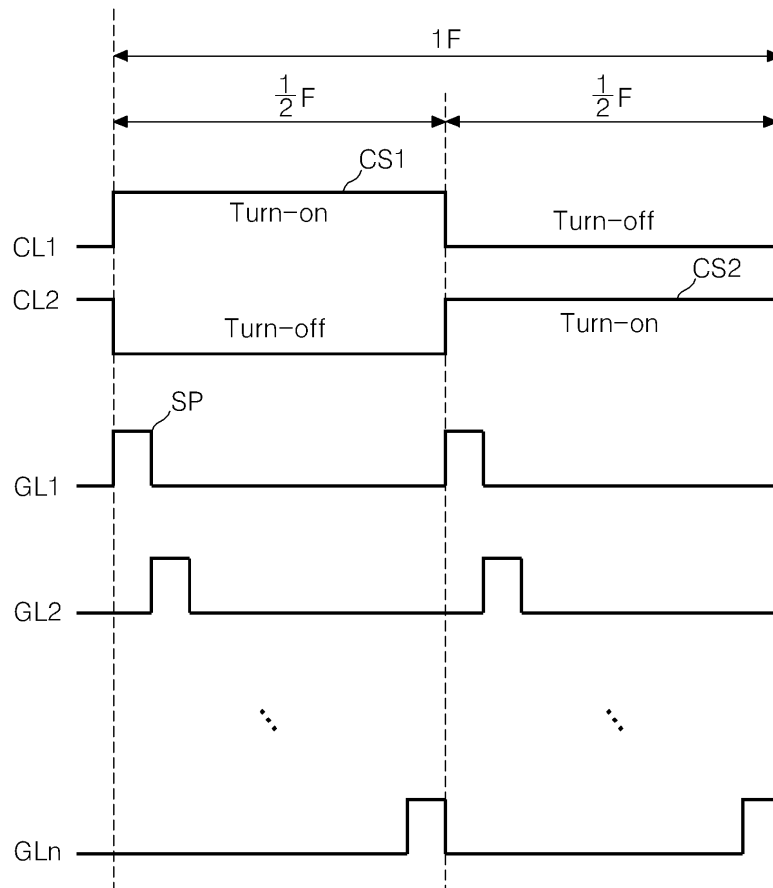
도면1



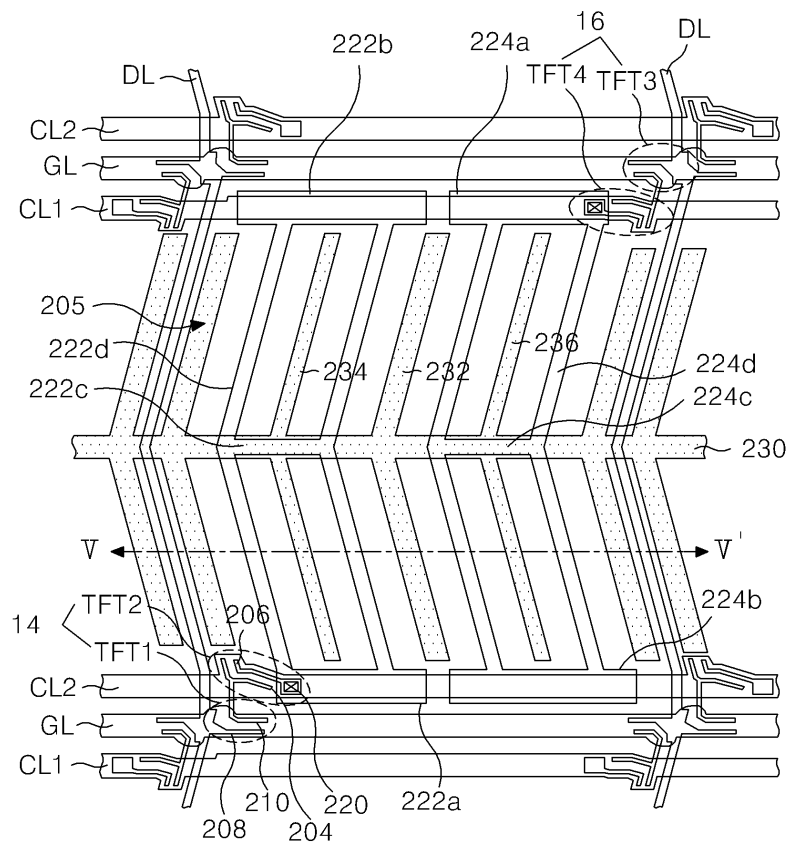
도면2



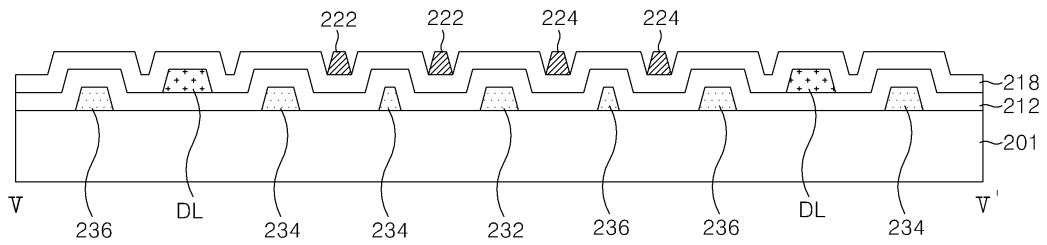
도면3



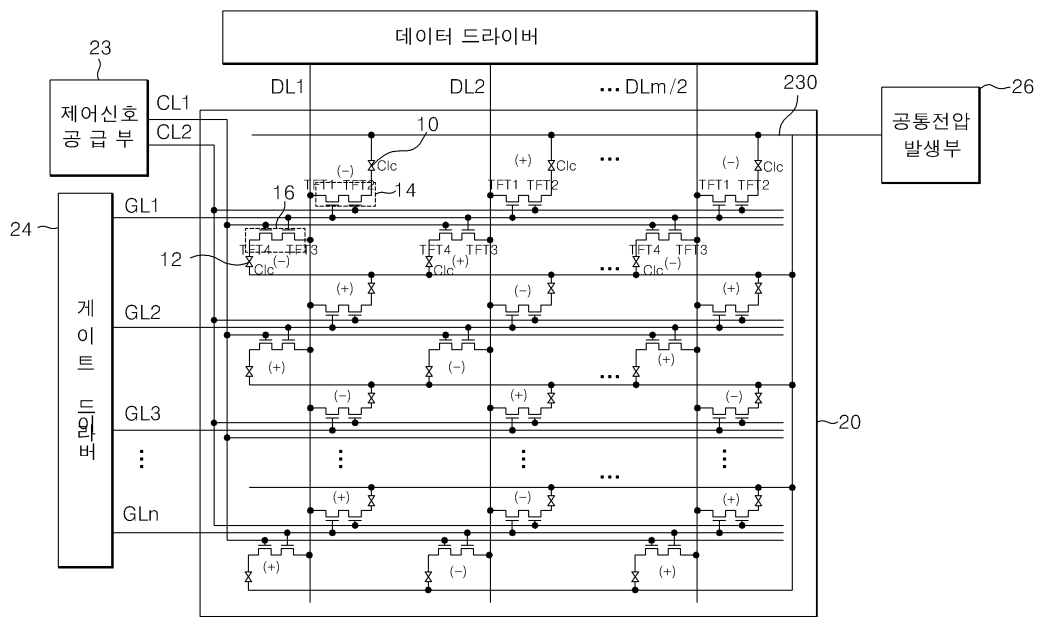
도면4



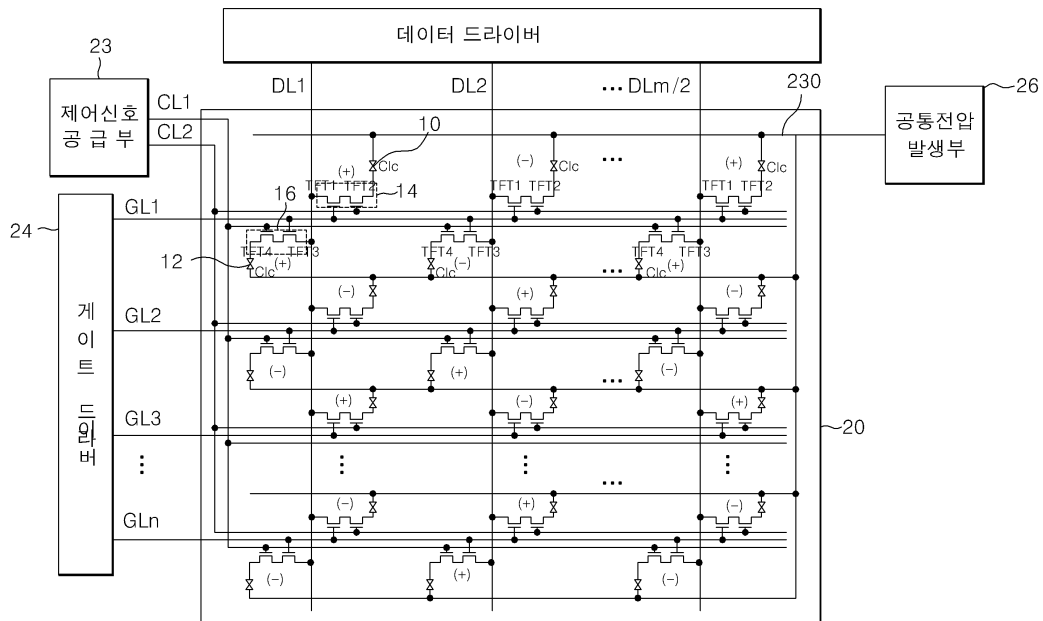
도면5



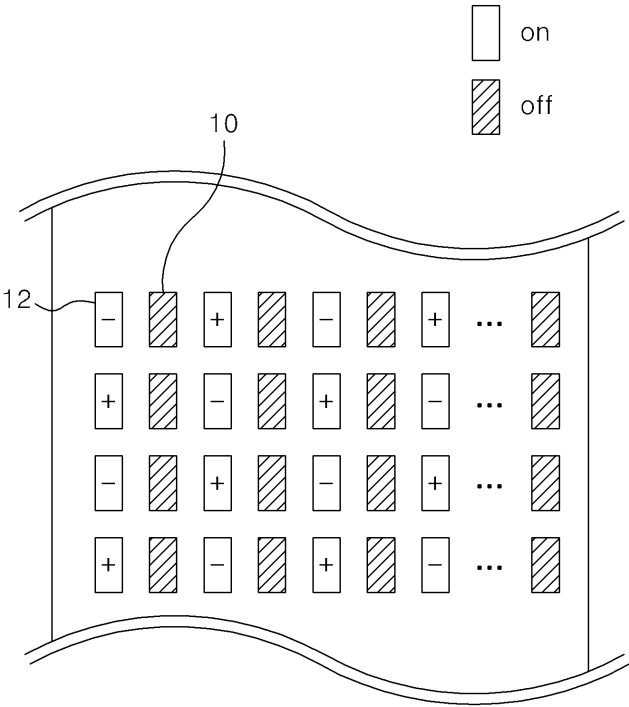
도면 6a



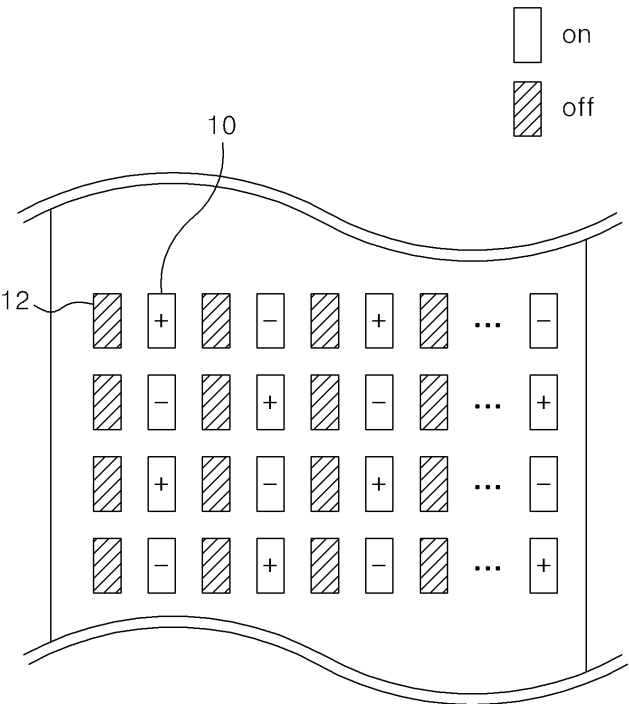
도면6b



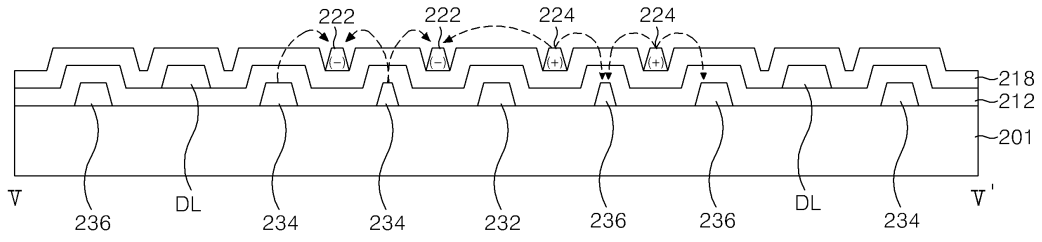
도면7a



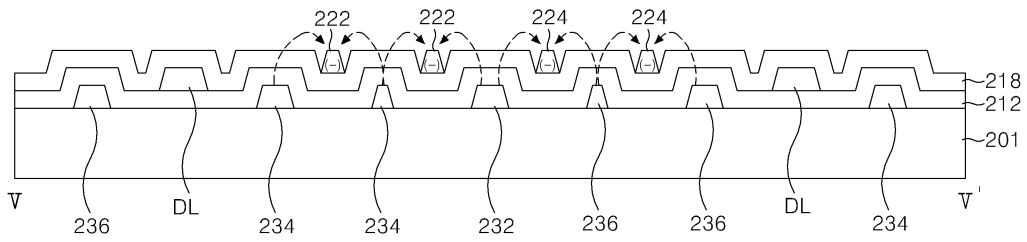
도면7b



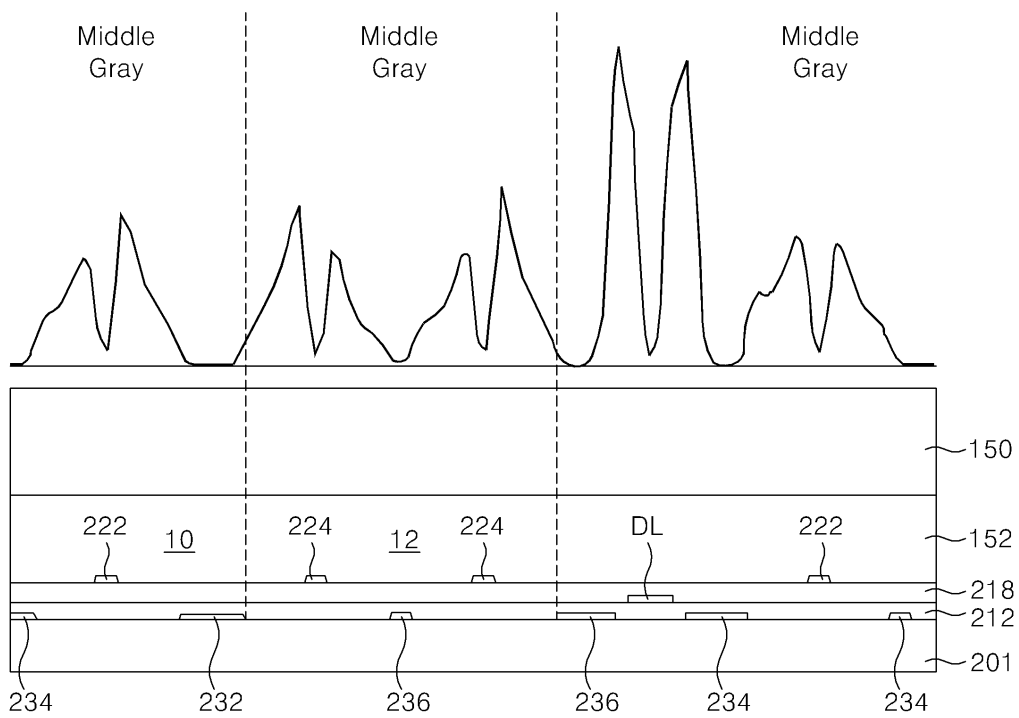
도면8a



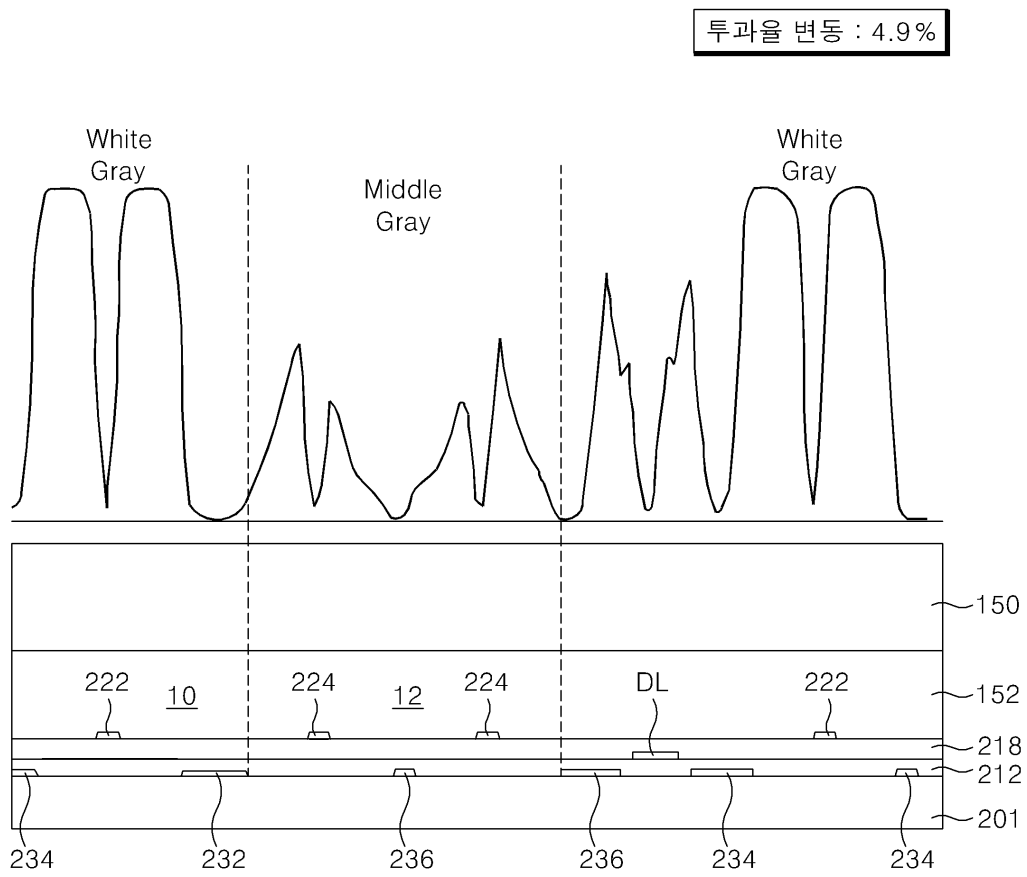
도면8b



도면9a

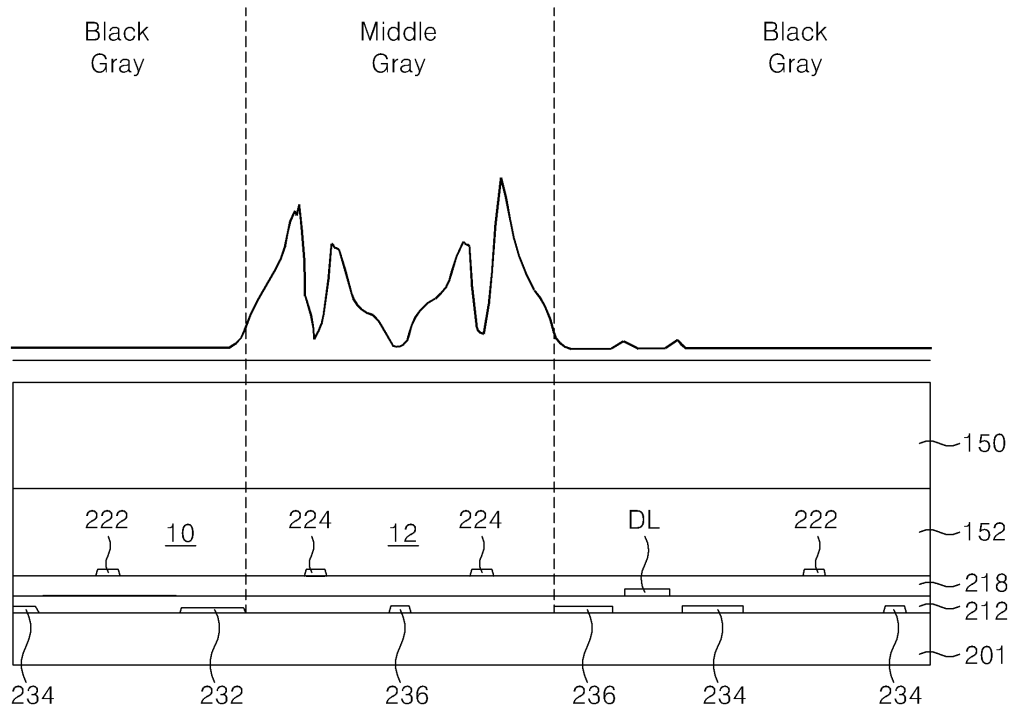


도면9b

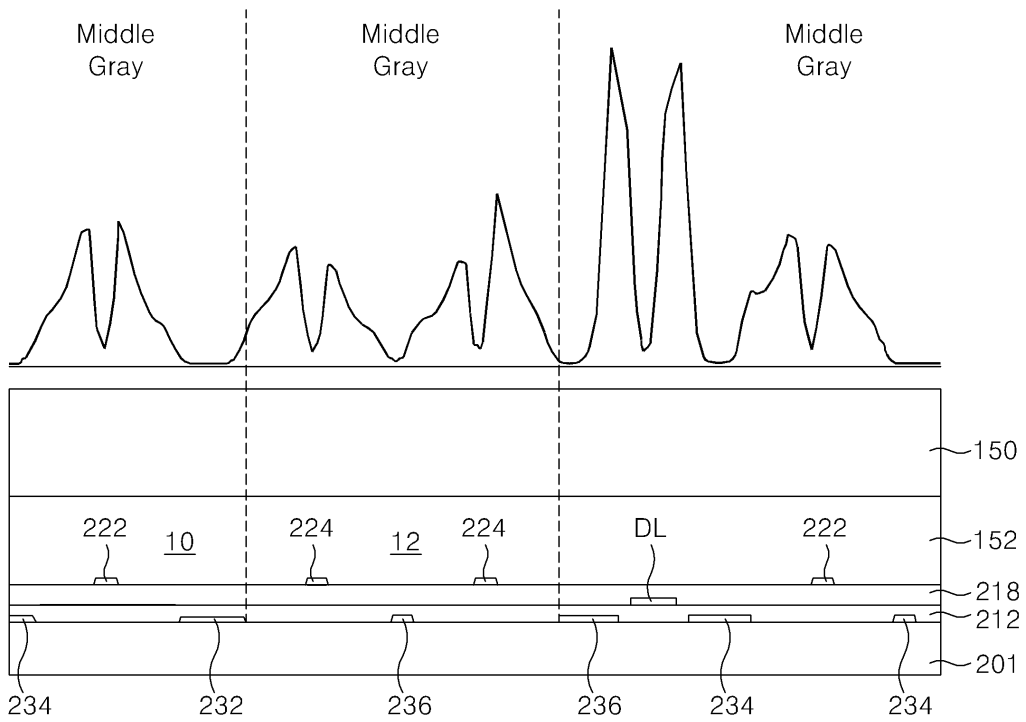


도면9c

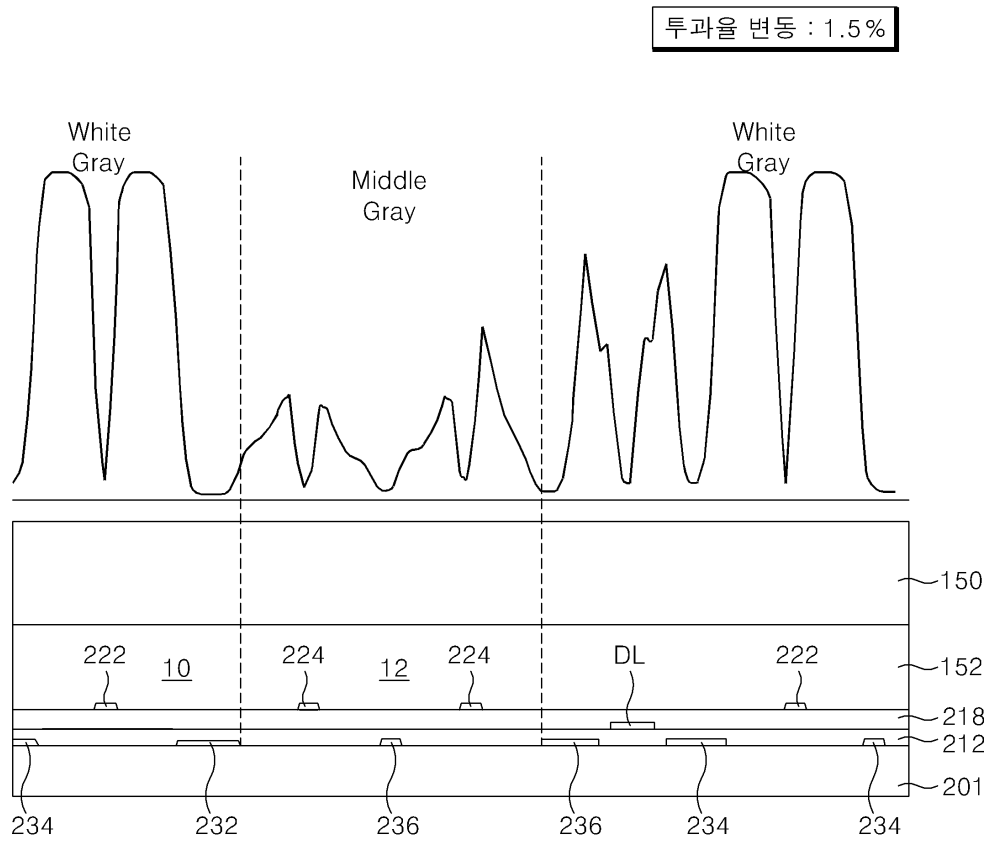
투과율 변동 : 6.3 %



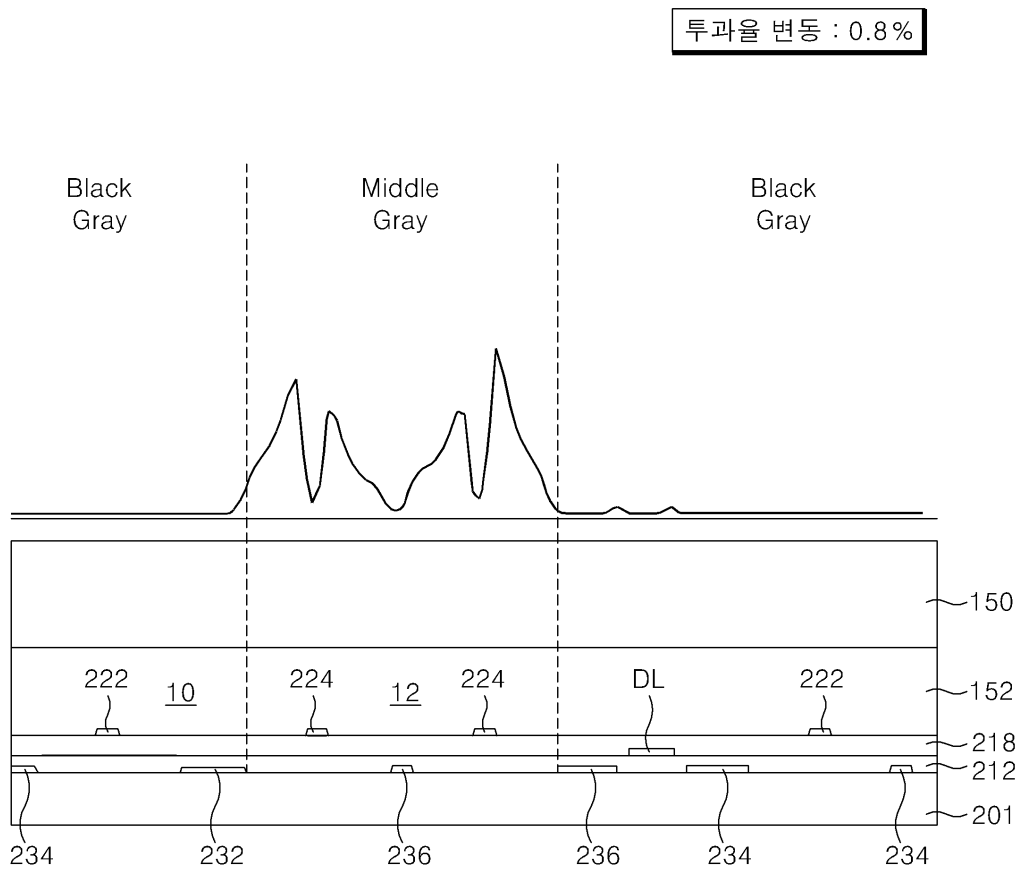
도면10a



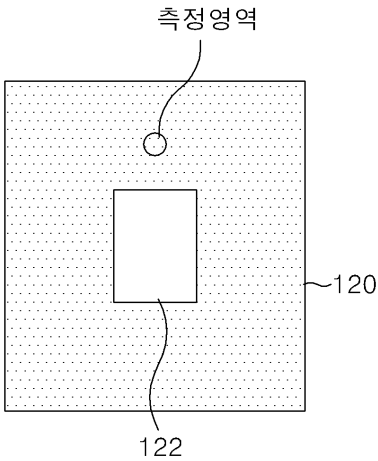
도면10b



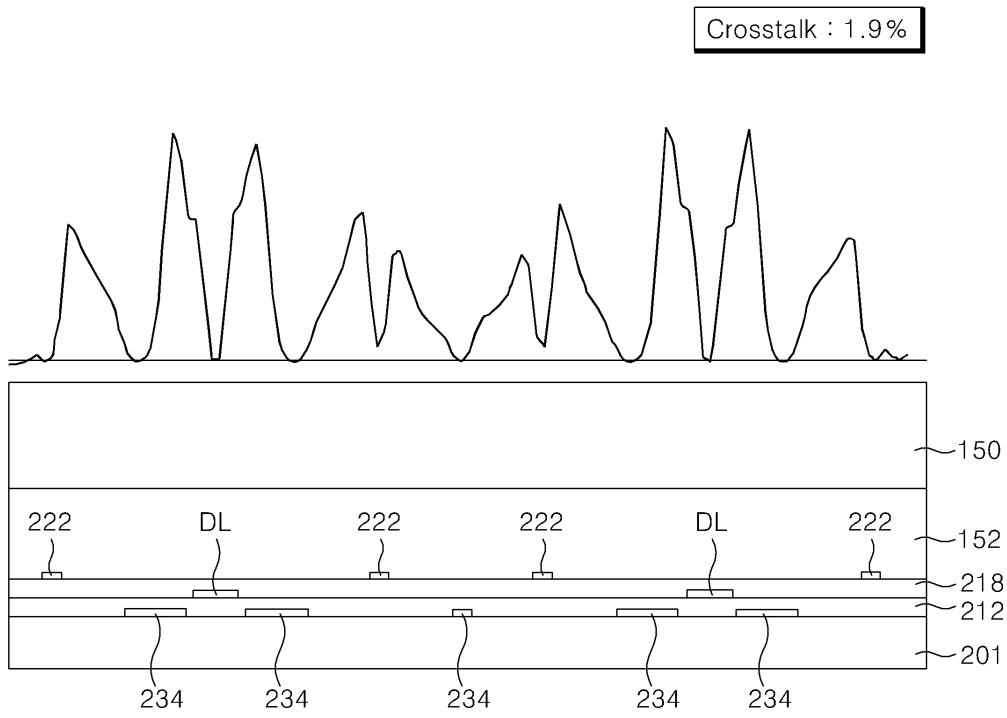
도면10c



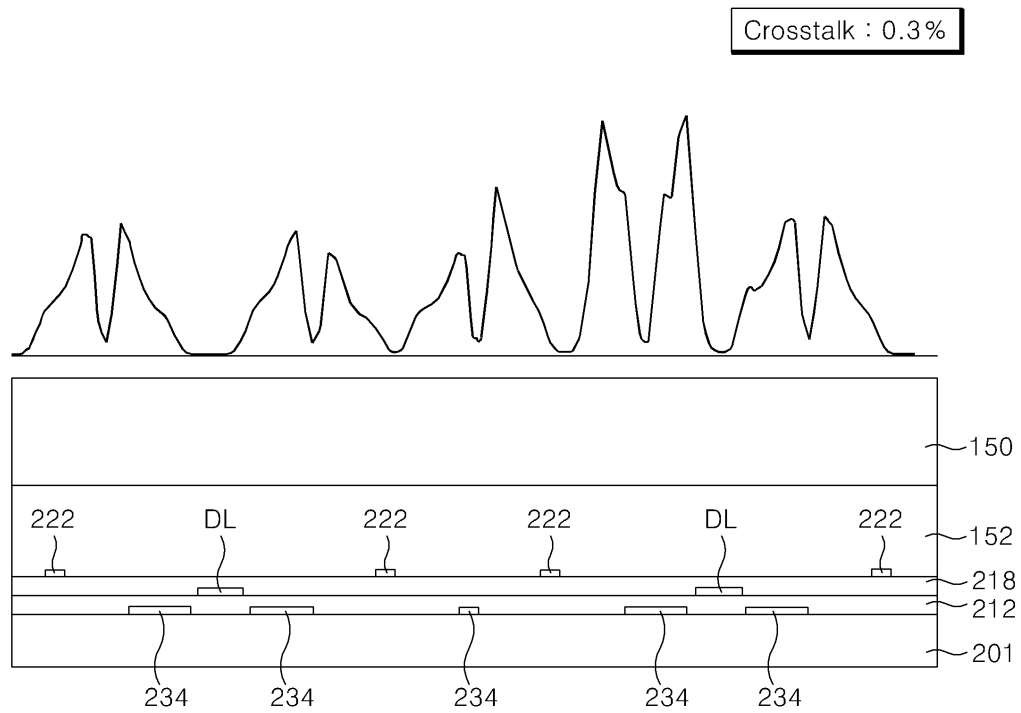
도면11a



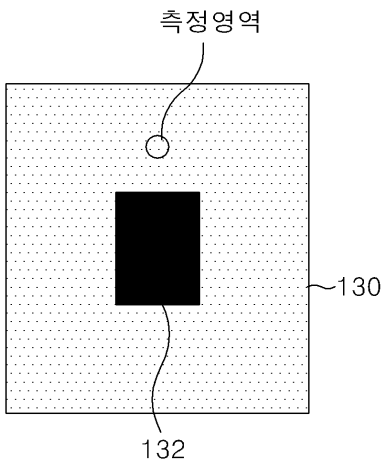
도면11b



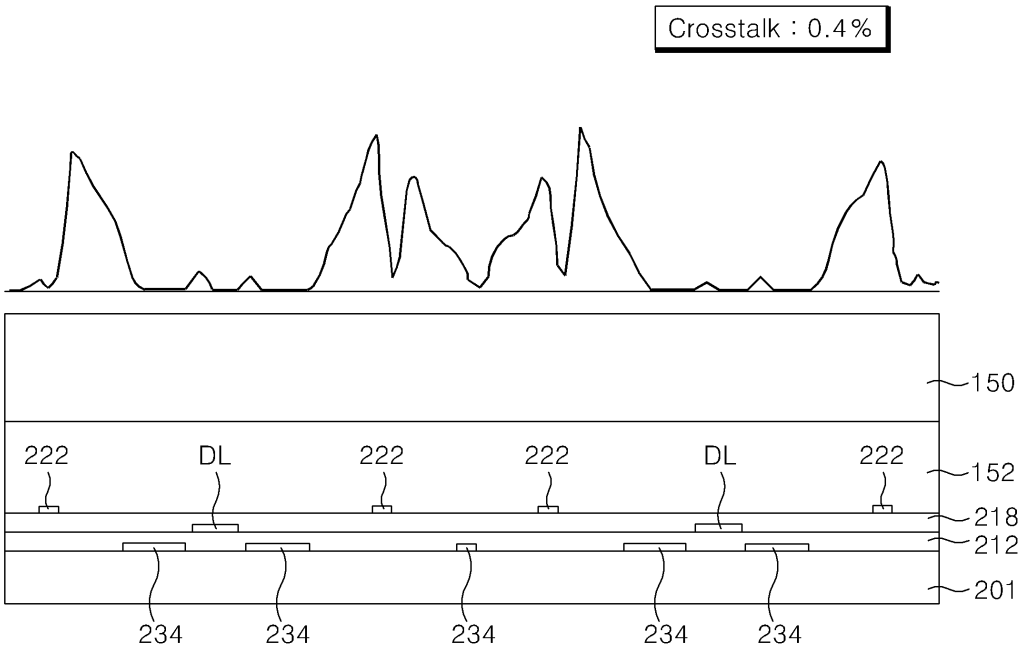
도면11c



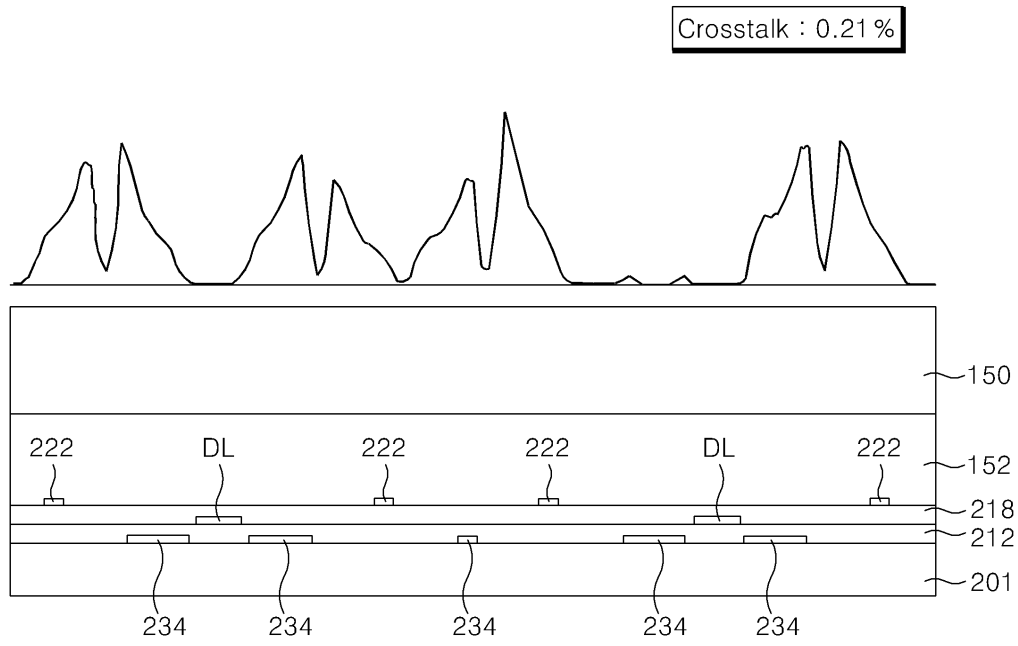
도면12a



도면12b



도면12c



专利名称(译)	液晶显示器及其驱动方法		
公开(公告)号	KR1020050105617A	公开(公告)日	2005-11-04
申请号	KR1020040030665	申请日	2004-04-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM WOO HYUN		
发明人	KIM,WOO HYUN		
IPC分类号	G09G3/36		
CPC分类号	G09G2300/0814 G09G3/3659 G09G2320/0233 G09G2320/0209 G09G3/3614		
代理人(译)	金勇 年轻的小公园		
其他公开文献	KR101048700B1		
外部链接	Espacenet		

摘要(译)

本发明涉及一种液晶显示装置及其驱动方法，能够防止施加到相邻于所述像素电极的像素电压之间的干扰，并减少数据线的数量的物。根据本发明的液晶显示器包括多条数据线，与数据线交叉的多条栅极线，侧由端的第一和第二控制线，形成在第一液晶单元的一侧相对于所述数据线，形成在另一侧相对于所述数据线，所述第一控制线和栅极线的第二液晶单元第一开关单元，用于在第二控制线和栅极线的控制下驱动第一液晶单元，一种液晶显示面板，具有第二开关单元，用于控制第二液晶单元;由包括供给相同极性的像素电压信号到设置在第i个（奇数或偶数）数据线和第i + 1中的数据线的之间的第一和第二液晶单元的液晶显示面板驱动器，其特征在于的。度7A

