(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl.[7]
G02F 1/136

(11) 공개번호 10-2005-0071332
(43) 공개일자 2005년07월07일

(21) 출원번호 10-2004-0080235
(22) 출원일자 2004년10월08일

(30) 우선권주장 1020030100605 2003년12월30일 대한민국(KR)

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 안재준
경북 구미시 상모동 동신리치빌 32B1LOT C동 401
곽희영
서울 강서구 화곡6동 978-25 성일빌라 401호

(74) 대리인 특허법인네이트

심사청구 : 없음

(54) 액정표시장치용 어레이 기판의 제조 방법

요약

본 발명은 액정표시장치용 어레이 기판의 제조 방법에 관한 것이다.

액정표시장치용 어레이 기판은 박막을 증착하고 사진 식각하는 공정을 통해 이루어지는데, 어레이 기판의 제조 과정 중 정전기가 발생하여 소자가 파괴될 수 있다.

본 발명에서는 액정표시장치용 어레이 기판을 3장의 마스크로 제조하여 제조 공정 및 비용을 감소시키는데 있어서, 단락 배선을 형성하여 정전기 발생에 의한 소자의 파괴를 방지하며, 단락 배선이 서로 연결되는 것을 막을 수 있다.

대표도

도 9

명세서

도면의 간단한 설명

도 1은 일반적인 액정표시장치를 개략적으로 도시한 분해사시도.

도 2a 내지 도 2f는 본 발명에 따른 액정표시장치용 어레이 기판의 제조 과정을 도시한 단면도.

도 3은 본 발명에 따른 액정표시장치용 어레이 기판을 간략하게 도시한 도면.

도 4는 도 3의 A영역을 확대 도시한 평면도.

도 5는 도 4의 C 영역을 확대한 도면.

도 6은 도 5에서 VI-VI선을 따라 자른 단면도.

도 7은 본 발명의 실시예에 따른 단락 배선을 도시한 도면.

도 8은 도 7에서 D 영역을 확대한 도면;

도 9는 도 8에서 IX-IX선을 따라 자른 단면도.

< 도면의 주요 부분에 대한 부호의 설명 >

300 : 기판 326 : 제 1 데이터 단락 배선

339 : 제 1 홀 329 : 게이트 절연막

330 : 순수 비정질 실리콘 패턴 332 : 보호층

331 : 불순물 도핑된 비정질 실리콘 패턴

344 : 데이터 보조 배선 346 : 데이터 점핑 배선

333 : 제 2 홀 335 : 도전 패턴

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치에 관한 것으로서, 더욱 상세하게는 액정표시장치용 어레이 기판의 제조 방법에 관한 것이다.

일반적으로 액정표시장치는 일면에 전극이 각각 형성되어 있는 두 기판을 두 전극이 형성되어 있는 면이 마주 대하도록 배치하고 두 기판 사이에 액정 물질을 주입한 다음, 두 전극에 전압을 인가하여 생성되는 전기장에 의해 액정 분자를 움직이게 함으로써, 이에 따라 달라지는 빛의 투과율에 의해 화상을 표현하는 장치이다.

액정표시장치는 다양한 형태를 가질 수 있는데, 현재 박막 트랜지스터와 박막 트랜지스터에 연결된 화소 전극이 행렬 방식으로 배열된 능동 행렬 액정표시장치(Active Matrix LCD : AM-LCD)가 해상도 및 동영상 구현 능력이 우수하여 가장 주목받고 있다.

이러한 액정표시장치는 하부의 어레이 기판에 화소 전극이 형성되어 있고 상부 기판인 컬러 필터 기판에 공통 전극이 형성되어 있는 구조로, 상하로 걸리는 기판에 수직한 방향의 전기장에 의해 액정 분자를 구동하는 방식이다. 이는, 투과율과 개구율 등의 특성이 우수하며, 상판의 공통 전극이 접지 역할을 하게 되어 정전기로 인한 액정셀의 파괴를 방지할 수 있다.

이하, 첨부한 도면을 참조하여 일반적인 액정표시장치에 대하여 설명한다.

도 1은 일반적인 액정표시장치를 개략적으로 도시한 분해사시도이다.

도시한 바와 같이, 액정표시장치는 하부의 제 1 기판(22)과 상부의 제 2 기판(5)을 포함하며, 제 1 및 제 2 기판(22, 5) 사이에는 액정층(14)이 삽입되어 있다.

제 1 기판(22)의 안쪽면에는 게이트 배선(13)과 데이터 배선(15)이 형성되어 있으며, 게이트 배선(13)과 데이터 배선(15)은 교차하여 화소 영역(P)을 정의한다. 게이트 배선(13)과 데이터 배선(15)의 교차점에는 스위칭 소자인 박막 트랜지스터(T)가 형성되어 게이트 배선(13) 및 데이터 배선(15)과 연결되어 있다. 제 1 기판(22) 상부의 화소 영역(P)에는 박막 트랜지스터(T)와 전기적으로 연결된 화소 전극(17)이 형성되어 있다.

한편, 제 2 기판(5)의 안쪽면에는 화소 전극(17)에 대응하는 개구부를 가지는 블랙 매트릭스(6)가 형성되어 있으며, 블랙 매트릭스(6)의 개구부 내에는 컬러필터층(7)이 형성되어 있다. 컬러필터층(7)은 순차적으로 형성된 적(R:7a), 녹(G:7b), 청(B:7c)의 서브컬러필터로 이루어지며, 하나의 서브컬러필터가 하나의 화소 전극(17)과 대응한다. 컬러필터층(7)의 하부에는 공통 전극(18)이 형성되어 있다.

일반적으로 박막 트랜지스터(T) 및 화소 전극(17)을 포함하는 제 1 기판(22)은 어레이 기판으로 언급되고, 컬러필터층(7)을 포함하는 제 2 기판(5)은 컬러필터 기판으로 언급된다.

액정표시장치의 어레이 기판은 박막을 증착하고 마스크를 이용하여 사진 식각하는 공정을 여러 번 반복함으로써 형성되는데, 사진 식각 공정에는 세정과 감광막의 도포, 노광 및 현상, 식각 등 여러 공정을 수반하고 있으므로, 마스크 수를 줄여 어레이 기판을 제조함으로써, 제조 비용 및 제조 시간을 감소시키고 불량 발생율을 줄이는 것이 중요하다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기한 종래의 문제점을 해결하기 위하여 안출된 것으로, 본 발명의 목적은 제조 공정 및 제조 비용을 감소시키고, 불량을 방지할 수 있는 액정표시장치용 어레이 기판의 제조 방법을 제공하는 것이다.

발명의 구성 및 작용

상기한 목적을 달성하기 위한 본 발명의 액정표시장치용 어레이 기판의 제조 방법은 기판 상에 제 1 홀을 가지는 제 1 배선을 형성하는 단계와, 상기 제 1 배선 상부에 제 1 절연막을 형성하는 단계, 상기 제 1 절연막 상부에 상기 제 1 배선과 교차하는 제 2 배선을 형성하는 단계, 상기 제 2 배선 상부에 다수의 제 2 홀을 가지는 제 2 절연막을 형성하는 단계, 상기 다수의 제 2 홀 내에 도전 패턴을 형성하는 단계를 포함하고, 상기 제 1 홀은 상기 제 1 배선과 상기 제 2 배선이 교차하는 부분에 위치하며, 상기 다수의 제 2 홀 중 상기 제 1 배선과 상기 제 2 배선이 교차하는 부분에 형성되어 있는 것은 상기 제 1 홀 내에 위치한다.

상기 제 1 배선과 상기 제 2 배선이 교차하는 부분에 위치하는 상기 제 1 홀의 가장자리와 상기 제 2 홀의 가장자리 사이의 거리는 약 10 ㎛이다.

상기 제 2 배선을 형성하는 단계는 상기 제 2 배선 하부에 상기 제 2 배선과 실질적으로 동일한 모양 및 크기를 가지는 반도체 패턴을 형성하는 단계를 포함한다.

상기 제 2 절연막을 형성하는 단계는 상기 다수의 제 2 홀에 대응하는 상기 제 2 배선 및 제 1 절연막을 제거하여 상기 제 2 배선의 측면 및 상기 기판을 드러내는 단계를 포함한다.

상기 도전 패턴은 상기 제 2 배선의 측면과 접촉한다.

본 발명에 따른 다른 액정표시장치용 어레이 기판의 제조 방법은 기판 상에 제 1 사진식각공정으로 다수의 게이트 배선과 다수의 게이트 전극 및 제 1 홀을 가지는 제 1 단락 배선을 형성하는 단계와, 상기 제 1 단락 배선과 나란한 보조 배선을 형성하는 단계, 제 2 사진식각공정으로 상기 게이트 배선과 교차하여 화소 영역을 정의하는 다수의 데이터 배선과, 상기 데이터 배선에 연결된 다수의 소스 전극, 상기 소스 전극과 이격되어 있는 다수의 드레인 전극, 상기 게이트 전극과 소스 전극 및 드레인 전극과 함께 박막 트랜지스터를 이루는 다수의 액티브층, 상기 제 1 단락 배선을 중심으로 상기 보조 배선의 반대쪽에 위치하는 제 2 단락 배선, 그리고 상기 제 1 단락 배선과 교차하여 상기 제 2 단락 배선과 보조 배선을 연결하는 점핑 배선을 형성하는 단계, 제 3 사진식각공정으로 상기 데이터 배선과 박막 트랜지스터, 제 2 단락 배선, 그리고 점핑 배선을 덮으며, 상기 화소 영역을 노출하는 다수의 개구부 및 다수의 제 2 홀을 가지는 보호층을 형성하는 단계, 상기 개구부 내에 위치하는 다수의 화소 전극과 상기 제 2 홀 내에 위치하는 다수의 도전 패턴을 형성하는 단계를 포함하며, 상기 제 1 홀은 상기 점핑 배선과 상기 제 1 단락 배선이 교차하는 부분에 위치하고, 상기 다수의 제 2 홀 중 상기 점핑 배선과 상기 제 1 단락 배선이 교차하는 부분에 형성되어 있는 것은 상기 제 1 홀 내에 위치한다.

상기 보호층을 형성하는 단계는 절연막을 증착하는 단계와, 상기 절연막 상부에 감광막 패턴을 형성하는 단계, 상기 감광막 패턴을 마스크로 상기 절연막을 식각하는 단계를 포함한다.

상기 다수의 화소 전극 및 도전 패턴을 형성하는 단계는 상기 감광막 패턴을 포함하는 기판 전면에 도전층을 형성하는 단계와, 리프트 오프 방법에 의해 상기 감광막 패턴 및 상기 감광막 패턴 상부의 도전층을 제거하는 단계를 포함한다.

상기 절연막을 식각하는 단계는 상기 점핑 배선을 제거하여 상기 점핑 배선의 측면을 드러내는 단계를 포함한다.

상기 도전 패턴은 상기 점핑 배선의 측면과 접촉한다.

상기 점핑 배선과 상기 제 1 단락 배선이 교차하는 부분에 위치하는 상기 제 1 홀의 가장자리와 상기 제 2 홀의 가장자리 사이의 거리는 약 10 ㎛이다.

상기 제 1 단락 배선은 2n(n은 정수)번째 게이트 배선과 연결되고, 상기 제 2 단락 배선은 (2n-1)번째 게이트 배선과 연결된다.

상기 제 1 단락 배선은 2n(n은 정수)번째 데이터 배선과 연결되고, 상기 제 2 단락 배선은 (2n-1)번째 데이터 배선과 연결된다.

상기 개구부는 상기 드레인 전극의 측면을 드러내며, 상기 화소 전극은 상기 드레인 전극의 측면과 접촉한다.

상기 보조 배선을 형성하는 단계는 상기 제 1 단락 배선을 형성하는 단계와 같은 공정을 통해 이루어질 수 있으며, 또는 상기 제 2 단락 배선을 형성하는 단계와 같은 공정을 통해 이루어질 수도 있다.

본 발명의 액정표시장치용 어레이 기판의 제조 방법은 상기 다수의 화소 전극과 도전 패턴을 형성하는 단계 다음에 상기 제 1 단락 배선과 제 2 단락 배선, 보조 배선 및 점핑 배선을 제거하는 단계를 더 포함한다.

이와 같이, 본 발명에 따른 액정표시장치용 어레이 기판의 제조 방법에서는 게이트 배선과 같은 물질로 이루어진 제 1 단락 배선에 보호층의 홀과 대응하며 보호층의 홀보다 넓은 면적을 가지는 홀을 형성하여 제 1 단락 배선과 제 2 단락 배선이 서로 연결되는 것을 막을 수 있다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예에에 대하여 상세히 설명한다.

도 2a 내지 도 2f는 본 발명에 따른 액정표시장치용 어레이 기판의 제조 과정을 도시한 단면도이다.

도 2a에 도시한 바와 같이, 절연 기판(110) 상에 금속과 같은 도전 물질을 증착하고 제 1 마스크를 이용한 사진식각공정을 통해 패터닝함으로써, 게이트 배선(114)과 게이트 전극(112)을 형성한다. 게이트 배선(114)은 일 방향으로 연장되고, 게이트 전극(112)은 게이트 배선(114)에서 돌출되어 있다.

다음, 도 2b에 도시한 바와 같이 게이트 절연막(120), 순수 비정질 실리콘층(126), 불순물이 도핑된 비정질 실리콘층(127), 그리고 금속층(128)을 순차적으로 증착하고, 그 위에 감광막을 도포한 후 제 2 마스크를 이용하여 노광 및 현상하여 제 1 감광막 패턴(129)을 형성한다. 제 1 감광막 패턴(129)은 이후 데이터 배선과 소스 및 드레인 전극 그리고 커패시터 전극이 형성될 부분에 대응하는 제 1 두께(129a)와 소스 및 드레인 전극 사이 부분에 대응하며 제 1 두께(129a)보다 작은 제 2 두께(129b)를 가진다. 이러한 제 1 감광막 패턴(129)은 제 2 두께(129b)에 대응하는 부분에 다수의 슬릿이나 반투과막을 포함하는 마스크를 이용하여 형성할 수 있다.

도 2c에 도시한 바와 같이, 도 2b의 제 1 감광막 패턴(129)을 식각 마스크로 금속층(128)과 불순물을 포함하는 비정질 실리콘층(127) 및 순수 비정질 실리콘층(126)을 패터닝하여 데이터 배선(도시하지 않음)과 데이터 배선에 연결된 소스/드레인 패턴(128a), 게이트 배선(112) 상부에 위치하는 커패시터 전극(139), 그리고 게이트 전극(114) 상부에 위치하는 불순물 반도체 패턴(124a) 및 액티브층(122)을 형성한다. 한편, 커패시터 전극(139) 하부에는 순수 비정질 실리콘 패턴(126a) 및 불순물이 도핑된 비정질 실리콘 패턴(127a)이 형성된다. 또한, 도시하지 않았지만 데이터 배선 하부에도 데이터 배선과 동일한 모양을 가지며, 순수 비정질 실리콘과 불순물이 도핑된 비정질 실리콘으로 이루어진 반도체 패턴이 형성된다. 이어, 애싱(ashing)과 같은 방법을 이용하여 제 2 두께의 제 1 감광막 패턴(도 2b의 129b)을 제거하여, 소스/드레인 패턴(128a)을 드러낸다. 이때, 제 1 두께의 제 1 감광막 패턴(129a)도 함께 제거되어 두께가 얇아진다.

다음, 도 2d에 도시한 바와 같이 드러난 소스/드레인 패턴(도 2c의 128a)과 그 하부의 불순물 반도체 패턴(도 2c의 124a)을 제거하여 소스 및 드레인 전극(134, 136)과 오믹 콘택층(124)을 완성한 후, 남아 있는 제 1 감광막 패턴(129a)을 제거한다.

다음, 도 2e에 도시한 바와 같이 실리콘 질화막이나 실리콘 산화막을 증착하거나 또는 유기 절연막을 도포하여 보호층(150)을 형성하고, 감광막을 도포한 후 제 3 마스크를 이용하여 노광 및 현상하여 제 2 감광막 패턴(190)을 형성한다. 이어, 제 2 감광막 패턴(190)을 마스크로 하부의 보호층(150) 및 게이트 절연막(116)을 식각하여 개구부(152)를 형성한다. 여기서, 보호층(150)은 건식 식각 방법에 의해 식각되는데, 소스 및 드레인 전극(134, 136)이 몰리브덴(Mo)과 같은 물질로 형성될 경우 함께 제거될 수 있다. 따라서, 도시한 바와 같이, 개구부(152)에 대응하는 드레인 전극(136)과 그 하부의 오믹 콘택층(124) 및 액티브층(122) 그리고 커패시터 전극(139)과 그 하부의 순수 비정질 실리콘 패턴(126a) 및 불순물이 도핑된 비정질 실리콘 패턴(127a)도 함께 제거되어 드레인 전극(136) 및 커패시터 전극(139)의 측면과 기판(110)이 노출된다.

이어, 인듐-틴-옥사이드(indium-tin-oxide : ITO)와 같은 투명 도전 물질을 증착하고 리프트 오프(lift-off) 방법을 이용하여 제 2 감광막 패턴(도 2e의 190)을 제거한다. 따라서, 도 2f에 도시한 바와 같이 개구부(152) 내에 위치하는 화소 전극(162)을 형성한다. 화소 전극(162)은 드레인 전극(136) 및 커패시터 전극(139)과 측면 접촉을 하며, 기판(165)과도 접촉을 한다.

이와 같이, 액정표시장치용 어레이 기판을 3장의 마스크를 이용하여 제조함으로써 제조 공정 및 비용을 감소시킬 수 있으며, 생산 수율을 향상시킬 수 있다.

그런데, 일반적으로 액정표시장치의 기판은 투명한 유리 기판을 사용하므로 공정 중에 정전기가 발생하여 기판 및 기판 상부의 패턴에 국소적으로 존재하게 된다. 이러한 정전기는 전하량은 매우 작지만 국소적으로 존재하기 때문에 그 전압은 매우 높아, 박막 트랜지스터와 같은 소자가 손상되는 문제가 발생한다. 따라서, 각각의 배선과 연결되는 단락 배선(shorting bar)을 형성하여, 배선이 등전위를 이루도록 함으로써 소자의 파괴를 방지할 수 있다.

도 3은 본 발명에 따른 액정표시장치용 어레이 기판을 간략하게 도시한 도면으로서, 도 2a 내지 도 2f의 공정을 통해 형성된다.

도시한 바와 같이, 절연 기판(200) 상에 화상이 구현되는 표시 영역(210)과 표시 영역(210) 가장자리의 비표시 영역(220)이 정의되고, 표시 영역(210)에는 다수의 게이트 배선(212)과 데이터 배선(214)이 교차하여 화소 영역을 정의한다. 게이트 배선(212)과 데이터 배선(214)이 교차하는 부분에는 스위칭 소자인 박막 트랜지스터(216)가 형성되어 있으며, 화소 영역에는 박막 트랜지스터(216)와 연결되어 있는 화소 전극(218)이 형성되어 있다.

비표시 영역(220)에는 제 1 및 제 2 게이트 단락 배선(222, 224)과 제 1 및 제 2 데이터 단락 배선(226, 228)이 형성되어 있다. 제 1 게이트 단락 배선(222)은 짝수번째 게이트 배선(212b)과 연결되어 있으며, 제 2 게이트 단락 배선(224)은 홀수번째 게이트 배선(212a)과 연결되어 있다. 또한, 제 1 데이터 단락 배선(226)은 짝수번째 데이터 배선(214b)과 연결되어 있으며, 제 2 데이터 단락 배선(228)은 홀수번째 데이터 배선(214a)과 연결되어 있다.

제 1 및 제 2 게이트 단락 배선(222, 224)과 제 1 및 제 2 데이터 단락 배선(226, 228)은 공정 중 발생하는 정전기에 의해 소자가 파괴되는 것을 방지하기 위한 것으로, 불량을 검출하기 위한 검사에 이용되기도 하며, 이후 공정에서 절단된다.

제 1 게이트 단락 배선(222)과 제 1 데이터 단락 배선(226)은 게이트 배선(212)과 같은 물질로 형성되고, 제 2 게이트 단락 배선(224)과 제 2 데이터 단락 배선(228)은 데이터 배선(214)과 같은 물질로 형성된다. 그런데, 데이터 배선(214)과 같

은 물질로 형성된 제 2 게이트 단락 배선(224) 및 제 2 데이터 단락 배선(228)은 게이트 배선(212)과 같은 물질로 형성된 제 1 게이트 단락 배선(222) 및 제 1 데이터 단락 배선(226)에 비해 큰 저항을 가진다. 따라서, 신호가 전달될 때, 제 2 게이트 단락 배선(224) 및 제 2 데이터 단락 배선(228)의 양단에서는 신호 차이가 발생하게 된다. 즉, 신호가 인가되는 부분의 반대쪽에서는 배선의 저항에 의해 신호가 인가되는 부분보다 신호 지연이 일어난다. 이를 보상하기 위해, 게이트 보조 배선(241) 및 데이터 보조 배선(244)이 형성된다. 게이트 보조 배선(241)의 일단은 게이트 연결 배선(242)을 통해 제 2 게이트 단락 배선(224)의 일단과 연결되고, 데이터 보조 배선(244)의 일단은 데이터 연결 배선(245)를 통해 제 2 데이터 단락 배선(228)의 일단과 연결된다. 한편, 단락 배선의 모든 부분에서 신호가 균일하게 전달되도록, 게이트 단락 배선의 양단 사이에는 다수의 게이트 점핑 배선(243)이 제 1 게이트 단락 배선(222)을 가로질러 제 2 게이트 단락 배선(224)과 게이트 보조 배선(241)을 연결하며, 데이터 단락 배선의 양단 사이에는 다수의 데이터 점핑 배선(246)이 제 1 데이터 단락 배선(226)을 가로질러 제 2 데이터 단락 배선(228)과 데이터 보조 배선(244)을 연결한다.

다수의 게이트 점핑 배선(243) 및 데이터 점핑 배선(246)은 데이터 배선(214)과 같은 물질로 형성되며, 게이트 보조 배선(241) 및 데이터 보조 배선(244)은 게이트 배선(212)과 같은 물질로 형성될 수 있고, 또는 데이터 배선(214)과 같은 물질로 형성될 수도 있다. 한편, 게이트 점핑 배선(243) 및 데이터 점핑 배선(246)은 이후 구동 회로(driver IC)가 부착될 부분의 사이에 형성된다.

도 4는 도 3의 A영역을 확대 도시한 평면도이다. 도시한 바와 같이, 제 1 데이터 단락 배선(226)의 양측에 위치하는 데이터 보조 배선(244)과 제 2 데이터 단락 배선(도 3의 228)을 연결하기 위해, 데이터 점핑 배선(246)은 제 1 데이터 단락 배선(226)과 교차하는 부분을 가진다. 제 1 데이터 단락 배선(226)과 제 2 데이터 단락 배선(도 3의 228), 데이터 보조 배선(244) 및 데이터 점핑 배선(246) 상에는 다수의 홀(233)을 가지는 보호층(도시하지 않음)이 형성되어 있고, 홀(233) 내에는 도전 패턴(235)이 형성되어 있다.

다수의 홀(233)은 앞서 설명한 바와 같이 리프트 오프 방법으로 화소 전극을 형성할 때, 비표시영역(도 3의 220)에서 감광막 패턴을 제거하기 위한 용액의 침투를 원활하게 하여 제 2 감광막 패턴과 그 상부에 형성되는 불필요한 도전 물질을 완전히 제거할 수 있도록 하기 위한 것으로, 비표시영역(도 3의 220) 상에 수십 마이크로미터(micrometers)마다 형성된다. 제 1 데이터 단락 배선(226) 및 데이터 점핑 배선(246)은 약 400㎛의 폭을 가지므로, 제 1 데이터 단락 배선(226) 및 데이터 점핑 배선(246) 상부, 특히 제 1 데이터 단락 배선(226)과 데이터 점핑 배선(246)이 교차하는 부분에도 다수의 홀이 형성되어야 있다. 그런데, 제 1 데이터 단락 배선(226)과 데이터 점핑 배선(246)이 교차하는 부분에 홀(233)이 형성될 경우, 제 1 데이터 단락 배선(226)과 데이터 점핑 배선(246)이 단락될 수 있다.

도 5는 도 4의 C 영역을 확대한 도면이고, 도 6은 도 5에서 VI-VI선을 따라 자른 단면도이다.

도 5 및 도 6에 도시한 바와 같이, 절연 기판(200) 위에 게이트 배선(도시하지 않음)과 같은 물질로 이루어진 제 1 데이터 단락 배선(226)이 형성되어 있고, 그 위에 게이트 절연막(229)이 형성되어 있다. 제 1 데이터 단락 배선(226)은 짝수번째 데이터 배선(도시하지 않음)과 연결된다. 게이트 절연막(229) 위에는 순수 비정질 실리콘 패턴(230)과 불순물이 도핑된 비정질 실리콘 패턴(231), 그리고 데이터 점핑 배선(246) 및 데이터 보조 배선(244)이 형성되어 있다. 데이터 점핑 배선(246)은 제 1 데이터 단락 배선(226)과 교차하여 데이터 보조 배선(244)과 제 2 데이터 단락 배선(도시하지 않음)을 연결한다. 데이터 점핑 배선(246)과 제 2 데이터 단락 배선 및 데이터 보조 배선(244)은 데이터 배선(도시하지 않음)과 같은 물질로 형성되고, 제 2 데이터 단락 배선은 홀수번째 데이터 배선(도시하지 않음)과 연결된다. 데이터 점핑 배선(246) 및 데이터 보조 배선(244) 상부에는 보호층(232)이 형성되어 있으며, 보호층(232)은 홀(233)을 가진다. 홀(233) 내부에는 화소 전극(도시하지 않음)과 같은 물질로 이루어진 도전 패턴(235)이 형성되어 있다. 앞서 언급한 바와 같이, 보호층(232)을 식각할 때 하부의 막들도 하께 식각되므로, 보호층(232)의 홀(233)에 대응하는 데이터 점핑 배선(246)과 불순물이 도핑된 비정질 실리콘 패턴(231), 순수 비정질 실리콘 패턴(230), 그리고 게이트 절연막(229)도 함께 제거된다. 또한, 홀(233)에 대응하는 제 1 데이터 단락 배선(226)도 제거될 수 있다. 따라서, 제 1 데이터 단락 배선(226)과 데이터 점핑 배선(246)의 측면이 드러나게 되고, 홀(233) 내에 형성된 도전 패턴(235)에 의해 제 1 데이터 단락 배선(226)과 데이터 점핑 배선(246)이 연결되어 단락된다.

이를 방지하기 위해 본 발명에서는 제 1 데이터 단락 배선에 보호층의 홀보다 넓은 면적의 홀을 형성한다.

도 7은 본 발명의 실시예에 따른 단락 배선을 도시한 도면이다. 도시한 바와 같이, 제 1 데이터 단락 배선(326)과 데이터 보조 배선(344)이 형성되어 있으며, 데이터 점핑 배선(346)이 제 1 데이터 단락 배선(326)을 가로질러 데이터 보조 배선(344)과 제 2 데이터 단락 배선(도시하지 않음)을 연결한다. 따라서, 데이터 점핑 배선(346)은 제 1 데이터 단락 배선(326)과 교차하는 부분을 가진다. 제 1 데이터 단락 배선(326)은 데이터 점핑 배선(346)과 교차하는 부분에 제 1 홀(339)을 가진다. 한편, 제 1 단락 배선(326)과 데이터 점핑 배선(346) 및 데이터 보조 배선(344) 위에는 다수의 제 2 홀(333)을 가지는 보호층(도시하지 않음)이 형성되어 있고, 제 2 홀(333) 내에는 도전 패턴(335)이 형성되어 있다. 제 1 데이터 단락 배선(326)과 데이터 점핑 배선(346)이 교차하는 부분에 형성된 제 2 홀(333)은 제 1 홀(339)과 대응하며, 제 1 홀(339) 내에 위치한다.

도 8은 도 7에서 D 영역을 확대한 도면이고, 도 9는 도 8에서 IX-IX선을 따라 자른 단면도이다.

도 8 및 도 9에 도시한 바와 같이, 절연 기판(300) 위에 게이트 배선(도시하지 않음)과 같은 물질로 이루어지고, 제 1 홀(339)을 가지는 제 1 데이터 단락 배선(326)이 형성되어 있다. 제 1 데이터 단락 배선(326)은 짝수번째 데이터 배선(도시하지 않음)과 연결된다. 제 1 데이터 단락 배선(326) 위에는 게이트 절연막(329)이 형성되어 있으며, 그 위에 순수 비정질 실리콘 패턴(330)과 불순물이 도핑된 비정질 실리콘 패턴(331), 그리고 데이터 점핑 배선(346) 및 데이터 보조 배선(344)이 형성되어 있다. 데이터 점핑 배선(346)은 제 1 데이터 단락 배선(326)과 교차하여 데이터 보조 배선(344)과 제 2 데이터 단락 배선(도시하지 않음)을 연결한다. 데이터 점핑 배선(346)과 제 2 데이터 단락 배선 및 데이터 보조 배선(344)은 데이터 배선(도시하지 않음)과 같은 물질로 형성되고, 제 2 데이터 단락 배선은 홀수번째 데이터 배선(도시하지 않음)과 연결된다.

데이터 점핑 배선(346)과 데이터 보조 배선(344) 상부에는 보호층(332)이 형성되어 있으며, 보호층(332)은 제 1 홀(339) 내에 위치하는 제 2 홀(333)을 가진다. 한편, 제 2 홀(333)에 대응하는 데이터 점핑 배선(346)과 불순물이 도핑된 비정질 실리콘 패턴(331), 순수 비정질 실리콘 패턴(330) 및 게이트 절연막(329)도 제거되어, 데이터 점핑 배선(346)의 측면 및 기판(300)이 노출된다. 제 2 홀(333) 내부에는 화소 전극(도시하지 않음)과 같은 물질로 이루어진 도전 패턴(335)이 형성되어 있다. 도전 패턴(335)은 데이터 점핑 배선(346)과 측면 접촉하며, 기판(300)과도 접촉한다.

여기서, 제 1 홀(339)은 제 2 홀(333)보다 넓은 면적을 가지며, 제 1 홀(339)과 제 2 홀(333) 사이의 간격은 약 10 ㎛가 되는 것이 바람직하다. 따라서, 제 2 홀(333)에 대응하는 데이터 점핑 배선(346)이 식각되더라도, 도전 패턴(335)에 의해 제 1 데이터 단락 배선(326)과 데이터 점핑 배선(346)이 단락되는 것을 방지할 수 있다.

본 발명의 단락 배선의 구조는 게이트 단락 배선에도 마찬가지로 적용되며, 게이트 단락 배선은 데이터 단락 배선과 동일한 구조를 가지므로 이에 대한 설명은 생략한다.

상기한 게이트 단락 배선 및 데이터 단락 배선을 포함하는 어레이 기판은 이후 셀(cell) 제작 공정을 거치게 된다. 즉, 어레이 기판 및 컬러필터 기판 상부에 액정 분자의 초기 배열 방향을 결정하기 위한 배향막을 각각 형성한 후, 두 기판 중 어느 하나의 기판에는 액정 주입을 위한 갭을 형성하며 주입된 액정의 누설을 방지하기 위한 씰 패턴(seal pattern)을 형성하고, 다른 기판에는 어레이 기판과 컬러필터 기판 사이의 간격을 정밀하게 유지하기 위한 스페이서(spacer)를 산포하거나, 스페이서 패턴을 형성한다. 이어, 어레이 기판과 컬러필터 기판을 배치하고 씰 패턴을 가압경화하여 합착한다.

일반적으로 제조 효율을 향상시키고 제조 비용을 감소시키기 위해, 한 장의 기판 상에 하나의 액정표시장치가 될 액정 셀을 다수 개 형성하므로, 어레이 기판과 컬러필터 기판을 합착한 후, 각각의 셀로 절단하여 분리하는 공정이 수행된다. 이러한 셀 분리 공정시, 상기한 게이트 단락 배선 및 데이터 단락 배선이 형성된 부분도 절단되어 제거된다. 이후, 두 기판 사이에 액정을 주입하고 봉지한 다음, 편광판 및 구동회로를 부착하여 액정표시장치를 완성하게 된다.

한편, 게이트 단락 배선 및 데이터 단락 배선은 어레이 기판을 컬러필터 기판과 합착하기 전에 제거될 수도 있다.

본 발명은 상기한 실시예에 한정되지 아니하며, 본 발명의 정신을 벗어나지 않는 이상 다양한 변화와 변형이 가능하다.

발명의 효과

본 발명에 따른 액정표시장치용 어레이 기판의 제조 방법에서는 어레이 기판을 3장의 마스크로 제조하여 제조 공정 및 비용을 감소시키는데 있어서, 단락 배선을 형성하여 정전기 발생에 의한 소자의 파괴를 방지하며, 단락 배선이 서로 연결되는 것을 막을 수 있다.

(57) 청구의 범위

청구항 1.

기판 상에 제 1 홀을 가지는 제 1 배선을 형성하는 단계;

상기 제 1 배선 상부에 제 1 절연막을 형성하는 단계;

상기 제 1 절연막 상부에 상기 제 1 배선과 교차하는 제 2 배선을 형성하는 단계;

상기 제 2 배선 상부에 다수의 제 2 홀을 가지는 제 2 절연막을 형성하는 단계;

상기 다수의 제 2 홀 내에 도전 패턴을 형성하는 단계

를 포함하고,

상기 제 1 홀은 상기 제 1 배선과 상기 제 2 배선이 교차하는 부분에 위치하며, 상기 다수의 제 2 홀 중 상기 제 1 배선과 상기 제 2 배선이 교차하는 부분에 형성되어 있는 것은 상기 제 1 홀 내에 위치하는 액정표시장치용 어레이 기판의 제조 방법.

청구항 2.

제 1 항에 있어서,

상기 제 1 배선과 상기 제 2 배선이 교차하는 부분에 위치하는 상기 제 1 홀의 가장자리와 상기 제 2 홀의 가장자리 사이의 거리는 약 10 ㎛인 액정표시장치용 어레이 기판의 제조 방법.

청구항 3.

제 1 항에 있어서,

상기 제 2 배선을 형성하는 단계는 상기 제 2 배선 하부에 상기 제 2 배선과 실질적으로 동일한 모양 및 크기를 가지는 반도체 패턴을 형성하는 단계를 포함하는 액정표시장치용 어레이 기판의 제조 방법.

청구항 4.

제 1 항에 있어서,

상기 제 2 절연막을 형성하는 단계는 상기 다수의 제 2 홀에 대응하는 상기 제 2 배선 및 제 1 절연막을 제거하여 상기 제 2 배선의 측면 및 상기 기판을 드러내는 단계를 포함하는 액정표시장치용 어레이 기판의 제조 방법.

청구항 5.

제 4 항에 있어서,

상기 도전 패턴은 상기 제 2 배선의 측면과 접촉하는 액정표시장치용 어레이 기판의 제조 방법.

청구항 6.

기판 상에 제 1 사진식각공정으로 다수의 게이트 배선과 다수의 게이트 전극 및 제 1 홀을 가지는 제 1 단락 배선을 형성하는 단계;

상기 제 1 단락 배선과 나란한 보조 배선을 형성하는 단계;

제 2 사진식각공정으로 상기 게이트 배선과 교차하여 화소 영역을 정의하는 다수의 데이터 배선과, 상기 데이터 배선에 연결된 다수의 소스 전극, 상기 소스 전극과 이격되어 있는 다수의 드레인 전극, 상기 게이트 전극과 소스 전극 및 드레인 전극과 함께 박막 트랜지스터를 이루는 다수의 액티브층, 상기 제 1 단락 배선을 중심으로 상기 보조 배선의 반대쪽에 위치하는 제 2 단락 배선, 그리고 상기 제 1 단락 배선과 교차하여 상기 제 2 단락 배선과 보조 배선을 연결하는 점핑 배선을 형성하는 단계;

제 3 사진식각공정으로 상기 데이터 배선과 박막 트랜지스터, 제 2 단락 배선, 그리고 점핑 배선을 덮으며, 상기 화소 영역을 노출하는 다수의 개구부 및 다수의 제 2 홀을 가지는 보호층을 형성하는 단계;

상기 개구부 내에 위치하는 다수의 화소 전극과 상기 제 2 홀 내에 위치하는 다수의 도전 패턴을 형성하는 단계

를 포함하며,

상기 제 1 홀은 상기 점핑 배선과 상기 제 1 단락 배선이 교차하는 부분에 위치하고, 상기 다수의 제 2 홀 중 상기 점핑 배선과 상기 제 1 단락 배선이 교차하는 부분에 형성되어 있는 것은 상기 제 1 홀 내에 위치하는 액정표시장치용 어레이 기판의 제조 방법.

청구항 7.

제 6 항에 있어서,

상기 보호층을 형성하는 단계는 절연막을 증착하는 단계와, 상기 절연막 상부에 감광막 패턴을 형성하는 단계, 상기 감광막 패턴을 마스크로 상기 절연막을 식각하는 단계를 포함하는 액정표시장치용 어레이 기판의 제조 방법.

청구항 8.

제 7 항에 있어서,

상기 다수의 화소 전극 및 도전 패턴을 형성하는 단계는 상기 감광막 패턴을 포함하는 기판 전면에 도전층을 형성하는 단계와, 리프트 오프 방법에 의해 상기 감광막 패턴 및 상기 감광막 패턴 상부의 도전층을 제거하는 단계를 포함하는 액정표시장치용 어레이 기판의 제조 방법.

청구항 9.

제 7 항에 있어서,

상기 절연막을 식각하는 단계는 상기 점핑 배선을 제거하여 상기 점핑 배선의 측면을 드러내는 단계를 포함하는 액정표시장치용 어레이 기판의 제조 방법.

청구항 10.

제 9 항에 있어서,

상기 도전 패턴은 상기 점핑 배선의 측면과 접촉하는 액정표시장치용 어레이 기판의 제조 방법.

청구항 11.

제 6 항에 있어서,

상기 점핑 배선과 상기 제 1 단락 배선이 교차하는 부분에 위치하는 상기 제 1 홀의 가장자리와 상기 제 2 홀의 가장자리 사이의 거리는 약 10 ㎛인 액정표시장치용 어레이 기판의 제조 방법.

청구항 12.

제 6 항에 있어서,

상기 제 1 단락 배선은 2n(n은 정수)번째 게이트 배선과 연결되고, 상기 제 2 단락 배선은 (2n-1)번째 게이트 배선과 연결되는 액정표시장치용 어레이 기판의 제조 방법.

청구항 13.

제 6 항에 있어서,

상기 제 1 단락 배선은 2n(n은 정수)번째 데이터 배선과 연결되고, 상기 제 2 단락 배선은 (2n-1)번째 데이터 배선과 연결되는 액정표시장치용 어레이 기판의 제조 방법.

청구항 14.

제 6 항에 있어서,

상기 개구부는 상기 드레인 전극의 측면을 드러내며, 상기 화소 전극은 상기 드레인 전극의 측면과 접촉하는 액정표시장치용 어레이 기판의 제조 방법.

청구항 15.

제 6 항에 있어서,

상기 보조 배선을 형성하는 단계는 상기 제 1 단락 배선을 형성하는 단계와 같은 공정을 통해 이루어지는 액정표시장치용 어레이 기판의 제조 방법.

청구항 16.

제 6 항에 있어서,

상기 보조 배선을 형성하는 단계는 상기 제 2 단락 배선을 형성하는 단계와 같은 공정을 통해 이루어지는 액정표시장치용 어레이 기판의 제조 방법.

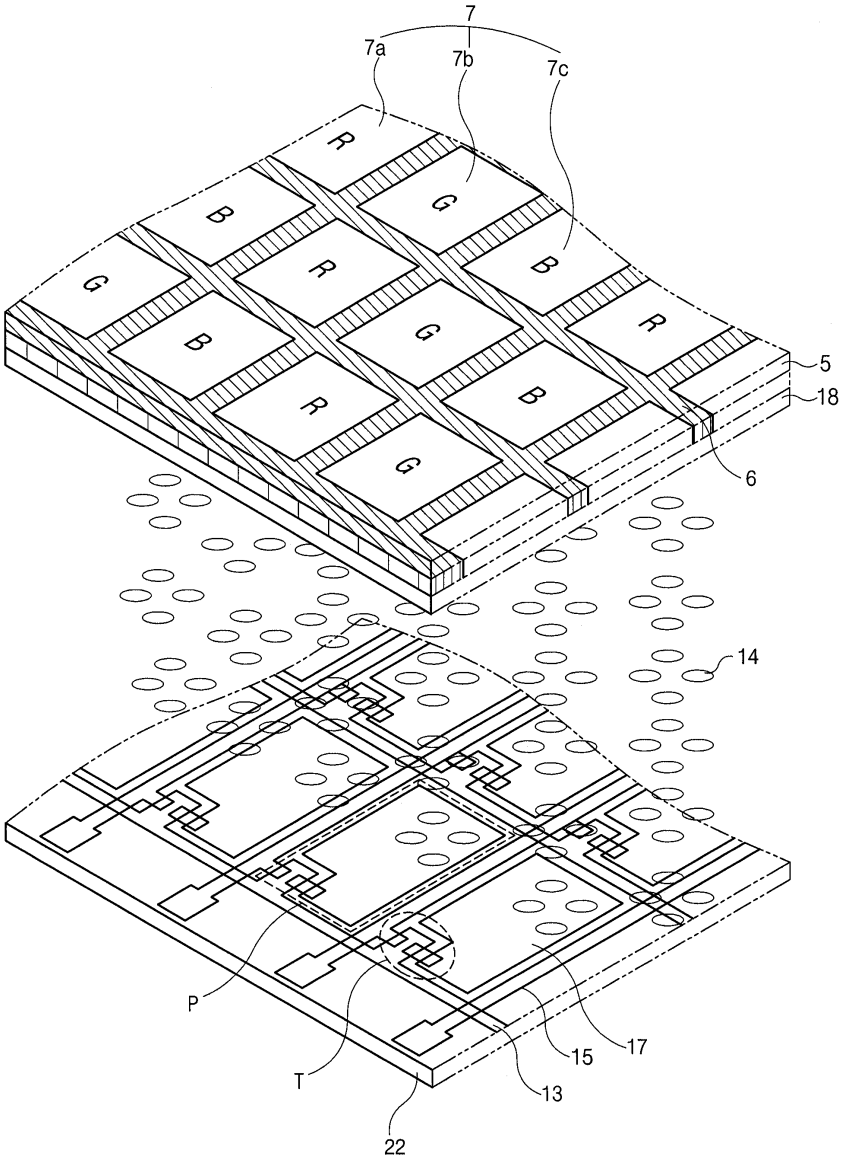
청구항 17.

제 6 항에 있어서,

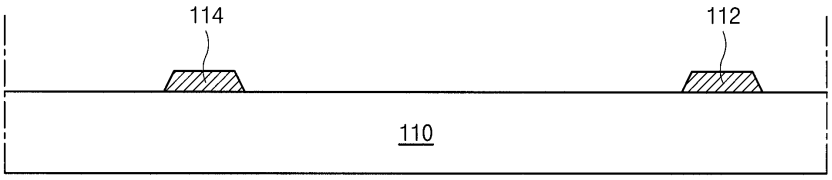
상기 다수의 화소 전극과 도전 패턴을 형성하는 단계 다음에 상기 제 1 단락 배선과 제 2 단락 배선, 보조 배선 및 점핑 배선을 제거하는 단계를 더 포함하는 액정표시장치용 어레이 기판의 제조 방법.

도면

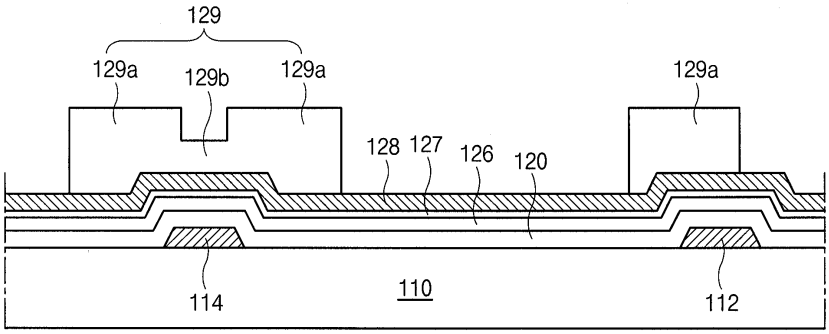
도면1



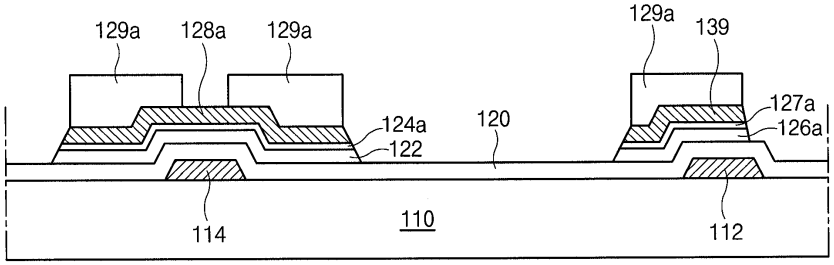
도면2a



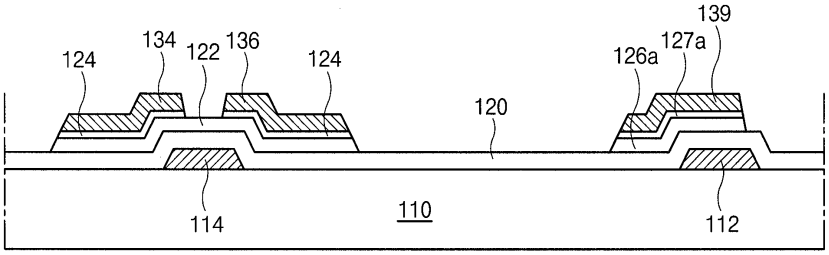
도면2b



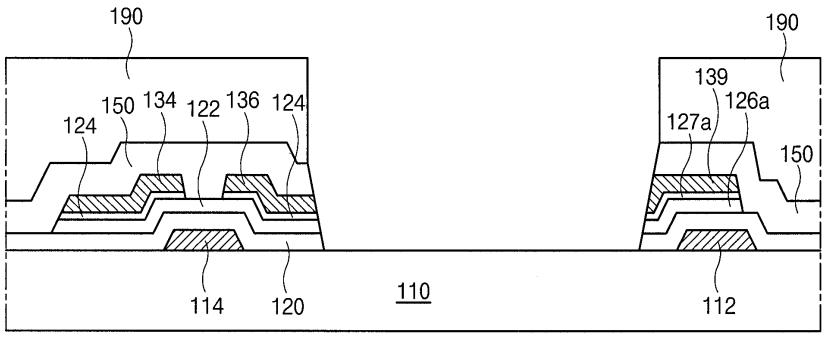
도면2c



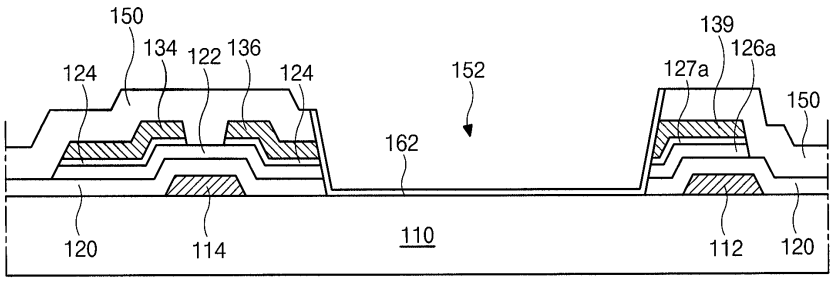
도면2d



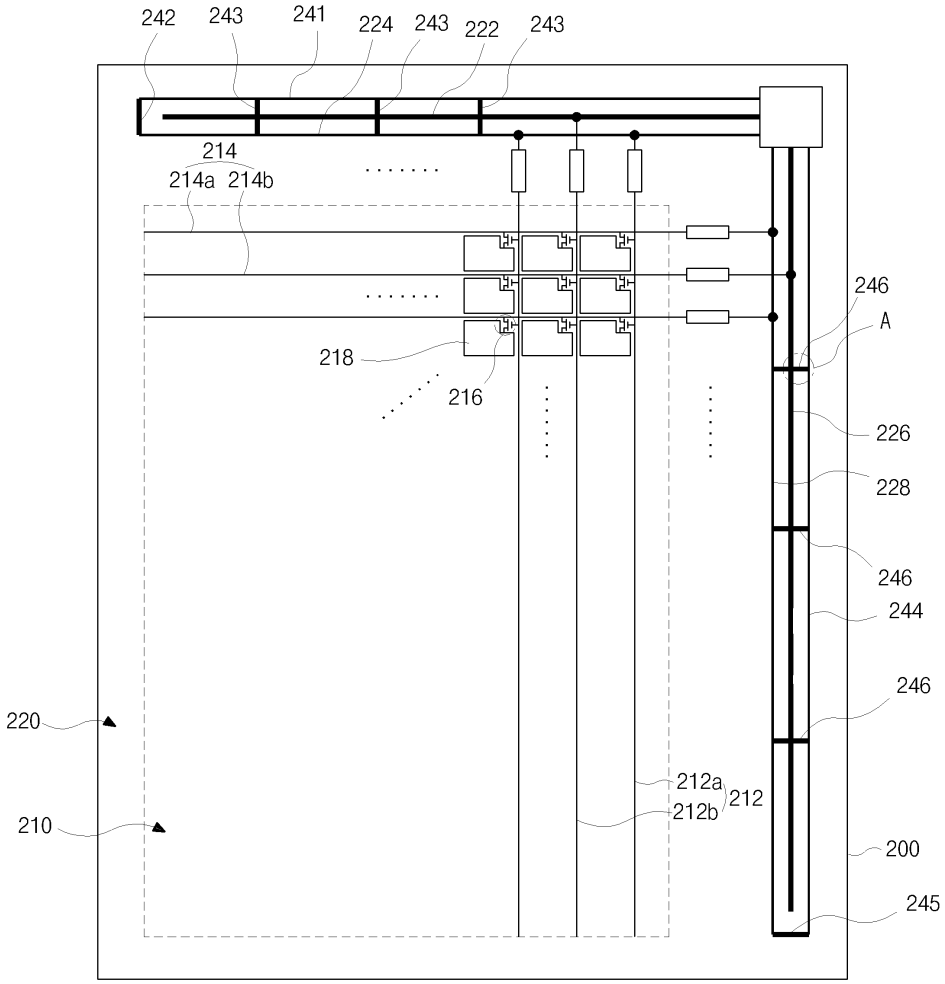
도면2e



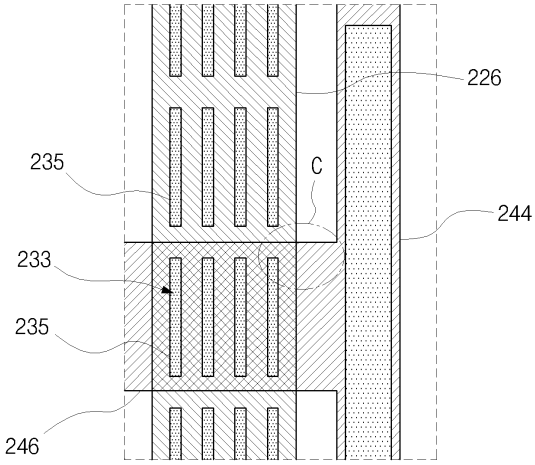
도면2f


150
134
122
136
124
124
152
139
126a
127a
150
162
120
114
110
112
120

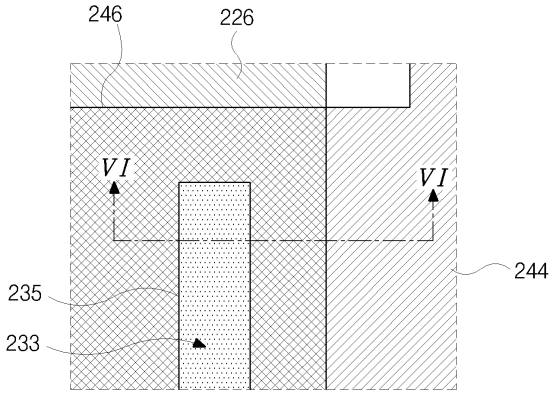
도면3


242
243
241
224
243
222
243
214
214a
214b
246
A
218
216
226
228
246
244
246
220
212a
212
212b
210
200
245

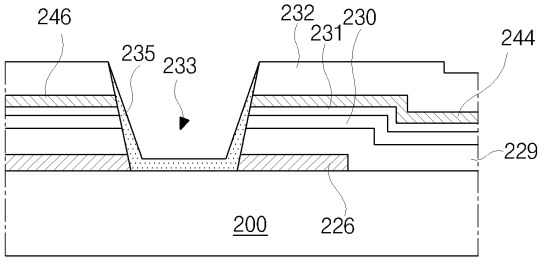
도면4


226
235
C
244
233
235
246

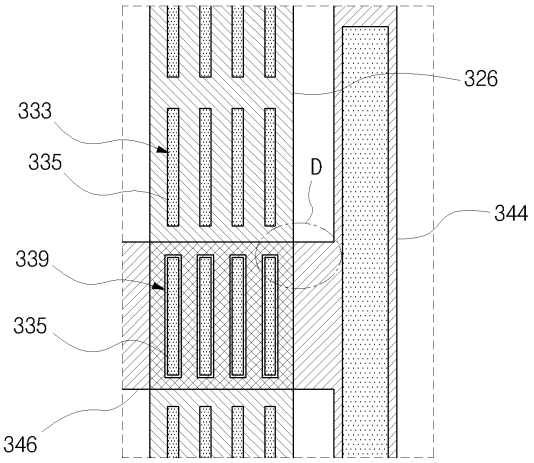
도면5


246
226
VI
VI
244
235
233

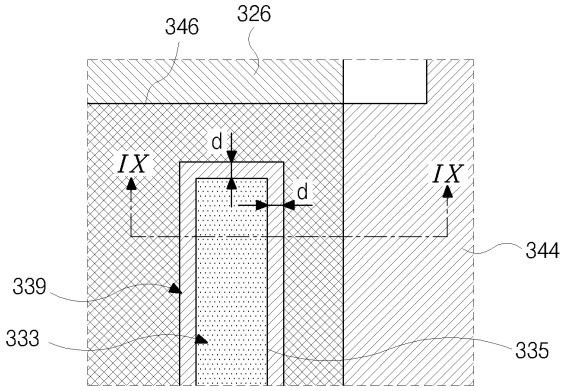
도면6


246
232
230
231
235
233
244
229
200
226

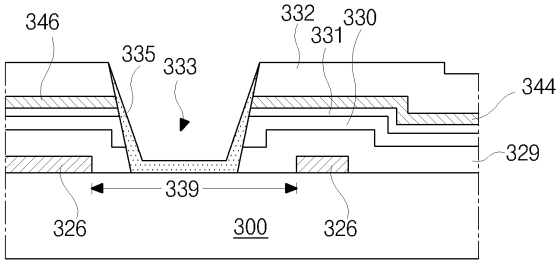
도면7


326
333
335
D
344
339
335
346

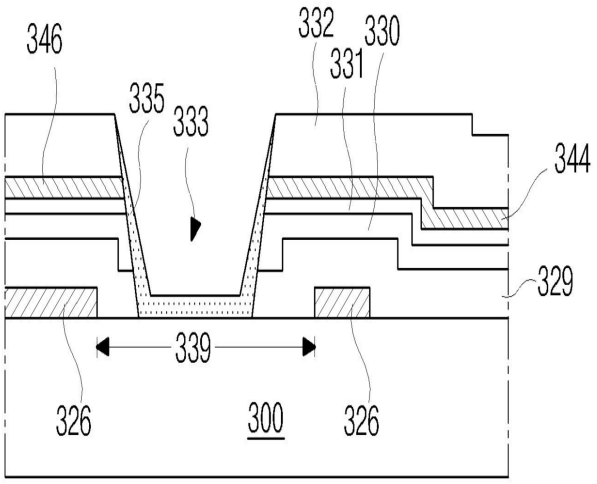
도면8


346
326
IX
d
d
IX
344
339
333
335

도면9


346
335
333
332
331
330
344
329
339
326
300
326

专利名称(译)	制造用于液晶显示器的阵列基板的方法		
公开(公告)号	KR1020050071332A	公开(公告)日	2005-07-07
申请号	KR1020040080235	申请日	2004-10-08
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	AHN JAEJUN 안재준 KWACK HEEYOUNG 곽희영		
发明人	안재준 곽희영		
IPC分类号	G02F1/136		
CPC分类号	G02F1/13458 G02F1/136204 G02F1/136227 G02F1/136286 G02F2001/136231 G02F2001/136295		
优先权	1020030100605 2003-12-30 KR		
其他公开文献	KR101069194B1		
外部链接	Espacenet		

摘要(译)

目的：提供一种用于LCD（液晶显示器）的阵列基板的制造方法，通过减少光刻工艺的数量来减少制造时间，成本和故障。