

(19)대한민국특허청(KR)
(12) 공개특허공보(A)(51) 。 Int. Cl.⁷
G02F 1/1343(11) 공개번호 10-2005-0018520
(43) 공개일자 2005년02월23일(21) 출원번호 10-2003-0056546
(22) 출원일자 2003년08월14일(71) 출원인 삼성전자주식회사
경기도 수원시 영통구 매탄동 416(72) 발명자 송장근
서울특별시강남구대치2동미도아파트110동304호

(74) 대리인 유미특허법인

심사청구 : 없음

(54) 다중 도메인 액정 표시 장치 및 그에 사용되는 표시판

요약

절연 기판 위에 형성되어 있는 게이트선, 게이트선과 절연되어 교차하고 있는 데이터선, 게이트선과 데이터선이 교차하여 정의하는 각 화소 영역마다 형성되어 있는 제1 및 제2 화소 전극, 게이트선, 데이터선 및 제1 및 제2 화소 전극에 3단자가 각각 연결되어 있는 제1 박막 트랜지스터, 제1 화소 전극에 연결되어 있는 제2 박막 트랜지스터, 제2 박막 트랜지스터의 드레인 전극에 연결되어 있으며 제2 화소 전극과 중첩되어 용량성으로 결합되어 있는 결합 전극을 포함하는 박막 트랜지스터 표시판을 가지는 액정 표시 장치를 마련한다. 이렇게 하면, 두 화소 전극의 화소 전압이 달라지면서 측면 시인성을 향상된 광시야각 액정 표시 장치를 얻을 수 있다.

대표도

도 6

색인어

액정표시장치, 수직배향, 절개부, 결합전극, 시인성, 휘도

명세서

도면의 간단한 설명

도 1은 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 배치도이고,

도 2는 본 발명의 제1 실시예에 따른 액정 표시 장치용 대향 표시판의 배치도이고,

도 3은 본 발명의 제1 실시예에 따른 액정 표시 장치의 배치도이고,

도 4 및 도 5는 도 3의 액정 표시 장치를 IV-IV'선 및 V-V' 선을 따라 각각 잘라 도시한 단면도이고,

도 6은 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 구조를 도시한 회로도이고,

도 7은 본 발명의 실시예에 따른 액정 표시 장치를 이용한 시뮬레이션에서 전압의 변화를 측정한 그래프이고,

도 8은 본 발명의 실시예에 따른 액정 표시 장치를 이용한 시뮬레이션을 통하여 얻어진 화소 전압과 화상 신호 전압을 나타낸 그래프이고,

도 9는 본 발명의 제2 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 구조를 도시한 배치도이고,

도 10 및 도 11은 도 9에서 X-X' 선 및 XI-XI' 선을 따라 잘라 도시한 단면도이고,

도 12는 본 발명의 제2 실시예에 따른 박막 트랜지스터 표시판을 포함하는 액정 표시 장치의 구조를 개략적으로 나타낸 회로도이고,

도 13은 본 발명의 제3 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 구조를 도시한 배치도이고,

도 14 및 도 15는 도 13에서 XIV-XIV' 선 및 XV-XV' 선을 따라 잘라 도시한 단면도이다.

121 게이트선, 124a, 124c 게이트 전극,

131, 133a, 133b 유지 전극, 176 결합 전극,

171 데이터선, 173a, 173c 소스 전극,

175a, 175b, 175c 드레인 전극, 190a, 190b 화소 전극,

191, 192, 193 절개부, 151, 154a, 154c 비정질 규소층,

270 공통 전극, 271, 272, 273 절개부

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정 표시 장치 및 그에 사용되는 표시판에 관한 것이다.

액정 표시 장치는 일반적으로 공통 전극과 색 필터(color filter) 등이 형성되어 있는 상부 표시판과 박막 트랜지스터와 화소 전극 등이 형성되어 있는 하부 표시판 사이에 액정 물질을 주입해 놓고 화소 전극과 공통 전극에 서로 다른 전압을 인가함으로써 전계를 형성하여 액정 분자들의 배열을 변경시키고, 이를 통해 빛의 투과율을 조절함으로써 화상을 표현하는 장치이다.

그런데 액정 표시 장치는 시야각이 좁은 것이 중요한 단점이다. 이러한 단점을 극복하고자 시야각을 넓히기 위한 다양한 방안이 개발되고 있는데, 그 중에서도 액정 분자를 상하 표시판에 대하여 수직으로 배향하고 화소 전극과 그 대향 전극인 공통 전극에 일정한 절개 패턴을 형성하거나 돌기를 형성하는 방법이 유력시되고 있다.

절개 패턴을 형성하는 방법으로는 화소 전극과 공통 전극에 각각 절개 패턴을 형성하여 이들 절개 패턴으로 인하여 형성되는 프린지 필드(fringe field)를 이용하여 액정 분자들이 눕는 방향을 조절함으로써 시야각을 넓히는 방법이 있다.

돌기를 형성하는 방법은 상하 표시판에 형성되어 있는 화소 전극과 공통 전극 위에 각각 돌기를 형성해 둠으로써 돌기에 의하여 왜곡되는 전기장을 이용하여 액정 분자의 눕는 방향을 조절하는 방식이다.

또 다른 방법으로는, 하부 표시판 위에 형성되어 있는 화소 전극에는 절개 패턴을 형성하고 상부 표시판에 형성되어 있는 공통 전극 위에는 돌기를 형성하여 절개 패턴과 돌기에 의하여 형성되는 프린지 필드를 이용하여 액정의 눕는 방향을 조절함으로써 도메인을 형성하는 방식이 있다.

이러한 다중 도메인 액정 표시 장치는 1:10의 대비비를 기준으로 하는 대비비 기준 시야각이나 계조간의 휘도 반전의 한계 각도로 정의되는 계조 반전 기준 시야각은 전 방향 80°이상으로 매우 우수하다. 그러나 정면의 감마(gamma)곡선과 측면의 감마 곡선이 일치하지 않는 측면 감마 곡선 왜곡 현상이 발생하여 TN(twisted nematic) 모드 액정 표시 장치에 비하여도 좌우측면에서 열등한 시인성을 나타낸다. 예를 들어, 도메인 분할 수단으로 절개부를 형성하는 PVA(patterned vertically aligned) 모드의 경우에는 측면으로 갈수록 전체적으로 화면이 밝게 보이고 색은 흰색 쪽으로 이동하는 경향이 있으며, 심한 경우에는 밝은 계조 사이의 간격 차이가 없어져서 그림이 뭉그러져 보이는 경우도 발생한다. 그런데 최근 액정 표시 장치가 멀티 미디어용으로 사용되면서 그림을 보거나 동영상 보는 일이 증가하면서 시인성이 점점 더 중요시되고 있다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 시인성이 우수한 다중 도메인 액정 표시 장치를 구현하는 것이다.

본 발명이 이루고자 하는 다른 기술적 과제는 시인성을 확보하면서, 휘도가 감소 또는 문자 흐려짐을 방지할 수 있는 박막 트랜지스터 표시판 및 이를 포함하는 액정 표시 장치에 관한 것이다.

발명의 구성 및 작용

이러한 과제를 해결하기 위하여 본 발명에서는 화소 전극을 둘 이상으로 나누고 둘 이상의 서브 화소 전극에 서로 다른 전위가 인가되도록 한다. 이때, 서로 다른 전위는 데이터선을 통하여 전달되는 화상 신호 전압보다 같거나 높거나 낮다.

더욱 상세하게, 본 발명의 실시예에 따른 박막 트랜지스터 표시판에는 절연 기판 위에 제1 신호선이 형성되어 있고, 제1 신호선과 절연되어 교차하고 있는 제2 신호선이 형성되어 있다. 제1 신호선과 제2 신호선이 교차하여 정의하는 각 화소 영역마다 제1 및 제2 전극과 제2 전극에 중첩되어 있는 제3 전극이 형성되어 있다. 또한, 각각의 화소에는 제1 및 제2 단자는 제1 신호선 및 제2 신호선에 연결되어 있고, 제3 단자는 제1 및 제2 전극에 공통으로 연결되어 있는 제1 박막 트랜지스터와 제1 및 제2 단자는 이웃하는 제1 신호선 및 제1 전극에 각각 연결되어 있고, 제3 단자는 제3 전극에 연결되어 있는 제2 박막 트랜지스터가 형성되어 있다.

이때, 제1 및 제2 전극은 분할된 제1 및 제2 화소 전극이며, 제3 전극은 제2 박막 트랜지스터의 제3 단자로부터 연결되어 있는 결합 전극인 것이 바람직하다.

제1 및 제2 화소 전극 중 적어도 하나는 도메인 분할 수단을 가지는 것이 바람직하며, 결합 전극은 상기 제2 박막 트랜지스터의 드레인 전극으로부터 연장되어 있는 것이 바람직하다.

제1 신호선과 제2 신호선 사이에 형성되어 있는 게이트 절연막과 제2 신호선과 제1 및 제2 화소 전극 사이에 형성되어 있는 보호막을 더 포함하고, 제2 박막 트랜지스터의 제2 단자는 보호막에 형성되어 있는 접촉구를 통하여 제1 화소 전극과 연결되어 있다.

제1 및 제2 화소 전극이 화소 영역의 상하 이등분선에 대하여 실질적으로 거울상 대칭을 이루며, 제1 화소 전극과 제2 화소 전극의 서로 인접한 경계선 중 긴변 2개는 제1 신호선과 45°를 이루는 것이 바람직하다.

제2 신호선과 절연되어 교차하고 있으며 기준 전위가 인가되는 제3 신호선을 더 포함할 수 있으며, 제3 신호선의 일부는 제2 박막 트랜지스터의 제3 단자와 중첩되어 있는 것이 바람직하다.

제1 화소 전극의 면적과 제2 화소 전극의 면적은 50:50-80:20 범위인 것이 바람직하며, 제1 박막 트랜지스터에 연결되어 있는 제3 화소 전극을 더 포함할 수 있다.

또한, 본 발명의 실시예에 따른 액정 표시 장치는 제1 절연 기판, 제1 절연 기판 위에 형성되어 있으며 제1 및 제2 게이트 전극을 포함하는 게이트선, 게이트선 위에 형성되어 있는 게이트 절연막, 게이트 절연막 위에 형성되어 있는 반도체층, 반도체층 위에 형성되어 저항성 접촉층, 게이트 절연막 위에 형성되어 있으며 적어도 일부가 저항성 접촉층 위에 형성되어 있는 제1 소스 전극을 포함하는 데이터선, 적어도 일부가 저항성 접촉층 위에 형성되어 있으며 제1 게이트 전극에 대하여 1 소스 전극과 각각 대향하는 제1 및 제2 드레인 전극, 게이트 절연막 상부에 형성되어 있으며, 제2 게이트 전극을 중심으로 서로 마주하는 제2 소스 전극과 제3 드레인 전극, 게이트 절연막 위에 형성되어 있는 결합 전극, 데이터선, 제2 소스 전극 및 제1 내지 제3 드레인 전극 및 상기 결합 전극 위에 형성되어 있는 보호막, 보호막 위에 형성되어 있으며 제1 드레인 전극과 제2 소스 전극에 연결되어 있는 제1 화소 전극, 제1 화소 전극과 절연되어 있고, 제2 드레인 전극과 연결되어 있고 결합 전극과 적어도 일부가 중첩하는 제2 화소 전극, 제1 절연 기판과 대향하고 있는 제2 절연 기판, 제2 절연 기판 위에 형성되어 있는 공통 전극, 제1 기판 및 상기 제2 기판 중의 적어도 하나에 형성되어 있는 제1 도메인 분할 수단, 제1 기판 및 제2 기판 중의 적어도 하나에 형성되어 있으며 제1 도메인 분할 수단과 함께 화소 영역을 다수의 소도메인으로 분할하는 제2 도메인 분할 수단을 포함한다.

결합 전극은 제3 드레인 전극으로부터 연장되어 있는 것이 바람직하고, 제1 도메인 분할 수단은 제1 화소 전극과 제2 화소 전극 중의 적어도 하나가 가지는 절개부이고, 제2 도메인 분할 수단은 공통 전극이 가지는 절개부인 것이 바람직하다.

제1 화소 전극의 면적과 제2 화소 전극의 면적은 50:50-80:20 범위인 것이 바람직하고, 적어도 일부가 저항성 접촉층 위에 형성되어 있으며 제1 게이트 전극에 대하여 1 소스 전극과 대향하는 제4 드레인 전극 및 제4 드레인 전극과 연결되어 있는 제3 화소 전극을 더 포함할 수 있다.

보호막은 유기 절연 물질로 이루어진 것이 바람직하며, 반도체층은 데이터선의 하부까지 연장되어 있을 수 있으며, 제1 및 제2 절연 기판 중 하나의 상부에 형성되어 있는 색 필터를 더 포함할 수 있다.

또한 본 발명의 다른 실시예에 따른 액정 표시 장치는 제1 신호선, 제1 신호선과 절연되어 교차하고 있는 제2 신호선, 제1 신호선과 제2 신호선이 교차하여 정의하는 각 화소 영역마다 형성되어 있으며, 서로 분리되어 있는 제1 및 제2 화소 전극, 제1 및 제2 화소 전극과 마주하는 공통 전극을 포함하며, 공통 전극의 공통 전압에 대하여 제1 및 제2 화소 전극의 제1 및 제2 화소 전압은 제2 신호선을 통하여 전달되는 화상 신호 전압과 다르다.

제1 화소 전압의 절대값은 제2 화소 전압의 절대값보다 작은 것이 바람직하며, 제1 및 제2 화소 전극에 공통으로 전달되는 화상 신호 전압을 제어하는 제1 박막 트랜지스터와 제1 화소 전극에 연결되어 있으며, 하나의 단자는 제2 화소 전극을 결합 용량으로 연결하는 제2 박막 트랜지스터를 더 포함할 수 있다.

제2 박막 트랜지스터에 연결되어 있으며, 제2 화소 전극과 절연 상태로 중첩하고 있는 결합 전극을 더 포함할 수 있으며, 제1 화소 전극과 제2 화소 전극 중 적어도 하나는 도메인 분할 수단을 가지는 것이 바람직하다.

결합 전극은 제2 박막 트랜지스터의 드레인 전극으로부터 연장되어 있으며, 제1 및 제2 화소 전극이 화소 영역의 상하 이등분선에 대하여 실질적으로 거울상 대칭을 이루며, 제1 화소 전극과 제2 화소 전극의 서로 인접한 경계선 중 긴변 2개는 제1 신호선과 45°를 이루는 것이 바람직하다.

제1 화소 전극의 면적과 제2 화소 전극의 면적은 50:50-80:20 범위이며, 화상 신호 전압이 전달되는 제3 화소 전극을 더 포함하는 것이 바람직하다.

첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.

도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.

그러면 도면을 참고로 하여 본 발명의 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 구조에 대하여 설명한다.

도 1은 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 배치도이고, 도 2는 본 발명의 제1 실시예에 따른 액정 표시 장치용 대향 표시판의 배치도이고, 도 3은 본 발명의 제1 실시예에 따른 액정 표시 장치의 배치도이고, 도 4 및 도 5는 도 3의 액정 표시 장치를 IV-IV'선 및 V-V' 선을 따라 각각 잘라 도시한 단면도이고, 도 6은 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 구조를 도시한 회로도이다.

본 발명의 실시예에 따른 액정 표시 장치는 하부 표시판(100)과 이와 마주보고 있는 상부 표시판(200) 및 하부 표시판(100)과 상부 표시판(200) 사이에 주입되어 표시판(100, 200)에 수직으로 배향되어 있는 액정 분자를 포함하는 액정층(3)으로 이루어진다. 이때, 각각의 표시판(100, 200)에는 배향막(11, 21)이 형성되어 있으며, 배향막(11, 21)은 액정층(3)의 액정 분자를 표시판(100, 200)에 대하여 수직으로 배향되도록 하는 수직 배향 모드인 것이 바람직하나, 그렇지 않을 수도 있다.

먼저, 하부 표시판의 구성은 다음과 같다.

유리등의 투명한 절연 물질로 이루어진 하부 절연 기관(110) 위에 ITO(indium tin oxide)나 IZO(indium zinc oxide) 등의 투명한 도전 물질로 이루어져 있는 제1 및 제2 화소 전극(190a, 190b) 및 결합 전극(176)이 형성되어 있다. 이중 제1 및 제2 화소 전극(190a, 190b)은 제1 박막 트랜지스터(TFT1, 도 6 참조)에 직접 연결되어 함께 화상 신호 전압을 인가 받는데, 제2 화소 전극(190b)은 또한 제1 화소 전극(190a)과 연결되어 있는 제2 박막 트랜지스터(TFT2, 도 6 참조)에 연결되어 있는 결합 전극(176)과 중첩하고 있다. 제1 박막 트랜지스터(TFT1)는 주사 신호를 전달하는 게이트선(121)과 화상 신호를 전달하는 데이터선(171)에 각각 연결되어 주사 신호에 따라 제1 및 제2 화소 전극(190a, 190b)에 인가되는 화상 신호를 온(on) 오프(off)한다. 또한, 제2 박막 트랜지스터(TFT2)는 이웃하는 게이트선(121) 및 제1 화소 전극(190a)에 연결되어 주사 신호에 따라 결합 전극(176)에 전달되는 제1 화소 전극(190a)의 화상 신호를 제어한다. 제2 박막 트랜지스터(TFT2)가 온되었을 때, 결합 전극(176)에는 제1 화소 전극(190a)에 전달된 화소 전압이 전달되는데, 결합 전극(176)은 제2 화소 전극(190b)과 중첩하여 용량성으로 결합되어 초기에 전달된 제1 및 제2 화소 전극(190a, 190b)의 화소 전압이 변하게 되며, 이에 대해서는 이후에 구체적으로 설명한다. 이때, 제1 및 제2 화소 전극(190a, 190b)은 절개부(191, 193)를 통하여 분리되어 있고, 결합 전극(176)은 제2 박막 트랜지스터(TFT2)의 한 단자로부터 연장되어 있으며, 제2 화소 전극(192)은 절개부(192)를 가진다. 또, 절연 기관(110)의 아래 면에는 하부 편광판(도시하지 않음)이 부착되어 있다. 여기서, 제1 및 제2 화소 전극(190a, 190b)은 반사형 액정 표시 장치인 경우 투명한 물질로 이루어지지 않을 수도 있고, 이 경우에는 하부 편광판도 불필요하게 된다.

다음, 상부 표시판의 구성은 다음과 같다.

역시 유리등의 투명한 절연 물질로 이루어진 상부 절연 기관(210)의 아래 면에 화소 영역에 개구부를 가지며 화소 영역 사이에서 누설되는 빛을 방지하기 위한 블랙 매트릭스(220)와 적, 녹, 청의 색 필터(230) 및 ITO 또는 IZO 등의 투명한 도전 물질로 이루어져 있는 공통 전극(270)이 형성되어 있다. 여기서, 공통 전극(270)에는 제1 및 제2 화소 전극(190a, 190b)의 절개부(191, 192, 193)와 함께 프린지 필드를 형성하여 액정 분자를 분할 배향하는 도메인 분할 수단인 절개부(271, 272, 273)가 형성되어 있다. 블랙 매트릭스(220)는 화소 영역의 둘레 부분뿐만 아니라 공통 전극(270)의 절개부(271, 272, 273)와 중첩하는 부분에도 형성할 수 있다. 이는 절개부(271, 272, 273)로 인해 발생하는 빛샘을 방지하기 위함이다.

제1 실시예에 따른 액정 표시 장치의 박막 트랜지스터 표시판에 대하여 도 1, 도 3 내지 도 6을 참조하여 좀 더 상세히 한다.

하부의 절연 기관(110) 위에 주로 가로 방향으로 뻗어 있는 복수의 게이트선(121)과 유지 전극 배선이 형성되어 있다.

게이트선(121)은 복수의 부분이 아래 위로 확장되어 제1 및 제2 박막 트랜지스터(TFT1, TFT2)의 게이트 전극(124a, 124c)을 이룬다. 게이트선(121)의 한쪽 끝 부분은 외부의 게이트 구동 회로와의 연결을 위하여 넓게 확장되어 접촉부를 이룰 수 있으며, 본 실시예와 같이 접촉부를 가지지 않는 경우에는 기관의 상부에 직접 형성되어 있는 게이트 구동 회로의 출력단에 게이트선(121)의 끝 부분이 직접 연결되어 있다.

각 유지 전극 배선은 화소 영역의 중앙을 가로질러 가로 방향으로 뻗어 있는 유지 전극선(131)과 그로부터 뻗어 나온 여러 벌의 유지 전극(storage electrode)(133a, 133b, 136)을 포함한다. 한 벌의 유지 전극(133a, 133b, 136)은 서로 방향으로 뻗어나오며 가로 방향으로 뻗은 유지 전극선(131)에 의하여 서로 연결되어 있다. 이 때, 각 유지 전극선(131)은 2개 이상의 가로선으로 이루어질 수도 있다. 또한, 유지 전극(136)은 넓은 면적으로 확장되어 있으며, 이후의 결합 전극(176)과 중첩되어 유지 축전기를 이룬다.

게이트선(121) 및 유지 전극 배선(131, 133a, 133b, 136)은 Al, Al 합금, Ag, Ag 합금, Cr, Ti, Ta, Mo 등의 금속 따위로 만들어진다. 도 4 및 도 5에 나타난 바와 같이, 본 실시예의 게이트선(121) 및 유지 전극 배선(131, 133a, 133b, 136)은 단일층으로 이루어지지만, 물리 화학적 특성이 우수한 Cr, Mo, Ti, Ta 등의 금속층과 비저항이 작은 Al 계열 또는 Ag 계열의 금속층을 포함하는 이중층으로 이루어질 수도 있다. 이외에도 여러 다양한 금속 또는 도전체로 게이트선(121)과 유지 전극선(131, 133a, 133b, 136)을 만들 수 있다.

게이트선(121)과 유지 전극선(131, 133a, 133b, 136)이 측면은 경사져 있으며 수평면에 대한 경사각은 30-80°인 것이 바람직하다.

게이트선(121)과 유지 전극선(131, 133a, 133b, 136)의 위에는 질화규소(SiNx) 등으로 이루어진 게이트 절연막(140)이 형성되어 있다.

게이트 절연막(140) 위에는 복수의 데이터선(171)을 비롯하여 복수의 드레인 전극(drain electrode)(175a, 175b, 175c), 복수의 결합 전극(176)이 형성되어 있다. 각 데이터선(171)은 주로 세로 방향으로 뻗어 있으며, 각 제1 박막 트랜지스터(TFT1)의 제1 및 제2 드레인 전극(175a, 175b)을 향하여 복수의 분지를 내어 데이터선(171)으로부터 확장된 제1 박막 트랜지스터(TFT1)의 소스 전극(source electrode)(173a)을 가진다. 제1 박막 트랜지스터(TFT1)의 제2 드레인 전극(175b)은 화소 영역의 중앙부까지 연장되어 있다. 제2 박막 트랜지스터(TFT2)의 드레인 전극(175c)은 제2 박막 트랜지스터(TFT2)의 게이트 전극(124c) 상부에 위치하며, 연장되어 결합 전극(176)과 연결되어 있으며, 게이트 전극(124c)을 중심으로 제2 박막 트랜지스터(TFT2)의 드레인 전극(175c)의 맞은편에는 제2 박막 트랜지스터(TFT2)의 소스 전극(173c)이 형성되어 있다. 결합 전극(176)은 제2 박막 트랜지스터(TFT2)의 드레인 전극(175c)과 연결되어 있고, 넓은 면적으로 확장되어 유지 전극(136)과 중첩하고 있다.

데이터선(171), 소스 전극(173a, 173c), 드레인 전극(175a, 175b, 175c), 결합 전극(176)도 게이트선(121)과 마찬가지로 크롬과 알루미늄 등의 물질로 만들어지며, 단일층 또는 다중층으로 이루어질 수 있다.

데이터선(171), 소스 전극(173a, 173c), 드레인 전극(175a, 175b, 175c), 의 아래에는 데이터선(171)을 따라 주로 세로로 길게 뻗은 복수의 선형 반도체(151)가 형성되어 있다. 비정질 규소 따위로 이루어진 각 선형 반도체(151)는 각 게이트 전극(124a, 124c), 소스 전극(173a, 173c) 및 드레인 전극(175a, 175b, 175c)을 향하여 확장되어 제1 및 제2 박막 트랜지스터의 채널부(154a, 154c)를 이룬다.

반도체(151)와 데이터선(171) 및 소스 전극(173a, 173c), 드레인 전극(175a, 175b, 175c) 사이에는 둘 사이의 접촉 저항을 각각 감소시키기 위한 복수의 선형 저항성 접촉 부재(ohmic contact)(161)와 섬형의 저항성 접촉 부재(165a, 165b)가 형성되어 있다. 저항성 접촉 부재(161)는 실리사이드나 n형 불순물이 고농도로 도핑된 비정질 규소 따위로 만들어지며, 분지로 뻗은 저항성 접촉 부재(163a)를 가진다.

데이터선(171), 소스 전극(173a, 173c) 및 드레인 전극(175a, 175b, 175c) 위에는 평탄화 특성이 우수하며 감광성을 가지는 유기 물질, 플라즈마 화학 기상 증착(plasma enhanced chemical vapor deposition, PECVD)으로 형성되는 a-Si:C:O, a-Si:O:F 등의 저유전율 절연 물질 또는 질화 규소 따위로 이루어진 보호막(180)이 형성되어 있다.

보호막(180)에는 제1 박막 트랜지스터의 제1 및 제2 드레인 전극(175a, 175b)의 적어도 일부와 데이터선(171)의 끝 부분(179)을 각각 노출시키는 복수의 접촉 구멍(185a, 185b, 182)이 구비되어 있으며, 제2 박막 트랜지스터(TFT2)의 소스 전극(173c)을 드러내는 복수의 접촉 구멍(183c)이 구비되어 있다. 한편, 게이트선(121)의 끝 부분도 외부의 구동 회로와 연결되기 위한 접촉부를 가지는 경우에는 복수의 접촉 구멍이 게이트 절연막(140)과 보호막(180)을 관통하여 게이트선(121)의 끝 부분을 드러낼 수 있다.

보호막(180) 위에는 복수의 제1 및 제2 화소 전극(190a, 190b)을 비롯하여 복수의 접촉 보조 부재(contact assistant)(82)가 형성되어 있다. 화소 전극(190a, 190b), 접촉 보조 부재(82)는 ITO(indium tin oxide)나 IZO(indium zinc oxide) 등과 같은 투명 도전체나 알루미늄(Al)과 같은 광 반사 특성이 우수한 불투명 도전체 따위로 만들어진다.

화소 전극은 제1 화소 전극(190a)과 제2 화소 전극(190b)으로 분류되며, 제1 화소 전극(190a)은 접촉 구멍(185a)을 통하여 제1 박막 트랜지스터(TFT1)의 드레인 전극(175a)과 연결되어 있고, 제2 화소 전극(190b)은 접촉 구멍(185b)을 통하여 제1 박막 트랜지스터(TFT1)의 드레인 전극(175b)과 연결되어 있다. 또한, 제1 화소 전극(190a)은 접촉 구멍(183c)을 통하여 제2 박막 트랜지스터(TFT2)의 소스 전극(173c)과 연결되어 있고, 제2 화소 전극(190b)은 드레인 전극(175c)과 연결된 결합 전극(176)과 중첩하고 있다. 따라서, 제2 화소 전극(190b)은 제1 화소 전극(190a)에 연결된 제2 박막 트랜지스터(TFT2)에 연결되어 있는 결합 전극(176)과 전자기적으로 결합(용량성 결합)되어 있다.

제1 화소 전극(190a)과 제2 화소 전극(190b)을 나누는 경계는 게이트선(121)에 대하여 45°를 이루는 부분(191, 193)과 수직을 이루는 부분으로 구분되고, 이중 45°를 이루는 두 부분(191, 193)이 수직을 이루는 부분에 비하여 길이가 길다. 또, 45°를 이루는 두 부분(191, 193)은 서로 수직을 이루고 있다.

제2 화소 전극(190b)은 절개부(192)를 가지며, 절개부(192)는 제2 화소 전극(190b)의 오른쪽 변에서 왼쪽 변을 향하여 파고 들어간 형태이고, 입구는 넓게 확장되어 있다.

제1 화소 전극(190a)과 제2 화소 전극(190b)은 각각 게이트선(121)과 데이터선(171)이 교차하여 정의하는 화소 영역을 상하로 이등분하는 선(게이트선과 나란한 선)에 대하여 실질적으로 거울상 대칭을 이루고 있다.

데이터 접촉 보조 부재(82)는 접촉 구멍(182)을 통하여 데이터선의 끝 부분(179)에 연결되어 있다. 이때, 게이트선(121)도 끝 부분에 접촉부를 가지는 실시예에서는 보호막(180)의 상부에 게이트선(121)과 연결되는 게이트 접촉 보조 부재(81)가 추가될 수 있다.

하부 절연 기판(110)과 마주하는 상부 절연 기판(210)에는 도 2, 도 3 내지 도 5에서 보는 바와 같이, 빛이 새는 것을 방지하기 위한 블랙 매트릭스(220)가 형성되어 있다. 이때, 블랙 매트릭스(220)는 개략적으로 도시한 것이며, 화소 영역 주변 또는 박막 트랜지스터의 주변에서 누설되는 빛을 차단하기 위해 다양한 모양으로 변경될 수 있다. 블랙 매트릭스(220) 위에는 적, 녹, 청색 색 필터(230)가 순차적으로 형성되어 있다. 색 필터(230)의 위에는 복수 벌의 절개부(271, 272, 273)를 가지는 공통 전극(270)이 형성되어 있다. 공통 전극(270)은 ITO 또는 IZO(indium zinc oxide) 등의 투명한 도전체로 형성한다.

공통 전극(270)의 한 벌의 절개부(271, 272, 273)는 제1 화소 전극(190a, 190b)의 경계 중 게이트선(121)에 대하여 45°를 이루는 부분(191, 193)과 교대로 배치되어 이와 나란한 사선부와 제1 및 제2 화소 전극(190a, 190b)의 변과 중첩되어 있는 단부를 포함하고 있다. 이 때, 단부는 세로 방향 단부와 가로 방향 단부로 분류된다.

이상과 같은 구조의 박막 트랜지스터 표시판과 색 필터 표시판을 정렬하여 결합하고 그 사이에 액정 물질을 주입하여 수직 배향하면 본 발명에 한 실시예에 따른 액정 표시 장치의 기본 구조가 마련된다.

박막 트랜지스터 표시판과 색 필터 표시판을 정렬했을 때 공통 전극(270)의 한 벌의 절개부(271, 272, 273)는 도메인 분할 수단으로 두 화소 전극(190a, 190b)을 각각 복수의 부영역(subarea)으로 구분하는데, 본 실시예에서는 도 3에 도시한 바와 같이 두 화소 전극(190a, 190b)을 각각 4개의 부영역으로 나눈다. 도 3에서 알 수 있는 바와 같이, 각 부영역은 길쭉하게 형성되어 있어서 폭 방향과 길이 방향이 구별된다.

화소 전극(190a, 190b)의 각 부영역과 이에 대응하는 기준 전극(270)의 각 부영역 사이에 있는 액정층(3) 부분을 앞으로는 "소영역(subregion)"이라고 하며, 이들 소영역은 전체 인가시 그 내부에 위치하는 액정 분자의 평균 장축 방향에 따라 4개의 종류로 분류되며 앞으로는 이를 "도메인(domain)"이라고 한다.

이러한 구조의 액정 표시 장치에서 제1 및 제2 화소 전극(190a, 190b)에는 데이터선(171)을 통하여 전달되는 화상 신호 전압을 제1 박막 트랜지스터(TFT1)를 통하여 동일한 화상 신호 전압을 인가받는데, 제1 화소 전극(190a)과 제2 화소 전극(190b)은 결합 전극(176)을 통한 용량성 결합에 의하여 인가된 전압이 변동된다. 이때, 제1 화소 전극(190a)전압은 데이터선(171)을 통하여 전달된 화상 신호 전압보다 낮고 제2 화소 전극(190b)의 전압은 화상 신호 전압보다 높게 된다. 이와 같이, 하나의 화소 영역 내에서 전압이 다른 두 화소 전극을 배치하면 두 화소 전극이 서로 보상하여 감마 곡선의 왜곡을 줄일 수 있으며, 이후에 구체적으로 설명하기로 한다.

그러면, 먼저 화상 신호 전압에 대하여 낮은 제1 화소 전극(190a)의 전압과 높은 제2 화소 전극(190b)의 전압으로 변동하는 이유를 도 7을 참고로 하여 설명한다.

도 7은 본 발명의 실시예에 따른 액정 표시 장치를 이용한 시뮬레이션에서 전압의 변화를 측정한 그래프이다. 액정 표시 장치에서 화소 전극의 전압은 공통 전극의 공통 전압을 기준으로 한다.

도 6에서 보는 바와 같이, 상측에 위치하는 게이트선(121)에 온(ON) 신호가 전달되면, 제1 박막 트랜지스터(TFT1)를 통하여 제1 및 제2 화소 전극(190a, 190b)에는 동일한 화상 신호 전압이 전달되며, 상측 게이트선(121)이 오프(OFF)되면 제1 및 제2 화소 전극(190a, 190b)은 분리된다. 이어, 하측 게이트선(121)에 온(ON) 신호가 전달되면, 제2 박막 트랜지스터(TFT2)를 통하여 제1 화소 전극(190a)과 결합 전극(176)은 서로 전기적으로 연결되어 공통 전극(270)의 공통 전압에 대하여 동일한 전위가 형성된다. 이때, 결합 전극(176)과 제2 화소 전극(190b)은 서로 중첩하여 용량성으로 연결되어 있기 때문에 결합 전극(178)의 전압이 변하게 되면 제2 화소 전극(190b)의 전압도 변하게 된다.

이때, 본 발명의 실시예에 시뮬레이션에서 따른 액정 표시 장치에서 Clca는 제1 화소 전극(190a)과 공통 전극(270) 사이에서 형성되는 액정 용량을 나타내고, Csta는 제1 화소 전극(190a)과 유지 전극 배선(131, 133a) 사이에서 형성되는 유지 용량을 나타내고, Cgda는 제1 박막 트랜지스터(TFT1)의 제1 드레인 전극(175a)과 게이트 전극(124a) 사이에서 형성되는 기생 용량을 나타내고, Cgsa는 제2 박막 트랜지스터(TFT2)의 소스 전극(173c)과 게이트 전극(124c) 사이에서 형성되는 기생 용량이다. Clcb는 제2 화소 전극(190b)과 공통 전극(270) 사이에서 형성되는 액정 용량을 나타내고, Cstb는 제2 화소 전극(190b)과 유지 전극 배선(131, 133b, 136) 사이에서 형성되는 유지 용량이고, Cbc는 제2 화소 전극(190b)과 결합 전극(176) 사이에서 형성되는 결합 용량을 나타내고, Cgdb는 제1 박막 트랜지스터(TFT1)의 제2 드레인 전극(175b)과 게이트 전극(124a) 사이에서 형성되는 기생 용량을 나타낸다. Clcc는 결합 전극(176)과 공통 전극(270) 사이에서 형성되는 액정 용량을 나타내고, Cstc는 결합 전극(176)과 유지 전극 배선(136) 사이에서 형성되는 유지 용량이고, Cgdc는 제2 박막 트랜지스터(TFT2)의 드레인 전극(175c)과 게이트 전극(124c) 사이에서 형성되는 기생 용량을 나타낸다.

도 7에서 "A"는 제1 화소 전극(190a)에 전달된 전압의 변화를 나타낸 선이고, "B"는 제2 화소 전극(190b)에 전달된 전압의 변화를 나타낸 선이고, "C"는 결합 전극(176)에 전달된 전압의 변화를 나타낸 선이고, "D"는 상측 게이트선(121)에 전달된 게이트 전압을 나타낸 선이고, "E"는 하측 게이트선(121)에 전달된 게이트 전압을 나타낸 선이며,

"F"는 데이터선(171)을 통하여 전달되는 화상 신호 전압을 나타낸 선이다. 가로축은 시간이며, 세로축은 기준 전압인 공통 전압(Vcom)과 게조 전압(-1V, -2V, -3V, -4V, -5V, -6V)을 나타낸 것이다.

도 7에서 보는 바와 같이, n 및 n+1 번째 각각의 프레임(frame)에서는 5번의 전압 변화가 발생하였다. 즉, 상측 게이트선(121)이 온된 상태에서는 각각의 제1 및 제2 화소 전극(190a, 190b)에 동일한 화상 신호 전압(A, B)이 전달되며 결합 전극(176)에는 임의의 전압(C)이 충전된다. 이어, 상측 게이트선(121)이 오프되었을 때 제1 박막 트랜지스터(TFT1)의 제1 및 제2 드레인 전극(175a, 175b)과 게이트 전극(124a)의 기생 용량에 의한 킥백 전압(kick back voltage)으로 인하여 각각의 전극(190a, 190b, 176)에 전달된 전압(A, B, C)은 미세하게 변한다. 이어, 하측 게이트선(121)이 온되었을 때 제2 박막 트랜지스터(TFT2)의 드레인 전극(175c)과 게이트 전극(124c)의 기생 용량에 의한 킥백 전압으로 인하여 각각의 전극(190a, 190b, 176)에 전달된 전압(A, B, C)은 미세하게 변한다. 이어, 하측 게이트선(121)이 온된 상태에서는 제a 화소 전극(190a)과 결합 전극(176)에는 동일한 전위(A, C)를 이루며, 제2 화소 전극(190b)의 전압(B)이 변하게 되는데, 이때, 제1 화소 전극(190a)에 전달된 전압(A)의 절대값은 데이터선(171)을 통하여 전달된 화상 신호 전압(F)보다 작으며, 제2 화소 전극(190b)에 전달된 전압(B)의 절대값은 화상 신호 전압(F)보다 크다. 이어, 제2 박막 트랜지스터(TFT2)가 오프되었을 때 제2 박막 트랜지스터(TFT2)의 드레인 전극(175c)과 게이트 전극(124c) 사이에서 발생하는 기생 용량에 의한 킥백 전압으로 인하여 각각의 전극(190a, 190b, 176)에 전달된 전압(A, B, C)은 미세하게 변한다. 이때에도, 제1 화소 전극(190a)에 전달된 전압(A)의 절대값은 데이터선(171)을 통하여 전달된 화상 신호 전압(F)보다 작으며, 제2 화소 전극(190b)에 전달된 전압(B)의 절대값은 화상 신호 전압(F)보다 크게 유지된다.

이때, 제1 및 제2 화소 전극(190a, 190b)의 전압 차는 앞에 기재한 다양한 용량에 의해 결정되는데 가장 중요한 변수는 결합 전극(176)과 제2 화소 전극(190b) 사이의 결합 용량(Cbc)과 결합 전극(176)과 유지 용량 배선(136) 사이의 유지 용량(Cstc)이다. 이때, 결합 전극(176)과 유지 용량 배선(136) 사이의 유지 용량(Cstc)은 제1 화소 전극(190a)과 유지 용량 배선(131, 133a) 사이의 유지 용량(Csta)에 비하여 1/10-1/3 범위로 작은 것이 바람직하며, 결합 전극(176)과 제2 화소 전극(190b) 사이의 결합 용량(Cbc)은 결합 전극(176)과 유지 용량 배선(136) 사이의 유지 용량(Cstc)과 비슷한 범위로 서로에 대하여 2배를 넘지 않는 것이 바람직하다.

또한, 결합 전극(176)은 제2 화소 전극(190b)에 완전히 덮이는 것이 바람직하고, 이에 따라 결합 전극(176)과 공통 전극(270) 사이의 액정 용량(Clcc)은 거의 0에 근접한 것이 바람직하다. 본 발명의 실시예에서와 같이, 결합 전극(176)은 데이터선(171)과 동일한 층으로 형성하여, 제2 화소 전극(190b)과 유지 전극(136) 사이에 배치하는 것이 바람직하며, 이때 최대의 개구율을 확보할 수 있다. 물론, 유지 전극(136)과 결합 전극(176)은 서로 중첩시키지 않고 배치될 수도 있으며, 유지 용량 배선(131, 133a, 133b, 136) 구조는 다양하게 변형될 수 있으며, 결합 전극(176) 또한 다양하게 변형될 수 있다.

또한, Cgda와 Cgdb는 서로 유사한 크기를 가지는 것이 바람직하며, Cgdc는 Cgdb보다 커야 한다.

다음은, 시뮬레이션을 통하여 얻어진 화소 전압과 화상 신호 전압에 대하여 구체적으로 설명하기 한다.

도 8은 본 발명의 실시예에 따른 액정 표시 장치를 이용한 시뮬레이션을 통하여 얻어진 화소 전압과 화상 신호 전압을 나타낸 그래프이다. 여기서 화소 전압은 제1 및 제2 화소 전극(190a, 190b)에 전달된 전압으로 "A" 및 "B"이며, 화상 신호 전압은 데이터선(171)을 통하여 전달된 전압으로 실선으로 나타내었다.

도 8에서 보는 바와 같이, 화상 신호 전압이 2V일 때는 인 경우에 제1 및 제2 화소 전극(190a, 190b)의 전압의 차는 0.59V로 나타났으며, 화상 신호 전압이 5V일 때는 1.19V로 나타났다. 5V일 때, 제1 화소 전극(190a) 전압 강하는 0.55V이고, 제2 화소 전극(190b)의 전압 상승은 0.64V로 나타났다. 여기서, 용량 값 또는 전극의 면적을 변화시키면 전압 강하나 전압 상승은 자유롭게 조절할 수 있다.

본 발명의 실시예에 따른 시뮬레이션에서 최적의 조건에서 제1 화소 전극(190a)의 면적과 제2 화소 전극(190b)의 면적의 비율은 50:50-80:20 범위인 것이 바람직하며, 70:30 내지 80:20 범위인 것이 가장 바람직하며, 제1 화소 전극(190a)과 제2 화소 전극(190b) 사이의 전압 비율은 1:1.3 내지 1:1.5 범위인 것이 가장 바람직한데, 이에 대하여 구체적으로 설명하기로 한다.

도 9 및 도 10은 본 발명의 실시예에 따른 액정 표시 장치를 이용한 시뮬레이션을 통하여 얻어진 분할된 화소 전극의 전압비와 면적비를 나타낸 각각 그래프이다. 도 9에서 가로축은 하나의 단위 화소에서 제2 화소 전극(190b)이 차지하는 면적비이며, 도 10에서 가로축은 제1 화소 전극(190a)과 제2 화소 전극(190b)의 화소 전압비이며, 도 9 및 도 10에서 세로축은 시인성 왜곡량이다. 여기서, "우측 60도"는 액정 표시 장치의 정면으로부터 오른쪽 방향으로 60도가 되는 위치이며, "대각 60도"는 액정 표시 장치의 정면으로부터 대각선 방향으로 60도가 되는 위치를 의미한다.

화소 전극을 분할하더라도 액정 표시 장치의 표시 특성을 확보하기 위해서는 시인성이 왜곡은 것을 최소가 되어야 하므로, 도 9에서 보는 바와 같이 시인성 왜곡량을 최소화하기 위해서는 제2 화소 전극(190b)이 차지하는 면적은 20-30%가 바람직하다. 따라서, 제1 화소 전극(190a)과 제2 화소 전극(190b)의 면적비는 80:20-70:30 범위인 것이 바람직하다.

또한, 도 10에서 보는 바와 같이, 시인성 왜곡량을 최소화하기 위해서는 제1 화소 전극(190a)과 제2 화소 전극(190b)간의 전압비는 1.3-1.5 범위인 것이 바람직하다.

다음은, 앞에서 설명한 바와 같이 하나의 화소 내에 다른 전압이 전달되는 둘 이상의 화소 전극을 배치하면 각각의 서브 화소 전극이 서로 보상하여 감마 곡선의 왜곡이 감소하는 원리에 대하여 구체적으로 설명하기로 한다.

도 11a는 한 화소를 분할하지 않은 액정 표시 장치에서 감마 곡선의 왜곡을 나타낸 그래프이고, 도 11b는 본 발명의 실시예와 같이 한 화소를 서로 다른 화소 전압이 전달되는 두 서브 화소로 분할한 액정 표시 장치에서 감마 곡선의 왜곡을 나타낸 그래프이고, 도 11c는 한 화소를 서로 다른 화소 전압이 전달되는 세 서브 화소로 분할한 액정 표시 장치에서 감마 곡선의 왜곡을 나타낸 그래프이다. 1계조에서부터 64계조에 따른 휘도량을 측정한 곡선으로, 도 11a 내지 도 11c에서 가로축은 계조이고, 세로축은 계조에 따른 휘도량이며, 실선은 정면 감마 곡선을 나타낸 것이고, 점선은 측면 감마 곡선을 나타낸 것이다.

도 11a에서 보는 바와 같이, 일반적인 액정 표시 장치, 즉 하나의 화소에 하나의 화소 전극만이 형성되어 있는 액정 표시 장치에서는 정면 감마 곡선에 비하여 측면의 감마 곡선이 위쪽으로 크게 왜곡됨을 알 수 있다. 특히, 낮은 계조에서 휘도량이 급격하게 증가하여 감마 곡선의 왜곡이 심하게 나타남을 알 수 있다.

그러나 도 11b에서 보는 바와 같이 화소 전극을 두 개의 화소 전극(제1 서브 화소 전극 및 제2 서브 화소 전극)으로 분할하고, 이들 제1 및 제2 서브 화소 전극을 박막 트랜지스터 또는 결합 전극을 이용하여 용량성으로 결합하였을 때 본 발명의 실시예에서와 같이 제1 및 제2 화소 전극(190a, 190b)은 데이터선(171)을 통하여 전달되는 화상 신호 전압보다 높거나 낮은 화소 전압이 전달되어 화상을 표시한다. 이 때, 화상 신호 전압보다 높은 화소 전압이 전달되는 화소 전극을 가지는 부분을 제1 서브 화소이고, 화상 신호 전압보다 낮은 화소 전압이 전달되는 화소 전극을 가지는 부분을 제2 서브 화소라 하면, 낮은 계조에서 낮은 화소 전압으로 쉬프트되는 제2 서브 화소는 거의 블랙 상태를 유지하고 높은 전압으로 쉬프트되는 제1 서브 화소만이 주로 화상을 표시하여 전체 화소의 휘도량이 감소한다(도 11b에서 "제1 서브 화소" 부분). 한편, 임의 계조 이상의 높은 계조에서는 제2 서브 화소도 화상을 표시하여 전체 화소의 휘도량이 증가하게 된다(도 11b에서 "제2 서브 화소"). 따라서, 도 11b에 나타낸 바와 같이, 측면 감마 곡선의 왜곡이 감소하게 된다.

물론, 하나의 화소 전극을 세 부분으로 분할하는 실시예에서는 동일한 원리를 통하여 도 11c에서 보는 바와 같은 측면 감마 곡선을 얻을 수 있어, 더욱 측면 감마 곡선의 왜곡이 감소되며, 이에 대하여 구체적으로 설명하기로 한다.

앞의 실시예에서는 도 6에서 보는 바와 같이 단위 화소의 화소 전극을 둘로 분할한 구조에 대해서만 설명하였지만, 화소 전극은 둘 이상으로 분할 할 수 있으며, 화소 전극을 셋으로 분할하는 실시예에 대하여 설명하기로 한다.

도 12는 본 발명의 제2 실시예에 따른 박막 트랜지스터 표시판을 포함하는 액정 표시 장치의 구조를 개략적으로 나타낸 회로도이다.

도 12에서 보는 바와 같이, 본 발명의 제2 실시예에 따른 박막 트랜지스터 표시판의 구조는 대부분 도 6과 동일하다.

하지만, 도 6과 달리 제1 및 제2 화소 전극(190a, 190b)뿐만 아니라 각각의 단위 화소에서 제3 화소 전극(190c)이 형성되어 있으며, 이러한 제3 화소 전극(190c)은 제1 및 제2 화소 전극(190a, 190b)이 공통으로 연결되어 있는 제1 박막 트랜지스터(TFT1)에 연결되어 있다.

이러한 구조에서는 제1 내지 제3 화소 전극(190a, 190b, 190c)은 제1 박막 트랜지스터(TFT1, 도 6 참조)에 연결되어 함께 화상 신호 전압을 인가 받는데, 앞에서 설명한 바와 같이 제1 및 제2 화소 전극(190a, 190b)에 전달된 화소 전압을 변하게 되는데, 제3 화소 전극(190c)에는 데이터선(171)을 통하여 전달되는 화상 전압이 그대로 유지된다.

표시 장치의 측면 시인성을 개선하기 위해 화소 전극을 분할하여 화소 전압이 다르게 인가되도록 하더라도, 전압 강하가 1V 이상 심하게 발생하면 화소의 휘도가 심하게 발생하는 문제점이 난다. 또한, 전압 상승을 위하여 하나의 화소 전극에는 화상 신호 전압이 그대로 전달되고 나머지 다른 화소 전극을 결합 용량으로 연결하는 경우에는 휘도가 감소하는 문제점을 발생하지 않으나, 문자 흐려짐 등의 문제점이 발생한다.

본 발명의 실시예에서와 같은 구조에서는 전압 강하가 심하게 발생하지 않아 측면 시인성을 개선하는 동시에 휘도가 감소하는 것을 방지할 수 있었으며, 문자 흐려짐 등의 문제점이 나타나지 않아, 표시 장치의 표시 특성을 확보할 수 있었다.

한편, 본 발명의 다른 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판은 도 1-도 5와 다른 구조를 가질 수 있으며, 적, 녹, 청의 색 필터를 포함할 수도 있으며, 두 가지의 특징은 택일적으로 적용할 수 있으나, 본 실시예에서는 을 모두 가지는 구조에 대하여 도면을 참조하여 구체적으로 설명하기로 한다.

도 13은 본 발명의 제3 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 구조를 도시한 배치도이고, 도 14 및 도 15는 도 13에서 XIV'-XIV' 선 및 XV'-XV' 선을 따라 잘라 도시한 단면도이다.

도 13 내지 도 15에서 보는 바와 같이, 본 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 층상 구조는 대개 도 1 내지 도 5에 도시한 액정 표시 장치용 박막 트랜지스터 표시판의 층상 구조와 동일하다. 즉, 기판(110) 위에 복수의 게이트 전극(124a, 124b)을 포함하는 복수의 게이트선(121)이 형성되어 있고, 그 위에 게이트 절연막(140), 복수의 돌출부(154a, 154b)를 포함하는 복수의 선형 반도체(151), 복수의 돌출부(163a)를 각각 포함하는 복수의 선형 저항성 접촉 부재(161) 및 복수의 섬형 저항성 접촉 부재(163c, 165a, 165b, 165c)가 차례로 형성되어 있다. 저항성 접촉 부재(161, 165a, 165b, 165c) 및 게이트 절연막(140) 위에는 복수의 소스 전극(173a)을 포함하는 복수의 데이터선(171), 제1 박막 트랜지스터의 제1 및 제2 드레인 전극(175a, 175b), 제2 박막 트랜지스터의 소스 전극(173c) 및 드레인 전극(175c) 및 결합 전극(176)이 형성되어 있고 그 위에 보호막(180)이 형성되어 있다. 보호막(180) 및/또는 복수의 접촉 구멍(182, 185a, 185b, 183c)이 형성되어 있으며, 보호막(180) 위에는 복수의 제1 및 제2 화소 전극(190a, 190b)과 복수의 접촉 보조 부재(82)가 형성되어 있다.

그러나 도 1 내지 도 5에 도시한 박막 트랜지스터 표시판과 달리, 본 실시예에 따른 박막 트랜지스터 표시판에서 반도체(151)는 박막 트랜지스터가 위치하는 돌출부(154a, 154b)를 제외하면 데이터선(171), 제1 및 제2 드레인 전극(175a, 175b), 제2 박막 트랜지스터의 소스 전극(173c) 및 드레인 전극(175c) 및 그 하부의 저항성 접촉 부재(161, 163c, 165a, 165b, 165c)와 실질적으로 동일한 평면 형태를 가지고 있다.

또한, 보호막(180)의 하부에는 적, 녹 및 청의 색 필터(230)가 화소에 순차적으로 형성되어 있다. 적, 녹, 청의 색 필터(230)는 각각 데이터선(171) 상부에 경계를 두고 있으며 화소 열을 따라 세로로 길게 형성되어 있으며, 서로 이웃하는 색 필터가 데이터선(171) 위에서 서로 부분적으로 중첩되어 있어서 데이터선(171) 위에서 언덕을 이룰 수 있다. 이때, 서로 중첩되어 있는 적, 녹, 청의 색 필터(230)는 서로 이웃하는 화소 영역 사이에서 누설되는 빛을 차단하는 블랙 매트릭스의 기능을 가질 수 있다. 따라서, 본 실시예에 따른 액정 표시 장치용 대향 표시판에는 블랙 매트릭스가 생략되어 공통 전극(270)만 형성될 수 있다.

이러한 본 액정 표시 장치용 박막 트랜지스터 표시판은 데이터선(171) 및 드레인 전극(175a, 175b, 175c)과 반도체층(151)을 하나의 감광막 패터닝을 이용한 사진 식각 공정으로 형성하며, 이러한 감광막 패터닝은 박막 트랜지스터의 채널부에 대응하는 부분은 다른 데이터선 및 드레인 전극에 대응하는 부분보다 낮은 두께를 가진다. 이때, 감광막 패터닝은 반도체(151)를 패터닝하기 위한 식각 마스크이며, 두꺼운 부분은 데이터선 및 드레인 전극을 패터닝하기 위한 식각 마스크로 사용한다. 이러한 제조 방법은 서로 다른 두 박막을 하나의 감광막 패터닝으로 형성하여 제조 비용을 최소화할 수 있다.

또한, 게이트 전극(124a, 124b)을 가지는 게이트선(121)은 한쪽 끝 부분(129)은 외부 회로와의 연결을 위한 접속부를 가진다.

이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다. 특히, 화소 전극과 공통 전극에 형성하는 절개부의 배치는 여러 다양한 변형이 있을 수 있다.

발명의 효과

이상과 같은 구성을 통하여 휘도가 감소하는 것을 방지하고 문자 흐트러짐을 제거하면서 액정 표시 장치의 측면 시인성을 향상시켜 표시 특성을 향상시킬 수 있다.

(57) 청구의 범위

청구항 1.

절연 기판,

상기 절연 기판 위에 형성되어 있는 제1 신호선,

상기 제1 신호선과 절연되어 교차하고 있는 제2 신호선,

상기 제1 신호선과 상기 제2 신호선이 교차하여 정의하는 각 화소 영역마다 형성되어 있는 제1 및 제2 전극,

상기 화소마다 각각 형성되어 있으며, 상기 제2 전극에 중첩되어 있는 제3 전극,

제1 및 제2 단자는 상기 제1 신호선 및 상기 제2 신호선에 연결되어 있고, 제3 단자는 제1 및 제2 전극에 공통으로 연결되어 있는 제1 박막 트랜지스터,

제1 및 제2 단자는 이웃하는 상기 제1 신호선 및 상기 제1 전극에 각각 연결되어 있고, 제3 단자는 상기 제3 전극에 연결되어 있는 제2 박막 트랜지스터

를 포함하는 박막 트랜지스터 표시판.

청구항 2.

제1항에서,

상기 제1 및 제2 전극은 분할된 제1 및 제2 화소 전극이며,

상기 제3 전극은 상기 제2 박막 트랜지스터의 제3 단자에 연결되어 있는 결합 전극인 박막 트랜지스터 표시판.

청구항 3.

제2항에서,

상기 제1 및 제2 화소 전극 중 적어도 하나는 도메인 분할 수단을 가지는 박막 트랜지스터 표시판.

청구항 4.

제2항에서,

상기 결합 전극은 상기 제2 박막 트랜지스터의 드레인 전극으로부터 연장되어 있는 박막 트랜지스터 표시판.

청구항 5.

제2항에서,

상기 제1 신호선과 상기 제2 신호선 사이에 형성되어 있는 게이트 절연막과 상기 제2 신호선과 상기 제1 및 제2 화소 전극 사이에 형성되어 있는 보호막을 더 포함하고,

상기 제2 박막 트랜지스터의 제2 단자는 상기 보호막에 형성되어 있는 접촉구를 통하여 상기 제1 화소 전극과 연결되어 있는 박막 트랜지스터 표시판.

청구항 6.

제2항에서,

상기 제1 및 제2 화소 전극이 상기 화소 영역의 상하 이등분선에 대하여 실질적으로 거울상 대칭을 이루는 박막 트랜지스터 표시판.

청구항 7.

제6항에서,

상기 제1 화소 전극과 상기 제2 화소 전극의 서로 인접한 경계선 중 긴변 2개는 제1 신호선과 45°를 이루는 박막 트랜지스터 표시판.

청구항 8.

제2항에서,

상기 제2 신호선과 절연되어 교차하고 있으며 기준 전위가 인가되는 제3 신호선을 더 포함하는 박막 트랜지스터 표시판.

청구항 9.

제8항에서,

상기 제3 신호선의 일부는 상기 제2 박막 트랜지스터의 상기 제3 단자와 중첩되어 있는 박막 트랜지스터 표시판.

청구항 10.

제2항에서,

상기 제1 화소 전극의 면적과 상기 제2 화소 전극의 면적은 50:50-80:20 범위인 박막 트랜지스터 표시판.

청구항 11.

제2항에서,

상기 제1 박막 트랜지스터에 연결되어 있는 제3 화소 전극을 더 포함하는 박막 트랜지스터 표시판.

청구항 12.

제1 절연 기관,

상기 제1 절연 기관 위에 형성되어 있으며 제1 및 제2 게이트 전극을 포함하는 게이트선,

상기 게이트선 위에 형성되어 있는 게이트 절연막,

상기 게이트 절연막 위에 형성되어 있는 반도체층,

상기 반도체층 위에 형성되어 저항성 접촉층,

상기 게이트 절연막 위에 형성되어 있으며 적어도 일부가 상기 저항성 접촉층 위에 형성되어 있는 제1 소스 전극을 포함하는 데이터선,

적어도 일부가 상기 저항성 접촉층 위에 형성되어 있으며 상기 제1 게이트 전극에 대하여 상기 1 소스 전극과 각각 대향하는 제1 및 제2 드레인 전극,

상기 게이트 절연막 상부에 형성되어 있으며, 상기 제2 게이트 전극을 중심으로 서로 마주하는 제2 소스 전극과 제3 드레인 전극,

상기 게이트 절연막 위에 형성되어 있는 결합 전극,

상기 데이터선, 상기 제2 소스 전극 및 제1 내지 제3 드레인 전극 및 상기 결합 전극 위에 형성되어 있는 보호막,

상기 보호막 위에 형성되어 있으며 상기 제1 드레인 전극과 상기 제2 소스 전극에 연결되어 있는 제1 화소 전극,

상기 제1 화소 전극과 절연되어 있고, 상기 제2 드레인 전극과 연결되어 있고 상기 결합 전극과 적어도 일부분이 중첩하는 제2 화소 전극,

상기 제1 절연 기관과 대향하고 있는 제2 절연 기관,

상기 제2 절연 기관 위에 형성되어 있는 공통 전극,

상기 제1 기관 및 상기 제2 기관 중의 적어도 하나에 형성되어 있는 제1 도메인 분할 수단,

상기 제1 기관 및 상기 제2 기관 중의 적어도 하나에 형성되어 있으며 상기 제1 도메인 분할 수단과 함께 화소 영역을 다수의 소도메인으로 분할하는 제2 도메인 분할 수단

을 포함하는 액정 표시 장치.

청구항 13.

제12항에서,

상기 결합 전극은 상기 제3 드레인 전극으로부터 연장되어 있는 액정 표시 장치.

청구항 14.

제12항에서,

상기 제1 도메인 분할 수단은 상기 제1 화소 전극과 상기 제2 화소 전극 중의 적어도 하나가 가지는 절개부이고,

상기 제2 도메인 분할 수단은 상기 공통 전극이 가지는 절개부인 액정 표시 장치.

청구항 15.

제12항에서,

상기 제1 화소 전극의 면적과 상기 제2 화소 전극의 면적은 50:50-80:20 범위인 액정 표시 장치.

청구항 16.

제12항에서,

적어도 일부가 상기 저항성 접촉층 위에 형성되어 있으며 상기 제1 게이트 전극에 대하여 상기 1 소스 전극과 대향하는 제4 드레인 전극,

상기 제4 드레인 전극과 연결되어 있는 제3 화소 전극

을 더 포함하는 액정 표시 장치.

청구항 17.

제12항에서,

상기 보호막은 유기 절연 물질로 이루어진 액정 표시 장치.

청구항 18.

제12항에서,

상기 반도체층은 상기 데이터선의 하부까지 연장되어 있는 액정 표시 장치.

청구항 19.

제12항에서,

상기 제1 및 상기 제2 절연 기관 중 하나의 상부에 형성되어 있는 색 필터를 더 포함하는 액정 표시 장치.

청구항 20.

제1 신호선,

상기 제1 신호선과 절연되어 교차하고 있는 제2 신호선,

상기 제1 신호선과 상기 제2 신호선이 교차하여 정의하는 각 화소 영역마다 형성되어 있으며, 서로 분리되어 있는 제1 및 제2 화소 전극,

상기 제1 및 제2 화소 전극과 마주하는 공통 전극

을 포함하며,

상기 공통 전극의 공통 전압에 대하여 상기 제1 및 제2 화소 전극의 제1 및 제2 화소 전압은 상기 제2 신호선을 통하여 전달되는 화상 신호 전압과 다른 액정 표시 장치.

청구항 21.

제20항에서,

상기 제1 화소 전압의 절대값은 상기 제2 화소 전압의 절대값보다 작은 액정 표시 장치.

청구항 22.

제20항에서,

상기 제1 및 제2 화소 전극에 공통으로 전달되는 상기 화상 신호 전압을 제어하는 제1 박막 트랜지스터를 더 포함하는 액정 표시 장치.

청구항 23.

제22항에서,

상기 제1 화소 전극에 연결되어 있으며, 하나의 단자는 상기 제2 화소 전극은 결합 용량으로 연결하는 제2 박막 트랜지스터를 더 포함하는 액정 표시 장치.

청구항 24.

제23항에서,

상기 제2 박막 트랜지스터에 연결되어 있으며, 상기 제2 화소 전극과 절연 상태로 중첩하고 있는 결합 전극을 더 포함하는 액정 표시 장치.

청구항 25.

제24항에서,

상기 제1 화소 전극과 상기 제2 화소 전극 중 적어도 하나는 도메인 분할 수단을 가지는 액정 표시 장치.

청구항 26.

제24항에서,

상기 결합 전극은 상기 제2 박막 트랜지스터의 드레인 전극으로부터 연장되어 있는 액정 표시 장치.

청구항 27.

제24항에서,

상기 제1 및 제2 화소 전극이 상기 화소 영역의 상하 이등분선에 대하여 실질적으로 거울상 대칭을 이루는 액정 표시 장치.

청구항 28.

제27항에서,

상기 제1 화소 전극과 상기 제2 화소 전극의 서로 인접한 경계선 중 긴변 2개는 제1 신호선과 45°를 이루는 액정 표시 장치.

청구항 29.

제20항에서,

상기 제1 화소 전극의 면적과 상기 제2 화소 전극의 면적은 50:50-80:20 범위인 액정 표시 장치.

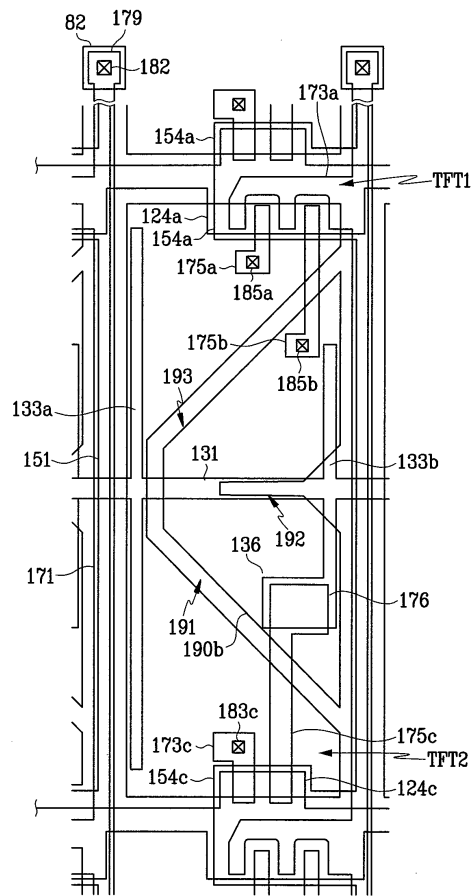
청구항 30.

제20항에서,

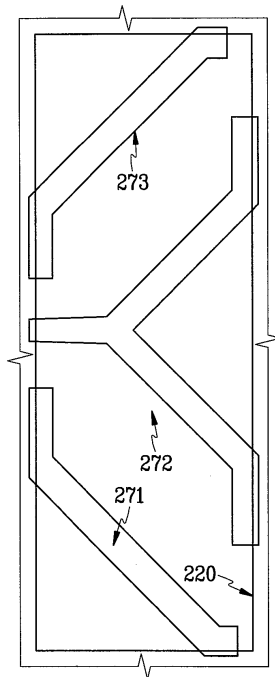
상기 화상 신호 전압이 전달되는 제3 화소 전극을 더 포함하는 액정 표시 장치.

도면

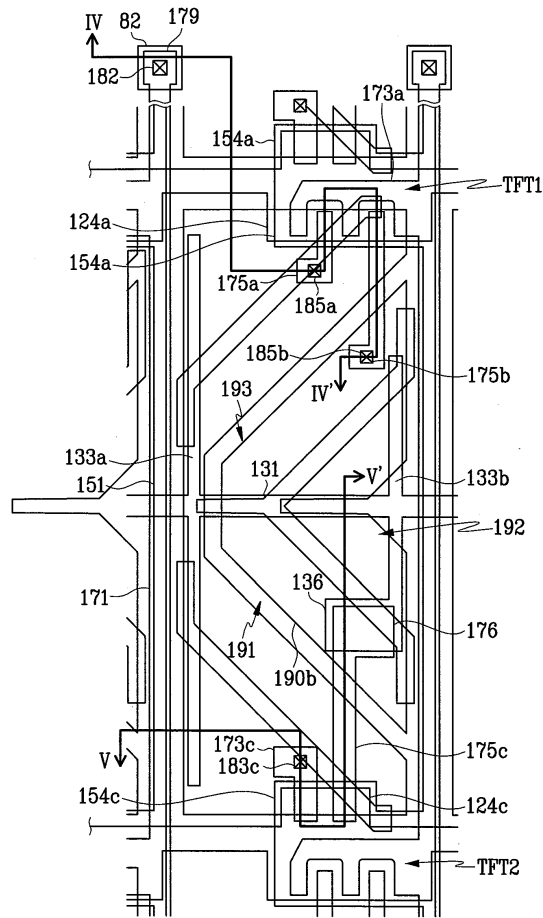
도면1



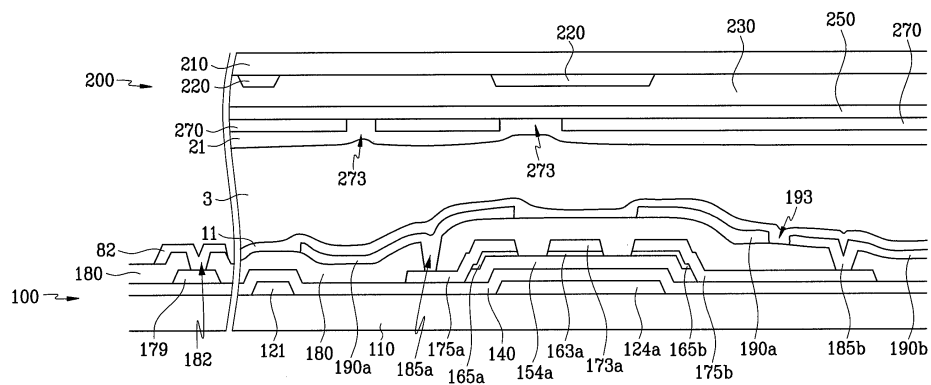
도면2



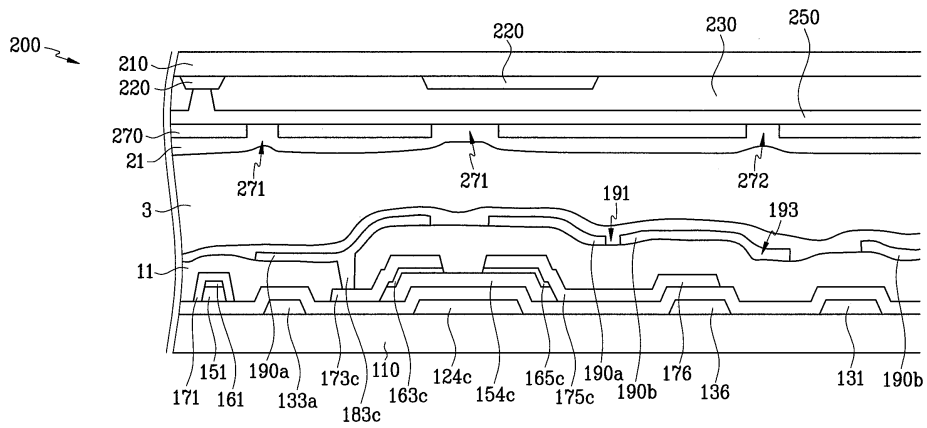
도면3



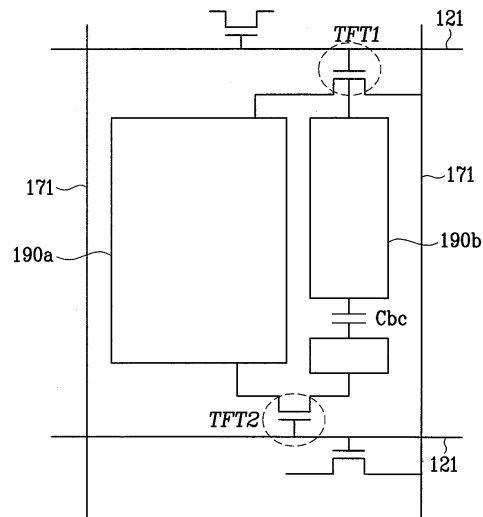
도면4



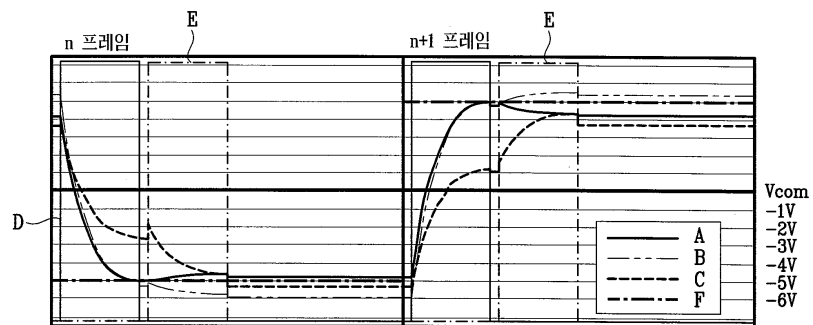
도면5



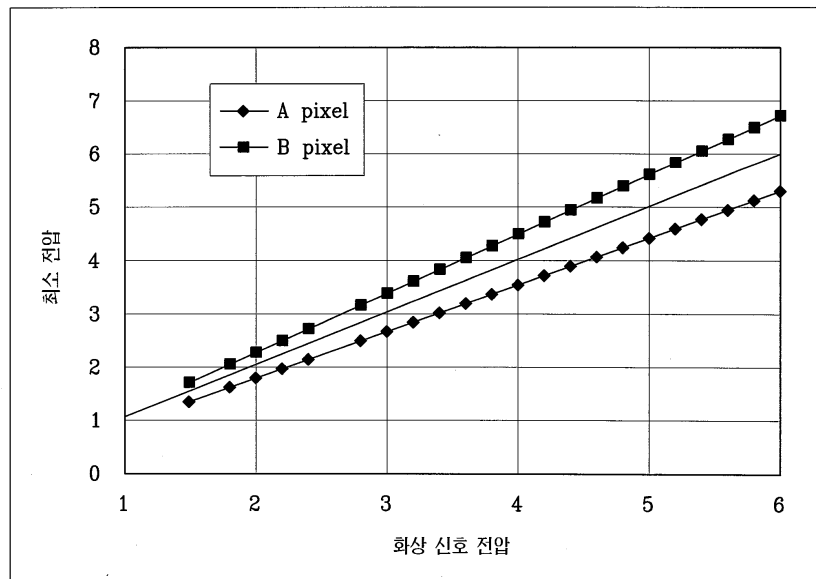
도면6



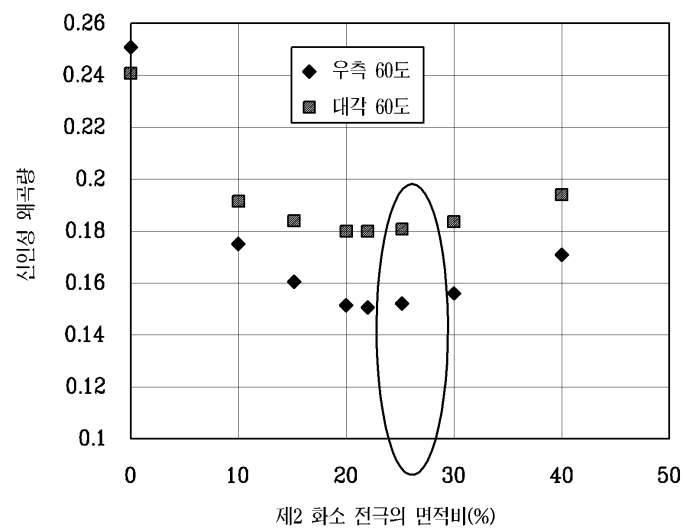
도면7



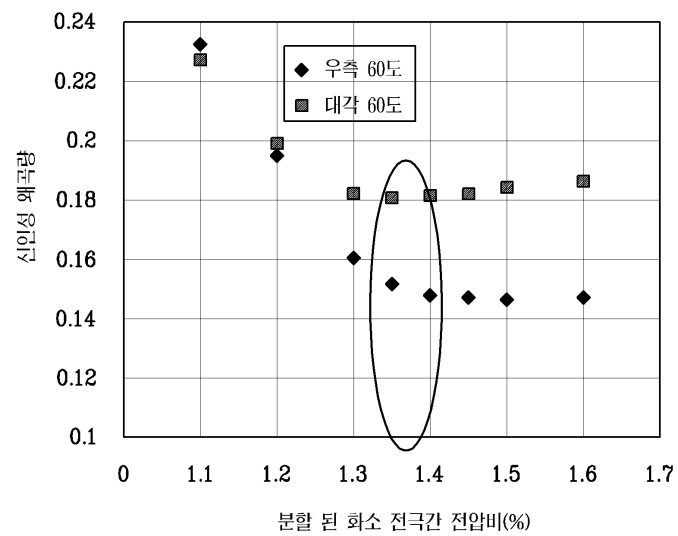
도면8



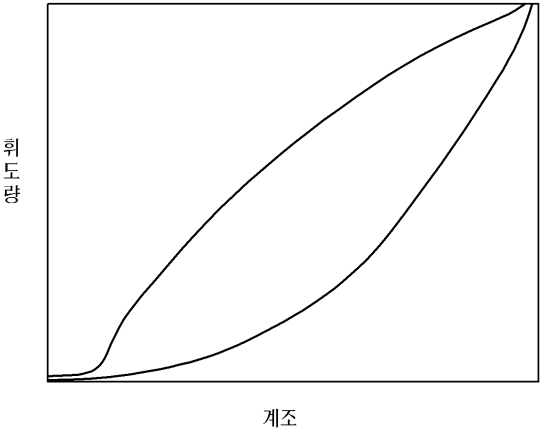
도면9



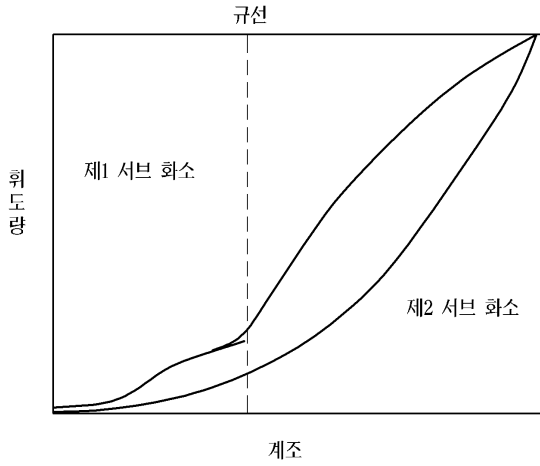
도면10



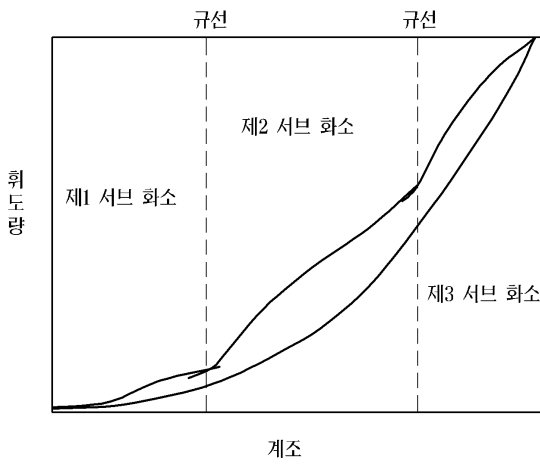
도면11a



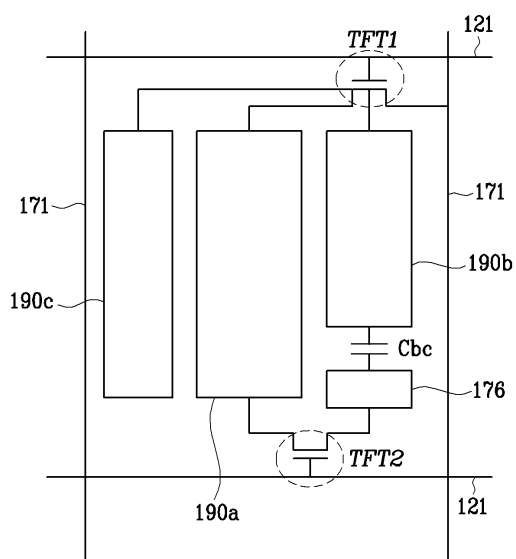
도면11b



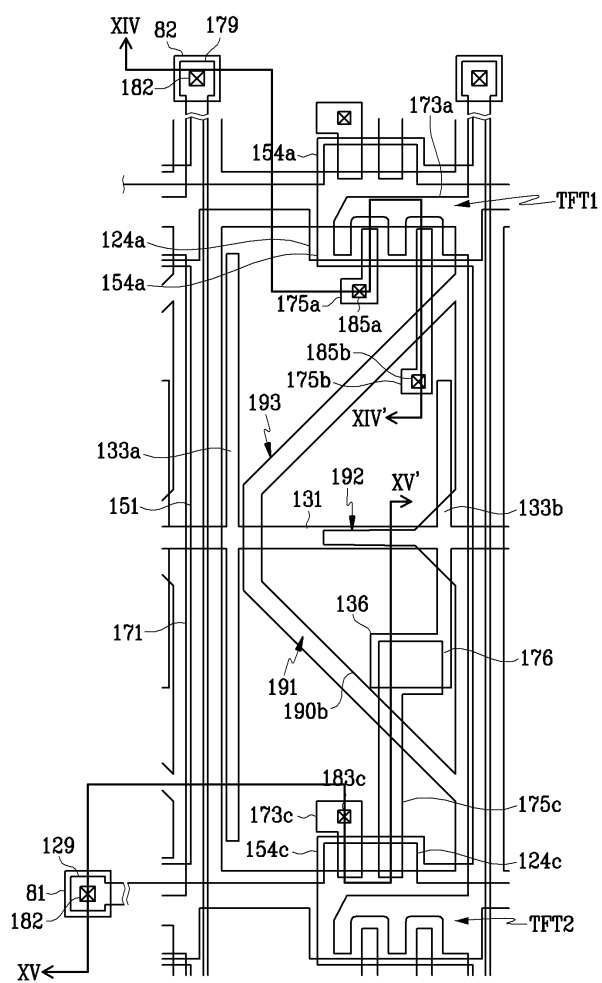
도면11c



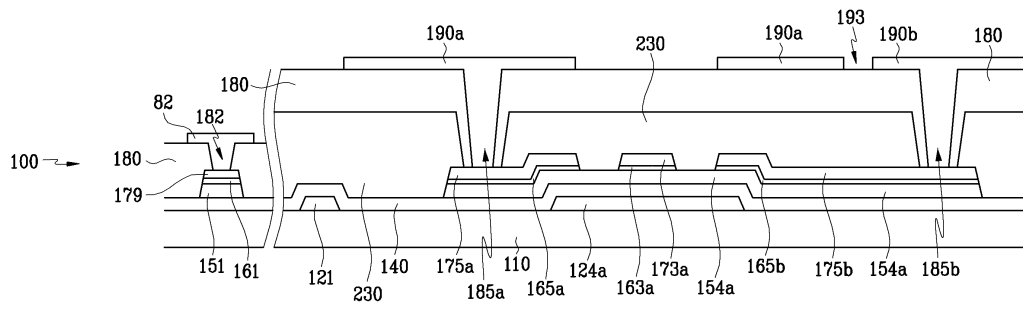
도면12



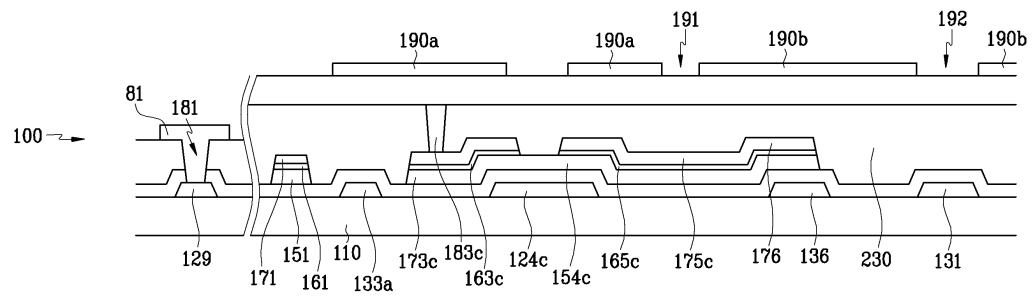
도면13



도면14



도면15



专利名称(译)	多畴液晶显示装置及其中使用的显示面板		
公开(公告)号	KR1020050018520A	公开(公告)日	2005-02-23
申请号	KR1020030056546	申请日	2003-08-14
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	SONG JANGKUN		
发明人	SONG,JANGKUN		
IPC分类号	G02F1/1343		
CPC分类号	G02F1/1343 G02F1/1368 G02F2201/123 H01L27/124		
其他公开文献	KR101122226B1		
外部链接	Espacenet		

摘要(译)

用于具有包括形成在绝缘基板上的栅极线的薄膜晶体管基板的液晶显示器，数据线，第一和第二像素电极，每个像素区域，栅极线，数据线中的3端子以及第一和第二像素电极是分别连接薄膜晶体管，连接到第一像素电极的第二薄膜晶体管和连接电极。数据线与栅极线绝缘并相交。对于形成每个像素区域，栅极线和数据线交叉和限定的第一和第二像素电极。连接电极与第二像素电极重叠，同时连接到第二薄膜晶体管的漏电极并且组合成电容。这样，可以获得改善的宽视角液晶显示装置%液晶显示装置，该液晶显示装置在下侧具有宽视角侧，并且可以获得两个像素电极的像素电压。液晶显示器，垂直对准，切口部分，连杆电极，可视性，亮度。

