(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl.[7]
G02F 1/136

(11) 공개번호 10-2004-0086925
(43) 공개일자 2004년10월13일

(21) 출원번호 10-2003-0021116
(22) 출원일자 2003년04월03일

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 임병호
경상북도구미시봉곡동391번지현대아파트101동902호

안병철
경기도안양시동안구평촌동899-2향촌아파트203동903호

(74) 대리인 김영호

심사청구 : 있음

(54) 수평 전계 인가형 액정 표시 장치 및 그 제조 방법

요약

본 발명은 마스크 공정 수를 줄일 수 있는 수평 전계 인가형 액정 표시 장치 및 그 제조 방법에 관한 것이다.

본 발명에 따른 수평 전계 인가형 액정 표시 장치는 게이트 라인과, 상기 게이트 라인과 평행하게 형성된 공통 라인과, 상기 게이트 라인 및 공통 라인과 절연되게 교차하여 화소 영역을 결정하는 데이터 라인과, 상기 게이트 라인 및 데이터 라인의 교차부에 형성된 박막 트랜지스터와, 상기 화소 영역에 형성되고 상기 공통 라인과 접속된 공통 전극과, 상기 박막 트랜지스터와 접속되고 상기 화소 영역에 상기 공통 전극과 수평 전계를 형성하도록 형성된 화소 전극과, 상기 게이트 라인에 포함된 적어도 하나의 도전층으로 형성된 게이트 패드와, 상기 데이터 라인에 포함된 적어도 하나의 도전층으로 형성된 데이터 패드와, 상기 공통 라인에 포함된 적어도 하나의 도전층으로 형성된 공통 패드와, 상기 게이트 패드, 데이터 패드 및 공통 패드 중 적어도 어느 하나를 노출시키는 보호막과, 상기 게이트패드 및 데이터패드 중 적어도 어느 하나와 직접적으로 접속되도록 상기 기판 상에 실장된 구동집적회로를 구비하는 것을 특징으로 한다.

대표도

도 15

명세서

도면의 간단한 설명

도 1은 종래의 수평 전계 인가형 액정 표시 장치 중 박막 트랜지스터 어레이 기판을 나타내는 평면도이다.

도 2는 도 1에서 선'Ⅰ-Ⅰ'', 'Ⅱ-Ⅱ''를 따라 절취한 박막트랜지스터 어레이기판을 나타내는 단면도이다.

도 3a 내지 도 3d는 도 2에 도시된 박막 트랜지스터 어레이 기판의 제조 방법을 단계적으로 나타내는 단면도이다.

도 4는 본 발명의 실시 예에 따른 수평 전계 인가형 액정 표시 장치의 박막트랜지스터 어레이 기판를 나타내는 평면도이다.

도 5는 도 4에서 선'III-III'', 'IV-IV''를 따라 절취한 박막 트랜지스터 어레이 기판을 나타내는 단면도이다.

도 6a 및 도 6b는 본 발명의 실시 예에 따른 박막 트랜지스터 어레이 기판의 제조 방법 중 제1 마스크 공정을 설명하기 위한 평면도 및 단면도이다.

도 7a 내지 도 7c는 본 발명의 실시 예에 따른 박막 트랜지스터 어레이 기판 의 제조 방법 중 제1 마스크 공정을 구체적으로 설명하기 위한 단면도이다.

도 8a 및 도 8b는 본 발명의 실시 예에 따른 박막 트랜지스터 어레이 기판의 제조 방법 중 제2 마스크 공정을 설명하기 위한 평면도 및 단면도이다.

도 9a 내지 도 9e는 본 발명의 실시 예에 따른 박막 트랜지스터 어레이 기판의 제조 방법 중 제2 마스크 공정을 구체적으로 설명하기 위한 단면도이다.

도 10a 및 도 10b는 본 발명의 실시 예에 따른 박막 트랜지스터 어레이 기판의 제조 방법 중 제3 마스크 공정을 설명하기 위한 평면도 및 단면도이다.

도 11a 및 도 11c는 본 발명의 실시 예에 따른 박막 트랜지스터 어레이 기판의 제조 방법 중 제3 마스크 공정을 구체적으로 설명하기 위한 단면도이다.

도 12는 본 발명의 실시 예에 따른 박막 트랜지스터 어레이 기판에서 제1 구조를 갖는 패드들을 도시한 단면도이다.

도 13은 본 발명의 실시 예에 따른 박막 트랜지스터 어레이 기판에서 제2 구조를 갖는 패드들을 도시한 단면도이다.

도 14는 본 발명의 실시 예에 따른 제1 구조를 갖는 액정표시장치를 도시한 평면도이다.

도 15는 도 14에 도시된 액정표시장치를 도시한 단면도이다.

도 16은 본 발명의 실시 예에 따른 제2 구조를 갖는 액정표시장치를 도시한 평면도이다.

도 17은 도 16에 도시된 액정표시장치를 도시한 단면도이다.

< 도면의 주요 부분에 대한 부호의 설명 >

2, 102 : 게이트 라인 4, 104 : 데이터 라인

6, 106 : 박막 트랜지스터 8, 108 : 게이트 전극

10 : 소스 전극 12, 112 : 드레인 전극

13, 27, 33, 39, 127, 133, 139 : 접촉홀 14, 114 : 화소 전극

16, 116 : 공통 라인 18, 118 : 공통 전극

20, 120 : 스토리지 캐패시터 22, 122 : 스토리지 상부 전극

24, 124 : 게이트 패드 26 : 게이트 패드 하부 전극

28 : 게이트 패드 상부 전극 30, 130 : 데이터 패드

32 : 데이터 패드 하부 전극 34 : 데이터 패드 상부 전극

36, 136 : 공통 패드 38 : 공통 패드 하부 전극

40 : 공통 패드 상부 전극 42, 142 : 제1 게이트 금속층

44, 144 : 제2 게이트 금속층 45, 145 : 기판

46, 146 : 게이트 절연막 48, 148 : 활성층

50, 150 : 오믹접촉층 52, 152 : 보호막

147 : 제1 반도체층 149 : 제2 반도체층

154 : 제1 소스/드레인 금속층 156 : 제2 소스/드레인 금속층

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 수평 전계를 이용하는 액정 표시 장치에 관한 것으로, 특히 마스크 공정수를 줄일 수 있는 수평 전계 인가형 액정 표시 장치 및 그 제조 방법에 관한 것이다.

액정 표시 장치는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이러한 액정 표시 장치는 액정을 구동시키는 전계의 방향에 따라 수직 전계형과 수평 전계형으로 대별된다.

수직 전계형 액정 표시 장치는 상부기판 상에 형성된 공통전극과 하부기판 상에 형성된 화소전극이 서로 대향되게 배치되어 이들 사이에 형성되는 수직 전계에 의해 TN(Twisted Nemastic) 모드의 액정을 구동하게 된다. 이러한 수직 전계형 액정 표시 장치는 개구율이 큰 장점을 가지는 반면 시야각이 90도 정도로 좁은 단점을 가진다.

수평 전계형 액정 표시 장치는 하부 기판에 나란하게 배치된 화소 전극과 공통 전극 간의 수평 전계에 의해 인 플레인 스위치(In Plane Switch; 이하, IPS라 함) 모드의 액정을 구동하게 된다. 이러한 수평 전계형 액정 표시 장치는 시야각이 160도 정도로 넓은 장점을 가진다. 이하, 수평 전계형 액정 표시 장치에 대하여 상세히 살펴보기로 한다.

수평 전계형 액정 표시 장치는 서로 대향하여 합착된 박막 트랜지스터 어레이 기판(하부 기판) 및 칼러 필터 어레이 기판(상부 기판)과, 두 기판 사이에서 셀갭을 일정하게 유지시키기 위한 스페이서와, 스페이서에 의해 마련된 액정공간에 채워진 액정을 구비한다.

박막 트랜지스터 어레이 기판은 화소 단위의 수평 전계 형성을 위한 다수의 신호 라인들 및 박막 트랜지스터와, 그들 위에 액정 배향을 위해 도포된 배향막으로 구성된다. 칼라 필터 어레이 기판은 칼러 구현을 위한 칼라 필터 및 빛샘 방지를 위한 블랙 매트릭스와, 그들 위에 액정 배향을 위해 도포된 배향막으로 구성된다.

이러한 액정 표시 장치에서 박막 트랜지스터 어레이 기판은 반도체 공정을 포함함과 아울러 다수의 마스크 공정을 필요로 함에 따라 제조 공정이 복잡하여 액정 패널 제조 단가 상승의 중요 원인이 되고 있다. 이를 해결하기 위하여, 박막 트랜지스터 어레이 기판은 마스크 공정수를 줄이는 방향으로 발전하고 있다. 이는 하나의 마스크 공정이 박막 증착 공정, 세정 공정, 포토리쏘그래피 공정, 식각 공정, 포토레지스트 박리 공정, 검사 공정 등과 같은 많은 공정을 포함하고 있기 때문이다. 이에 따라, 최근에는 박막 트랜지스터 어레이 기판의 표준 마스크 공정이던 5 마스크 공정에서 하나의 마스크 공정을 줄인 4 마스크 공정이 대두되고 있다.

도 1은 종래의 4마스크 공정을 이용한 수평 전계형 액정 표시 장치의 박막 트랜지스터 어레이 기판을 나타낸 평면도이며, 도 2는 도 1에서 선' Ⅰ - Ⅰ'', 'Ⅱ - Ⅱ''를 따라 절취한 박막 트랜지스터 어레이 기판을 나타낸 단면도이다.

도 1 및 도 2를 참조하면, 종래 수평 전계형 액정표시장치의 박막 트랜지스터 어레이 기판은 하부 기판(45) 상에 교차되게 형성된 게이트 라인(2) 및 데이터 라인(4)과, 그 교차부마다 형성된 박막 트랜지스터(6)와, 그 교차 구조로 마련된 화소 영역에 수평 전계를 이루도록 형성된 화소 전극(14) 및 공통 전극(18)과, 공통 전극(18)과 접속된 공통 라인(16)을 구비한다. 또한, 종래 박막 트랜지스터 어레이 기판은 화소 전극(14)과 공통 라인(16)의 중첩부에 형성된 스토리지 캐패시터(20)와, 게이트 라인(2)과 접속된 게이트 패드(24)와, 데이터 라인(4)과 접속된 데이터 패드(30)와, 공

통 라인(16)과 접속된 공통 패드(36)를 추가로 구비한다.

게이트라인(2)은 박막트랜지스터(6)의 게이트전극(8)에 게이트신호를 공급한다. 데이터라인(4)은 박막트랜지스터(6)의 드레인전극(12)을 통해 화소전극(14)에 화소신호를 공급한다. 게이트라인(2)과 데이터라인(4)은 교차구조로 형성되어 화소영역(5)을 정의한다.

공통라인(16)은 화소영역(5)을 사이에 두고 게이트라인(2)과 나란하게 형성되며 액정 구동을 위한 기준전압을 공통전극(16)에 공급한다.

박막 트랜지스터(6)는 게이트 라인(2)의 게이트 신호에 응답하여 데이터 라인(4)의 화소 신호가 화소 전극(14)에 충전되어 유지되게 한다. 이를 위하여, 박막 트랜지스터(6)는 게이트 라인(2)에 접속된 게이트 전극(8)과, 데이터 라인(4)에 접속된 소스 전극(10)과, 화소 전극(14)에 접속된 드레인 전극(12)을 구비한다. 또한, 박막 트랜지스터(6)는 게이트 전극(8)과 게이트 절연막(46)을 사이에 두고 중첩되면서 소스 전극(10)과 드레인 전극(12) 사이에 채널을 형성하는 활성층(48)을 더 구비한다. 활성층(48)은 데이터 라인(4), 데이터 패드 하부 전극(32) 및 스 토리지 전극(22)과 중첩되게 형성된다. 이러한 활성층(48) 위에는 데이터 라인(4), 소스 전극(10), 드레인 전극(12), 데이터 패드 하부 전극(32) 및 스토리지 전극(22)과 오믹 접촉을 위한 오믹 접촉층(50)이 더 형성된다.

화소 전극(14)은 보호막(52)을 관통하는 제1 접촉홀(13)을 통해 박막 트랜지스터(6)의 드레인 전극(12)과 접속되어 화소 영역(5)에 형성된다. 특히, 화소 전극(14)은 드레인 전극(12)과 접속되고 인접한 게이트 라인(2)과 나란하게 형성된 제1 수평부(14A)와, 공통 라인(16)과 중첩되게 형성된 제2 수평부(14B)와, 제1 및 제2 수평부(14A, 14B) 사이에 공통전극(18)과 나란하게 형성된 핑거부(14C)를 구비한다.

공통 전극(18)은 공통 라인(16)과 접속되어 화소 영역(5)에 형성된다. 특히, 공통 전극(18)은 화소 영역(5)에서 화소 전극(14)의 핑거부(14C)와 나란하게 형성된다.

이에 따라, 박막 트랜지스터(6)를 통해 화소 신호가 공급된 화소 전극(14)과 공통 라인(16)을 통해 기준 전압이 공급된 공통 전극(18) 사이에는 수평 전계가 형성된다. 특히, 화소 전극(14)의 핑거부(14C)와 공통 전극(18) 사이에는 수평 전계가 형성된다. 이러한 수평 전계에 의해 박막 트랜지스터 어레이 기판과 칼라 필터 어레이 기판 사이에서 수평 방향으로 배열된 액정 분자들이 유전 이방성에 의해 회전하게 된다. 액정 분자들의 회전 정도에 따라 화소 영역(5)을 투과하는 광 투과율이 달라지게 됨으로써 화상을 구현하게 된다.

스토리지 캐패시터(20)는 공통 라인(16)과, 그 공통 라인(16)과 게이트 절연 막(46), 활성층(48), 그리고 오믹 접촉층(50)을 사이에 두고 중첩되는 스토리지전극(22)과, 그 스토리지전극(22)과 보호막(50)을 관통하는 제2 접촉홀(21)을 통해 접속된 화소 전극(14)으로 구성된다. 이러한 스토리지 캐패시터(20)는 화소 전극(14)에 충전된 화소 신호가 다음 화소 신호가 충전될 때까지 안정적으로 유지되게 한다.

게이트 라인(2)은 게이트 패드(24)를 통해 게이트 드라이버(미도시)와 접속된다. 게이트 패드(24)는 게이트 라인(2)으로부터 신장된 게이트 패드 하부 전극(26)과, 게이트 절연막(46) 및 보호막(52)을 관통하는 제3 접촉홀(27)을 통해 게이트 패드 하부 전극(26)과 접속된 게이트 패드 상부 전극(28)으로 구성된다.

데이터 라인(4)은 데이터 패드(30)를 통해 데이터 드라이버(미도시)와 접속된다. 데이터 패드(30)는 데이터 라인(4)으로부터 연장되는 데이터 패드 하부 전극(32)과, 보호막(52)을 관통하는 제4 접촉홀(33)을 통해 데이터 패드 하부 전극(32)과 접속된 데이터 패드 상부 전극(34)으로 구성된다.

공통 라인(16)은 공통 패드(36)를 통해 외부의 기준 전압원(미도시)으로부터 기준 전압을 공급받게 된다. 공통 패드(36)는 공통 라인(16)으로부터 연장되는 공통 패드 하부 전극(38)과, 게이트 절연막(46) 및 보호막(52)을 관통하는 제5 접촉홀(39)을 통해 공통 패드 하부 전극(38)과 접속된 공통 패드 상부 전극(40)으로 구성된다.

이러한 구성을 가지는 박막 트랜지스터 어레이 기판의 제조 방법을 4마스크 공정을 이용하여 상세히 하면 도 3a 내지 도 3d에 도시된 바와 같다.

도 3a를 참조하면, 제1 마스크 공정을 이용하여 하부 기판(45) 상에 게이트 라인(2), 게이트 전극(8), 게이트 패드 하부 전극(26), 공통 라인(16), 공통 전극(18) 및 공통 패드 하부 전극(38)을 포함하는 제1 도전 패턴군이 형성된다.

이를 상세히 설명하면, 하부 기판(45) 상에 스퍼터링 방법 등의 증착 방법을 통해 제1 금속층(42)과 제2 금속층(44)이 순차적으로 증착됨으로써 이중 구조의 게이트 금속층이 형성된다. 이어서, 제1 마스크를 이용한 포토리쏘그래피 공정과 식각 공정으로 게이트 금속층이 패터닝됨으로써 게이트 라인(2), 게이트 전극(8), 게이트 패드 하부 전극(26), 공통 라인(16), 공통 전극(18) 및 공통 패드 하부 전극(38)을 포함하는 제1 도전 패턴군이 형성된다. 여기서, 제1 금속

층(42)으로는 알루미늄계 금속 등이 이용되고, 제2 금속층(44)으로는 크롬(Cr) 또는 몰리브덴(Mo) 등의 금속이 이용된다.

도 3b를 참조하면, 제1 도전패턴군이 형성된 하부 기판(45) 상에 게이트 절연막(46)이 형성된다. 그리고 제2 마스크 공정을 이용하여 게이트 절연막(46) 위에 활성층(48) 및 오믹 접촉층(50)을 포함하는 반도체 패턴과; 데이터 라인(4), 소스 전극(10), 드레인 전극(12), 데이터 패드 하부 전극(32), 스토리지전극(22)을 포함하는 제2 도전 패턴군이 형성된다.

이를 상세히 설명하면, 제1 도전 패턴군이 형성된 하부 기판(45) 상에 PECVD, 스퍼터링 등의 증착 방법을 통해 게이트 절연막(46), 제1 및 제2 반도체층, 그리고 데이터 금속층이 순차적으로 형성된다. 여기서, 게이트 절연막(46)의 재료로는 산화 실리콘(SiOx) 또는 질화 실리콘(SiNx) 등의 무기 절연물질이 이용된다. 제1 반도체층은 불순물이 도핑되지 않은 비정질실리콘이 이용되며, 제2 반도체층은 N형 또는 P형의 불순물이 도핑된 비정질실리콘이 이용된다. 데이터 금속층으로는 몰리브덴(Mo), 티타늄, 탄탈륨, 몰리브덴 합금(Mo alloy) 등이 이용된다.

이어서, 데이터 금속층 위에 제2 마스크를 이용한 포토리쏘그래피 공정으로 포토레지스트 패턴을 형성하게 된다. 이 경우 제2 마스크로는 박막 트랜지스터의 채널부에 회절 노광부를 갖는 회절 노광 마스크를 이용함으로써 채널부의 포토레지스트 패턴이 다른 영역부의 포토레지스트 패턴 보다 낮은 높이를 갖게 한다.

채널부의 높이가 다른 포토레지스트 패턴을 이용한 습식 식각 공정으로 데이터 금속층이 패터닝됨으로써 데이터 라인(4), 소스 전극(10), 그 소스 전극(10)과 일체화된 드레인 전극(12), 스토리지전극(22)을 포함하는 데이터패턴이 형성된다.

그 다음, 동일한 포토레지스트 패턴을 이용한 건식 식각공정으로 제1 및 제2 반도체층이 동시에 패터닝됨으로써 오믹 접촉층(50)과 활성층(48)이 형성된다.

그리고, 애싱(Ashing) 공정으로 채널부에서 상대적으로 낮은 높이를 갖는 포토레지스트 패턴이 제거된 후 건식 식각 공정으로 채널부의 일체화된 소스전극 및 드레인전극과 오믹 접촉층(50)이 식각된다. 이에 따라, 채널부의 활성층(48)이 노출되어 소스 전극(10)과 드레인 전극(12)이 분리된다.

이어서, 스트립 공정으로 제2 도전패턴군 위에 남아 있던 포토레지스트 패턴이 제거된다.

도 3c를 참조하면, 제2 도전패턴군이 형성된 게이트 절연막(46) 상에 제3 마스크 공정을 이용하여 제1 내지 제5 접촉홀(13,21,27,33,39)을 포함하는 보호막(52)이 형성된다.

상세히 하면, 데이터패턴이 형성된 게이트 절연막(46) 상에 PECVD 등의 증착 방법으로 보호막(52)이 전면 형성된다. 이어서, 보호막(52)이 제3 마스크를 이용한 포토리쏘그래피 공정과 식각 공정으로 패터닝됨으로써 제1 내지 제5 접촉홀들(13, 21, 27, 33, 39)이 형성된다. 제1 접촉홀(13)은 보호막(52)을 관통하여 드레인 전극(12)을 노출시키고, 제2 접촉홀(21)은 보호막(52)을 관통하여 스토리지전극(22)을 노출시킨다. 제3 접촉홀(27)은 보호막(52) 및 게이트 절연막(46)을 관통하여 게이트 패드 하부 전극(26)을 노출시키고, 제4 접촉홀(33)은 보호막(52)을 관통하여 데이터 패드 하부 전극(32)을 노출시키고, 제5 접촉홀(39)은 보호막(52) 및 게이트 절연막(46)을 관통하여 공통 패드 하부 전극(38)을 노출시킨다. 여기서, 데이터금속으로 몰리브덴(Mo)과 같이 건식 식각비가 큰 금속이 이용되는 경우 제1 접촉홀(13), 제2 접촉홀(21), 제4 접촉홀(33) 각각은 드레인 전극(12), 스토리지 전극(22), 데이터 패드 하부 전극(32)까지 관통하여 그들의 측면을 노출시키게 된다.

보호막(52)의 재료로는 게이트 절연막(46)과 같은 무기 절연 물질이나 유전상수가 작은 아크릴(acryl)계 유기 화합물, BCB 또는 PFCB 등과 같은 유기 절연 물질이 이용된다.

도 3d를 참조하면, 제4 마스크 공정을 이용하여 보호막(52) 상에 화소 전극(14), 게이트 패드 상부 전극(28), 데이터 패드 상부 전극(34), 공통 패드 상부 전극(40)을 포함하는 제3 도전 패턴군이 형성된다.

이를 상세히 설명하면, 보호막(52) 상에 스퍼터링 등의 증착 방법으로 투명 도전막이 도포된다. 이어서 제4 마스크를 이용한 포토리쏘그래피 공정과 식각 공정을 통해 투명 도전막이 패텅님됨으로써 화소 전극(14), 게이트 패드 상부 전극(28), 데이터 패드 상부 전극(34), 공통 패드 상부 전극(40)을 포함하는 제3 도전 패턴군이 형성된다. 화소 전극(14)은 제1 접촉홀(13)을 통해 드레인 전극(12)과 전기적으로 접속되고, 제2 접촉홀(21)을 통해 스토리지 전극(22)과 전기적으로 접속된다. 게이트 패드 상부 전극(28)는 제3 접촉홀(27)을 통해 게이트 패드 하부 전극(26)과 전기적으로 접속된다. 데이터 패드 상부 전극(34)은 제4 접촉홀(33)을 통해 데이터 하부 전극(32)과 전기적으로 접속된다. 공통 패드 상부 전극(40)은 제5 접촉홀(39)을 통해 공통 패드 하부 전극(38)과 전기적으로 접속된다.

여기서, 투명 도전막의 재료로는 인듐 틴 옥사이드(Indium Tin Oxide : ITO), 틴 옥사이드(Tin Oxide : TO), 인듐 징크 옥사이드(Indium Zinc Oxide : IZO) 또는 인듐 틴 징크 옥사이드(Indium Tin Zinc Oxide : ITZO) 등이 이용된다.

이와 같이, 종래의 수평 전계 인가형 박막 트랜지스터 어레이 기판 및 그 제조 방법은 4마스크 공정을 채용함으로써 5마스크 공정을 이용한 경우보다 제조 공정수를 줄임과 아울러 그에 비례하는 제조 단가를 절감할 수 있게 된다. 그러나, 4 마스크 공정 역시 여전히 제조 공정이 복잡하여 원가 절감에 한계가 있으므로 제조 공정을 더욱 단순화하여 제조 단가를 더욱 줄일 수 있는 방안이 요구된다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 마스크 공정 수를 절감할 수 있는 수평 전계형 액정 표시 장치 및 그 제조 방법을 제공하는 것이다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명의 실시 예에 따른 수평 전계 인가형 액정표시장치는 게이트 라인과, 상기 게이트 라인과 평행하게 형성된 공통 라인과, 상기 게이트 라인 및 공통 라인과 절연되게 교차하여 화소 영역을 결정하는 데이터 라인과, 상기 게이트 라인 및 데이터 라인의 교차부에 형성된 박막 트랜지스터와, 상기 화소 영역에 형성되고 상기 공통 라인과 접속된 공통 전극과, 상기 박막 트랜지스터와 접속되고 상기 화소 영역에 상기 공통 전극과 수평 전계를 형성하도록 형성된 화소 전극과, 상기 게이트 라인에 포함된 적어도 하나의 도전층으로 형성된 게이트 패드와, 상기 데이터 라인에 포함된 적어도 하나의 도전층으로 형성된 데이터 패드와, 상기 공통 라인에 포함된 적어도 하나의 도전층으로 형성된 공통 패드와, 상기 게이트 패드, 데이터 패드 및 공통 패드 중 적어도 어느 하나를 노출시키는 보호막과, 상기 게이트패드 및 데이터패드 중 적어도 어느 하나와 직접적으로 접속되도록 상기 기판 상에 실장된 구동 집적회로를 구비하는 것을 특징으로 한다.

상기 구동집적회로는 상기 게이트패드와 직접 접속된 게이트구동집적회로를 포함하는 것을 특징으로 한다.

상기 구동집적회로는 상기 데이터패드와 직접 접속된 데이터구동집적회로를 추가로 포함하는 것을 특징으로 한다.

상기 구동집적회로는 상기 데이터패드와 도전성필름을 이용하여 접속되는 데이터구동집적회로를 포함하는 것을 특징으로 한다.

상기 구동집적회로에 구동신호를 공급하는 신호공급라인을 추가로 구비하는 것을 특징으로 한다.

상기 게이트 라인 및 공통 라인은 주도전층과, 그 주도전층의 단선 방지를 위한 보조도전층을 구비하는 것을 특징으로 한다.

상기 게이트 패드 및 공통 패드는 상기 주도전층과 상기 보조도전층을 구비하고, 상기 보조도전층이 노출된 구조를 갖는 것을 특징으로 한다.

상기 게이트 패드 및 공통 패드는 상기 보조도전층을 구비하는 것을 특징으로 한다.

상기 데이터 라인은 주도전층과, 그 주도전층의 단선 방지를 위한 보조도전층을 구비하는 것을 특징으로 한다.

상기 데이터 패드는 상기 주도전층과 상기 보조도전층을 구비하고, 상기 보조도전층이 노출된 구조를 갖는 것을 특징으로 한다.

상기 데이터 패드는 상기 보조도전층을 구비하는 것을 특징으로 한다.

상기 주도전층은 저저항 금속으로 알루미늄계 금속, 구리, 몰리브덴, 크롬, 텅스텐 중 적어도 하나의 금속을 포함하고, 상기 보조도전층은 티타늄을 포함하는 것을 특징으로 한다.

상기 박막 트랜지스터는 상기 게이트 라인과 접속된 게이트 전극과, 상기 데 이터 라인과 접속된 소스 전극과, 상기 소스 전극과 대향되는 드레인 전극과, 상기 게이트 전극과 상기 게이트 절연막을 사이에 두고 중첩되고 상기 소스 전극 및 드레인 전극 사이에 채널부를 형성하는 반도체층을 구비하는 것을 특징으로 한다.

상기 드레인 전극과 상기 화소 전극은 동일 도전층으로 구성된 것을 특징으로 한다.

상기 반도체층은 상기 데이터 라인, 상기 소스 전극, 상기 드레인 전극 및 상기 화소 전극을 따라 상기 게이트 절연막 상에 형성된 것을 특징으로 한다.

상기 목적을 달성하기 위하여, 본 발명에 따른 수평 전계 인가형 액정표시장치의 제조방법은 기판 상에 교차되게 형성되는 게이트라인 및 데이터라인과, 게이트 라인과 데이터 라인의 교차부에 형성된 박막 트랜지스터와, 그 박막 트랜지스터와 접속된 화소 전극, 상기 화소 전극과 수평 전계를 형성하는 공통 전극, 그 공통 전극과 접속된 공통 라인을 포함하고, 상기 게이트 라인에 포함되는 적어도 하나의 도전층으로 형성된 게이트 패드, 상기 데이터 라인에 포함되는 적어도 하나의 도전층으로 형성된 데이터 패드 및 상기 공통 라인에 포함되는 적어도 하나의 도전층으로 형성된 공통 패드 중 적어도 어느 하나가 보호막을 통해 노출된 구조를 갖는 박막 트랜지스터 어레이 기판을 마련하는 단계와; 상기 노출된 게이트패드 및 데이터패드 중 적어도 어느 하나와 구동집적회로가 직접 접속되도록 상기 기판 상에 상기 구동집적회로를 실장하는 단계를 포함하는 것을 특징으로 한다.

상기 구동집적회로를 접속시키는 단계는 상기 게이트패드와 게이트구동집적회로를 접속시키는 단계를 포함하는 것을 특징으로 한다.

상기 구동집적회로를 접속시키는 단계는 상기 데이터패드와 데이터구동집적회로를 접속시키는 단계를 추가로 포함하는 것을 특징으로 한다.

상기 구동집적회로를 접속시키는 단계는 상기 데이터패드와 도전성필름을 이용하여 데이터구동집적회로를 접속시키는 단계를 추가로 포함하는 것을 특징으로 한다.

상기 박막 트랜지스터 어레이 기판을 마련하는 단계는 기판 상에 상기 게이트 라인, 그 게이트 라인과 접속된 상기 박막 트랜지스터의 게이트 전극, 그 게이트 라인과 평행한 상기 공통 라인, 상기 공통 전극, 상기 게이트 패드, 그리고 상기 공통 패드를 포함하는 제1 도전 패턴군을 형성하는 단계와, 상기 제1 도전 패턴군들이 형성된 상기 기판 상에 게이트 절연막을 형성하는 단계와, 상기 게이트 절연막의 소정 영역에 반도체층과; 상기 데이터 라인, 그 데이터 라인과 접속된 상기 박막 트랜지스터의 소스 전극, 그 소스 전극과 대향되는 상기 박막 트랜지스터의 드레인 전극, 그 드레인 전극과 접속되고 상기 공통 전극과 평행한 화소 전극, 그리고 상기 데이터 패드를 포함하는 제2 도전 패턴군을 형성하는 단계와, 상기 반도체층 및 제2 도전 패턴군이 적층된 상기 게이트 절연막 상에 상기 게이트 패드, 상기 데이터 패드 그리고 상기 공통 패드를 노출시키는 보호막을 형성하는 단계를 포함하는 것을 특징으로 한다.

상기 제1 도전 패턴군은 주도전층과, 그 주도전층의 단선 방지를 위한 보조도전층의 이중층 구조로 형성하는 것을 특징으로 한다.

상기 보호막을 형성하는 단계는 상기 게이트 패드 및 공통 패드의 보조도전 층을 노출시키는 단계를 포함하는 것을 특징으로 한다.

상기 보호막을 형성하는 단계는 상기 보호막 및 상기 게이트 절연막을 관통하는 접촉홀을 형성하여 상기 보조도전층을 노출시키는 단계를 포함하는 것을 특징으로 한다.

상기 보호막을 형성하는 단계는 상기 보호막, 상기 게이트 절연막, 상기 주금속층을 관통하는 접촉홀을 형성하여 상기 보조도전층을 노출시키는 단계를 포함하는 것을 특징으로 한다.

상기 제2 도전 패턴군은 주도전층과, 그 주도전층의 단선 방지를 위한 보조도전층의 이중층 구조로 형성하는 것을 특징으로 한다.

상기 보호막을 형성하는 단계는 상기 데이터 패드의 보조도전층을 노출시키는 단계를 포함하는 것을 특징으로 한다.

상기 보호막을 형성하는 단계는 상기 보호막 관통하는 접촉홀을 형성하여 상기 보조도전층을 노출시키는 단계를 포함하는 것을 특징으로 한다.

상기 보호막을 형성하는 단계는 상기 보호막과 상기 주금속층을 관통하는 접촉홀을 형성하여 상기 보조도전층을 노출시키는 단계를 포함하는 것을 특징으로 한다.

상기 주도전층은 저저항 금속으로 알루미늄계 금속, 구리, 몰리브덴, 크롬, 텅스텐 중 적어도 하나의 금속을 포함하고, 상기 보조도전층은 티타늄을 포함하는 것을 특징으로 한다.

상기 목적 외에 본 발명의 다른 목적 및 이점들은 첨부 도면을 참조한 본 발 명의 바람직한 실시 예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

이하, 본 발명의 바람직한 실시 예들을 도 4 내지 도 17을 참조하여 상세하게 설명하기로 한다.

도 4는 본 발명에 따른 수평 전계 인가형 액정표시장치의 박막트랜지스터 어레이기판을 나타내는 평면도이며, 도 5는 도 4에서 선'III-III'',''IV-IV''를 따라 절취한 박막트랜지스터 어레이 기판을 나타내는 단면도이다.

도 4 및 도 5에 도시된 박막 트랜지스터 어레이 기판은 하부 기판(145) 위에 게이트 절연막(146)을 사이에 두고 교차하게 형성된 게이트 라인(102) 및 데이터 라인(104)과, 그 교차부마다 형성된 박막 트랜지스터(106)와, 그 교차 구조로 마련된 화소 영역에 수평 전계를 형성하도록 형성된 화소 전극(114) 및 공통 전극(118)과, 공통 전극(118)과 접속된 공통 라인(116)을 구비한다. 또한, 박막 트랜지스터 어레이 기판은 스토리지 전극(122)과 공통 전극 라인(116)의 중첩부에 형성된 스토리지 캐패시터(120)와, 게이트 라인(102)에서 연장된 게이트 패드(124)와, 데이터 라인(104)에서 연장된 데이터 패드(130)와, 공통 라인(116)에서 연장된 공통 패드(136)를 추가로 구비한다.

게이트 신호를 공급하는 게이트 라인(102)과 화소 신호를 공급하는 데이터 라인(104)은 교차 구조로 형성되어 화소 영역(105)을 정의한다.

액정 구동을 위한 기준 전압을 공급하는 공통 라인(116)은 화소 영역(105)을 사이에 두고 게이트 라인(102)과 나란하게 형성된다.

박막 트랜지스터(106)는 게이트 라인(102)의 게이트 신호에 응답하여 데이터 라인(104)의 화소 신호가 화소 전극(114)에 충전되어 유지되게 한다. 이를 위하여, 박막 트랜지스터(106)는 게이트 라인(102)에 접속된 게이트 전극(108)과, 데이터 라인(104)에 포함된 소스 전극과, 화소 전극(114)에 접속된 드레인 전극(112)을 구비한다. 또한, 박막 트랜지스터(106)는 게이트 전극(108)과 게이트 절연막(146)을 사이에 두고 중첩되면서 소스 전극과 드레인 전극(112) 사이에 채널을 형성하는 활성층(148)을 더 구비한다.

그리고, 활성층(148)은 데이터 라인(114), 데이터 패드(130), 그리고 스토리지 전극(122)과도 중첩되게 형성된다. 이러한 활성층(148) 위에는 데이터 라인(14), 드레인 전극(112), 데이터 패드(130), 그리고 스토리지 전극(122)과 오믹 접촉을 위한 오믹 접촉층(150)이 더 형성된다.

화소 전극(114)은 박막 트랜지스터(106)의 드레인 전극(112)과 일체화됨과 아울러 스토리지 전극(122)과 일체화되어 화소 영역(105)에 형성된다. 특히, 화소 전극(114)은 드레인 전극(112)에서 인접한 게이트 라인(102)과 나란하게 연장된 제1 수평부(114A)와, 제1 수평부(114A)에서 수직 방향으로 신장된 핑거부(114B)를 구비한다.

공통 전극(118)은 공통 라인(116)과 접속되어 화소 영역(105)에 형성된다. 특히, 공통 전극(118)은 화소 영역(105)에서 화소 전극(114)의 핑거부(114B)와 나란하게 형성된다.

이에 따라, 박막 트랜지스터(106)를 통해 화소 신호가 공급된 화소 전극(114)과 공통 라인(116)을 통해 기준 전압이 공급된 공통 전극(118) 사이에는 수평 전계가 형성된다. 특히, 화소 전극(114)의 핑거부(114B)와 공통 전극(118) 사이에 수평 전계가 형성된다. 이러한 수평 전계에 의해 박막 트랜지스터 어레이 기판과 칼라 필터 어레이 기판 사이에서 수평 방향으로 배열된 액정 분자들이 유전 이방성에 의해 회전하게 된다. 그리고, 액정 분자들의 회전 정도에 따라 화소 영역(105)을 투과하는 광 투과율이 달라지게 됨으로써 화상을 구현하게 된다.

스토리지 캐패시터(120)는 공통 라인(116)과, 그 공통 라인(116)과 게이트 절연막(146), 활성층(148), 그리고 오믹 접촉층(150)을 사이에 두고 중첩되고 화소 전극(114)과 일체화된 스토리지 전극(122)으로 구성된다. 이러한 스토리지 캐패시터(120)는 화소 전극(114)에 충전된 화소 신호가 다음 화소 신호에 충전될 때까지 안정적으로 유지되게 한다.

게이트 라인(102)은 하부기판(145)에 실장된 게이트 드라이브 IC(미도시)와 게이트 패드(124)를 통해 접속된다. 게이트 패드(124)는 게이트 라인(102)으로부터 연장되고, 게이트 절연막(146) 및 보호막(152)을 관통하는 제1 접촉홀(127)을 통해 노출된다. 이러한 게이트 패드(124)는 게이트 라인(102)에 포함되는 티타늄(Ti), 몰리브덴(Mo) 등의 금속층이 노출된 구조를 갖는다.

공통 라인(116)은 공통 패드(136)를 통해 외부의 기준 전압원(미도시)으로부터 기준 전압을 공급받게 된다. 공통 패드(136)는 공통 라인(116)으로부터 연장되고, 게이트 절연막(146) 및 보호막(152)을 관통하는 제3 접촉홀(139)을 통해 노출된다. 이러한 공통 패드(136)은 상기 게이트 패드(124)와 같이 티타늄(Ti), 몰리브덴(Mo) 등의 금속층이 노출된 구조를 갖는다.

구체적으로, 게이트 라인(102), 게이트 전극(108), 공통 라인(116), 그리고 공통 전극(118)은 제1 및 제2 금속층(142, 144)이 적층된 이중 금속층 구조를 갖게 된다. 이들 중 하나의 금속층은 티타늄(Ti), 텅스텐(W) 등과 같이 강도 및 내식성이 상대적으로 큰 금속으로 이루어진다. 그리고, 나머지 하나의 금속층은 일반적인 게이트 금속으로 이용되고 있는 알루미늄(Al)계 금속, 몰리브덴(Mo), 구리(Cu) 등과 같은 저저항 금속으로 이루어진다.

여기서, 제1 금속층(142)으로 강도 및 내식성이 큰 금속을 이용하는 경우 게이트 패드(124) 및 공통 패드(138)는 상부의 제2 금속층(144)은 제거되고 하부의 제1 금속층(142)이 노출된 구조를 갖게 된다. 반면에, 제2 금속층(144)으로 강도 및 내식성이 큰 금속을 이용하는 경우 게이트 패드(124) 및 공통 패드(138)는 상부의 제2 금속층(144)이 노출된 구조를 갖게 된다.

데이터 라인(104)은 하부기판(145) 상에 실장되거나 TCP 상에 실장된 데이터 드라이브 IC(미도시)와 데이터 패드(130)를 통해 접속된다. 데이터 패드(130)는 데이터 라인(104)으로부터 연장되고, 보호막(152)을 관통하는 제2 접촉홀(133)을 통해 노출된다. 이러한 데이터 패드(130)는 데이터 라인(104)에 포함되는 티타늄(Ti), 텅스텐(W) 등과 같이 강도 및 내식성이 상대적으로 큰 금속층이 노출된 구조를 갖는다. 노출된 데이터패드의 금속층은 도전볼이 포함된 접착제(ACF)를 통해 데이터 드라이브 IC가 실장된 TCP와 접속된다. 이에 따라, 데이터 패드(130)와 TCP를 부착하는 공정을 반복하는 경우에도 데이터 패드(130)의 단선 불량을 방지할 수 있게 된다.

구체적으로, 데이터 라인(104), 드레인 전극(112), 화소 전극(114) 그리고 스토리지 상부 전극(122)은 제1 및 제2 금속층(154, 156)이 적층된 이중 금속층 구조를 갖게 된다. 이들 중 하나의 금속층은 티타늄(Ti), 텅스텐(W) 등과 같이 강도 및 내식성이 상대적으로 큰 금속으로 이루어진다. 그리고, 나머지 하나의 금속층은 일반적인 게이트 금속으로 이용되고 있는 알루미늄(Al)계 금속, 몰리브덴(Mo), 구리(Cu) 등과 같은 저저항 금속으로 이루어진다.

여기서, 제1 금속층(154)으로 강도 및 내식성이 큰 금속을 이용하는 경우 데이터 패드(130)는 상부의 제2 금속층(156)은 제거되고 하부의 제1 금속층(154)이 노출된 구조를 갖게 된다. 반면에, 제2 금속층(156)으로 강도 및 내식성이 큰 금속을 이용하는 경우 데이터 패드(130)는 상부의 제2 금속층(156)이 노출된 구조를 갖게 된다.

도 6a 및 도 6b는 도 4 및 도 5에 도시된 수평 전계 인가형 박막 트랜지스터 어레이 기판의 제조 방법 중 제1 마스크 공정을 설명하기 위한 평면도 및 단면도이다.

도 6a 및 도 6b에 도시된 바와 같이 제1 마스크 공정으로 하부 기판(145) 상에 게이트 라인(102), 게이트 전극(108), 게이트 패드(124), 공통 라인(116), 공통 전극(118), 공통 패드(136)를 포함하는 제1 도전 패턴군이 형성된다. 이러한 제1 마스크 공정을 도 7a 내지 도 7c를 참조하여 상세히 하면 다음과 같다.

도 7a에 도시된 바와 같이 하부기판 상에 스퍼터링 등의 증착방법을 통해 제1 게이트 금속층(142)과 제2 게이트 금속층(144)이 순차적으로 증착됨으로써 이 중 구조의 게이트 금속층이 형성된다. 여기서, 제1 및 제2 게이트 금속층(142, 144) 중 하나의 게이트 금속층은 티타늄(Ti), 텅스텐(W) 등과 같이 강도 및 내식성이 상대적으로 큰 금속으로 이루어지고, 나머지 하나의 게이트 금속층은 알루미늄(Al)계 금속, 몰리브덴(Mo), 구리(Cu) 등과 같은 금속으로 이루어진다. 이어서, 제2 게이트 금속층(144) 위에 포토레지스트막이 전면 형성된 다음 도 7b에 도시된 바와 같이 하부기판(145) 상부에 제1 마스크(300)가 정렬된다. 제1 마스크(300)는 투명한 재질인 마스크기판(304)과, 마스크기판(304)의 차단영역(P2)에 형성된 차단부(302)를 구비한다. 여기서, 마스크 기판(304)이 노출된 영역은 노광 영역(P1)이 된다. 이러한 제1 마스크(300)를 이용한 포토레지스트막을 노광 및 현상함으로써 제1 마스크(300)의 차단부(302)와 대응하여 차단 영역(P2)에 포토레지스트 패턴(306)이 형성된다. 이러한 포토레지스트 패턴(306)을 이용한 식각 공정으로 제1 및 제2 게이트 금속층(142,144)이 패터닝됨으로써 도 7c에 도시된 바와 같이 게이트 라인(102), 게이트 전극(108), 게이트 패드(124), 공통 라인(116), 공통 전극(118), 공통 패드(136)를 포함하는 제1 도전 패턴군이 형성된다.

도 8a 및 도 8b는 본 발명의 실시 예에 따른 수평 전계 인가형 박막 트랜지스터 어레이 기판의 제조 방법 중 제2 마스크 공정을 설명하기 위한 평면도 및 단면도이다.

우선, 제1 도전 패턴군이 형성된 하부 기판(145) 상에 PECVD, 스퍼터링 등의 증착 방법을 통해 게이트 절연막(146)이 형성된다. 게이트 절연막(146)의 재료로는 산화 실리콘(SiOx) 또는 질화 실리콘(SiNx) 등의 무기 절연 물질이 이용된다.

그리고, 도 8a 및 도 8b에 도시된 바와 같이 제2 마스크 공정으로 게이트 절연막(146) 위에 적층된 활성층(148) 및 오믹 접촉층(150)을 포함하는 반도체 패턴과, 데이터 라인(104), 드레인 전극(112), 화소 전극(114), 데이터 패드(130), 스토리지 전극(122)을 포함하는 제2 도전 패턴군이 형성된다. 이러한 제2 마스크 공정을 도 9a 내지 도 9e를 참조하여 상세히 하면 다음과 같다.

도 9a에 도시된 바와 같이 게이트 절연막(146) 상에 PECVD, 스퍼터링 등의 증착 방법을 통해 제1 반도체층(147),

제2 반도체층(149), 그리고 제1 및 제2 소스/드레인 금속층(154, 156)이 순차적으로 형성된다. 여기서, 제1 반도체층(147)은 불순물이 도핑되지 않은 비정질실리콘이 이용되며, 제2 반도체층(149)은 N형 또는 P형의 불순물이 도핑된 비정질실리콘이 이용된다. 제1 및 제2 소스/드레인 금속층(154, 156) 중 하나의 소스/드레인 금속층은 티타늄(Ti), 텅스텐(W) 등과 같이 강도 및 내식성이 상대적으로 큰 금속으로 이루어지고, 나머지 하나의 소스/드레인 금속층은 알루미늄(Al)계 금속, 몰리브덴(Mo), 구리(Cu) 등과 같은 금속으로 이루어진다.

그 다음, 제2 소스/드레인 금속층(156) 위에 포토레지스트막을 형성한 다음 도 9b에 도시된 바와 같이 부분 노광 제2 마스크(160)가 하부기판(145) 상부에 정렬된다. 제2 마스크(160)는 투명한 재질인 마스크 기판(162)과, 마스크 기판(162)의 차단 영역(P2)에 형성된 차단부(164)와, 마스크 기판(162)의 부분 노광 영역(P3)에 형성된 회절 노광부(166)(또는 반투과부)를 구비한다. 여기서, 마스크 기판(162)이 노출된 영역은 노광 영역(P1)이 된다. 이러한 제2 마스크(160)를 이 용한 포토레지스트막을 노광한 후 현상함으로써 제2 마스크(160)의 차단부(164)와 회절 노광부(166)에 대응하여 차단 영역(P2)과 부분 노광 영역(P3)에서 단차를 갖는 포토레지스트 패턴(168)이 형성된다. 즉, 부분 노광 영역(P3)에 형성된 포토레지스트 패턴(168)은 차단 영역(P2)에서 형성된 제1 높이(h1)를 갖는 포토레지스트 패턴(168)보다 낮은 제2 높이(h2)를 갖게 된다.

이러한 포토레지스트 패턴(168)을 마스크로 이용한 습식 식각 공정으로 제1 및 제2 소스/드레인 금속층(154, 156)이 패터닝됨으로써 도 9c에 도시된 바와 같이 데이터 라인(104), 데이터 라인(104)과 접속된 드레인 전극(112), 화소 전극(114), 스토리지 전극(122), 데이터 패드(130)를 포함하는 제2 도전 패턴군이 형성된다.

그리고, 포토레지스트 패턴(168)을 마스크로 이용한 건식 식각 공정으로 제1 반도체층(147)과 제2 반도체층(149)이 패터닝됨으로써 도 9d와 같이 오믹 접촉층(150)과 활성층(148)이 소스/드레인 금속 패턴을 따라 형성된다. 이어서, 산소(O_2) 플라즈마를 이용한 애싱(Ashing) 공정으로 부분 노광 영역(P3)에 제2 높이를 갖는 포토레지스트 패턴(168)은 제거되고, 차단 영역(P2)에 제1 높이(h1)를 갖는 포토레지스트 패턴(168)은 높이가 낮아진 상태가 된다. 이러한 포토레지스트 패턴(168)을 이용한 식각 공정으로 회절 노광 영역(P3), 즉 박막 트랜지스터의 채널부에 형성된 제1 및 제2 소스/드레인 금속층(154, 156)이 제거된다. 예를 들어, 제2 소스/드레인 금속층(156)으로 몰리브덴(Mo)이, 제1 소스/드레인 금속층(154)으로 티타늄(Ti)이 이용된 경우 제2 소스/드레인 금속층(156)은 건식 식각 공정으로, 제1 소스/드레인 금속층(154)은 습식 식각 공정으로 채널부에서 제거된다. 반대로, 제2 소스/드레인 금속층(156)으로 티타늄(Ti)이, 제1 소스/드레인 금속층(154)으로 몰리브덴(Mo)이 이용된 경우 제2 소스/드레인 금속층(156)은 습식 식각 공정으로, 제1 소스/드레인 금속층(154)은 건식 식각 공정으로 채널부에서 제거된다. 이에 따라, 드레인 전극(112)이 소스 전극을 포함하는 데이터 라인(104)에서 분리된다. 그 다음, 포토레지스트 패턴(168)을 이용한 건식 식각 공정으로 박막 트랜지스터의 채널부에서 오믹 접촉층(150)이 제거됨으로써 활성층(148)이 노출된다.

그리고, 도 9e에 도시된 바와 같이 제2 도전 패턴군 위에 남아 있던 포토레지스트 패턴(168)이 스트립 공정으로 제거된다.

도 10a 및 도 10b는 본 발명의 실시 예에 따른 수평 전계 인가형 박막 트랜지스터 어레이 기판의 제조 방법 중 제3 마스크 공정을 설명하기 위한 평면도 및 단면도이다.

도 10a 및 도 10b에 도시된 바와 같이 제3 마스크 공정으로 전술한 반도체 패턴 및 소스/드레인 금속 패턴이 적층된 게이트 절연막(146) 상에 제1 내지 제3 접촉홀들(127, 133, 139)을 포함하는 보호막(152)이 형성된다. 이러한 제3 마스크 공정을 도 11a 내지 도 11c를 참조하여 상세히 하면 다음과 같다.

도 11a에 도시된 바와 같이 반도체 패턴과 소스/드레인 금속 패턴이 적층된 게이트 절연막(146) 상에 PECVD 등의 증착 방법으로 보호막(152)이 형성된다. 보호막(152)의 재료로는 게이트 절연막(146)과 같은 무기 절연 물질이나 유전상수가 작은 아크릴(acryl)계 유기 화합물, BCB 또는 PFCB 등과 같은 유기 절연 물질이 이 용된다. 이어서, 보호막(152) 위에 포토레지스트막이 전면 형성된 다음 도 11b에 도시된 바와 같이 하부기판(145) 상부에 제3 마스크(310)가 정렬된다. 제3 마스크(310)는 투명한 재질인 마스크기판(314)과, 마스크기판(314)의 차단영역(P2)에 형성된 차단부(312)를 구비한다. 여기서, 마스크 기판(314)이 노출된 영역은 노광 영역(P1)이 된다. 이러한 제3 마스크(310)를 이용한 포토레지스트막을 노광 및 현상함으로써 제3 마스크(310)의 차단부(312)와 대응하여 차단 영역(P2)에 포토레지스트 패턴(316)이 형성된다. 이러한 포토레지스트 패턴(316)을 이용한 식각 공정으로 보호막(152)이 패터닝됨으로써 도 11c에 도시된 바와 같이 제1 내지 제3 접촉홀들(127, 133, 139)이 형성된다.

제1 접촉홀(127)은 보호막(152) 및 게이트 절연막(146)을 관통하여 게이트 패드(124)를 노출시키고, 제2 접촉홀(133)은 보호막(152)을 관통하여 데이터 패드(130)를 노출시키고, 제3 접촉홀(139)은 보호막(152) 및 게이트 절연막(146)을 관통하여 공통 패드(136)를 노출시킨다. 이렇게 노출된 게이트 패드(124), 데이터 패드(130), 공통 패드(136)는 강도 및 내식성이 큰 금속층이 노출된 구조를 갖게 된다. 이 경우, 게이트 패드(124), 데이터 패드(130), 그리고 공통 패드(136)는 도 12 및 도 13에 도시된 바와 같이 두 가지 구조를 가지게 된다.

예를 들어, 하부의 제1 게이트 금속층(142)으로 티타늄(Ti)이, 상부의 제2 게이트 금속층(144)으로 몰리브덴(Mo)이 이용된 경우 도 12에 도시된 바와 같이 게이트 패드(124) 및 공통 패드(136)는 하부의 제1 게이트 금속층(142)으로만 구성된다. 이는 제1 및 제3 접촉홀(127, 139) 형성을 위한 식각 공정에서 상부의 제2 게 이트 금속층(144)이 제거되기 때문이다.

반대로, 하부의 제1 게이트 금속층(142)으로 몰리브덴(Mo)이, 제2 게이트 금속층(144)으로 티타늄(Ti)이 이용된 경우 도 13에 도시된 바와 같이 게이트 패드(124) 및 공통 패드(136)는 제1 및 제2 게이트 금속층(142, 144)이 적층된 이중 금속층 구조를 갖게 된다. 그리고, 게이트 패드(124) 및 공통 패드(136)는 제1 및 제3 접촉홀(127, 139)에 의해 상부의 제2 게이트 금속층(144)이 노출된 구조를 갖게 된다.

또한, 하부의 제1 소스/드레인 금속층(154)으로 티타늄(Ti)이, 상부의 제2 소스/드레인 금속층(156)으로 몰리브덴(Mo)이 이용된 경우 도 12에 도시된 바와 같이 데이터 패드(130)는 하부의 제1 소스/드레인 금속층(154)으로만 구성된다. 이는 제2 접촉홀(133) 형성을 위한 식각 공정에서 상부의 제2 소스/드레인 금속층(156)이 제거되기 때문이다.

반대로, 하부의 제1 소스/드레인 금속층(154)으로 몰리브덴(Mo)이, 제2 소스/드레인 금속층(156)으로 티타늄(Ti)이 이용된 경우 도 13에 도시된 바와 같이 데이터 패드(130)는 제1 및 제2 소스/드레인 금속층(154, 156)이 적층된 이중 금속층 구조를 갖게 된다. 그리고, 데이터 패드(130)는 제2 접촉홀(133)에 의해 상부의 제2 소스/드레인 금속층(156)이 노출된 구조를 갖게 된다.

이와 같이, 본 발명의 실시 예에 따른 수평 전계 인가형 박막 트랜지스터 어레이 기판 및 그 제조 방법은 화소 전극(114)을 드레인 전극(112)과 동일한 금속으로 형성한다. 그리고 게이트 패드(124), 데이터 패드(130), 그리고 공통 패드(136) 로는 TCP의 반복적인 부착 공정에서도 단선 불량을 방지할 수 있는 강도 및 내식성이 큰 금속을 이용한다. 이에 따라, 본 발명은 투명 도전막이 필요없게 되므로, 즉 투명 도전막 증착 공정 및 패터닝 공정이 필요없게 되므로 하나의 마스크 공정을 절감할 수 있게 된다. 다시 말하여, 본 발명에 따른 수평 전계 인가형 박막 트랜지스터 어레이 기판은 3마스크 공정으로 형성될 수 있게 된다.

이렇게 3마스크 공정을 이용하여 형성된 박막 트랜지스터 어레이 기판과, 별도의 공정으로 형성된 칼라 필터 어레이 기판이 마련된 후 이들이 합착되고 액정이 주입됨으로써 액정표시패널이 완성된다. 이 경우, 상부 기판(200)은 박막트랜지스터 어레이 기판에서 게이트 패드(124), 데이터 패드(130) 및 공통 패드(136)가 형성되는 패드 영역이 노출되도록 박막트랜지스터 어레이 기판과 합착된다.

도 14는 본 발명에 따른 액정표시장치를 나타내는 평면도이며, 도 15는 도 14에 도시된 액정표시장치를 나타내는 단면도이다

도 14 및 도 15를 참조하면, 본 발명의 실시 예에 따른 액정표시장치는 액정패널(208)의 하부기판(145) 상에 실장된 게이트 드라이브 IC(264)와, TCP(180)에 실장된 데이터 드라이브 IC(272)를 구비한다.

게이트 드라이브 IC들(264)은 COG방식으로 게이트 패드(124)를 경유하여 게이트 라인들(102)과 접속된다. 즉, 게이트 드라이브 IC들(264)의 입력단자는 입력범프를 통해 신호공급라인(274)과 접속되고, 게이트 드라이브 IC들(264)의 출력단자(262)는 출력범프(260)를 통해 게이트패드(124)와 접속된다. 이러한 게이트 드라이브 IC들(264)은 게이트라인(102)에 게이트신호를 공급하게 된다.

이를 위하여, PCB(270) 상의 도시하지 않은 타이밍 제어부 및 전원부로부터의 게이트 제어 신호들과 전원 신호들은 데이터 TCP(180)에 공급된다. 데이터 TCP(180)를 통해 공급되는 게이트 제어 신호들과 전원 신호들은 하부기판(145)의 가장자리 영역에 형성된 신호공급라인(274)을 경유하여 게이트 드라이브 IC(264)에 공급된다. 게이트 제어 신호들 및 전원 신호들은 게이트 드라이브 IC(264)의 입력 단자들을 통해 게이트 드라이브 IC(264) 내로 입력되어 게이트구동신호로 생성된다. 게이트구동신호들은 게이트 드라이브 IC(264)의 출력 단자들(262)과 접속된 출력범프(260)를 통해 게이트패드(124)에 공급된다.

데이터 드라이브 IC들(272)은 TAB(Tape Automated Bonding) 방식으로 TCP(180) 상에 실장되어 데이터패드(130)를 경유하여 데이터라인들(104)과 접속된다. 즉, 데이터 드라이브 IC들(272)이 실장된 TCP(180)는 도전볼(184)이 포함된 ACF(182)를 이용하여 데이터패드영역에 부착된다. 이에 따라, TCP(180)의 베이스필름(172) 상에 형성된 출력패드들(176)은 ACF(182)를 통해 데이터패드(130)와 전기적으로 접속된다. 또한, 마지막 데이터 드라이브 IC(272)와 접속되는 TCP(180)의 베이스필름(172) 상에 형성되는 출력패드들(176) 중 어느 하나는 ACF(182)를 통해 공통패드(136)와 전기적으로 접속된다.

도 16는 본 발명에 따른 액정표시장치의 다른 형태를 나타내는 평면도이며, 도 17은 도 16에 도시된 액정표시장치를 나타내는 단면도이다

도 16 및 도 17을 참조하면, 본 발명에 따른 액정표시장치는 액정패널(208)의 하부기판(145) 상에 실장되는 게이트 드라이브 IC(264) 및 데이터 드라이브 IC(272)와, 이들(264,272)에 구동신호를 공급하기 위한 FPC(280)를 구비한다.

데이터 드라이브 IC들(272)은 COG방식으로 데이터 패드(130)를 경유하여 데이터 라인들(104)과 접속된다. 즉, 데이터 드라이브 IC들(272)의 입력단자는 입력범프를 통해 신호공급라인(274)과 접속되고, 데이터 드라이브 IC들(272)의 출력단자(284)는 출력범프(286)를 통해 데이터패드(130)와 접속된다. 이러한 데이터 드라이브 IC들(272)은 데이터 라인(104)에 데이터 신호를 공급하게 된다.

이를 위하여, PCB(270) 상의 도시하지 않은 타이밍 제어부 및 전원부로부터의 데이터 제어 신호들과 데이터 신호들은 FPC(280)에 공급된다. FPC(280)와 접속된 COG접속부(288)를 통해 공급되는 데이터 제어 신호들과 데이터 신호들은 하부 기판(145)의 가장자리 영역에 형성된 신호공급라인(274)을 경유하여 데이터 드라이브 IC(272)에 공급된다. 데이터 제어 신호들 및 데이터 신호들은 데이터 드라이브 IC(272)의 입력 단자들을 통해 데이터 드라이브 IC(272) 내로 입력되어 데이터신호로 생성된다. 데이터신호는 데이터 드라이브 IC(272)의 출력 단자들(284)을 통해 데이터 패드(130)에 공급된다.

게이트 드라이브 IC들(264)은 COG방식으로 게이트 패드(124)를 경유하여 게이트 라인들(102)과 접속된다. 즉, 게이트 드라이브 IC들(264)의 입력단자는 입력범프를 통해 신호공급라인(274)과 접속되고, 게이트 드라이브 IC들(264)의 출력단자(262)는 출력범프(260)를 통해 게이트패드(124)와 접속된다. 이러한 게이트 드라이브 IC들(264)은 게이트 라인(102)에 게이트신호를 공급하게 된다.

이를 위하여, PCB(270) 상의 도시하지 않은 타이밍 제어부 및 전원부로부터 의 게이트 제어 신호들과 전원 신호들은 FPC(280)에 공급된다. FPC(280)와 접속된 COG접속부(288)를 통해 공급되는 게이트 제어 신호들과 전원 신호들은 하부 기판(145)의 가장자리 영역에 형성된 신호공급라인(274)을 경유하여 게이트 드라이브 IC(264)에 공급된다. 게이트 제어 신호들 및 전원 신호들은 게이트 드라이브 IC(264)의 입력 단자들을 통해 게이트 드라이브 IC(264) 내로 입력되어 게이트구동신호로 생성된다. 게이트구동신호는 게이트 드라이브 IC(264)의 출력 단자들(262)을 통해 게이트패드(142)에 공급된다.

FPC(280)는 PCB(270) 상의 타이밍제어부 및 전원부로부터의 제어신호들과 전원신호들을 해당 드라이브 IC(264,272)에 공급한다. 즉, FPC(280)의 입력패드는 PCB(270)와 접속되며, FPC(280)의 출력패드는 신호공급라인(274)의 COG접속부(288)와 접속된다.

또한, FPC(280)의 출력패드(282) 중 어느 하나는 도전볼(184)이 포함된 ACF(182)를 이용하여 공통패드(130)와 접속되어 공통라인(118)에 액정구동을 위한 기준전압을 공급하게 된다.

이와 같이, 게이트 드라이브 IC(264) 및 데이터 드라이브 IC(272) 중 적어도 어느 하나는 COG 방식으로 하부기판(145) 상에 실장됨으로써 노출된 게이트패드(124) 및 데이터패드(130)와 공통패드(136)의 노출된 금속층의 부식을 방지하게 된다.

발명의 효과

상술한 바와 같이, 본 발명에 따른 수평 전계 인가형 액정 표시 장치 및 그 제조 방법은 화소 전극을 드레인 전극과 동일한 금속으로 형성하고, 패드들은 단선 불량을 방지할 수 있도록 강도 및 내식성이 큰 금속이 노출된 구조를 갖게 한다. 이에 따라, 본 발명에 따른 수평 전계 인가형 액정 표시 장치 및 그 제조 방법은 3마스크 공정으로 박막 트랜지스터 어레이 기판을 제조할 수 있게 되므로 그 박막 트랜지스터 어레이 기판의 구조 및 공정을 단순화하여 제조 원가 절감할 수 있음과 아울러 제조 수율을 향상시킬 수 있게 된다.

또한, 본 발명에 따른 수평 전계 인가형 액정표시장치 및 제조방법은 드라이브 IC가 COG방식으로 기판 상에 직접 실장되므로 노출된 패드의 금속층 부식을 방지할 수 있게 된다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

(57) 청구의 범위

청구항 1.
게이트 라인과,

상기 게이트 라인과 평행하게 형성된 공통 라인과,

상기 게이트 라인 및 공통 라인과 절연되게 교차하여 화소 영역을 결정하는 데이터 라인과,

상기 게이트 라인 및 데이터 라인의 교차부에 형성된 박막 트랜지스터와,

상기 화소 영역에 형성되고 상기 공통 라인과 접속된 공통 전극과,

상기 박막 트랜지스터와 접속되고 상기 화소 영역에 상기 공통 전극과 수평 전계를 형성하도록 형성된 화소 전극과,

상기 게이트 라인에 포함된 적어도 하나의 도전층으로 형성된 게이트 패드와,

상기 데이터 라인에 포함된 적어도 하나의 도전층으로 형성된 데이터 패드와,

상기 공통 라인에 포함된 적어도 하나의 도전층으로 형성된 공통 패드와,

상기 게이트 패드, 데이터 패드 및 공통 패드 중 적어도 어느 하나를 노출시키는 보호막과,

상기 게이트패드 및 데이터패드 중 적어도 어느 하나와 직접적으로 접속되도록 상기 기판 상에 실장된 구동집적회로를 구비하는 것을 특징으로 하는 수평 전계 인가형 액정 표시 장치.

청구항 2.
제 1 항에 있어서,

상기 구동집적회로는

상기 게이트패드와 직접 접속된 게이트구동집적회로를 포함하는 것을 특징으로 하는 수평 전계 인가형 액정표시장치.

청구항 3.
제 2 항에 있어서,

상기 구동집적회로는

상기 데이터패드와 직접 접속된 데이터구동집적회로를 추가로 포함하는 것을 특징으로 하는 수평 전계 인가형 액정표시장치.

청구항 4.
제 2 항에 있어서,

상기 구동집적회로는

상기 데이터패드와 도전성필름을 이용하여 접속되는 데이터구동집적회로를 포함하는 것을 특징으로 하는 수평 전계 인가형 액정표시장치.

청구항 5.
제 1 항에 있어서,

상기 구동집적회로에 구동신호를 공급하는 신호공급라인을 추가로 구비하는 것을 특징으로 하는 수평 전계 인가형 액정표시장치.

청구항 6.
제 1 항에 있어서,

상기 게이트 라인 및 공통 라인은

주도전층과, 그 주도전층의 단선 방지를 위한 보조도전층을 구비하는 것을 특징으로 하는 수평 전계 인가형 액정 표시 장치.

청구항 7.
제 6 항에 있어서,

상기 게이트 패드 및 공통 패드는

상기 주도전층과 상기 보조도전층을 구비하고, 상기 보조도전층이 노출된 구조를 갖는 것을 특징으로 하는 수평 전계 인가형 액정 표시 장치.

청구항 8.
제 6 항에 있어서,

상기 게이트 패드 및 공통 패드는

상기 보조도전층을 구비하는 것을 특징으로 하는 수평 전계 인가형 액정 표시 장치.

청구항 9.
제 1 항에 있어서,

상기 데이터 라인은

주도전층과, 그 주도전층의 단선 방지를 위한 보조도전층을 구비하는 것을 특징으로 하는 수평 전계 인가형 액정 표시 장치.

청구항 10.
제 9 항에 있어서,

상기 데이터 패드는

상기 주도전층과 상기 보조도전층을 구비하고, 상기 보조도전층이 노출된 구조를 갖는 것을 특징으로 하는 수평 전계 인가형 액정 표시 장치.

청구항 11.
제 9 항에 있어서,

상기 데이터 패드는

상기 보조도전층을 구비하는 것을 특징으로 하는 수평 전계 인가형 액정 표시 장치.

청구항 12.
제 6 항 또는 제 9 항에 있어서,

상기 주도전층은 저저항 금속으로 알루미늄계 금속, 구리, 몰리브덴, 크롬, 텅스텐 중 적어도 하나의 금속을 포함하고,

상기 보조도전층은 티타늄을 포함하는 것을 특징으로 하는 수평 전계 인가형 액정 표시 장치.

청구항 13.
제 1 항에 있어서,

상기 박막 트랜지스터는

상기 게이트 라인과 접속된 게이트 전극과,

상기 데이터 라인과 접속된 소스 전극과,

상기 소스 전극과 대향되는 드레인 전극과,

상기 게이트 전극과 상기 게이트 절연막을 사이에 두고 중첩되고 상기 소스 전극 및 드레인 전극 사이에 채널부를 형성하는 반도체층을 구비하는 것을 특징으로 하는 수평 전계 인가형 액정 표시 장치.

청구항 14.
제 13 항에 있어서,

상기 드레인 전극과 상기 화소 전극은 동일 도전층으로 구성된 것을 특징으로 하는 수평 전계 인가형 액정 표시 장치.

청구항 15.
제 13 항에 있어서,

상기 반도체층은 상기 데이터 라인, 상기 소스 전극, 상기 드레인 전극 및 상기 화소 전극을 따라 상기 게이트 절연막 상에 형성된 것을 특징으로 하는 수평 전계 인가형 액정 표시 장치.

청구항 16.
기판 상에 교차되게 형성되는 게이트라인 및 데이터라인과, 게이트 라인과 데이터 라인의 교차부에 형성된 박막 트랜지스터와, 그 박막 트랜지스터와 접속된 화소 전극, 상기 화소 전극과 수평 전계를 형성하는 공통 전극, 그 공통 전극과 접속된 공통 라인을 포함하고, 상기 게이트 라인에 포함되는 적어도 하나의 도전층으로 형성된 게이트 패드, 상기 데이터 라인에 포함되는 적어도 하나의 도전층으로 형성된 데이터 패드 및 상기 공통 라인에 포함되는 적어도 하나의 도전층으로 형성 된 공통 패드 중 적어도 어느 하나가 보호막을 통해 노출된 구조를 갖는 박막 트랜지스터 어레이 기판을 마련하는 단계와;

상기 노출된 게이트패드 및 데이터패드 중 적어도 어느 하나와 구동집적회로가 직접 접속되도록 상기 기판 상에 상기 구동집적회로를 실장하는 단계를 포함하는 것을 특징으로 하는 수평 전계 인가형 액정표시장치의 제조방법.

청구항 17.
제 16 항에 있어서,

상기 구동집적회로를 접속시키는 단계는

상기 게이트패드와 게이트구동집적회로를 접속시키는 단계를 포함하는 것을 특징으로 하는 수평 전계 인가형 액정표시장치의 제조방법.

청구항 18.
제 17 항에 있어서,

상기 구동집적회로를 접속시키는 단계는

상기 데이터패드와 데이터구동집적회로를 접속시키는 단계를 추가로 포함하는 것을 특징으로 하는 수평 전계 인가형 액정표시장치의 제조방법.

청구항 19.
제 17 항에 있어서,

상기 구동집적회로를 접속시키는 단계는

상기 데이터패드와 도전성필름을 이용하여 데이터구동집적회로를 접속시키는 단계를 추가로 포함하는 것을 특징으로 하는 수평 전계 인가형 액정표시장치의 제 조방법.

청구항 20.
제 16 항에 있어서,

상기 박막 트랜지스터 어레이 기판을 마련하는 단계는

기판 상에 상기 게이트 라인, 그 게이트 라인과 접속된 상기 박막 트랜지스터의 게이트 전극, 그 게이트 라인과 평행한 상기 공통 라인, 상기 공통 전극, 상기 게이트 패드, 그리고 상기 공통 패드를 포함하는 제1 도전 패턴군을 형성하는 단계와,

상기 제1 도전 패턴군들이 형성된 상기 기판 상에 게이트 절연막을 형성하는 단계와,

상기 게이트 절연막의 소정 영역에 반도체층과; 상기 데이터 라인, 그 데이터 라인과 접속된 상기 박막 트랜지스터의 소스 전극, 그 소스 전극과 대향되는 상기 박막 트랜지스터의 드레인 전극, 그 드레인 전극과 접속되고 상기 공통 전극과 평행한 화소 전극, 그리고 상기 데이터 패드를 포함하는 제2 도전 패턴군을 형성하는 단계와,

상기 반도체층 및 제2 도전 패턴군이 적층된 상기 게이트 절연막 상에 상기 게이트 패드, 상기 데이터 패드 그리고 상기 공통 패드를 노출시키는 보호막을 형성하는 단계를 포함하는 것을 특징으로 하는 수평 전계 인가형 액정 표시 장치의 제조 방법.

청구항 21.
제 20 항에 있어서,

상기 제1 도전 패턴군은

주도전층과, 그 주도전층의 단선 방지를 위한 보조도전층의 이중층 구조로 형성하는 것을 특징으로 하는 수평 전계 인가형 액정 표시 장치의 제조 방법.

청구항 22.
제 21 항에 있어서,

상기 보호막을 형성하는 단계는

상기 게이트 패드 및 공통 패드의 보조도전층을 노출시키는 단계를 포함하는 것을 특징으로 하는 수평 전계 인가형 액정 표시 장치의 제조 방법.

청구항 23.
제 21 항에 있어서,

상기 보호막을 형성하는 단계는

상기 보호막 및 상기 게이트 절연막을 관통하는 접촉홀을 형성하여 상기 보조도전층을 노출시키는 단계를 포함하는 것을 특징으로 하는 수평 전계 인가형 액정 표시 장치의 제조 방법.

청구항 24.
제 21 항에 있어서,

상기 보호막을 형성하는 단계는

상기 보호막, 상기 게이트 절연막, 상기 주금속층을 관통하는 접촉홀을 형성하여 상기 보조도전층을 노출시키는 단계를 포함하는 것을 특징으로 하는 수평 전 계 인가형 액정 표시 장치의 제조 방법.

청구항 25.
제 20 항에 있어서,

상기 제2 도전 패턴군은

주도전층과, 그 주도전층의 단선 방지를 위한 보조도전층의 이중층 구조로 형성하는 것을 특징으로 하는 수평 전계 인가형 액정 표시 장치의 제조 방법.

청구항 26.
제 25 항에 있어서,

상기 보호막을 형성하는 단계는

상기 데이터 패드의 보조도전층을 노출시키는 단계를 포함하는 것을 특징으로 하는 수평 전계 인가형 액정 표시 장치의 제조 방법.

청구항 27.
제 25 항에 있어서,

상기 보호막을 형성하는 단계는

상기 보호막 관통하는 접촉홀을 형성하여 상기 보조도전층을 노출시키는 단계를 포함하는 것을 특징으로 하는 수평 전계 인가형 액정 표시 장치의 제조 방법.

청구항 28.
제 25 항에 있어서,

상기 보호막을 형성하는 단계는

상기 보호막과 상기 주금속층을 관통하는 접촉홀을 형성하여 상기 보조도전 층을 노출시키는 단계를 포함하는 것을 특징으로 하는 수평 전계 인가형 액정 표시 장치의 제조 방법.

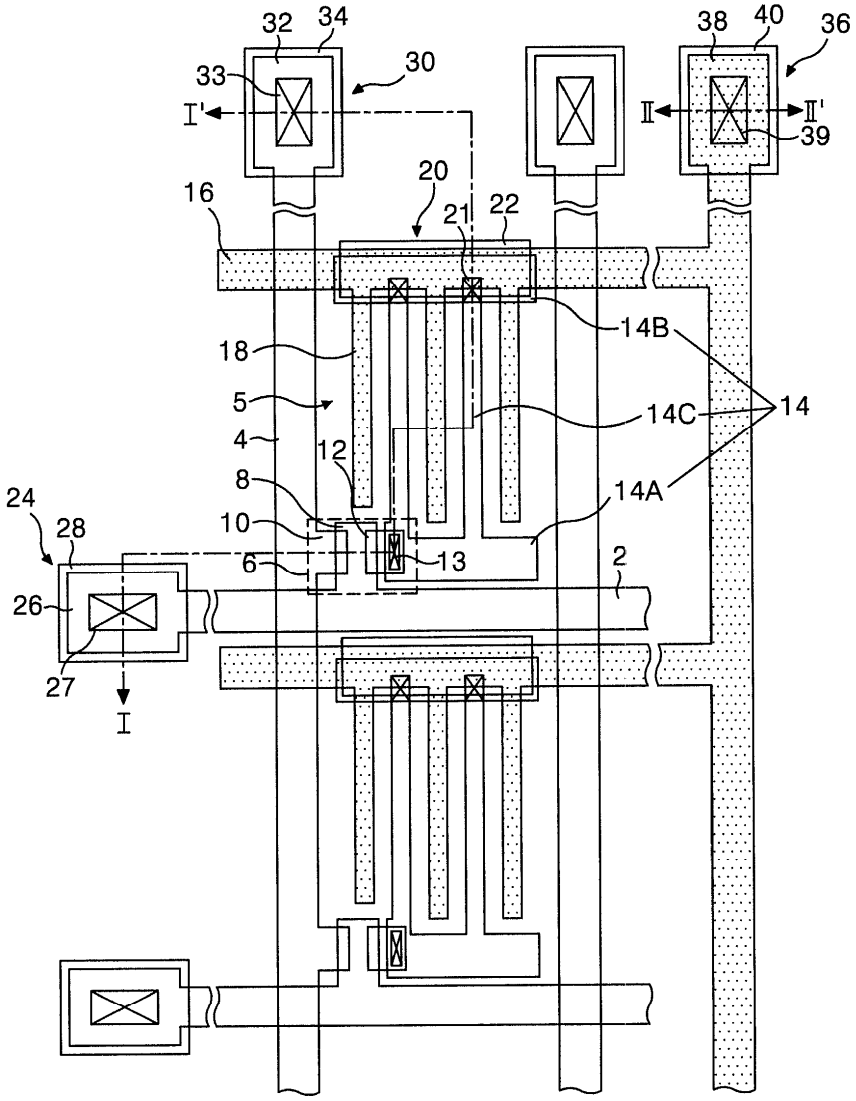
청구항 29.
제 20 항 또는 제 25 항에 있어서,

상기 주도전층은 저저항 금속으로 알루미늄계 금속, 구리, 몰리브덴, 크롬, 텅스텐 중 적어도 하나의 금속을 포함하고,

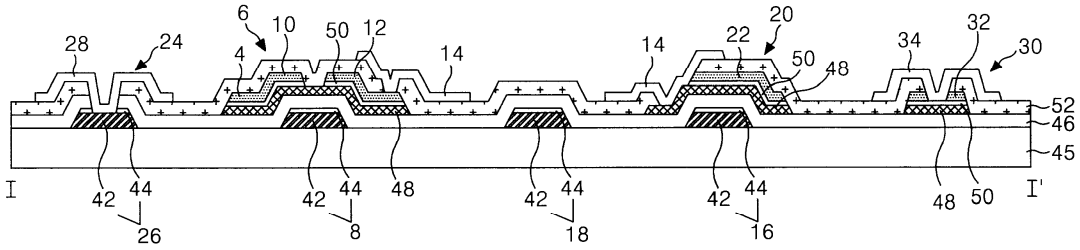
상기 보조도전층은 티타늄을 포함하는 것을 특징으로 하는 수평 전계 인가형 액정 표시 장치의 제조 방법.

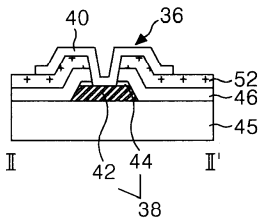
도면

도면1

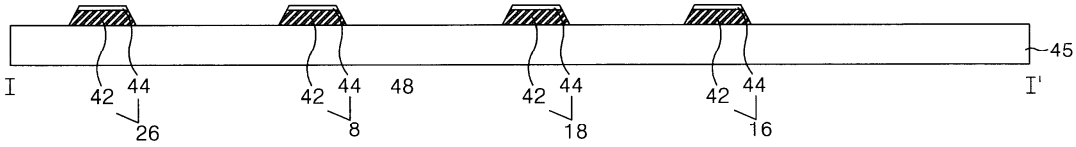

32
34
33
30
I'
38
40
36
II
II'
39
20
16
21
22
14B
18
5
14C
14
4
12
8
14A
24
28
10
6
13
2
26
27
I

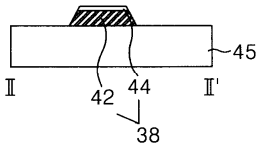
도면2


6
10
50
12
28
24
4
14
14
22
20
50
48
34
32
30
52
46
45
I
42
44
48
42
44
48
42
44
42
44
48
50
I'
26
8
18
16

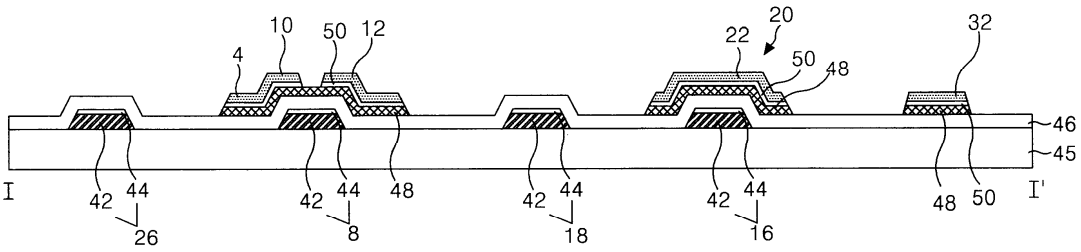

40
36
52
46
45
II
42
44
II'
38

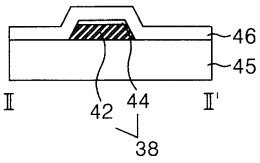
도면3a



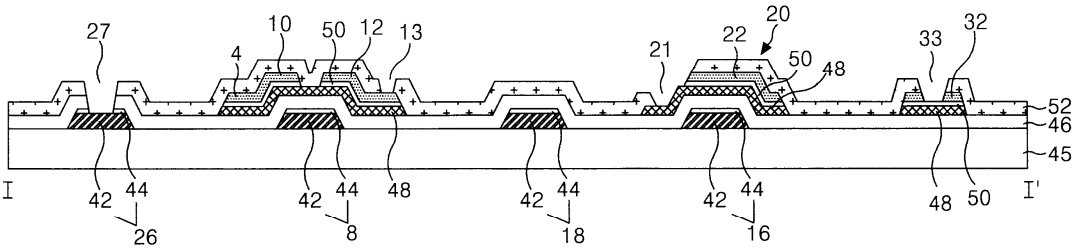


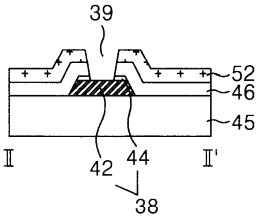
도면3b



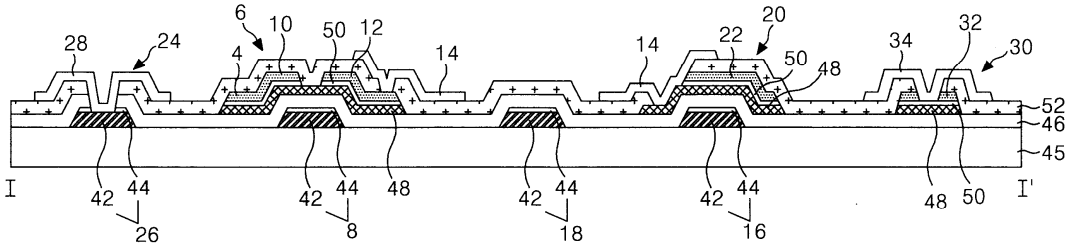


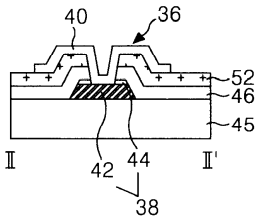
도면3c



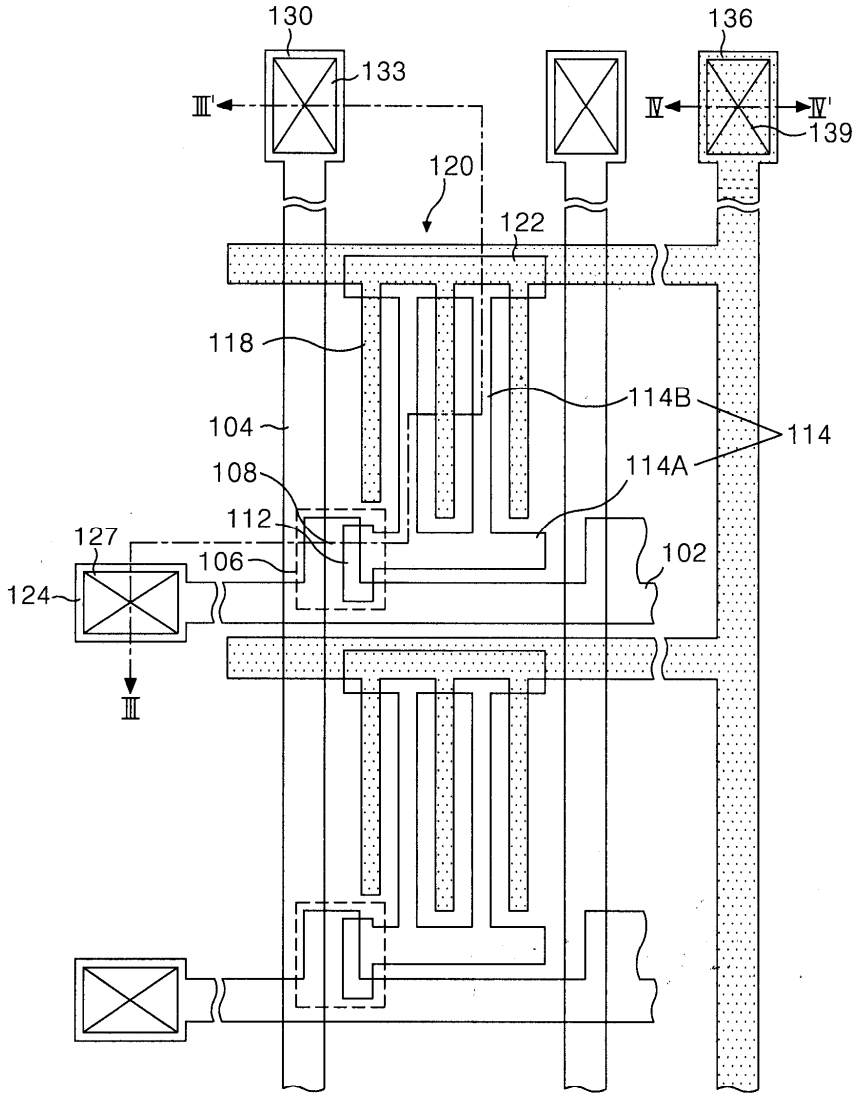


도면3d

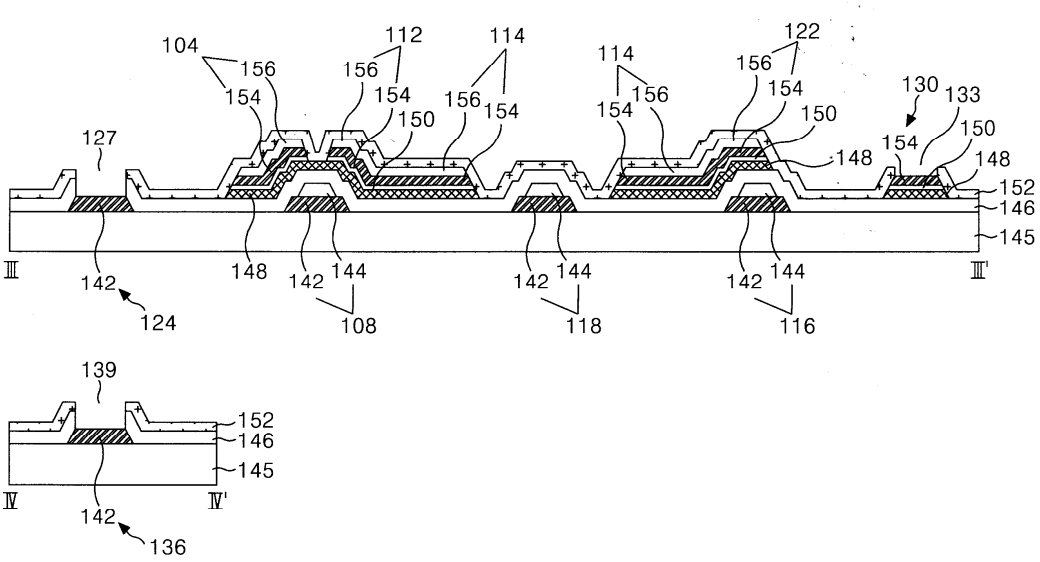

6
10
50
12
28
24
4
14
14
22
20
50
48
34
32
30
52
46
45
I
42
44
26
42
44
48
8
42
44
18
42
44
16
48
50
I'


40
36
52
46
45
II
42
44
38
II'

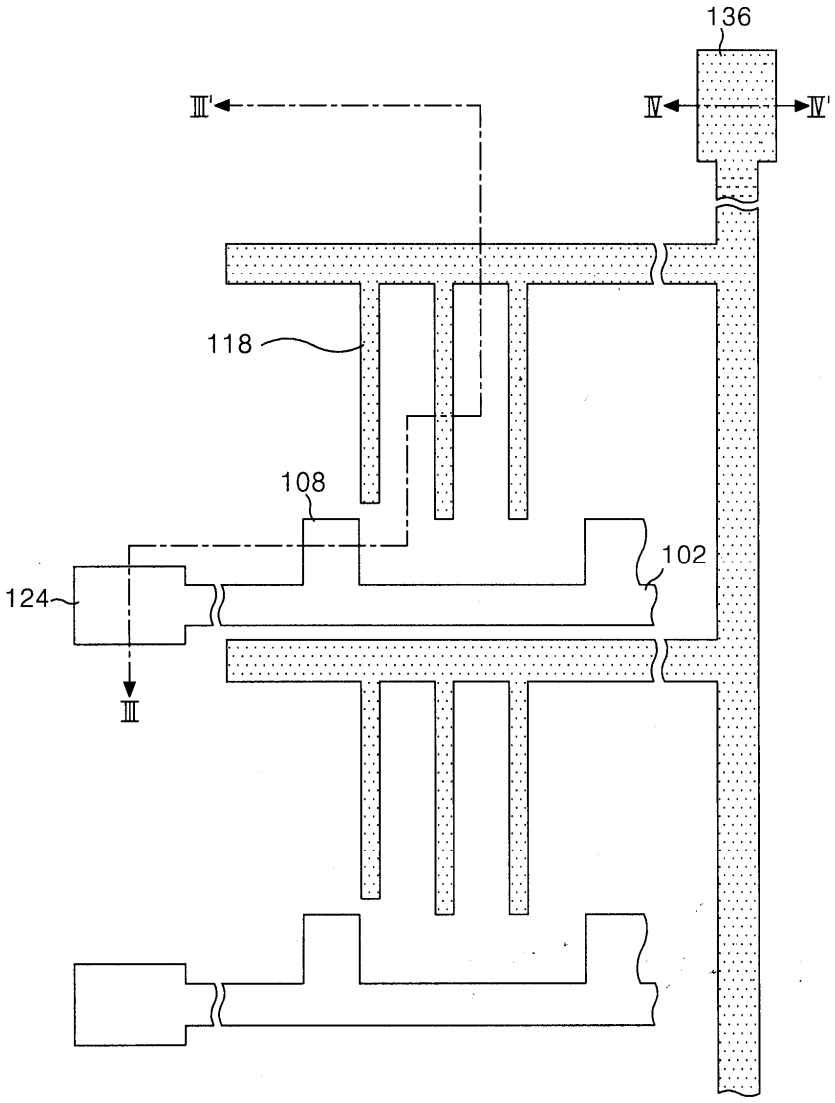
도면4


130
133
III'
136
IV
IV'
139
120
122
118
114B
114
104
114A
108
112
127
106
102
124
III

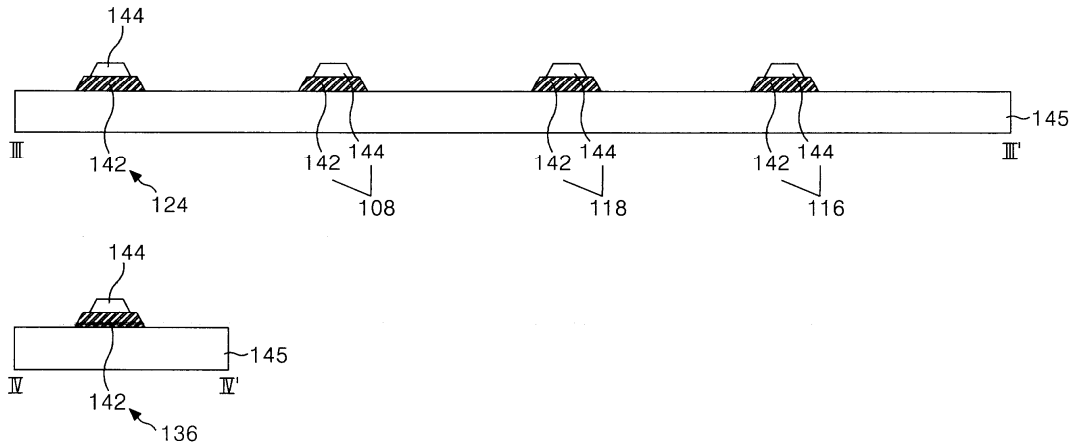
도면5


104
156
154
112
156
154
150
114
156
154
114
154
156
122
156
154
150
130
133
154
150
148
148
152
146
145
127
Ⅲ
142
148
142
144
108
142
144
118
142
144
116
Ⅲ'
124
139
152
146
145
Ⅳ
142
136
Ⅳ'

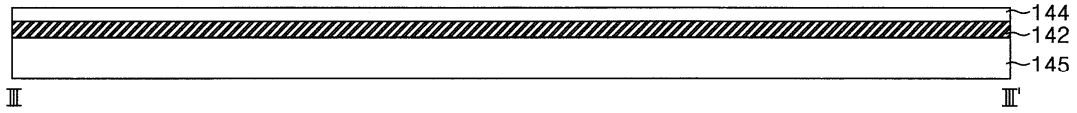
도면6a

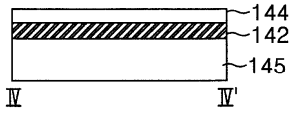

136
Ⅲ'
Ⅳ
Ⅳ'
118
108
102
124
Ⅲ

도면6b

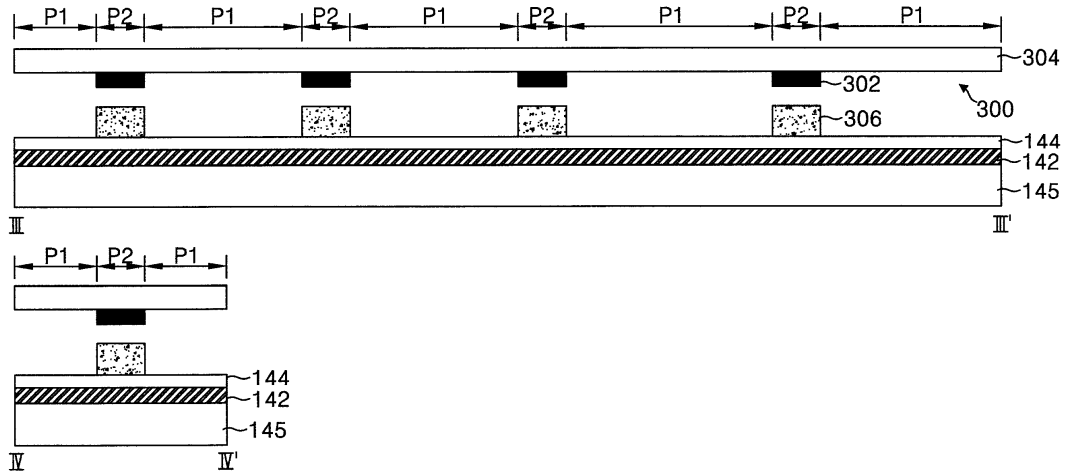


도면7a

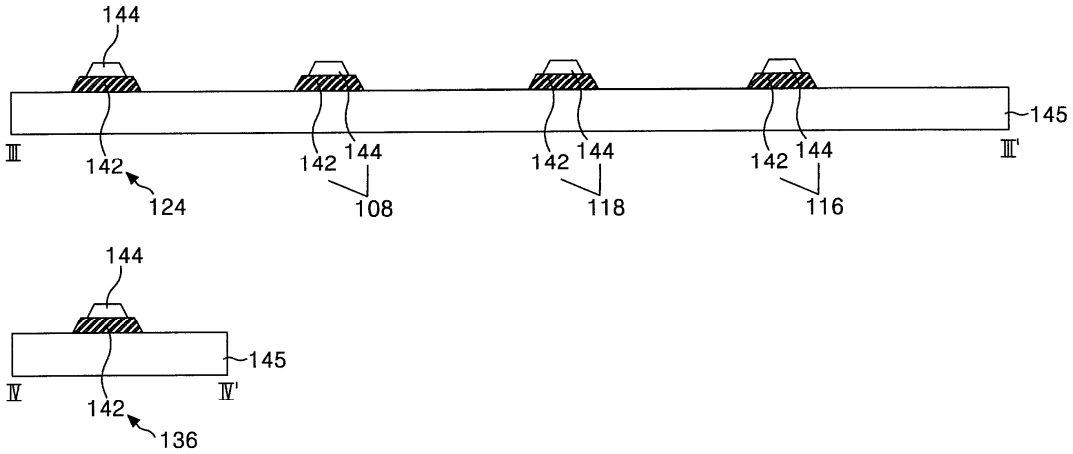




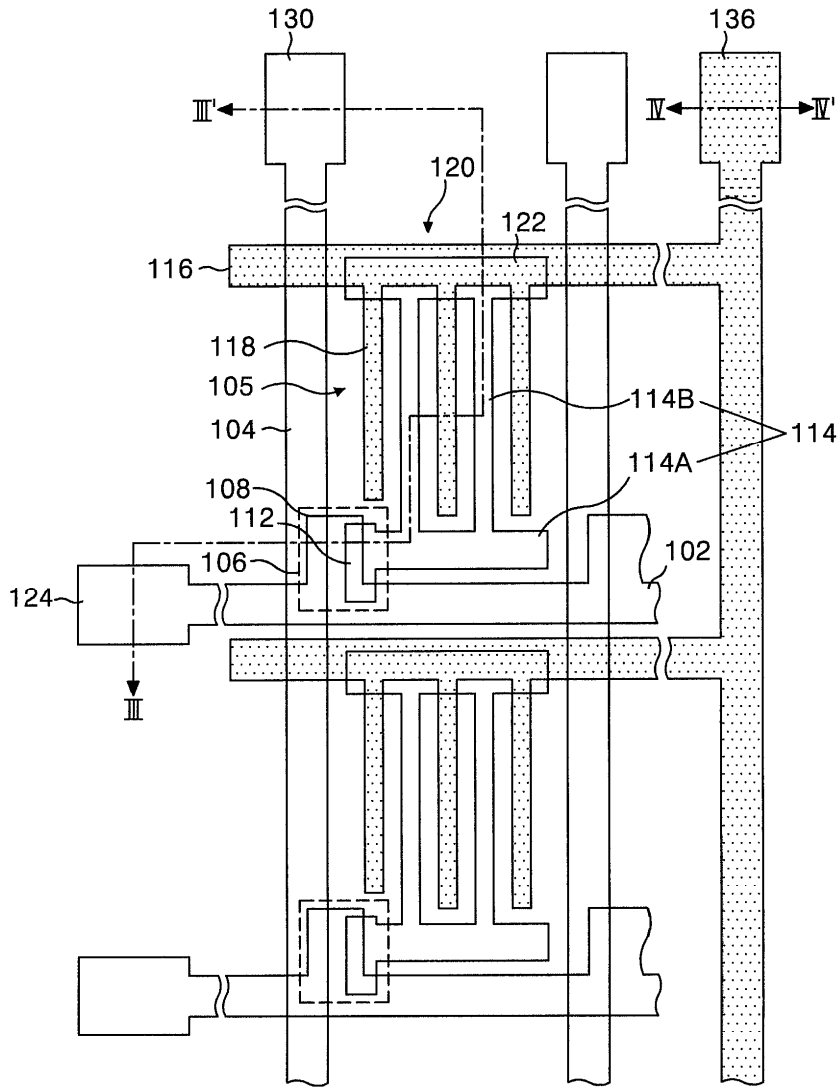
도면7b



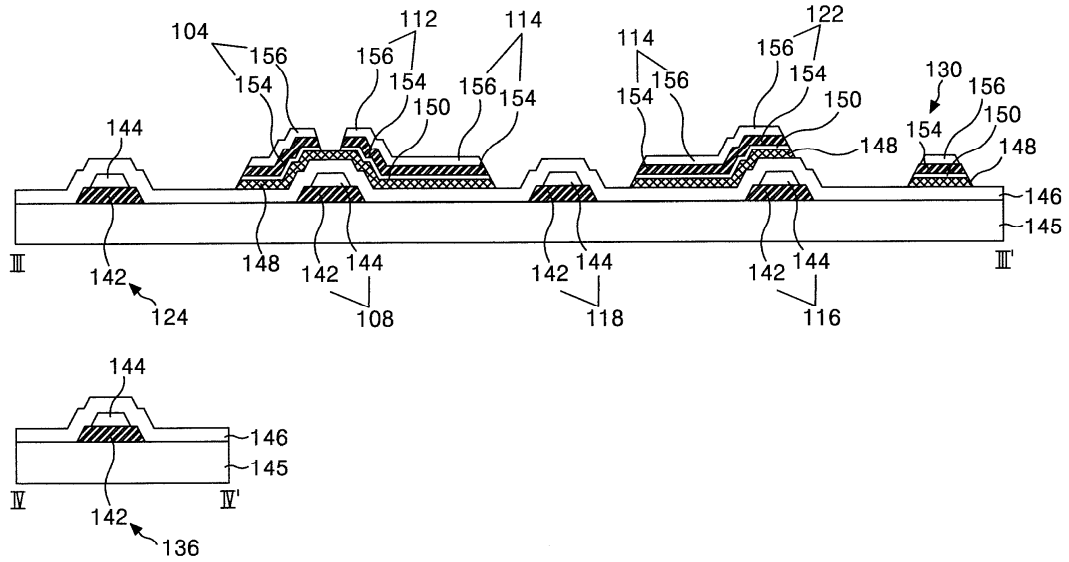
도면7c


144
145
Ⅲ
Ⅲ'
142
124
142
144
108
142
144
118
142
144
116
144
145
Ⅳ
Ⅳ'
142
136

도면8a

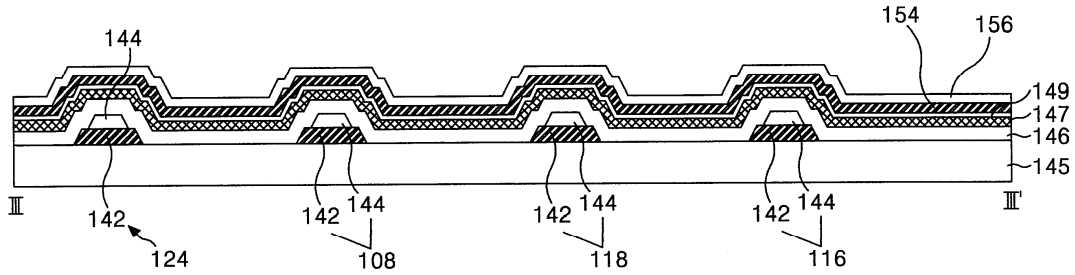

130
136
Ⅲ'
Ⅳ
Ⅳ'
120
122
116
118
105
104
114B
114
114A
108
112
106
102
124
Ⅲ

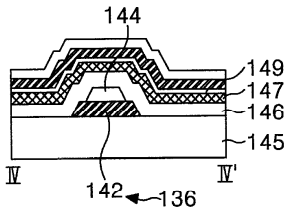
도면8b


104
156
154
112
156
154
114
156
154
150
114
154
156
122
156
154
150
148
130
154
156
150
148
144
146
145
Ⅲ
Ⅲ'
142
124
148
142
144
108
142
144
118
142
144
116

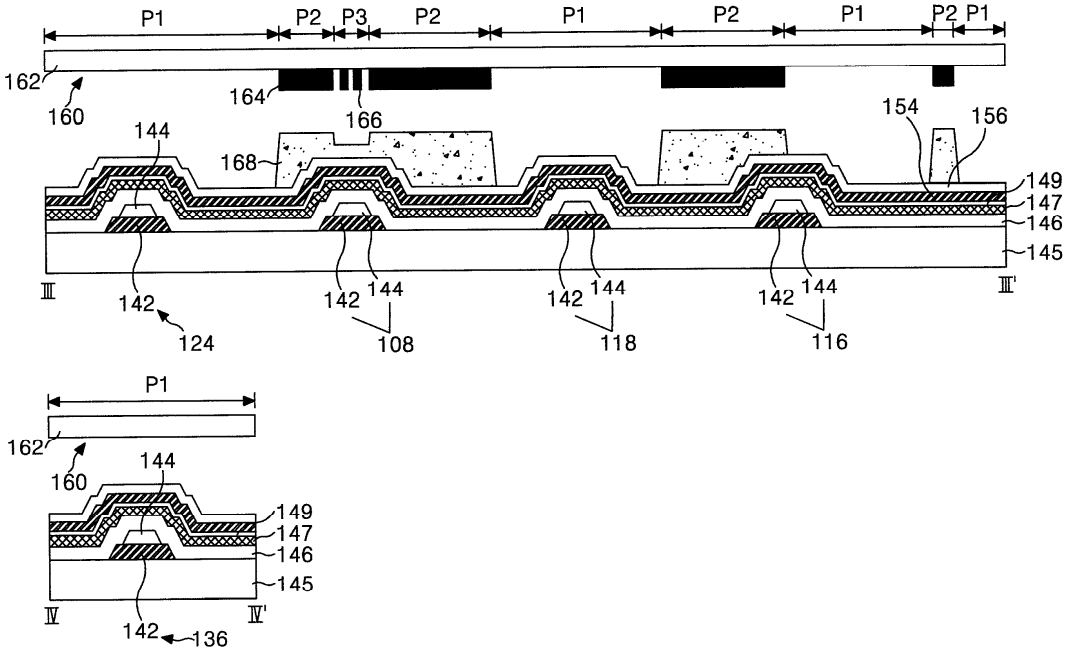
144
146
145
Ⅳ
Ⅳ'
142
136

도면9a


144
154
156
149
147
146
145
Ⅲ
Ⅲ'
142
124
142
144
108
142
144
118
142
144
116

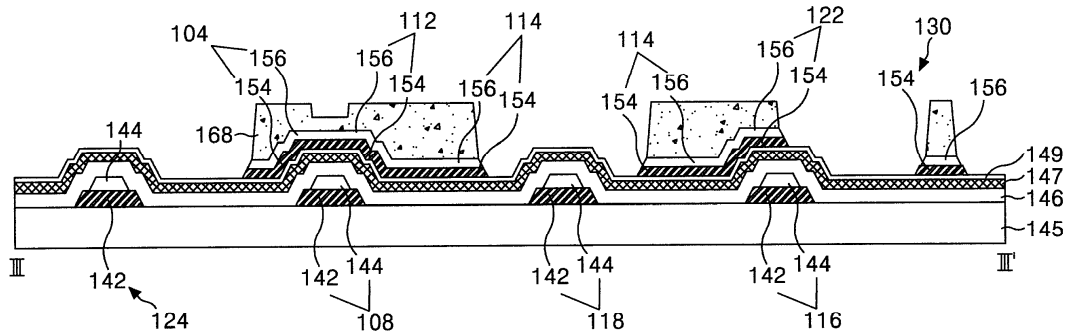

144
149
147
146
145
Ⅳ
Ⅳ'
142
136

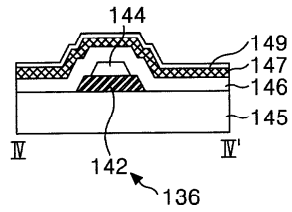
도면9b


P1
P2
P3
P2
P1
P2
P1
P2
P1
162
160
164
166
154
156
144
168
149
147
146
145
Ⅲ
Ⅲ'
142
124
142
144
108
142
144
118
142
144
116

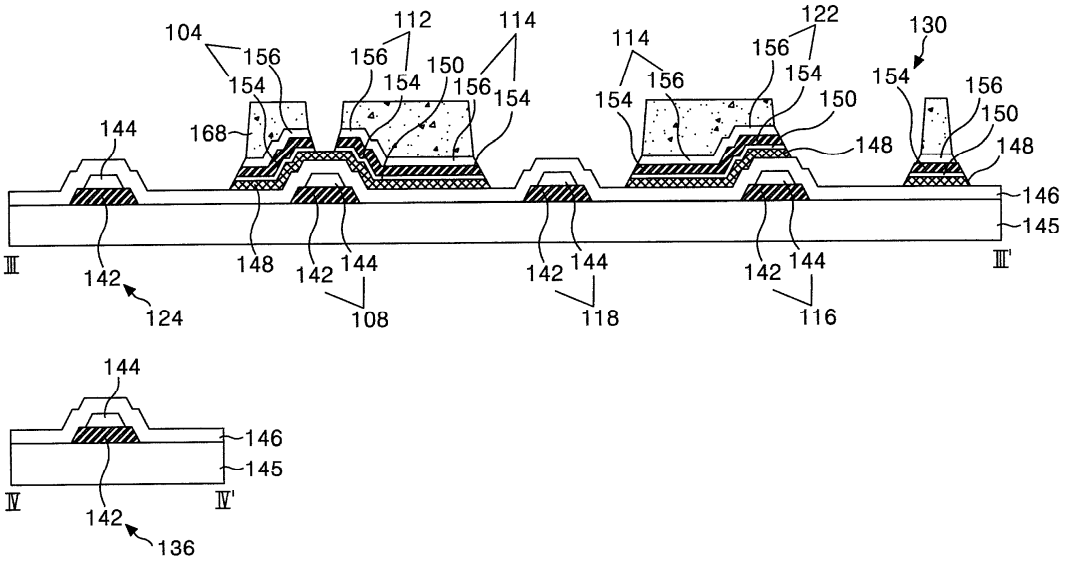
P1
162
160
144
149
147
146
145
Ⅳ
Ⅳ'
142
136

도면9c


104
156
154
112
156
154
114
156
154
114
156
154
122
156
154
130
154
156
144
168
149
147
146
145
Ⅲ
Ⅲ'
142
124
142
144
108
142
144
118
142
144
116

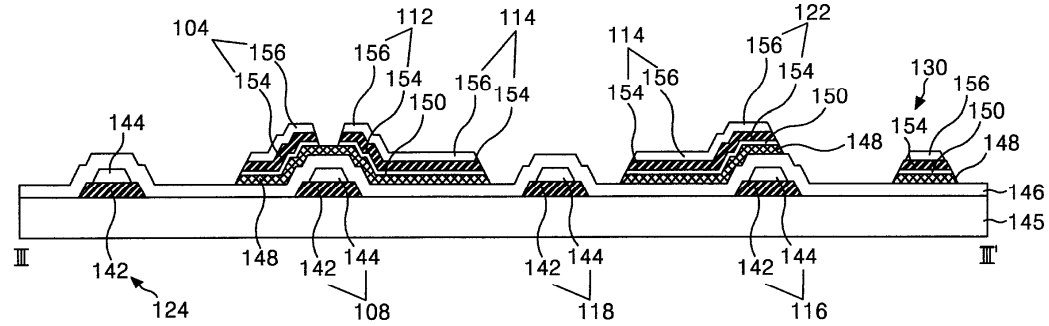

144
149
147
146
145
Ⅳ
Ⅳ'
142
136

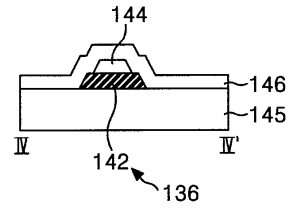
도면9d


104
156
154
112
156
154
150
114
156
154
114
156
154
122
156
154
150
130
154
156
150
144
168
148
146
145
142
124
148
142
144
108
142
144
118
142
144
116
Ⅲ
Ⅲ'

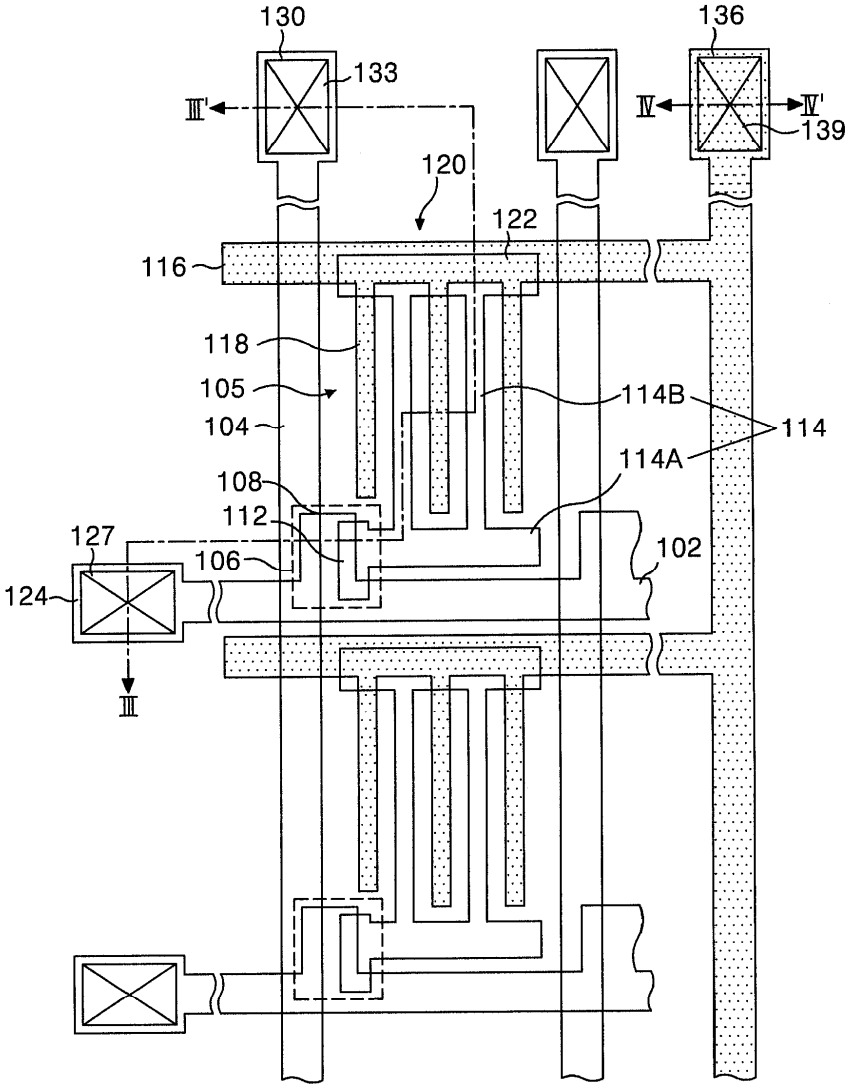
144
146
145
142
136
Ⅳ
Ⅳ'

도면9e

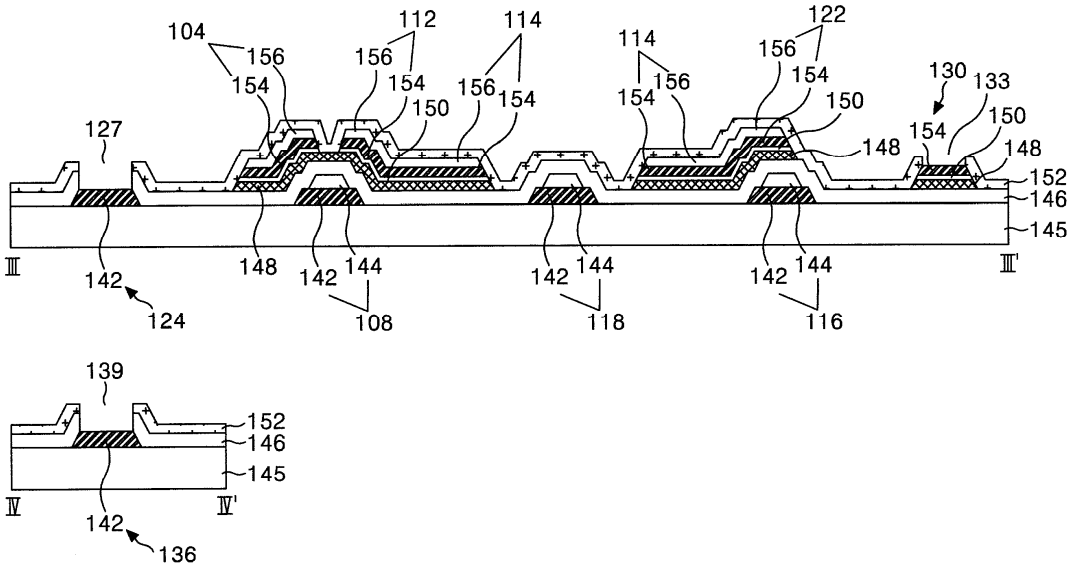

104
156
154
112
156
154
150
114
156
154
114
156
154
122
156
154
150
130
154
156
150
144
148
146
145
142
124
148
142
144
108
142
144
118
142
144
116
Ⅲ
Ⅲ'


144
146
145
142
136
Ⅳ
Ⅳ'

도면10a

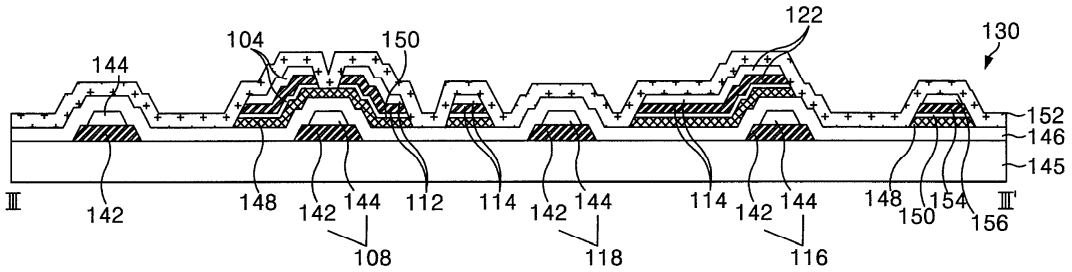

130
136
133
139
120
122
116
118
105
114B
114
104
114A
108
112
127
106
102
124
Ⅲ
Ⅲ'
Ⅳ
Ⅳ'

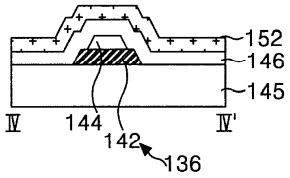
도면10b


104
156
154
112
156
154
150
114
156
154
114
154
156
122
156
154
150
130
133
154
150
148
148
152
146
145
127
Ⅲ
142
124
148
142
144
108
142
144
118
142
144
116
Ⅲ'

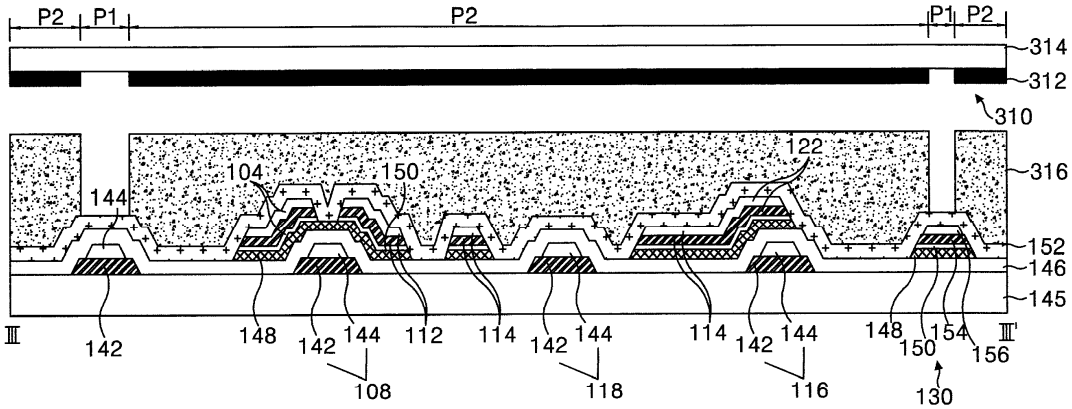
139
152
146
145
Ⅳ
Ⅳ'
142
136

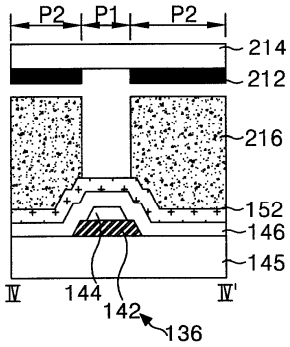
도면11a


122
130
104
150
144
152
146
145
Ⅲ
142
148
142
144
112
114
142
144
114
142
144
148
150
154
156
Ⅲ'
108
118
116

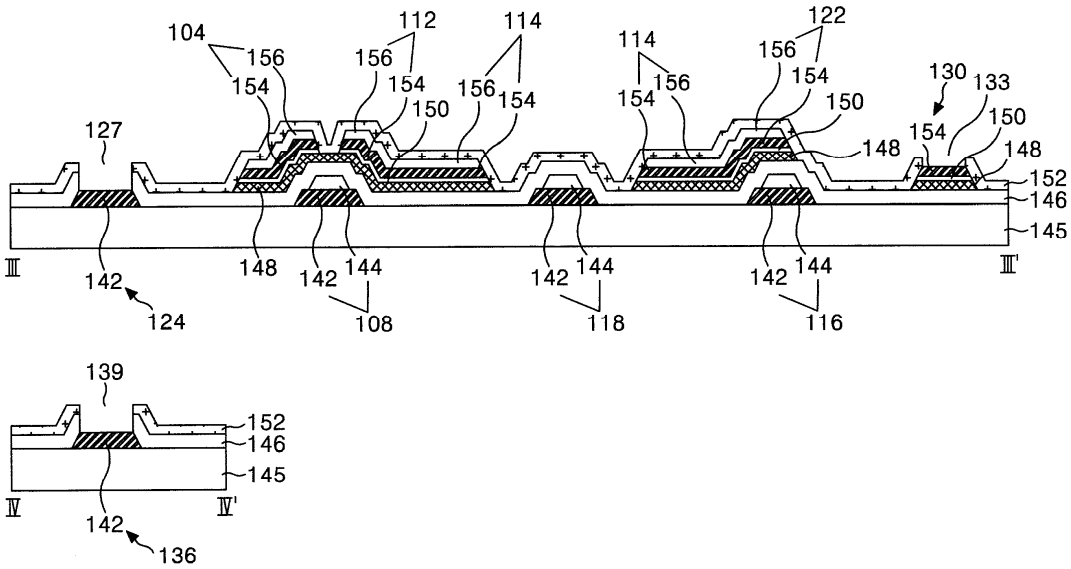

152
146
145
Ⅳ
144
142
136
Ⅳ'

도면11b

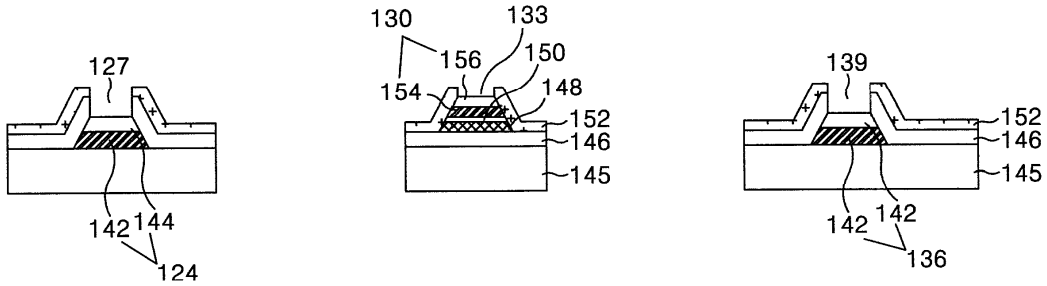

P2
P1
P2
P1
P2
314
312
310
122
104
150
316
144
152
146
145
Ⅲ
142
148
142
144
112
114
142
144
114
142
144
148
150
154
156
Ⅲ'
108
118
116
130


P2
P1
P2
214
212
216
152
146
145
Ⅳ
144
142
136
Ⅳ'

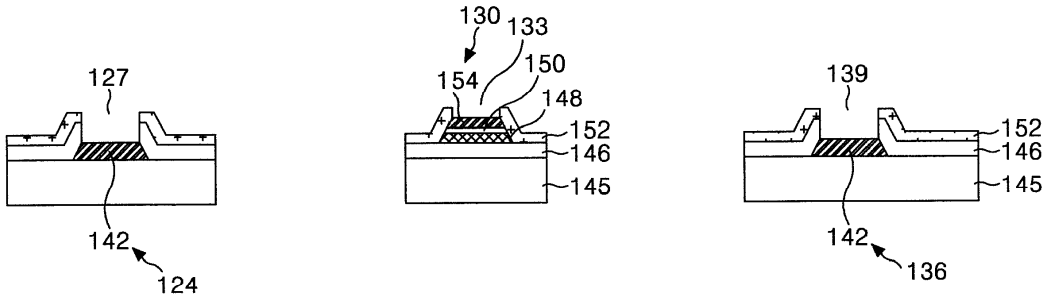
도면11c



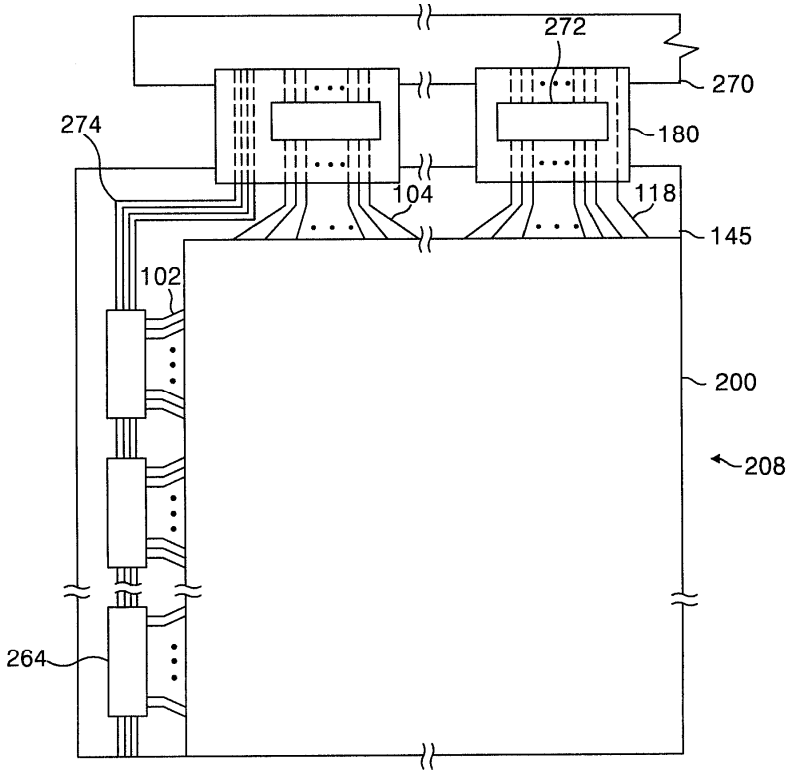
도면12



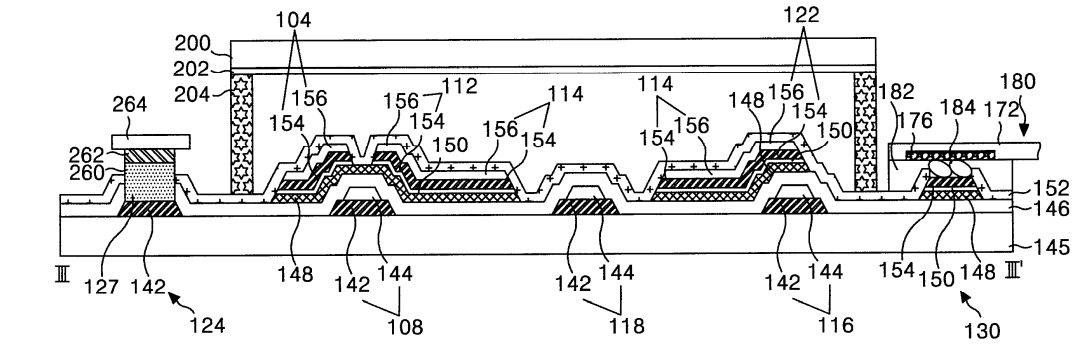
도면13

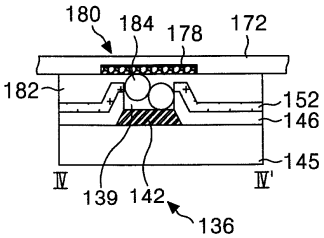


도면14

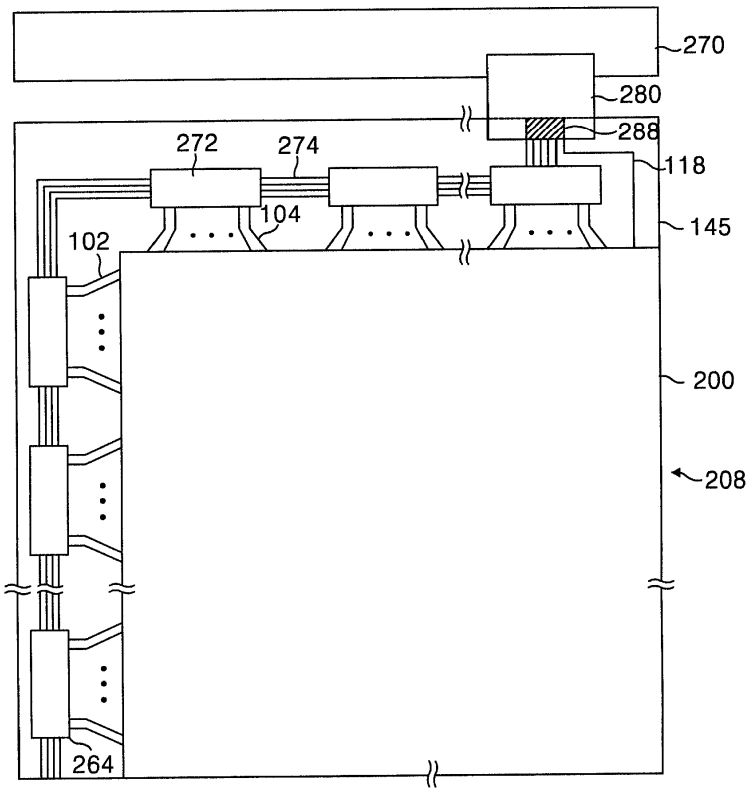

272
270
274
180
104
118
145
102
200
208
264

도면15

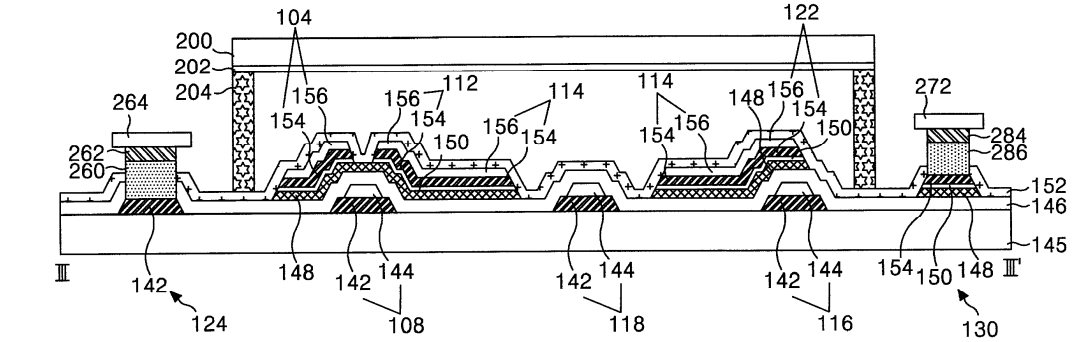

104
122
200
202
204
264
262
260
156
154
112
114
150
148
182
176
184
172
180
152
146
145
Ⅲ
Ⅲ'
127
142
124
148
144
108
118
116
130

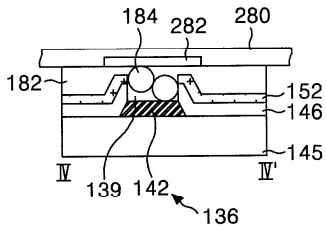

180
184
178
172
182
152
146
145
Ⅳ
Ⅳ'
139
142
136

도면16


270
280
288
118
272
274
104
145
102
200
208
264

도면17


104
122
200
202
204
264
262
260
156
154
112
114
148
272
284
286
150
152
146
145
Ⅲ
Ⅲ'
142
148
144
124
108
118
116
130


184
282
280
182
152
146
145
Ⅳ
Ⅳ'
139
142
136

专利名称(译)	水平场施加液晶显示装置及其制造方法		
公开(公告)号	KR1020040086925A	公开(公告)日	2004-10-13
申请号	KR1020030021116	申请日	2003-04-03
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LIM BYOUNGHO 임병호 AHN BYUNGCHUL 안병철		
发明人	임병호 안병철		
IPC分类号	G02F1/1362 H01L27/12 G02F1/1343 H01L21/84 H01L21/77 G02F1/136		
CPC分类号	G02F2001/136236 H01L27/1214 H01L27/1288 H01L27/12 G02F1/13458 G02F1/134363 H01L27/124		
代理人(译)	KIM，YOUNG HO		
其他公开文献	KR100602062B1		
外部链接	Espacenet		

摘要(译)

本发明涉及一种用于减少掩模工艺次数的水平电子场施加型液晶显示装置及其制造方法。根据本发明的水平电子场施加型液晶显示装置包括栅极线，栅极线和像素电极，其由作为数据线的材料制成，在像素区域上形成公共电极和横向电场。它连接到薄膜晶体管，它连接到形成在数据线交叉处的薄膜晶体管，数据线与形成的公共线相交，栅极线和公共线确定像素区和栅极线，数据线，以及连接到公共线的公共电极，其形成在像素区域和栅极焊盘中，形成为包括在栅极线和数据焊盘中的至少一个导电层，形成为包括至少一个导电层在数据线和直接驱动电路中，在基板上具有至少一个形成的公共PAD，栅极焊盘和数据焊盘以及公共PAD连接到公共线以包括至少一个导电层，该导电层具有保护膜，暴露的栅极焊盘和数据焊盘中的至少一个。