

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.⁷
G02F 1/133

(11) 공개번호
(43) 공개일자

10-2004-0035276
2004년04월29일

(21) 출원번호 10-2002-0064063
(22) 출원일자 2002년10월19일

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 박광순
대구광역시동구신암5동54-35

김철세
대구광역시달서구용산동410-2보람타운202동303호

권순영
경상북도구미시비산동489-1전원리방필807호

(74) 대리인 김영호

심사청구 : 없음

(54) 액정표시장치

요약

본 발명은 화질을 향상시킬 수 있도록 한 액정표시장치에 관한 것이다.

본 발명의 액정표시장치는 데이터라인들과, 데이터라인들과 교번되도록 배치되는 게이트라인들과, 하나의 데이터라인을 기준으로 지그재그 형태로 배치되는 제 1액정셀 및 제 2액정셀을 구비한다.

대표도

도 5

명세서

도면의 간단한 설명

도 1은 종래의 액정표시장치를 나타내는 도면.

도 2는 종래의 다른 실시예에 의한 액정표시장치를 나타내는 도면.

도 3은 도 2에 도시된 액정표시장치의 게이트라인들 및 데이터라인에 공급되는 구동파형을 나타내는 파형도.

도 4는 종래의 또 다른 실시예에 의한 액정표시장치를 나타내는 도면.

도 5는 본 발명의 제 1실시예에 의한 액정표시장치를 나타내는 도면.

도 6은 본 발명의 제 2실시예에 의한 액정표시장치를 나타내는 도면.

< 도면의 주요 부분에 대한 부호의 설명 >

2,8,14,20,30 : 액정패널 4,10,16,22,32 : 데이터 드라이버

6,12,18,24,34 : 게이트 드라이버 9,11,13,15,26,28,36,38 : 액정셀

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치에 관한 것으로 특히, 화질을 향상시킬 수 있도록 한 액정표시장치에 관한 것이다.

액정표시장치는 전계를 이용하여 액정의 광 투과율을 조절함으로써 화상을 표시하게 된다. 이를 위하여, 액정표시장치는 화소 매트릭스를 가지는 액정패널과 액정패널을 구동하기 위한 구동회로를 구비한다. 구동회로는 화상정보가 표시패널에 표시되도록 화소 매트릭스를 구동하게 된다.

도 1은 종래의 액정표시장치를 나타내는 도면이다.

도 1을 참조하면, 종래의 액정표시장치는 액정패널(2)과, 액정패널(2)의 데이터라인들(DL1 내지 DLm)을 구동하기 위한 데이터 드라이버(4)와, 액정패널(2)의 게이트라인들(GL0 내지 GLn)을 구동하기 위한 게이트 드라이버(6)를 구비한다.

액정패널(2)은 게이트라인들(GL0 내지 GLn)과 데이터라인들(DL1 내지 DLm)의 교차부에 각각 형성된 박막 트랜지스터(TFT)와, 박막 트랜지스터(TFT)에 접속되고 매트릭스 형태로 배열되어진 액정셀들을 구비한다.

게이트 드라이버(6)는 도시되지 않은 타이밍 제어부로부터의 제어신호에 따라 게이트 라인들(GL0 내지 GLn)에 순차적으로 게이트신호를 공급한다. 데이터 드라이버(4)는 타이밍 제어부로부터 공급되는 데이터(R,G,B)를 아날로그 신호인 비디오신호로 변환하여 게이트라인들(GL0 내지 GLn)에 게이트신호가 공급되는 1수평주기마다 1수평라인분의 비디오신호를 데이터라인들(DL1 내지 DLm)로 공급한다.

박막 트랜지스터(TFT)는 게이트라인(GL0 내지 GLn)으로부터의 게이트신호에 응답하여 데이터라인(DL1 내지 DLm)으로부터의 데이터를 액정셀로 공급한다. 액정 셀은 액정을 사이에 두고 대면하는 공통전극과, 박막 트랜지스터(TFT)에 접속된 화소전극으로 구성되므로 등가적으로 액정 캐패시터(Clc)로 표시될 수 있다. 이러한 액정셀은 액정 캐패시터(Clc)에 충전된 데이터전압을 다음 데이터전압이 충전될 때 까지 유지시키기 위하여 이전단 게이트라인에 접속된 스토리지 캐패시터(도시되지 않음)를 포함한다.

이와 같은 종래의 액정표시장치의 액정셀들은 게이트라인들(GL0 내지 GLn)과 데이터라인들(DL1 내지 DLm)의 교차부에 각각 위치되기 때문에 데이터라인들(DL1 내지 DLm)의 수만큼(즉 m개) 수직라인을 형성한다. 다시 말하여, 액정셀들은 m개의 수직라인 및 n개의 수평라인을 이루도록 매트릭스 형태로 배치된다.

여기서 알수 있듯이, 종래에는 m개의 수직라인의 액정셀들을 구동하기 위하여 m개의 데이터라인들(DL1 내지 DLm)을 필요로한다. 따라서, 종래에는 액정패널(2)을 구동하기 위하여 다수의 데이터라인들(DL1 내지 DLm)이 형성되고, 이에 따라 공정시간 및 제조비용이 낭비되는 단점이 있다. 이와 같은 단점을 극복하기 위하여 도 2와 같은 액정표시장치가 IBM에서 제안되었다.

도 2를 참조하면, 종래의 다른 실시예에 의한 액정표시장치는 액정패널(8)과, 액정패널(8)의 데이터라인들(DL1 내지 DLm/2)을 구동하기 위한 데이터 드라이버(10)와, 액정패널(8)의 게이트라인들(GL0 내지 GLn)을 구동하기 위한 게이트 드라이버(12)를 구비한다.

액정패널(8)은 게이트라인들(GL0 내지 GLn)과 데이터라인들(DL1 내지 DLm/2)의 교차부에 형성된 제 1액정셀(9) 및 제 2액정셀(11)들을 구비한다. 제 1액정셀(9)은 데이터라인(DL)의 좌측에 형성된다. 제 2액정셀(11)은 데이터라

인(DL)의 우측에 형성된다. 즉, 제 1액정셀(9) 및 제 2액정셀(11)은 하나의 데이터라인(DL)을 사이에 두고 좌/우측에 형성됨과 아울러 인접되게 위치한 데이터라인(DL)으로부터 비디오신호를 공급받는다. 다시 말하여, 수직으로 인접되게 위치한 제 1액정셀(9) 및 제 2액정셀(11)들은 하나의 데이터라인(DL)으로부터 비디오신호를 공급받고, 이에 따라 종래의 다른 실시예에 의한 액정표시장치는 도 1에 도시된 액정표시장치에 비하여 데이터라인(DL)의 수가 절반으로 줄어들게 된다.

한편, 제 1액정셀(9)은 제 1 및 제 2박막 트랜지스터(TFT1, TFT2)를 구비한다. 제 1박막 트랜지스터(TFT1)의 게이트단자는 i (i 는 정수)번째 게이트라인(GL i)에 접속되고, 소오스단자는 $i+1$ 번째 게이트라인(GL $i+1$)에 접속된다. 제 2박막 트랜지스터(TFT2)의 게이트단자는 제 1박막 트랜지스터(TFT1)의 드레인단자에 접속됨과 아울러 소오스단자는 인접된 데이터라인(DL)에 접속되고, 드레인단자는 액정 캐패시터(Clc)(즉, 화소전극)에 접속된다. 여기서, 액정 캐패시터(Clc)는 액정을 사이에 두고 대면하는 공통전극과, 제 2박막 트랜지스터(TFT2)에 접속된 화소전극을 등가적으로 나타내어 표시된다.

제 2액정셀(11)은 제 3박막 트랜지스터(TFT3)를 구비한다. 제 3박막 트랜지스터(TFT3)의 게이트단자는 i 번째 게이트라인(GL i)에 접속됨과 아울러 소오스단자는 인접된 데이터라인(DL)에 접속되고, 드레인단자는 액정 캐패시터(Clc)(즉, 화소전극)에 접속된다.

게이트 드라이버(12)는 도시되지 않은 타이밍 제어부로부터의 제어신호에 따라 게이트라인들(GL0 내지 GL n)에 제 1게이트신호(SP1) 및 제 2게이트신호(SP2)를 순차적으로 공급한다. 여기서, 제 1게이트신호(SP1)는 제 2게이트신호(SP2)가 공급된 후에 공급되며 제 2게이트신호(SP2)보다 좁은 폭을 갖는다. 데이터 드라이버(10)는 타이밍 제어부로부터 공급되는 데이터(R,G,B)를 아날로그 신호인 비디오신호로 변환하여 데이터라인들(DL1 내지 DL $m/2$)에 공급한다.

이와 같은 종래의 다른 실시예에 의한 액정표시장치의 구동과정을 도 3을 참조하여 상세히 설명하기로 한다. 도 3은 제 i 번째 게이트라인(GL i) 및 제 $i+1$ 번째 게이트라인(GL $i+1$)이 구동되는 과정을 도시한 도면이다.

도 3을 참조하면, 게이트 드라이버(12)는 제 $i+1$ 번째 게이트라인(GL $i+1$)에 제 1게이트신호(SP1)를 공급함과 아울러 i 번째 게이트라인(GL i)에 제 2게이트신호(SP2)를 공급한다. 여기서, 제 2게이트신호(SP2)의 폭이 제 1게이트신호(SP1)의 폭 보다 넓게 설정되기 때문에 제 1기간(TA)동안 제 1게이트신호(SP1) 및 제 2게이트신호(SP2)가 동시에 인가되고, 제 1기간(TA)에 이은 제 2기간(TB)동안 제 2게이트신호(SP2)만이 인가된다.

제 $i+1$ 번째 게이트라인(GL $i+1$)에 제 1게이트신호(SP1)가 인가되고, 제 i 번째 게이트라인(GL i)에 제 2게이트신호(SP2)가 인가되는 제 1기간(TA) 동안 제 i 번째 게이트라인(GL i)과 접속된 제 1액정셀(9)에 제 1비디오신호(DA)가 공급된다. 이를 상세히 설명하면, 제 $i+1$ 번째 게이트라인(GL $i+1$)에 공급되는 제 1게이트신호(SP1)는 제 i 번째 게이트라인(GL i)의 제 1액정셀(9)에 형성된 제 1박막 트랜지스터(TFT1)의 소오스단자로 공급된다. 이때, 제 i 번째 게이트라인(GL i)에 공급되는 제 2게이트신호(SP2)에 의해 제 1박막 트랜지스터(TFT1)가 턴-온되기 때문에 제 1박막 트랜지스터(TFT1)의 소오스단자로 공급된 제 1게이트신호(SP1)는 제 2박막 트랜지스터(TFT2)의 게이트단자로 공급되어 제 2박막 트랜지스터(TFT2)를 턴-온시킨다. 제 2박막 트랜지스터(TFT2)가 턴-온되면 데이터라인(DL)으로 공급되는 제 1비디오신호(DA)가 제 1액정셀(9)의 액정 캐패시터(Clc)로 공급된다. 즉, 제 $i+1$ 번째 게이트라인(GL $i+1$)에 제 1게이트신호(SP1)가 인가되고, 제 i 번째 게이트라인(GL i)에 제 2게이트신호(SP2)가 인가되는 제 1기간(TA) 동안 제 i 번째 게이트라인(GL i)에 형성된 제 1액정셀(9)들에 제 1비디오신호(DA)가 공급된다.

이어서, 제 2기간(TB)에는 제 i 번째 게이트라인(GL i)에 접속된 제 3박막 트랜지스터(TFT3)가 턴-온된다. 제 3박막 트랜지스터(TFT3)가 턴-온되면 제 2기간(TB)동안 데이터라인(DL)으로 공급되는 제 2비디오신호(DB)가 제 2액정셀(11)로 공급된다.

즉, 종래의 다른 실시예에 의한 액정표시장치에 의하면 하나의 데이터라인(DL)을 이용하여 좌/우로 인접되게 위치한 제 1액정셀(9) 및 제 2액정셀(11)을 구동할 수 있다.

하지만, 이와 같은 종래의 다른 실시예에 의한 액정표시장치는 동일한 수평라인에 서로 인접되게 위치한 제 1액정셀(9) 및 제 2액정셀(11)에 공급되는 비디오신호(DA, DB)가 서로 상이한 시점에 인가된다. 즉, 수직라인에 일렬로 배치된 제 1액정셀들(9)에 제 1비디오신호(DA)가 공급된 후 제 2액정셀들(11)에 제 2비디오신호(DB)가 공급된다. 이와 같이, 비디오신호(DA, DB)의 인가시간이 상이하게 되면 제 2액정셀들(11)에 공급되는 제 2비디오신호(DB)에 의하여 제 1액정셀들(9)에 충전된 제 1비디오신호(DA)의 값이 변하게 된다.

다시 말하여, 제 1액정셀들(9) 및 제 2액정셀들(11) 사이에 등가적으로 기생 캐패시터가 형성되고, 이 기생 캐패시터에 의해 제 2액정셀들(11)에 공급되는 제 2비디오신호(DB)가 제 1액정셀들(9)에 충전된 제 1비디오신호(DA)의 값을 변화시키게 된다. 따라서, 종래의 다른 실시예에 의한 액정표시장치는 수직으로 배치된 제 1액정셀(9) 및 제 2액정셀(

11) 간의 구동조건의 차이에 의하여 세로 뒸(dim) 현상이 나타나게 된다.

또한, 제 2액정셀(11)은 하나의 게이트라인(GL)에 게이트신호가 공급될 때 비디오신호를 충전하고, 제 1액정셀(9)은 2개의 게이트라인(GL)에 게이트신호가 공급될 때 비디오신호를 충전한다. 이때, 제 1액정셀(9)은 두개의 박막 트랜지스터(TFT1, TFT2)를 경유하여 공급되는 게이트신호에 의하여 구동되고, 제 2액정셀(11)은 하나의 박막 트랜지스터(TFT3)에 공급되는 게이트신호에 의하여 구동된다. 즉, 제 1액정셀(9) 및 제 2액정셀(11)에는 동일한 전압레벨을 가지는 게이트신호가 공급되지 못하게 된다. 따라서, 종래의 다른 실시예에 의한 액정표시장치는 수직으로 배치된 제 1액정셀(9) 및 제 2액정셀(11) 간의 구동조건의 차이에 의하여 세로 뒸(dim) 현상이 나타나게 된다.

한편, 도 2에 도시된 액정표시장치와 마찬가지로 데이터라인들(DL)의 수를 줄이기 위하여 도 4와 같은 액정표시장치가 한양대학교에서 제안되었다.

도 4를 참조하면, 종래의 또 다른 실시예에 의한 액정표시장치는 액정패널(14)과, 액정패널(14)의 데이터라인들(DL1 내지 DLm/2)을 구동하기 위한 데이터 드라이버(16)와, 액정패널(14)의 게이트라인들(GL0 내지 GLn)을 구동하기 위한 게이트 드라이버(18)를 구비한다.

액정패널(14)은 게이트라인들(GL0 내지 GLn)과 데이터라인들(DL1 내지 DLm/2)의 교차부에 형성된 제 1액정셀(13) 및 제 2액정셀(15)들을 구비한다. 제 1액정셀(13)은 데이터라인(DL)의 좌측에 형성된다. 제 2액정셀(15)은 데이터라인(DL)의 우측에 형성된다. 즉, 제 1액정셀(13) 및 제 2액정셀(15)은 하나의 데이터라인(DL)을 사이에 두고 좌/우측에 형성됨과 아울러 인접되게 위치한 데이터라인(DL)으로부터 비디오신호를 공급받는다. 다시 말하여, 수직으로 인접되게 위치한 제 1액정셀(13) 및 제 2액정셀(15)들은 하나의 데이터라인(DL)으로부터 비디오신호를 공급받고, 이에 따라 종래의 또 다른 실시예에 의한 액정표시장치는 도 1에 도시된 액정표시장치에 비하여 데이터라인(DL)의 수가 절반으로 줄어들게 된다.

한편, 제 1액정셀(13)은 제 1 및 제 2박막 트랜지스터(TFT1, TFT2)를 구비한다. 제 2박막 트랜지스터(TFT2)의 게이트단자는 i (i 는 정수)번째 게이트라인(GL i)에 접속되고, 소오스단자는 인접된 데이터라인(DL)에 접속된다. 제 1박막 트랜지스터(TFT1)의 게이트단자는 $i+1$ 번째 게이트라인(GL $i+1$)에 접속됨과 아울러 소오스단자는 제 2박막 트랜지스터(TFT2)의 드레인단자에 접속되고, 드레인단자는 액정 캐패시터(Clc)(즉, 화소전극)에 접속된다.

제 2액정셀(16)은 제 3박막 트랜지스터(TFT3) 및 제 4박막 트랜지스터(TFT4)를 구비한다. 제 3박막 트랜지스터(TFT3)의 게이트단자는 i 번째 게이트라인(GL i)에 접속되고, 소오스단자는 인접된 데이터라인(DL)에 접속된다. 제 4박막 트랜지스터(TFT4)의 게이트단자는 i 번째 게이트라인(GL i)에 접속됨과 아울러 소오스단자는 제 3박막 트랜지스터(TFT3)의 드레인단자에 접속되고, 드레인단자는 액정 캐패시터(Clc)(즉, 화소전극)에 접속된다.

게이트 드라이버(18)는 도시되지 않은 타이밍 제어부로부터의 제어신호에 따라 게이트라인들(GL0 내지 GLn)에 제 2게이트신호(SP2) 및 제 1게이트신호(SP1)를 순차적으로 공급한다. 여기서, 제 1게이트신호(SP1)는 제 2게이트신호(SP2)가 공급된 후에 공급되며 제 2게이트신호(SP2)보다 좁은 폭을 갖는다. 데이터 드라이버(16)는 타이밍 제어부로부터 공급되는 데이터(R, G, B)를 아날로그 신호인 비디오신호로 변환하여 데이터라인들(DL1 내지 DLm/2)에 공급한다.

이와 같은 종래의 또 다른 실시예에 의한 액정표시장치의 구동과정을 도 3을 참조하여 상세히 설명하기로 한다. 도 3은 제 i 번째 게이트라인(GL i) 및 제 $i+1$ 번째 게이트라인(GL $i+1$)이 구동되는 과정을 도시한 도면이다.

도 3을 참조하면, 게이트 드라이버(18)는 제 $i+1$ 번째 게이트라인(GL $i+1$)에 제 1게이트신호(SP1)를 공급함과 아울러 i 번째 게이트라인(GL i)에 제 2게이트신호(SP2)를 공급한다. 여기서, 제 2게이트신호(SP2)의 폭이 제 1게이트신호(SP1)의 폭 보다 넓게 설정되기 때문에 제 1기간(TA)동안 제 1게이트신호(SP1) 및 제 2게이트신호(SP2)가 동시에 인가되고, 제 1기간(TA)에 이은 제 2기간(TB)동안 제 2게이트신호(SP2)만이 인가된다.

제 $i+1$ 번째 게이트라인(GL $i+1$)에 제 1게이트신호(SP1)가 인가되고, 제 i 번째 게이트라인(GL i)에 제 2게이트신호(SP2)가 인가되는 제 1기간(TA) 동안 제 i 번째 게이트라인(GL i)과 접속된 제 1액정셀(13)에 제 1비디오신호(DA)가 공급된다. 이를 상세히 설명하면, 제 $i+1$ 번째 게이트라인(GL $i+1$)에 공급되는 제 1게이트신호(SP1)는 제 i 번째 게이트라인(GL i)의 제 1액정셀(13)에 형성된 제 1박막 트랜지스터(TFT1)를 턴-온시킨다. 또한, 제 i 번째 게이트라인(GL i)에 공급되는 제 2게이트신호(SP2)는 제 i 번째 게이트라인(GL i)의 제 1액정셀(13)에 형성된 제 2박막 트랜지스터(TFT2)를 턴-온시킨다. 즉, 제 1기간(TA)에는 제 1 및 제 2박막 트랜지스터(TFT1, TFT2)가 턴-온되어 제 1액정셀(13)들에 제 1비디오신호(DA)가 공급된다.

이어서, 제 2기간(TB)에는 제 i 번째 게이트라인(GL i)에 공급되는 제 2게이트신호(SP2)에 의해 제 3 및 제 4박막 트랜지스터(TFT3, TFT4)가 턴-온된다. 제 3 및 제 4박막 트랜지스터(TFT3, TFT4)가 턴-온되면 데이터라인(DL)으로 공

급되는 제 2비디오신호(DB)가 제 2액정셀들(15)로 공급된다.

즉, 종래의 또 다른 실시예에 의한 액정표시장치에 의하면 하나의 데이터라인(DL)을 이용하여 좌/우로 인접되게 위치한 제 1액정셀(13) 및 제 2액정셀(15)을 구동할 수 있다.

하지만, 이와 같은 종래의 다른 실시예에 의한 액정표시장치는 동일한 수평라인에 서로 인접되게 위치한 제 1액정셀(13) 및 제 2액정셀(15)에 공급되는 비디오신호(DA,DB)가 서로 상이한 시점에 인가된다. 즉, 수직라인에 일렬로 배치된 제 1액정셀들(13)에 제 1비디오신호(DA)가 공급된 후 제 2액정셀들(15)에 제 2비디오신호(DB)가 공급된다. 이와 같이, 비디오신호(DA,DB)의 인가시간이 상이하게 되면 제 2액정셀들(15)에 공급되는 제 2비디오신호(DB)에 의하여 제 1액정셀들(13)에 충전된 제 1비디오신호(DA)의 값이 변하게 된다.

다시 말하여, 제 1액정셀들(13) 및 제 2액정셀들(15) 사이에 등가적으로 기생 캐패시터가 형성되고, 이 기생 캐패시터에 의해 제 2액정셀들(15)에 공급되는 제 2비디오신호(DB)가 제 1액정셀들(13)에 충전된 제 1비디오신호(DA)의 값을 변화시키게 된다. 따라서, 종래의 또 다른 실시예에 의한 액정표시장치는 수직으로 배치된 제 1액정셀(13) 및 제 2액정셀(15) 간의 구동조건의 차이에 의하여 세로 뒼(dim) 현상이 나타나게 된다.

또한, 제 2액정셀(15)은 하나의 게이트라인(GL)에 게이트신호가 공급될 때 비디오신호를 충전하고, 제 1액정셀(13)은 2개의 게이트라인(GL)에 게이트신호가 공급될 때 비디오신호를 충전한다. 즉, 제 1액정셀(13) 및 제 2액정셀(15)에는 동일한 전압레벨을 가지는 게이트신호가 공급되지 못하게 된다. 따라서, 종래의 또 다른 실시예에 의한 액정표시장치는 수직으로 배치된 제 1액정셀(13) 및 제 2액정셀(15) 간의 구동조건의 차이에 의하여 세로 뒼(dim) 현상이 나타나게 된다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 화질을 향상시킬 수 있도록 한 액정표시장치를 제공하는 것이다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여 본 발명의 액정표시장치는 데이터라인들과, 데이터라인들과 교번되도록 배치되는 게이트라인들과, 하나의 데이터라인을 기준으로 지그재그 형태로 배치되는 제 1액정셀 및 제 2액정셀을 구비한다.

상기 제 1액정셀 및 제 2액정셀들은 수평라인에서 교번되게 배치된다.

상기 제 1액정셀은; i (i 는 정수)번째 게이트라인에 게이트단자가 접속되고, $i+1$ 번째 게이트라인에 소오스단자가 접속된 제 1박막 트랜지스터와; 제 1박막 트랜지스터의 드레인단자에 자신의 게이트단자가 접속됨과 아울러 소오스단자가 기준이 되는 데이터라인에 접속되고, 드레인단자가 제 1액정셀에 포함된 화소전극에 접속되는 제 2박막 트랜지스터를 구비한다.

상기 제 2액정셀은; i 번째 게이트라인에 게이트단자가 접속됨과 아울러 소오스단자가 기준이 되는 데이터라인에 접속되고, 드레인단자가 제 2액정셀에 포함된 화소전극에 접속되는 제 3박막 트랜지스터를 구비한다.

상기 제 1액정셀은; i (i 는 정수)+1번째 게이트라인에 게이트단자가 접속되고, 드레인단자가 제 1액정셀에 포함된 화소전극에 접속되는 제 1박막 트랜지스터와; 제 1박막 트랜지스터의 소오스단자에 자신의 드레인단자가 접속됨과 아울러 게이트단자가 i 번째 게이트라인에 접속되고, 소오스단자가 기준이 되는 데이터라인에 접속되는 제 2박막 트랜지스터를 구비한다.

상기 제 2액정셀은; i 번째 게이트라인에 게이트단자가 접속되고, 기준이 되는 데이터라인에 소오스단자가 접속되는 제 3박막 트랜지스터와, 제 3박막 트랜지스터의 드레인단자에 자신의 소오스단자가 접속됨과 아울러 게이트단자가 i 번째 게이트라인에 접속되고, 드레인단자가 제 2액정셀에 포함된 화소전극에 접속되는 제 4박막 트랜지스터를 구비한다.

본 발명의 액정표시장치는 데이터라인들과, 데이터라인들과 교번적으로 배치되는 게이트라인들의 교차부에 위치되는 다수의 제 1 및 제 2액정셀들을 구비하며, 제 1 및 제 2액정셀들은 수직 및 수평라인에서 교번적으로 배치된다.

상기 제 1액정셀은 i (i 는 정수)번째 게이트라인에 게이트단자가 접속되고, $i+1$ 번째 게이트라인에 소오스단자가 접속된 제 1박막 트랜지스터와; 제 1박막 트랜지스터의 드레인단자에 자신의 게이트단자가 접속됨과 아울러 소오스단자

가 기준이 되는 데이터라인에 접속되고, 드레인단자가 제 1액정셀에 포함된 화소전극에 접속되는 제 2박막 트랜지스터를 구비한다.

상기 제 2액정셀은 i 번째 게이트라인에 게이트단자가 접속됨과 아울러 소오스단자가 기준이 되는 데이터라인에 접속되고, 드레인단자가 제 2액정셀에 포함된 화소전극에 접속되는 제 3박막 트랜지스터를 구비한다.

상기 제 1액정셀은 $i(i$ 는 정수) $+1$ 번째 게이트라인에 게이트단자가 접속되고, 드레인단자가 제 1액정셀에 포함된 화소전극에 접속되는 제 1박막 트랜지스터와; 제 1박막 트랜지스터의 소오스단자에 자신의 드레인단자가 접속됨과 아울러 게이트단자가 i 번째 게이트라인에 접속되고, 소오스단자가 상기 기준이 되는 데이터라인에 접속되는 제 2박막 트랜지스터를 구비한다.

상기 제 2액정셀은 i 번째 게이트라인에 게이트단자가 접속되고, 기준이 되는 데이터라인에 소오스단자가 접속되는 제 3박막 트랜지스터와, 제 3박막 트랜지스터의 드레인단자에 자신의 소오스단자가 접속됨과 아울러 게이트단자가 i 번째 게이트라인에 접속되고, 드레인단자가 제 2액정셀에 포함된 화소전극에 접속되는 제 4박막 트랜지스터를 구비한다.

상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부도면을 참조한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

이하 도 5 내지 도 6을 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.

도 5는 본 발명의 제 1실시예에 의한 액정표시장치를 나타내는 도면이다.

도 5를 참조하면, 본 발명의 제 1실시예에 의한 액정표시장치는 액정패널(20)과, 액정패널(20)의 데이터라인들(DL1 내지 DLm/2)을 구동하기 위한 데이터 드라이버(22)와, 액정패널(20)의 게이트라인들(GL0 내지 GLn)을 구동하기 위한 게이트 드라이버(24)를 구비한다.

액정패널(20)은 게이트라인들(GL0 내지 GLn)과 데이터라인들(DL1 내지 DLm/2)의 교차부에 형성된 제 1액정셀(26) 및 제 2액정셀(28)들을 구비한다. 제 1액정셀(26) 및 제 2액정셀(28)은 데이터라인(DL)을 기준으로 지그재그 형태로 배치된다. 즉, $i-1(i$ 는 정수)번째 수평라인에서 제 1액정셀(26)은 기수번째 수직라인에 배치되고, 제 2액정셀(28)은 우수번째 수직라인에 배치된다. 또한, i 번째 수평라인에서 제 1액정셀(26)은 우수번째 수직라인에 배치되고, 제 2액정셀(28)은 기수 번째 수직라인에 배치된다. 이와 같이 데이터라인(DL)을 기준으로 지그재그 형태로 배치된 제 1액정셀(26) 및 제 2액정셀(28)은 기준이된(인접한) 데이터라인(DL)으로부터 비디오신호를 공급받는다.

제 1액정셀(26)은 제 1 및 제 2박막 트랜지스터(TFT1, TFT2)를 구비한다. 제 1박막 트랜지스터(TFT1)의 게이트단자는 i 번째 게이트라인(GLi)에 접속되고, 소오스단자는 $i+1$ 번째 게이트라인(GLi+1)에 접속된다. 제 2박막 트랜지스터(TFT2)의 게이트단자는 제 1박막 트랜지스터(TFT1)의 드레인단자에 접속됨과 아울러 소오스단자는 인접된 데이터라인(DL)에 접속되고, 드레인단자는 액정 캐패시터(Clc)에 접속된다. 여기서, 액정 캐피시터(Clc)는 액정을 사이에 두고 대면하는 공통전극과, 제 2박막 트랜지스터(TFT2)에 접속된 화소전극을 등가적으로 나타내어 표시된다.

제 2액정셀(28)은 제 3박막 트랜지스터(TFT3)를 구비한다. 제 3박막 트랜지스터(TFT3)의 게이트단자는 i 번째 게이트라인(GLi)에 접속됨과 아울러 소오스단자는 인접된 데이터라인(DL)에 접속되고, 드레인단자는 액정 캐패시터(Clc)(즉, 화소전극)에 접속된다.

게이트 드라이버(24)는 도시되지 않은 타이밍 제어부로부터의 제어신호에 따라 게이트라인들(GL0 내지 GLn)에 제 2게이트신호 및 제 1게이트신호를 순차적으로 공급한다. 여기서, 제 1게이트신호는 제 2게이트신호가 공급된 후에 공급되며 제 2게이트신호보다 좁은 폭을 갖는다. 데이터 드라이버(22)는 타이밍 제어부로부터 공급되는 데이터(R, G, B)를 아날로그 신호인 비디오신호로 변환하여 데이터라인들(DL1 내지 DLm/2)에 공급한다.

이와 같은 본 발명의 제 1실시예에 의한 액정표시장치의 구동과정을 도 3을 참조하여 상세히 설명하기로 한다. 도 3은 제 i 번째 게이트라인(GLi) 및 제 $i+1$ 번째 게이트라인(GLi+1)이 구동되는 과정을 도시한 도면이다.

도 3을 참조하면, 게이트 드라이버(24)는 제 $i+1$ 번째 게이트라인(GLi+1)에 제 1게이트신호(SP1)를 공급함과 아울러 i 번째 게이트라인(GLi)에 제 2게이트신호(SP2)를 공급한다. 여기서, 제 2게이트신호(SP2)의 폭이 제 1게이트신호(SP1)의 폭 보다 넓게 설정되기 때문에 제 1기간(TA)동안 제 1게이트신호(SP1) 및 제 2게이트신호(SP2)가 동시에 인가되고, 제 1기간(TA)에 이은 제 2기간(TB)동안 제 2게이트신호(SP2) 만이 인가된다.

제 $i+1$ 번째 게이트라인(GL_{i+1})에 제 1게이트신호(SP_1)가 인가되고, 제 i 번째 게이트라인(GL_i)에 제 2게이트신호(SP_2)가 인가되는 제 1기간(TA) 동안 제 i 번째 게이트라인(GL_i)과 접속된 제 1액정셀(26)에 제 1비디오신호(DA)가 공급된다. 이를 상세히 설명하면, 제 $i+1$ 번째 게이트라인(GL_{i+1})에 공급되는 제 1게이트신호(SP_1)는 제 i 번째 게이트라인(GL_i)의 제 1액정셀(26)에 형성된 제 1박막 트랜지스터(TFT_1)의 소오스단자로 공급된다. 이때, 제 i 번째 게이트라인(GL_i)에 공급되는 제 2게이트신호(SP_2)에 의해 제 1박막 트랜지스터(TFT_1)가 턴-온되기 때문에 제 1박막 트랜지스터(TFT_1)의 소오스단자로 공급된 제 1게이트신호(SP_1)는 제 2박막 트랜지스터(TFT_2)의 게이트단자로 공급되어 제 2박막 트랜지스터(TFT_2)를 턴-온시킨다. 제 2박막 트랜지스터(TFT_2)가 턴-온되면 데이터라인(DL)으로 공급되는 제 1비디오신호(DA)가 제 1액정셀(26)의 액정 캐패시터(Clc)로 공급된다. 즉, 제 $i+1$ 번째 게이트라인(GL_{i+1})에 제 1게이트신호(SP_1)가 인가되고, 제 i 번째 게이트라인(GL_i)에 제 2게이트신호(SP_2)가 인가되는 제 1기간(TA) 동안 제 i 번째 게이트라인(GL_i)에 형성된 제 1액정셀(26)들에 제 1비디오신호(DA)가 공급된다.

이어서, 제 2기간(TB)에는 제 i 번째 게이트라인(GL_i)에 접속된 제 3박막 트랜지스터(TFT_3)가 턴-온된다. 제 3박막 트랜지스터(TFT_3)가 턴-온되면 제 2기간(TB) 동안 데이터라인(DL)으로 공급되는 제 2비디오신호(DB)가 제 2액정셀(28)로 공급된다. 본 발명의 제 1실시예에서는 이와 같은 과정을 반복하며 액정패널(20)을 구동하게 된다.

한편, 본 발명의 제 1실시예에서는 본원의 종래기술의 문제점에 기재한 바와 같이 제 2액정셀(28)에 공급되는 제 2비디오신호(DB)에 의하여 제 1액정셀(26)에 충전된 제 1비디오신호(DA)의 값이 변하게 된다. 하지만, 본 발명에서 제 1액정셀(26) 및 제 2액정셀(28)은 데이터라인(DL)을 기준으로 지그재그로 배치되어 있기 때문에 라인 형태의 세로 뒸(Dim) 현상을 방지할 수 있다. 다시 말하여, 본 발명의 제 1실시예에서는 데이터라인(DL)을 기준으로 제 1액정셀(26) 및 제 2액정셀(28)을 지그재그 형태로 배치하여 화질을 향상시킬 수 있다.

도 6은 본 발명의 제 2실시예에 의한 액정표시장치를 나타내는 도면이다.

도 6을 참조하면, 본 발명의 제 2실시예에 의한 액정표시장치는 액정패널(30)과, 액정패널(30)의 데이터라인들(DL_1 내지 $DL_m/2$)을 구동하기 위한 데이터 드라이버(32)와, 액정패널(30)의 게이트라인들(GL_0 내지 GL_n)을 구동하기 위한 게이트 드라이버(34)를 구비한다.

액정패널(30)은 게이트라인들(GL_0 내지 GL_n)과 데이터라인들(DL_1 내지 $DL_m/2$)의 교차부에 형성된 제 1액정셀(36) 및 제 2액정셀(38)들을 구비한다. 제 1액정셀(36) 및 제 2액정셀(38)은 데이터라인(DL)을 기준으로 지그재그 형태로 배치된다. 즉, i 번째 수평라인에서 제 1액정셀(36)은 우수번째 수직라인에 배치되고, 제 2액정셀(38)은 기수번째 수직라인에 배치된다. 또한, $i+1$ 번째 수평라인에서 제 1액정셀(36)은 기수번째 수직라인에 배치되고, 제 2액정셀(38)은 우수번째 수직라인에 배치된다. 이와 같이 데이터라인(DL)을 기준으로 지그재그 형태로 배치된 제 1액정셀(36) 및 제 2액정셀(38)은 기준이된 데이터라인(DL)으로부터 비디오신호를 공급받는다.

한편, 제 1액정셀(36)은 제 1 및 제 2박막 트랜지스터(TFT_1, TFT_2)를 구비한다. 제 2박막 트랜지스터(TFT_2)의 게이트단자는 i 번째 게이트라인(GL_i)에 접속되고, 소오스단자는 인접된 데이터라인(DL)에 접속된다. 제 1박막 트랜지스터(TFT_1)의 게이트단자는 $i+1$ 번째 게이트라인(GL_{i+1})에 접속됨과 아울러 소오스단자는 제 2박막 트랜지스터(TFT_2)의 드레인단자에 접속되고, 드레인단자는 액정 캐패시터(Clc)(즉, 화소전극)에 접속된다.

제 2액정셀(38)은 제 3박막 트랜지스터(TFT_3) 및 제 4박막 트랜지스터(TFT_4)를 구비한다. 제 3박막 트랜지스터(TFT_3)의 게이트단자는 i 번째 게이트라인(GL_i)에 접속되고, 소오스단자는 인접된 데이터라인(DL)에 접속된다. 제 4박막 트랜지스터(TFT_4)의 게이트단자는 i 번째 게이트라인(GL_i)에 접속됨과 아울러 소오스단자는 제 3박막 트랜지스터(TFT_3)의 드레인단자에 접속되고, 드레인단자는 액정 캐패시터(Clc)(즉, 화소전극)에 접속된다.

게이트 드라이버(34)는 타이밍 제어부로부터의 제어신호에 따라 게이트라인들(GL_0 내지 GL_n)에 제 1게이트신호 및 제 2게이트신호를 순차적으로 공급한다. 여기서, 제 1게이트신호는 제 2게이트신호가 공급된 후에 공급되며 제 2게이트신호보다 좁은 폭을 갖는다. 데이터 드라이버(32)는 타이밍 제어부로부터 공급되는 데이터(R, G, B)를 아날로그 신호인 비디오신호로 변환하여 데이터라인들(DL_1 내지 $DL_m/2$)에 공급한다.

이와 같은 본 발명의 제 2실시예에 의한 액정표시장치의 구동과정을 도 3을 참조하여 상세히 설명하기로 한다. 도 3은 제 i 번째 게이트라인(GL_i) 및 제 $i+1$ 번째 게이트라인(GL_{i+1})이 구동되는 과정을 도시한 도면이다.

도 3을 참조하면, 게이트 드라이버(34)는 제 $i+1$ 번째 게이트라인(GL_{i+1})에 제 1게이트신호(SP_1)를 공급함과 아울러 i 번째 게이트라인(GL_i)에 제 2게이트신호(SP_2)를 공급한다. 여기서, 제 2게이트신호(SP_2)의 폭이 제 1게이트신호(SP_1)의 폭 보다 넓게 설정되기 때문에 제 1기간(TA) 동안 제 1게이트신호(SP_1) 및 제 2게이트신호(SP_2)가 동시에 인가되고, 제 1기간(TA)에 이은 제 2기간(TB) 동안 제 2게이트신호(SP_2)만이 인가된다.

제 $i+1$ 번째 게이트라인(GL_{i+1})에 제 1게이트신호(SP_1)가 인가되고, 제 i 번째 게이트라인(GL_i)에 제 2게이트신호(SP_2)가 인가되는 제 1기간(TA) 동안 제 i 번째 게이트라인(GL_i)에 접속된 제 1액정셀(36)에 제 1비디오신호(DA)가 공급된다.

P2)가 인가되는 제 1기간(TA) 동안 제 i번째 게이트라인(GLi)과 접속된 제 1액정셀(36)에 제 1비디오신호(DA)가 공급된다. 이를 상세히 설명하면, 제 i+1번째 게이트라인(GLi+1)에 공급되는 제 1게이트신호(SP1)는 제 i번째 게이트라인(GLi)의 제 1액정셀(36)에 형성된 제 1박막 트랜지스터(TFT1)를 턴-온시킨다. 또한, 제 i번째 게이트라인(GLi)에 공급되는 제 2게이트신호(SP)는 제 i번째 게이트라인(GLi)의 제 1액정셀(36)에 형성된 제 2박막 트랜지스터(TFT2)를 턴-온시킨다. 즉, 제 1기간(TA)에는 제 1 및 제 2박막 트랜지스터(TFT1, TFT2)가 턴-온되어 제 1액정셀(36)들에 제 1비디오신호(DA)가 공급된다.

이어서, 제 2기간(TB)에는 제 i번째 게이트라인(GLi)에 공급되는 제 2게이트신호(SP)에 의해 제 3 및 제 4박막 트랜지스터(TFT3, TFT4)가 턴-온된다. 제 3 및 제 4박막 트랜지스터(TFT3, TFT4)가 턴-온되면 데이터라인(DL)으로 공급되는 제 2비디오신호(DB)가 제 2액정셀들(38)로 공급된다.

한편, 본 발명의 제 2실시예에서는 본원의 종래기술의 문제점에 기재한 바와 같이 제 2액정셀(38)에 공급되는 제 2비디오신호(DB)에 의하여 제 1액정셀(36)에 충전된 제 1비디오신호(DA)의 값이 변하게 된다. 하지만, 본 발명에서 제 1액정셀(36) 및 제 2액정셀(38)은 데이터라인(DL)을 기준으로 지그재그로 배치되어 있기 때문에 라인 형태의 세로 딤(Dim) 현상을 방지할 수 있다. 다시 말하여, 본 발명의 제 2실시예에서는 데이터라인(DL)을 기준으로 제 1액정셀(36) 및 제 2액정셀(38)을 지그재그 형태로 배치하여 화질을 향상시킬 수 있다.

발명의 효과

상술한 바와 같이, 본 발명에 따른 액정표시장치에 의하면 데이터라인을 기준으로 제 1액정셀 및 제 2액정셀을 지그재그 형태로 배치하여 액정패널의 화질을 향상시킬 수 있다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

(57) 청구의 범위

청구항 1.

데이터라인들과,

상기 데이터라인들과 교번되도록 배치되는 게이트라인들과,

상기 하나의 데이터라인을 기준으로 지그재그 형태로 배치되는 제 1액정셀 및 제 2액정셀을 구비하는 것을 특징으로 하는 액정표시장치.

청구항 2.

제 1항에 있어서,

상기 제 1액정셀 및 제 2액정셀들은 수평라인에서 교번되게 배치되는 것을 특징으로 하는 액정표시장치.

청구항 3.

제 1항에 있어서,

상기 제 1액정셀은;

i(i는 정수)번째 게이트라인에 게이트단자가 접속되고, i+1번째 게이트라인에 소오스단자가 접속된 제 1박막 트랜지스터와;

상기 제 1박막 트랜지스터의 드레인단자에 자신의 게이트단자가 접속됨과 아울러 소오스단자가 상기 기준이 되는 데이터라인에 접속되고, 드레인단자가 상기 제 1액정셀에 포함된 화소전극에 접속되는 제 2박막 트랜지스터를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 4.

제 3항에 있어서,

상기 제 2액정셀은;

상기 i 번째 게이트라인에 게이트단자가 접속됨과 아울러 소오스단자가 상기 기준이 되는 데이터라인에 접속되고, 드레인단자가 상기 제 2액정셀에 포함된 화소전극에 접속되는 제 3박막 트랜지스터를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 5.

제 1항에 있어서,

상기 제 1액정셀은;

i (i 는 정수)+1번째 게이트라인에 게이트단자가 접속되고, 드레인단자가 상기 제 1액정셀에 포함된 화소전극에 접속되는 제 1박막 트랜지스터와;

상기 제 1박막 트랜지스터의 소오스단자에 자신의 드레인단자가 접속됨과 아울러 게이트단자가 i 번째 게이트라인에 접속되고, 소오스단자가 상기 기준이 되는 데이터라인에 접속되는 제 2박막 트랜지스터를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 6.

제 5항에 있어서,

상기 제 2액정셀은;

상기 i 번째 게이트라인에 게이트단자가 접속되고, 상기 기준이 되는 데이터라인에 소오스단자가 접속되는 제 3박막 트랜지스터와,

상기 제 3박막 트랜지스터의 드레인단자에 자신의 소오스단자가 접속됨과 아울러 게이트단자가 상기 i 번째 게이트라인에 접속되고, 드레인단자가 상기 제 2액정셀에 포함된 화소전극에 접속되는 제 4박막 트랜지스터를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 7.

데이터라인들과,

상기 데이터라인들과 교번적으로 배치되는 게이트라인들의 교차부에 위치되는 다수의 제 1 및 제 2액정셀들을 구비하며,

상기 제 1 및 제 2액정셀들은 수직 및 수평라인에서 교번적으로 배치되는 것을 특징으로 하는 액정표시장치.

청구항 8.

제 7항에 있어서,

상기 제 1액정셀은;

i (i 는 정수)번째 게이트라인에 게이트단자가 접속되고, $i+1$ 번째 게이트라인에 소오스단자가 접속된 제 1박막 트랜지스터와;

상기 제 1박막 트랜지스터의 드레인단자에 자신의 게이트단자가 접속됨과 아울러 소오스단자가 상기 기준이 되는 데이터라인에 접속되고, 드레인단자가 상기 제 1액정셀에 포함된 화소전극에 접속되는 제 2박막 트랜지스터를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 9.

제 8항에 있어서,

상기 제 2액정셀은;

상기 i 번째 게이트라인에 게이트단자가 접속됨과 아울러 소오스단자가 상기 기준이 되는 데이터라인에 접속되고, 드레인단자가 상기 제 2액정셀에 포함된 화소전극에 접속되는 제 3박막 트랜지스터를 구비하는 것을 특징으로 하는 액

정표시장치.

청구항 10.

제 7항에 있어서,

상기 제 1액정셀은;

i (i 는 정수)+1번째 게이트라인에 게이트단자가 접속되고, 드레인단자가 상기 제 1액정셀에 포함된 화소전극에 접속되는 제 1박막 트랜지스터와;

상기 제 1박막 트랜지스터의 소오스단자에 자신의 드레인단자가 접속됨과 아울러 게이트단자가 i 번째 게이트라인에 접속되고, 소오스단자가 상기 기준이 되는 데이터라인에 접속되는 제 2박막 트랜지스터를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 11.

제 10항에 있어서,

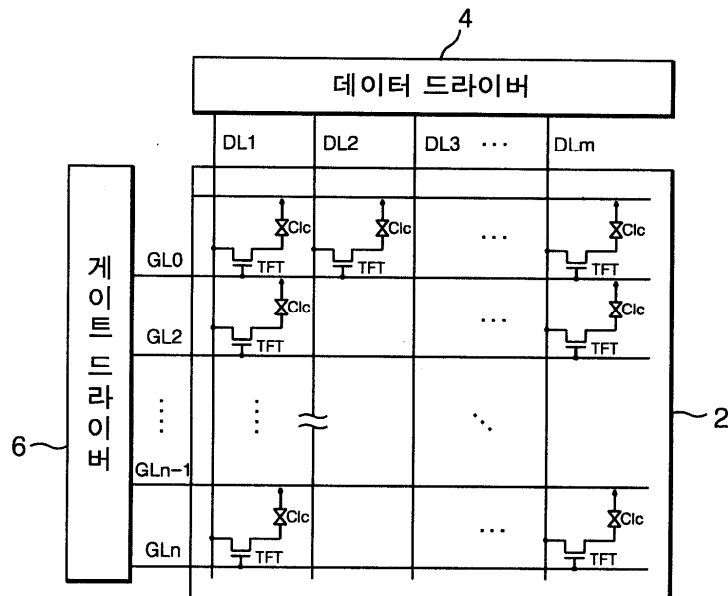
상기 제 2액정셀은;

상기 i 번째 게이트라인에 게이트단자가 접속되고, 상기 기준이 되는 데이터라인에 소오스단자가 접속되는 제 3박막 트랜지스터와,

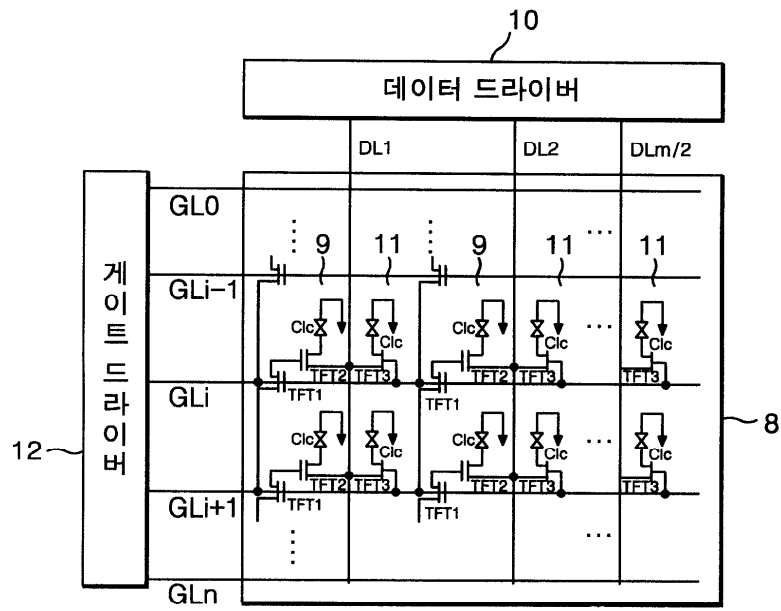
상기 제 3박막 트랜지스터의 드레인단자에 자신의 소오스단자가 접속됨과 아울러 게이트단자가 상기 i 번째 게이트라인에 접속되고, 드레인단자가 상기 제 2액정셀에 포함된 화소전극에 접속되는 제 4박막 트랜지스터를 구비하는 것을 특징으로 하는 액정표시장치.

도면

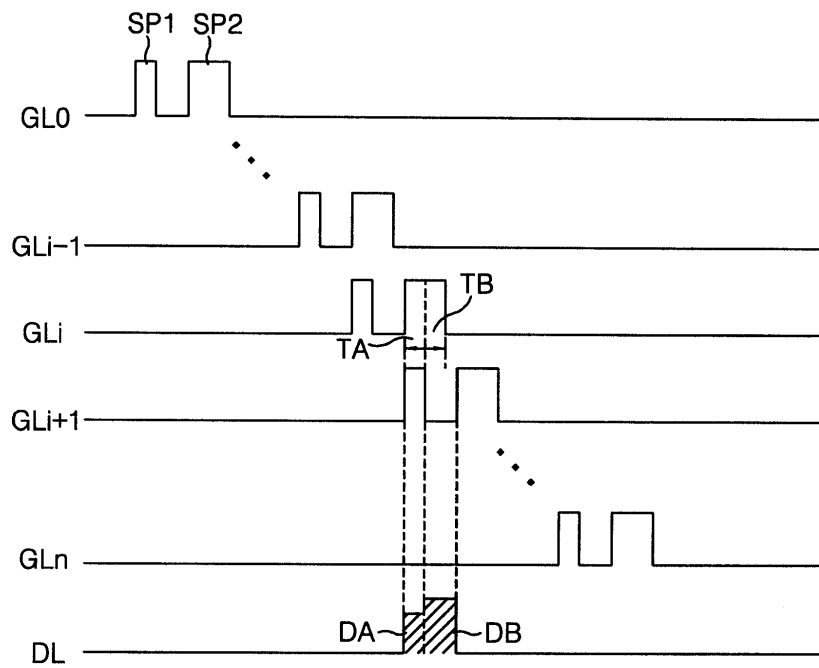
도면1



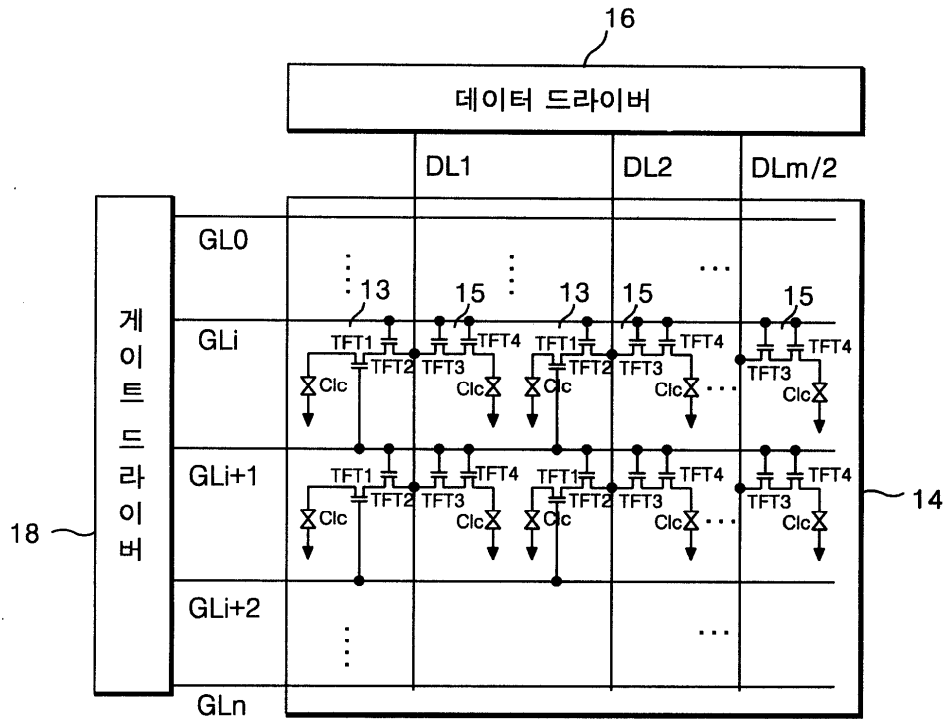
도면2



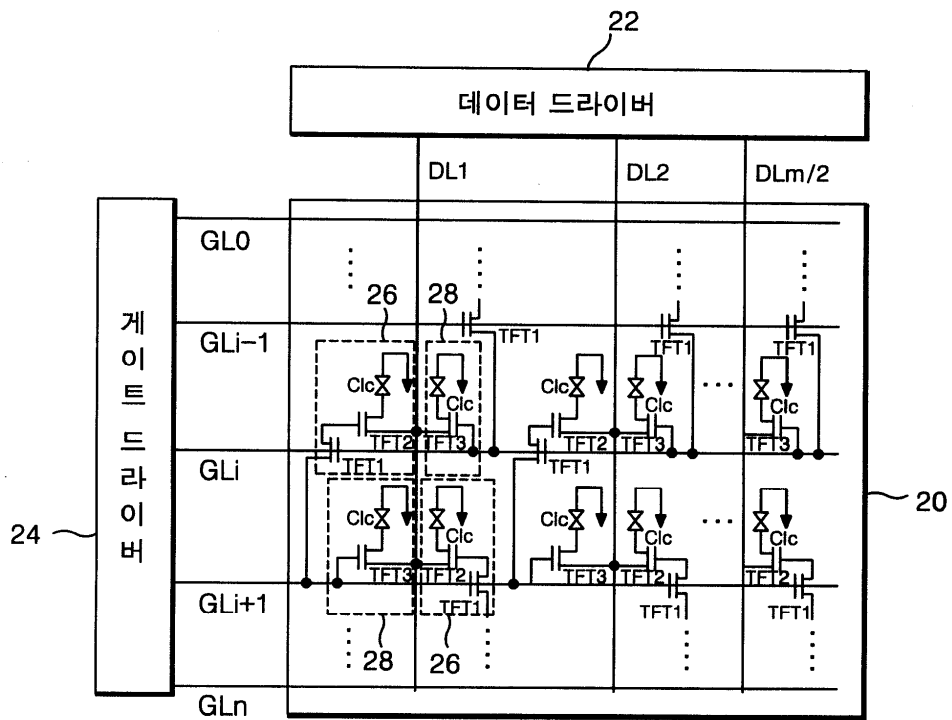
도면3



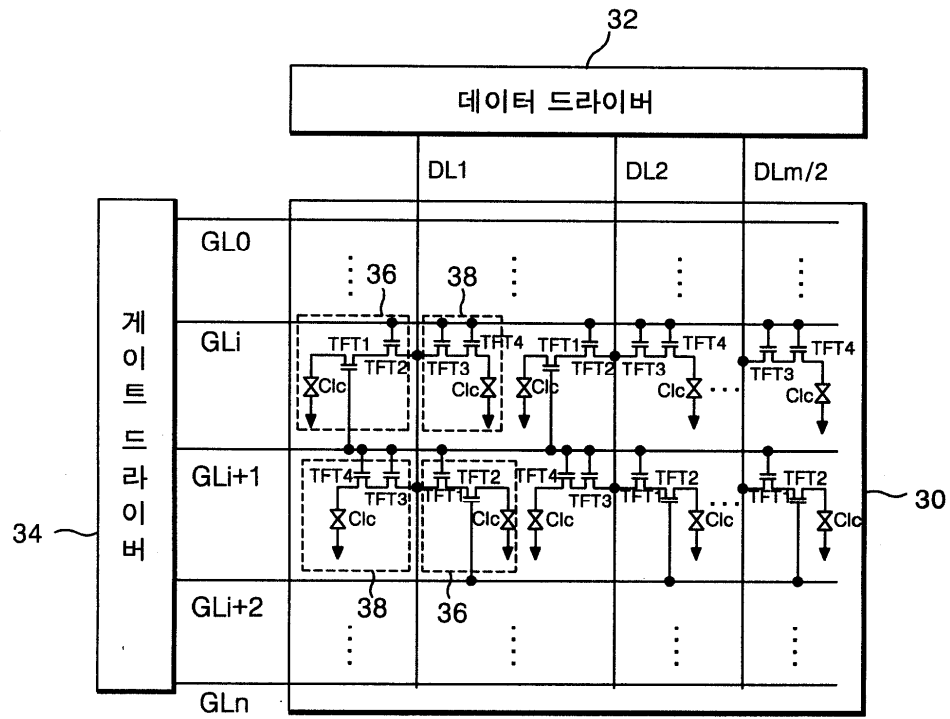
도면4



도면5



도면6



专利名称(译)	液晶显示器		
公开(公告)号	KR1020040035276A	公开(公告)日	2004-04-29
申请号	KR1020020064063	申请日	2002-10-19
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	PARK KWANGSOON 박광순 KIM CHEOLSE 김철세 KWON SUNYOUNG 권순영		
发明人	박광순 김철세 권순영		
IPC分类号	G02F1/133		
CPC分类号	G02F1/133 G02F1/136286 G02F1/1368 G02F2201/123 G09G3/20 G09G3/3614 G09G3/3648 H01L29/786		
代理人(译)	金勇 年轻的小公园		
其他公开文献	KR100909047B1		
外部链接	Espacenet		

摘要(译)

液晶显示装置技术领域本发明涉及能够提高图像质量的液晶显示装置。本发明的液晶显示器包括数据线，与数据线交替设置的栅极线，以及相对于一条数据线以Z字形图案排列的第一和第二液晶单元。 五

