

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁷
G02F 1/136

(11) 공개번호 특2000-0071809
(43) 공개일자 2000년 11월 25일

(21) 출원번호	10-2000-0022014
(22) 출원일자	2000년04월25일
(30) 우선권 주장	평성11년특허원제1205 1999년04월27일 일본(JP)
(71) 출원인	닛뽀덴끼 가부시끼가이샤 카네코 히사시
(72) 발명자	일본국 도요쿄오도 미나토구 시바 5초오메 7반 1고 미야하라타에
(74) 대리인	일본국도쿄도미나토구시바5초메7반1고 최달용

심사청구 : 있음

(54) 액정 디스플레이 장치용 박막 트랜지스터 어레이

요약

개구 비율을 감소시키지 않으면서 픽셀 전극으로의 기록 특성을 향상시키기 위한 박막 트랜지스터 어레이가 제공된다. 기록용 박막 트랜지스터의 소스 전극과 예비 충전용 박막 트랜지스터의 소스 전극은 픽셀 전극에 전기적으로 연결된다. 예비 충전용 박막 트랜지스터의 반도체 패턴은 주사 라인(1a)과 신호 라인의 교차 영역과 게이트 기억 용량의 형성 영역의 일부를 덮도록 형성된다.

대표도

53

색인어

박막 트랜지스터, TFT, 개구 비율, 기록 특성

명세서

도면의 간단한 설명

도 1은 종래의 TFT 어레이의 구성을 도시하는 평면도.

도 2는 종래의 TFT 어레이의 회로 구성을 도시하는 블록도.

도 3은 본 발명의 TFT 어레이의 제 1의 실시예를 도시하는 평면도.

도 4는 본 발명의 TFT 어레이의 제 1의 실시예의 구조를 도시하는 단면도.

도 5는 본 발명의 TFT 어레이의 제 1의 실시예의 구동 방법을 채택한 경우 구동 전압과 시간에 대한 픽셀 전압의 변화를 도시하는 타이밍도.

도 610은 발명의 TFT 어레이의 제 1의 실시예에서의 회로 구성을 도시하는 블록도.

도 7은 본 발명의 TFT 어레이의 제 2의 실시예를 도시하는 평면도.

도 8은 본 발명의 TFT 어레이의 제 2의 실시예의 구조를 도시하는 단면도.

도 9는 본 발명의 TFT 어레이의 제 3의 실시예를 도시하는 평면도.

도 10은 본 발명의 TFT 어레이의 제 3의 실시예에서의 구조를 도시하는 단면도.

도 11은 본 발명의 TFT 어레이의 제 3의 실시예의 구동 방법을 채택한 경우 구동 전압과 시간에 대한 픽셀 전압의 변화를 도시하는 타이밍도.

♠도면의 주요 부분에 대한 부호의 설명♠

1a, 1b : 주사선

2a, 2b : 신호선

3 : 픽셀 전극

4 : 제 1의 차광층

5 : 제 2의 차광층

6 : 패시베이션 막

10 : 기록용 박막 트랜지스터

- 11 : 게이트 전극(기록용 박막 트랜지스터)
- 12 : 드레인 전극(기록용 박막 트랜지스터)
- 13 : 소스 전극(기록용 박막 트랜지스터)
- 20 : 예비 충전용 박막 트랜지스터
- 21 : 게이트 전극(예비 충전용 박막 트랜지스터)
- 22 : 드레인 전극(예비 충전용 박막 트랜지스터)
- 23 : 소스 전극(예비 충전용 박막 트랜지스터)
- 50 : 투명 절연성 기판 51 : 게이트 절연막
- 101a : 콘택트 홀(기록용 박막 트랜지스터)
- 101b : 콘택트 홀(예비 충전용 박막 트랜지스터)
- 102 : 배선 측면 차광층

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

발명의 배경

본 발명은 액정 디스플레이 장치(LCD) 등을 구성하는 박막 트랜지스터(Thin Film Transistor; TFT) 어레이에 관한 것이다.

픽셀 전극의 스위칭 장치에서 TFT 어레이를 사용하는 능동 매트릭스 LCD(active matrix LCD; AM-LCD)는 널리 공지되어 있다. 이러한 TFT 어레이는 다수의 주사 라인(scanning lines)과 신호 라인을 절연성 기판 상에서 직교하도록 배열하고 상기 주사 라인과 신호 라인에 의해 둘러 싸여진 영역 내에 픽셀 전극을 배열하며 각각의 픽셀 전극에 대해 신호 전압을 제공하기 위한 TFT(이하, '제 1의 TFT'라 칭함)를 제공함으로써 구성된다. TFT는 소스 전극, 드레인 전극, 게이트 전극, 능동 층(active layer), 및 게이트 절연막을 구비한다. 상기 소스 전극은 하나의 픽셀 전극에 연결되고, 드레인 전극은 하나의 신호 라인에 연결되며, 게이트 전극은 하나의 주사 라인에 연결된다. 주사 라인으로부터의 신호에 의해 TFT가 선택되는 경우, TFT는 도통되어 신호 전압이 신호 라인을 통해 픽셀 전극으로 제공된다.

다음으로, 종래의 AM-LCD가 첨부된 도면을 참조하여 설명될 것이다. 도 1은 종래의 AM-LCD의 구성을 도시하는 평면도이다. 도 1에 도시된 바와 같이, 이 AM-LCD는 픽셀 전극(3)을 구동하기 위해 배치된 기록용 제 1의 TFT(100) 외에 픽셀 전극(3)의 예비 충전을 수행하기 위한 예비 충전용 제 2의 TFT(200)를 구비한다. 이 제 2의 TFT(200)는 디스플레이 영역 내에서 상기 제 1의 TFT(100)와 대각 위치에 형성된다. 상기 제 2의 TFT(200)의 제 2의 게이트 전극(21)은 상기 제 1의 TFT(100)의 제 1의 게이트 전극(11)에 연결된 주사 라인(1b)의 앞 행의 주사 라인(1a)에 연결된다. 제 2의 TFT(200)의 제 2의 드레인 전극(22)은 상기 제 1의 TFT(100)의 제 1의 드레인 전극(12)에 전기적으로 연결된 신호 라인(2a)의 다음 열의 신호 라인(2b)에 전기적으로 연결된다. 또한, 제 2의 TFT(200)의 제 2의 소스 전극(23)은 상기 제 1의 TFT(100)의 제 1의 소스 전극(13)과 유사한 방식으로 픽셀 전극(3)에 연결된다.

이러한 방식으로 주사 라인(1a)과 신호 라인(2b)의 교차점 부근에 제 2의 TFT(200)를 형성함으로써, 제 1의 TFT(100)가 고장이 나는 경우에도, 제 1의 TFT(100) 대신 제 2의 TFT(200)가 픽셀 전극으로 신호 전압을 제공할 수 있다.

다음으로, TFT 어레이의 회로가 도 2를 참조로 설명될 것이다. 도 2에 도시된 바와 같이, 종래의 TFT 어레이에서는, 다수의 주사 라인(1a, 1b, 및 1c)이 병렬로 배열되고 다수의 신호 라인(2a, 2b 및 2c)이 이들 주사 라인에 수직으로 배열된다. 하나의 픽셀 전극(3)은 이들 주사 라인(1a, 1b, 및 1c)과 신호 라인(2a, 2b 및 2c)에 의해 구성된 다수의 영역의 각각에 배열된다.

픽셀 전극을 구동하기 위한 스위칭 장치로서, 제 1의 TFT가 주사 라인(1b)과 신호 라인(2a)의 교차점 부근에 형성되고, 기록용 제 1의 TFT(100)의 제 1의 드레인 전극(12)은 신호 라인(2a)에 전기적으로 연결된다.

또한, 제 1의 TFT(100)의 게이트 전극(11)은 주사 라인(1a)에 연결되고 제 1의 TFT(100)의 제 1의 소스 전극(13)은 픽셀 전극(3)에 연결된다.

그러나, 종래의 TFT 어레이에는 다음과 같은 문제점이 있다. 상기 상술된 TFT 어레이는 픽셀 전극을 구동하기 위한 두 개의 TFT를 제공함으로써 점결함(point defect) 등의 발생을 제어할 수 있다.

또한, 단지 하나의 TFT만이 하나의 픽셀에 배열되는 TFT 어레이와 비교해서 개구 비율(open aperture ratio)에서의 감소가 무시될 수 없다는 문제가 필수적으로 발생한다. 여기서, 개구 비율은 픽셀의 전체 면적에 대해 광 변조를 할 수 있는 부분의 면적의 비율을 의미한다. 최근, 저소비 전력의 LCD가 요구되고 있다. 그 때문에, 충분한 광의 세기를 얻기 위해서는 LCD의 개구 비율을 증가시키는 것이 바람직하다. 즉, 개구 비율의 감소는 두 개의 TFT를 하나의 픽셀 내에 픽셀 전극의 스위칭 장치로서 배열함으로

써 유발된다.

발명이 이루고자하는 기술적 과제

본 발명의 목적은 상기 상술된 종래 기술에서의 문제점을 해결하기 위해 개구 비율에서의 감소 없이 기록 특성을 향상시키기 위한 TFT 어레이를 픽셀 전극에 제공하는 것이다.

상기 상술된 문제점을 해결하기 위해, 본 발명의 제 1의 양상은 적어도 하나의 제 2의 예비 충전용 제 2의 TFT가 주사 라인과 신호 라인의 교차 영역의 일부와 중첩하도록 구성되는 것을 특징으로 한다.

이러한 구성에 의해, TFT 어레이의 개구 비율에서의 감소는 방지될 수 있고, 결과적으로 LCD의 소비 전력이 감소될 수 있다.

본 발명의 제 2의 양상은 예비 충전용 제 2의 TFT가 신호 라인 형성 영역의 일부를 덮도록 구성되는 것을 특징으로 한다.

이러한 구성에 의해, 제 1의 TFT(100)가 고장이 나는 경우에도, 픽셀 전극(3)은 상기 제 1의 TFT(100) 대신 제 2의 TFT(200)를 사용하여 정상적으로 구동될 수 있으며, 동시에 개구 비율이 향상될 수 있다.

상기 상술된 문제점을 해결하기 위한 본 발명의 제 3의 양상의 TFT 어레이는 예비 충전용 제 2의 TFT가 기록용 제 1의 TFT의 게이트 전극에 연결된 주사 라인의 앞 행의 주사 라인 상에 형성되는 것을 특징으로 한다.

이러한 구성에 의해, 기록용 제 1의 TFT의 크기가 감소될 수 있고 또한 개구 비율의 감소를 방지할 수 있다.

본 발명의 제 4의 양상의 TFT 어레이는 패시베이션 층(passivation layer)을 관통하여 연장하는 콘택트 홀이 기록용 제 1의 TFT의 소스 전극과 예비 충전용 제 2의 TFT의 소스 전극 상에 형성되고 두 개의 소스 전극이 픽셀 전극에 전기적으로 연결되는 것을 특징으로 한다.

이러한 구성에 의해, TFT 어레이를 형성할 때, 패시베이션 층의 형성 단계는 제거될 수 있으며, 결과적으로 수율이 향상되고 제조 단가가 감소될 수 있다.

발명의 구성 및 작용

제 1의 실시예

본 발명의 TFT 어레이의 제 1의 실시예가 하기에 설명될 것이다. 도 3에 도시된 바와 같이, 본 발명의 TFT 어레이에서는, 다수의 주사 라인(1a 및 1b)이 병렬로 배열된다. 다수의 신호 라인(2a 및 2b)은 이들 주사 라인(1a 및 1b)에 수직으로 배열된다.

하나의 픽셀 전극(3)은 이들 주사 라인(1a, 1b)과 신호 라인(2a, 2b)에 의해 둘러 싸여진 픽셀 영역의 각각에 배열된다.

각각의 픽셀 전극(3)에 신호 전압을 공급하기 위한 스위칭 장치로서, 주사 라인과 신호 라인이 직교하는 위치의 근처, 예를 들면, 주사 라인(1b)과 신호 라인(2a)의 교차 영역에 TFT(100)가 형성된다. 예비 충전용 제 2의 TFT(200)는 주사 라인(1a)과 신호 라인(2b)의 교차 영역의 일부를 덮도록 형성된다. 이러한 제 2의 TFT(200)는 픽셀 전극(3)으로 전압이 인가될 때 픽셀 전극(3)에 대한 예비 충전을 수행하는 기능을 갖는다. 여기서, 주사 라인, 신호 라인 및 픽셀 전극 각각으로의 제 1의 TFT(100)와 제 2의 TFT(200)의 전기적 접속을 나타내는 회로 구성의 설명은, 그 설명이 종래의 TFT 어레이에 대한 설명과 유사하기 때문에 생략된다.

본 발명의 TFT 어레이의 제 1의 실시예에서는, 제 1의 차광층(light shield layers; 4)이 픽셀 전극(3)과 각각의 신호 라인(2a, 2b) 사이에 끼이도록 형성된다. 제 2의 전도성 차광층(5)은 픽셀 전극(3)과 주사 라인(1b) 사이에 끼이도록 형성된다.

제 2의 차광층(5)은 제 1의 TFT(100)의 제 1의 소스 전극(13)과 일체로 형성되고 픽셀 전극(3)에 전기적으로 연결된다.

도 3의 A-A' 라인을 따라 취해진 단면도가 도 4에 도시된다. 도 4에 도시된 바와 같이, 본 발명의 TFT 어레이에 있어서, 기록용 제 1의 TFT(100)의 제 1의 게이트 전극(11)과, 주사 라인(1a), 및 게이트 절연막(51)은 투명 절연성 기판(50) 상에 형성되어 제 1의 게이트 전극(11)과, 제 1의 능동 층(14) 및 주사 라인(1a)을 전기적으로 절연시킨다. 제 1의 TFT(100)의 제 1의 드레인 전극(12)이 형성되고 신호 라인(2a)은 상기 제 1의 드레인 전극(12)과 일체로 형성된다. 제 2의 차광층(5)은 픽셀 전극(3)과 주사 라인(1b) 사이의 영역의 일부를 덮도록 형성된다. 제 1의 TFT(100)의 제 1의 소스 전극(13)은 상기 제 2의 차광층(5)과 일체로 형성된다.

예비 충전용 제 2의 TFT(200)는 게이트 절연막(51)을 통해 주사 라인(1a) 위에 형성된다. 제 2의 능동 층(24)과 제 2의 TFT(200)의 제 2의 소스 전극(23)은 주사 라인(1a) 위에 형성되고, 신호 라인(2b)은 제 2의 소스 전극(23)으로부터 떨어져 형성된다. 픽셀 전극(3)은 제 1의 TFT(100)의 제 1의 소스 전극(13)과, 제 2의 차광층(5)과, 게이트 절연막(51) 및 제 2의 TFT(200)의 제 2의 소스 전극(23)을 덮도록 형성된다. 패시베이션 층(6)은 제 1의 TFT(100)의 제 1의 게이트 전극(11)과, 신호 라인(2a)과, 제 1의 TFT(100)의 제 1의 드레인 전극(12)과, 제 1의 소스 전극(13) 및 픽셀 전극(3)의 주변을 덮도록 형성된다. 패시베이션 층(6)은 게이트 절연막(51)과, 신호 라인(2b)과, 제 2의 능동 층(24)과, 제 2의 소스 전극(23) 및 픽셀 전극(3)의 주변을 덮도록 주사 라인(1a) 위에 형성된다.

이러한 방식으로 주사 라인과 신호 라인의 교차 영역의 일부를 덮도록 제 2의 예비 충전용 TFT(200)를

배열함으로써, TFT 어레이의 개구 비율에서의 감소는 방지되고, 그 결과 소비 전력이 감소될 수 있다.

다음으로, 본 발명의 TFT 어레이의 제 1의 실시예에서의 구동 방법이 도 5 및 도 6을 참조로 설명될 것이다. 도 5는 본 발명의 TFT 어레이의 제 1의 실시예에서의 구동 방법에서 구동 전압과 시간에 대한 픽셀 전압의 변화를 도시하는 타이밍도이다. 도 6은 본 발명의 제 1의 실시예에서의 회로 구성을 도시하는 블록도이다. 먼저, 예비 충전용 제 2의 TFT(200)의 게이트 전압, 즉 주사 라인(1a)에서의 전압(V1a)이 고전압으로 되고 예비 충전용 제 2의 TFT(200)는 ON 상태로 된다. 다음으로, 제 2의 TFT(200)의 데이터 전압, 즉 신호 라인(2a)에서의 데이터 전압(V2a)은 픽셀 전극(3)으로 충전되기 시작하고 픽셀 전압(Vp)은 증가한다. 그 다음, 게이트 전압(V1a)은 저전압으로 되고 제 2의 TFT(200)는 OFF 상태로 되며 픽셀 전압(Vp)은 Vfd1만큼 감소한다.

한편, 기록용 제 1의 TFT(100)의 게이트 전압, 즉 주사 라인(1b)에서의 전압(V1a)은 고전압으로 되고 제 1의 TFT(100)는 ON 상태로 된다.

결과적으로, 제 1의 TFT(100)의 데이터 전압, 즉 신호 라인(2b)에서의 전압(V2b)은 픽셀 전극(3)으로 충전되기 시작하고 픽셀 전압(Vp)은 더 증가한다.

그 다음, 게이트 전압(V1a)은 저전압으로 되고 제 1의 TFT(100)는 OFF 상태로 되고 픽셀 전압(Vp)은 Vfd2만큼 감소한다.

이러한 TFT 어레이의 구동 방법을 도트 반전 구동 방식(dot reverse drive manner)으로 실행함으로써, 제 1의 TFT(100)만이 설치되는 TFT 어레이를 사용하는 경우와 비교해서, 픽셀 전극(3)으로의 기록 시간이 약 두 배가 되고 픽셀 전극(3)은 완전히 충전될 수 있다.

제 2의 실시예

다음으로, 본 발명의 제 2의 실시예가 첨부된 도면을 참조하여 하기에 설명될 것이다. 그러나, 제 2의 실시예에 있어서, 제 1의 실시예와 동일한 구성 및 구동 방법의 설명은 생략된다. 도 7은 본 발명의 제 2의 실시예의 구조를 도시하는 평면도이다. 도 7에 도시된 바와 같이, 본 발명의 제 2의 실시예에서는, 제 1의 TFT(100)의 제 1의 소스 전극(13)의 표면과 제 2의 TFT(200)의 제 2의 소스 전극(23)의 표면 상에 형성된 패시베이션 층(6)을 관통하여 연장하여 픽셀 전극(3)에 전기적으로 연결된 콘택트 홀이 형성된다.

즉, 도 7의 B-B' 라인을 따라 취해진 단면을 도시하는 도 8로부터 명백한 바와 같이, 패시베이션 층(6)에 대한 에칭 처리는 패시베이션 층(6)을 형성하고 콘택트 홀(101a)과 콘택트 홀(101b)이 형성되어, 픽셀 전극(3)이 제 1의 소스 전극(13) 및 제 2의 소스 전극(23)에 전기적으로 연결될 때까지 수행되지 않는다.

본 발명의 제 2의 실시예에 도시된 구조를 채택함으로써, 픽셀 전극(3)에 통상적으로 형성되는 패시베이션 층(6)의 형성 단계는 제거될 수 있고, 그 결과 이 단계에 수반되는 비용과 노동력이 감소될 수 있다.

제 3의 실시예

다음으로, 본 발명의 제 3의 실시예가 도 9를 참조로 설명될 것이다. 그러나, 제 3의 실시예에서는, 상기 상술된 제 1 및 제 2의 실시예에서 상술된 것과 동일한 구성과 구동 방법은 생략된다. 도 9에 도시된 바와 같이, 신호 라인의 픽셀 전극의 측면에 제공된 두 개의 제 1의 차광층(4)과 주사 라인의 픽셀 전극의 측면에 제공된 제 2의 차광층(5)은 일체로 형성되고 이들 차광층은 픽셀 전극(3)과 신호 라인(2a, 2b) 사이에 끼이도록 배선 측면 차광층(wiring side light shield layer; 102)으로서 제공된다.

도 9의 C-C' 라인을 따라 취해진 단면도를 도시하는 도 10을 참조하면, 제 2의 TFT(200)의 제 2의 소스 전극(23)에는, 패시베이션 층(6)과 게이트 절연막(51)을 관통하여 배선 측면 차광층(102)에 전기적으로 연결된 콘택트 홀(101b)이 제공된다.

그 다음, 본 발명의 제 3의 실시예의 구동 방법이 도 11을 참조하여 설명될 것이다. 도 11에 도시된 바와 같이, 먼저, 게이트 전압(V1a)이 고전압으로 되고 제 2의 TFT(200)가 ON 상태로 된다.

다음으로, 데이터 전압(V2a)이 배선 측면 차광층(102)으로 충전되는 동안, 픽셀 전압(Vp')은 예비 충전용 제 2의 TFT(200)의 소스 전극(23)과 픽셀 전극(3) 사이에서 발생하는 기생성 용량(parasitic capacitance)을 통해 증가한다.

그 다음, 게이트 전압(V1a)은 저전압으로 되고 제 2의 TFT(200)는 OFF 상태로 되며 동시에 픽셀 전압(Vp')은 Vfd1'만큼 감소한다.

한편, 게이트 전압(V1b)은 고전압으로 되고 제 1의 TFT(100)는 ON 상태로 된다. 결과적으로, 데이터 전압(V2a)은 픽셀 전극(3)으로 충전되기 시작하고 픽셀 전압(Vp')은 더 증가한다. 그 다음, 게이트 전압(V1b)은 저전압으로 되고 기록용 제 1의 TFT(100)는 OFF 상태로 되고 동시에 픽셀 전압(Vp')은 Vfd2'만큼 감소한다.

여기서, 상기 언급된 데이터 전압(V2a)을 배선 측면 차광층(102)으로 충전함으로써 증가하는 V₁'은 하기의 수학적식으로 표현된다.

$$V_1' = \{C_{21} / (C_{21} + C_{19})\} \times V_{sc}$$

여기서 C₂₁은 예비 충전용 제 2의 TFT(200)의 소스 전극(23)과 픽셀 전극(3) 사이에서 발생하는 기생성 용량이고 C₁₉는 부가 용량이며 V_{sc}는 배선 측면 차광층(102)으로 충전되는 전압이다. 이러한 구조를 채택함으로써, 제 2의 TFT(200)의 소스 전극(23)과 픽셀 전극(3) 사이에서 발생하는 기생성 용량을 통해 예비 충전이 수행되고, 그 결과 예비 충전용 제 2의 TFT(200)의 누설(leakage)로 인한 픽셀 전압의 감소가

줄어들 수 있다.

발명의 효과

본 발명의 TFT에 따르면, 예비 충전용 제 2의 TFT이 형성 위치는 픽셀 영역을 차지하지 않고 큰 개구 비율이 구현될 수 있다.

(57) 청구의 범위

청구항 1

절연성 기판과;

상기 절연성 기판 상에 제공되며 서로 수직한 다수의 주사 라인 및 신호 라인과;

상기 주사 라인 및 신호 라인에 의해 둘러 싸인 픽셀 영역에 제공되는 다수의 픽셀 전극; 및

픽셀 전극으로 전압을 제공하기 위한 제 1의 박막 트랜지스터(TFT)와 상기 픽셀 전극의 예비 충전을 수행하기 위한 제 2의 박막 트랜지스터(TFT)를 포함하는 박막 트랜지스터(TFT) 어레이에 있어서,

상기 제 2의 TFT는 적어도 상기 주사 라인 또는 신호 라인의 일부와 중첩하도록 형성되는 것을 특징으로 하는 박막 트랜지스터 어레이.

청구항 2

제 1항에 있어서, 상기 제 2의 TFT의 제 2의 게이트 전극은 상기 제 1의 TFT의 제 1의 게이트 전극에 연결된 주사 라인의 앞 행의 주사 라인에 연결되는 것을 특징으로 하는 박막 트랜지스터 어레이.

청구항 3

제 1항에 있어서, 상기 제 2의 TFT의 제 2의 게이트 전극에 연결된 주사 라인은 상기 제 1의 TFT의 제 1의 게이트 전극에 연결된 주사 라인의 앞 행의 주사 라인인 것을 특징으로 하는 박막 트랜지스터 어레이.

청구항 4

제 1항에 있어서,

상기 제 1의 TFT의 제 1의 소스 전극과 상기 제 2의 TFT의 제 2의 소스 전극을 덮도록 형성된 패시베이션 층; 및

상기 패시베이션 층을 관통하여 연장하는 콘택트 홀을 더 포함하고,

상기 제 1 및 제 2의 전극은 상기 픽셀 전극에 연결되는 것을 특징으로 하는 박막 트랜지스터 어레이.

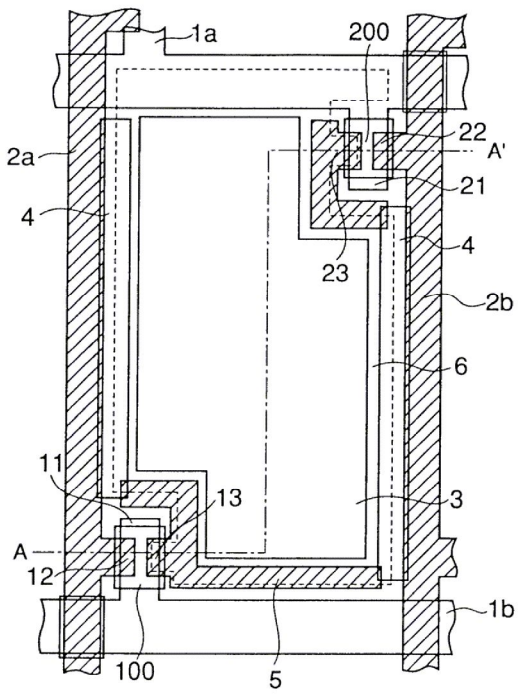
청구항 5

제 1항에 있어서, 상기 주사 라인과 상기 신호 라인의 내부에 형성된 차광층은 상기 제 2의 TFT의 제 2의 소스 전극에 연결되고, 상기 차광층은 상기 제 2의 소스 전극과 상기 픽셀 전극 사이에서 기억 용량(storage capacitance)을 형성하는 것을 특징으로 하는 박막 트랜지스터 어레이.

도면

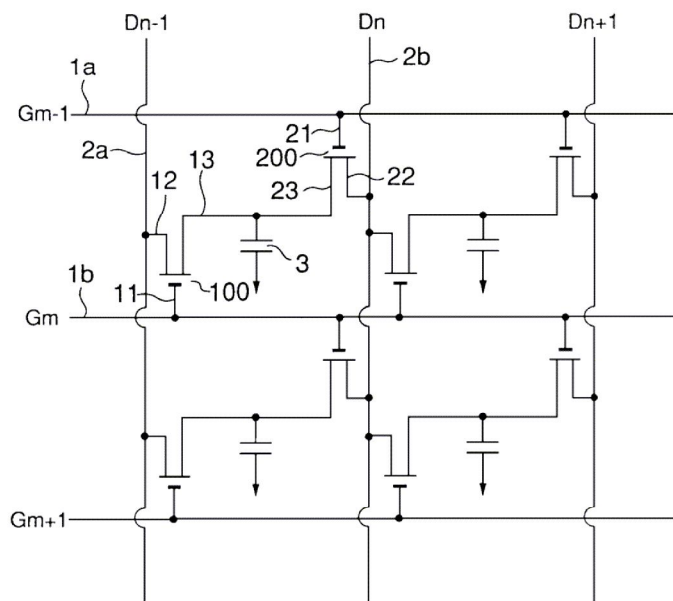
도면1

종래기술

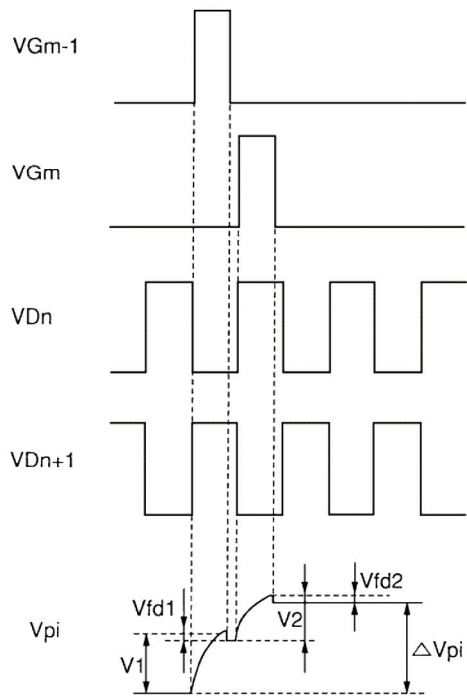


도면2

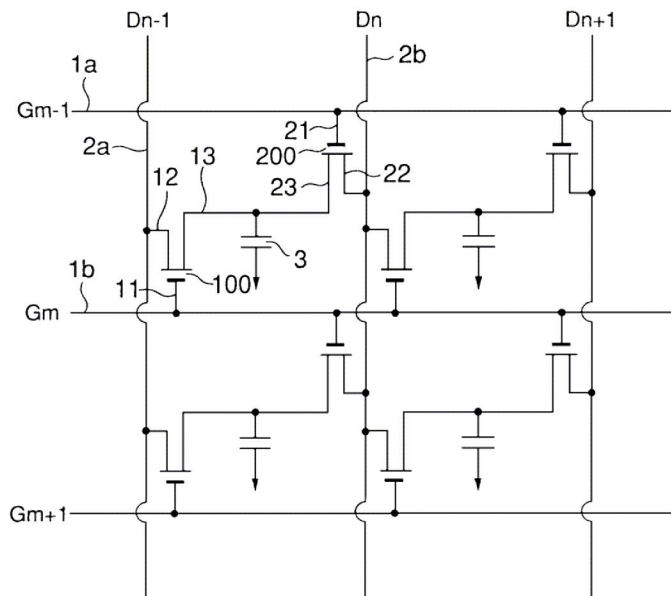
종래기술



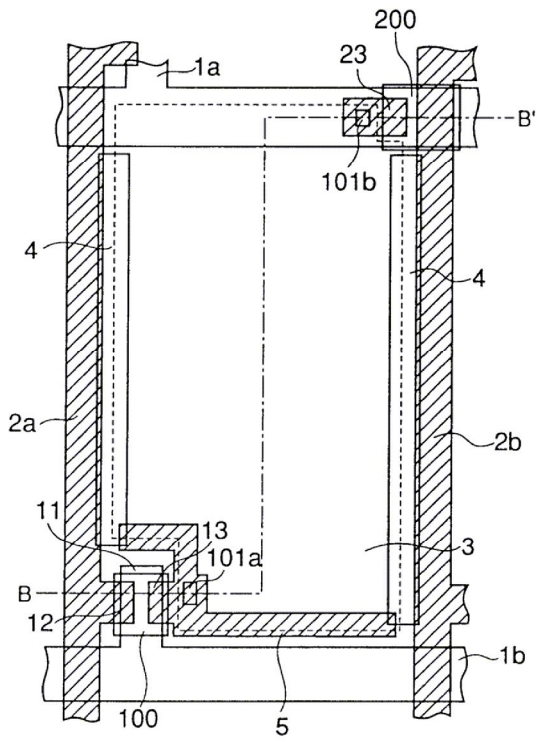
도면5



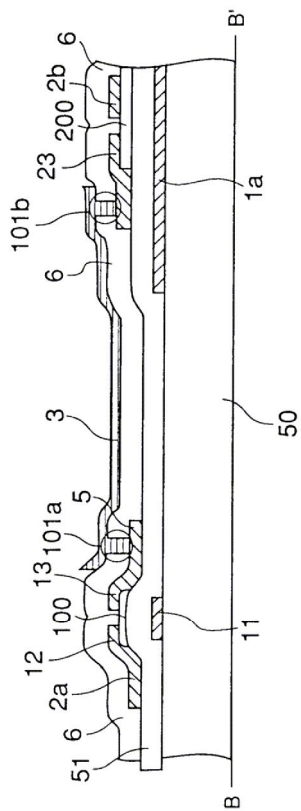
도면6



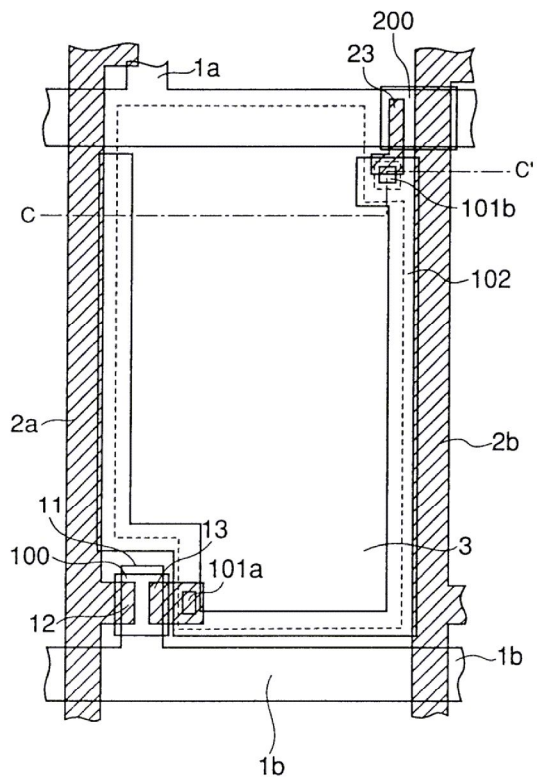
도면7



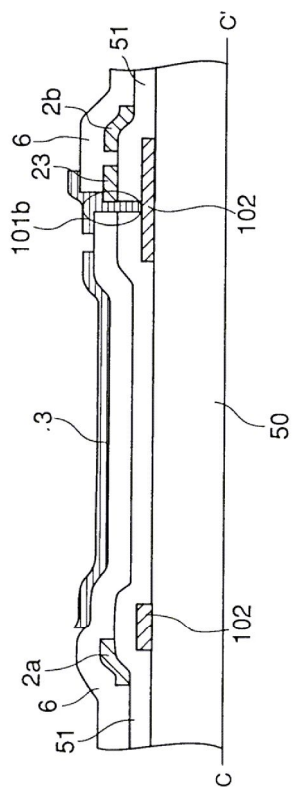
도면8



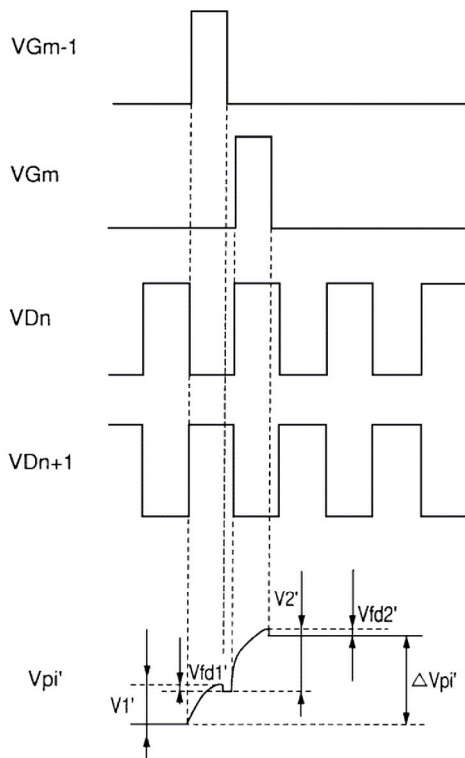
도면9



도면10



도면11



专利名称(译)	用于液晶显示器件的薄膜晶体管阵列		
公开(公告)号	KR1020000071809A	公开(公告)日	2000-11-25
申请号	KR1020000022014	申请日	2000-04-25
申请(专利权)人(译)	日本地方自己兴趣可否来.)		
[标]发明人	MIYAHARA TAE 미야하라타에		
发明人	미야하라타에		
IPC分类号	G02F1/136 G09F9/30 G02F1/1362 G02F1/1368 H01L21/336 H01L29/786		
CPC分类号	G02F1/13624 G02F1/136286		
代理人(译)	用最甜		
优先权	1999120592 1999-04-27 JP		
其他公开文献	KR100379291B1		
外部链接	Espacenet		

摘要(译)

提供了一种薄膜晶体管阵列，用于在不降低孔径比的情况下改善像素电极的写入特性。写入薄膜晶体管的源极和预充电薄膜晶体管的源极电连接到像素电极。形成预充电薄膜晶体管的半导体图案，以便覆盖扫描线1a和信号线的交叉区域以及栅极存储电容的形成区域的一部分。3 指数方面 薄膜晶体管，TFT，开口率，记录特性

