



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년09월30일
(11) 등록번호 10-1443385
(24) 등록일자 2014년09월16일

(51) 국제특허분류(Int. Cl.)
G02F 1/1343 (2006.01)
(21) 출원번호 10-2007-0137876
(22) 출원일자 2007년12월26일
심사청구일자 2012년12월07일
(65) 공개번호 10-2009-0070021
(43) 공개일자 2009년07월01일
(56) 선행기술조사문헌
KR1020070076298 A*
KR1020060119399 A*
KR1020070080349 A
KR1020070080494 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
김빈
서울특별시 양천구 목동서로 130, 목동4단지아파트 408동 2003호 (목동)
최승찬
경상북도 경산시 와촌면 계당길12길 19-2
(74) 대리인
(뒷면에 계속)
서교준

전체 청구항 수 : 총 10 항

심사관 : 윤성주

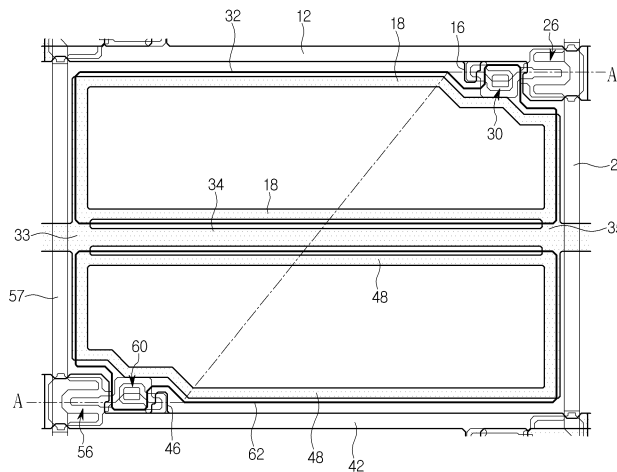
(54) 발명의 명칭 액정표시장치

(57) 요약

액정표시장치가 개시된다.

본 발명은 적색 화소 영역, 녹색 화소 영역 및 청색 화소 영역을 수평 스트라이프 구조로 배열하고, 2개의 게이트라인들과 2개의 데이터라인들에 의해 수직 방향으로 제1 및 제2 화소 영역들을 정의하고, 제1 화소 영역은 제1 게이트라인과 제1 및 제2 데이터라인들 중 어느 하나의 데이터라인에 연결된 제1 박막트랜지스터와 제1 박막트랜지스터에 연결된 제1 화소전극을 포함하고, 제2 화소 영역은 제2 게이트라인과 제1 및 제2 데이터라인들 중 다른 하나의 데이터라인에 연결된 제1 박막트랜지스터와 제2 박막트랜지스터에 연결된 제2 화소전극을 포함한다.

대표도 - 도2



(72) 발명자

유창일

서울 동대문구 답십리1동 162-4

장용호

경기도 성남시 분당구 수내로 201, - 414동 806호
(분당동, 샛별마을)

특허청구의 범위

청구항 1

다수의 게이트라인들과 다수의 데이터라인들에 의해 정의된 다수의 화소 영역들을 포함하고,
 상기 화소 영역들은 제1 화소 영역, 제2 화소 영역 및 제3 화소 영역을 포함하고,
 상기 제1 내지 제3 화소 영역들은 상기 데이터라인들의 길이 방향을 따라 정의되며,
 상기 제1 및 제2 화소 영역들은 제1 방향으로 평행한 제1 및 제2 게이트라인들과 상기 제1 및 제2 게이트라인들에 교차하고 제2 방향으로 평행한 제1 및 제2 데이터라인들에 의해 정의되며,
 상기 제1 화소 영역은,
 상기 제1 게이트라인과 상기 제1 및 제2 데이터라인들 중 어느 하나의 데이터라인에 연결된 제1 박막트랜지스터;
 상기 제1 박막트랜지스터에 연결된 제1 화소전극; 및
 상기 제1 화소 전극의 테두리 영역을 따라 배치된 제1 공통라인을 포함하고,
 상기 제2 화소 영역은,
 상기 제2 게이트라인과 상기 제1 및 제2 데이터라인들 중 다른 하나의 데이터라인에 연결된 제2 박막트랜지스터;
 상기 제2 박막트랜지스터에 연결된 제2 화소전극; 및
 상기 제2 화소 전극의 테두리 영역을 따라 배치된 제2 공통라인을 포함하고,
 상기 제1 및 제2 공통라인들 각각은 제1 및 제2 영역을 포함하고,
 상기 제1 및 제2 공통라인들 각각의 상기 제1 영역을 전기적으로 연결하는 제1 및 제2 연결부들; 및
 상기 제1 및 제2 연결부들에 전기적으로 연결되며 상기 제1 및 제2 화소전극들 사이에 배치된 제3 공통라인을 포함하고,
 상기 제3 공통라인은 상기 제1 및 제2 공통라인들 각각의 상기 제2 영역으로부터 이격되며 상기 제1 및 제2 공통라인 사이에 배치되는 액정표시장치.

청구항 2

제1항에 있어서, 상기 제1 내지 제3 화소 영역들은 녹색 화소 영역, 청색 화소 영역 및 적색 화소 영역인 액정표시장치.

청구항 3

제1항에 있어서, 상기 제1 및 제2 공통 라인들은 페루프 구조를 갖는 액정표시장치.

청구항 4

제1항에 있어서, 상기 제3 공통 라인은 상기 제1 및 제2 화소 영역으로부터 이격되도록 배치되는 액정표시장치.

청구항 5

제1항에 있어서, 상기 제1 연결부는 상기 제1 공통 라인의 일 영역, 상기 제2 공통 라인의 일 영역 및 상기 제3 공통 라인의 일단에 연결되고,

상기 제2 연결부는 상기 제1 공통 라인의 타 영역, 상기 제2 공통 라인의 타 영역 및 상기 제3 공통 라인의 타단에 연결되는 액정표시장치.

청구항 6

제1항에 있어서, 상기 제3 공통라인은 상기 제1 및 제2 화소전극들 각각으로부터 동일한 간격으로 이격되도록 배치되는 액정표시장치.

청구항 7

제1항에 있어서, 상기 화소 영역들은 제4 화소 영역을 더 포함하고, 상기 제4 화소 영역은 녹색 화소 영역이며,

상기 제3 및 제4 화소 영역들은 상기 제1 방향으로 평행한 상기 제2 게이트라인 및 제3 게이트라인과 상기 제2 및 제3 게이트라인들에 교차하고 상기 제2 방향으로 평행한 상기 제1 및 제2 데이터라인들에 의해 정의되며,

상기 제3 화소 영역은,

상기 제2 게이트라인과 상기 제1 및 제2 데이터라인들 중 어느 하나의 데이터라인에 연결된 제3 박막트랜지스터; 및

상기 제3 박막트랜지스터에 연결된 제3 화소전극을 포함하고,

상기 제4 화소 영역은,

상기 제3 게이트라인과 상기 제1 및 제2 데이터라인들 중 다른 하나의 데이터라인에 연결된 제4 박막트랜지스터; 및

상기 제4 박막트랜지스터에 연결된 제4 화소전극을 포함하는 액정표시장치.

청구항 8

제7항에 있어서, 상기 제3 화소 전극의 테두리 영역을 따라 배치된 제4 공통라인;

상기 제4 화소 전극의 테두리 영역을 따라 배치된 제5 공통라인;

상기 제4 및 제5 공통라인들의 양단 영역을 전기적으로 연결하는 제3 및 제4 연결부들; 및

상기 제3 및 제4 연결부들에 전기적으로 연결되며 상기 제3 및 제4 화소전극들 사이에 배치된 제6 공통라인을 더 포함하고,

상기 제6 공통라인은 상기 제4 및 제5 공통라인 사이에 배치되는 액정표시장치.

청구항 9

제8항에 있어서, 상기 제6 공통라인은 상기 제3 및 제4 화소전극들 각각으로부터 동일한 간격으로 이격되도록 배치되는 액정표시장치.

청구항 10

제1항 내지 제9항 중 어느 하나의 항에 있어서,

상기 제1 박막트랜지스터는 제1 게이트 전극, 제1 소오스 전극, 제1 드레인 전극 및 상기 제1 게이트 전극으로부터 이격되도록 배치되는 제1 보조 게이트전극을 포함하고,

상기 제2 박막트랜지스터는 제2 게이트 전극, 제2 소오스 전극, 제2 드레인 전극 및 상기 제2 게이트 전극으로부터 이격되도록 배치되는 제2 보조 게이트전극을 포함하는 액정표시장치.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 액정표시장치에 관한 것으로, 특히 화질을 향상시킬 수 있는 액정표시장치에 관한 것이다.

배경 기술

- [0002] 정보화 사회의 발달로 인해, 정보를 표시할 수 있는 표시 장치가 활발히 개발되고 있다. 표시 장치는 액정표시장치(liquid crystal display device), 유기전계발광 표시장치(organic electro-luminescence display device), 플라즈마 표시장치(plasma display panel) 및 전계 방출 표시장치(field emission display device)를 포함한다.
- [0003] 이 중에서, 액정표시장치는 경박 단소, 저 소비 전력 및 풀 컬러 동영상 구현과 같은 장점이 있어, 모바일 폰, 네비게이션, 모니터, 텔레비전에 널리 적용되고 있다.
- [0004] 액정표시장치는 액정 패널 상의 액정셀들의 광 투과율을 조절함으로써 비디오신호에 해당하는 영상을 표시한다.
- [0005] 액정표시장치는 제1 기관, 제2 기관 및 액정층을 포함한다.
- [0006] 제1 기관은 다수의 게이트라인들과 다수의 데이터라인들이 교차하여 배열된다. 각 게이트라인과 각 데이터라인에 의해 다수의 화소 영역들이 정의된다.
- [0007] 각 화소 영역에는 게이트라인과 데이터라인에 연결된 박막트랜지스터와 박막트랜지스터에 연결된 화소전극이 형성된다.
- [0008] 각 화소 영역을 가로 질러 공통라인이 배치된다. 공통라인은 화소전극과 오버랩되어 스토리지 캐패시턴스를 형성한다.
- [0009] 제2 기관은 제1 기관에 정의된 각 화소 영역에 대응되어 적색 컬러필터, 녹색 컬러필터 및 청색 컬러필터를 포함하는 컬러필터층이 형성되고, 각 컬러필터 사이에 블랙 매트릭스가 형성되고, 컬러필터층과 블랙 매트릭스 상에 공통전극이 형성된다.
- [0010] 액정층은 다수의 액정 분자들을 포함한다.
- [0011] 화소전극에 인가된 데이터 전압과 공통전극에 인가된 공통전압에 의해 제1 및 제2 기관 사이에 전계가 발생되고, 이러한 전계에 의해 액정층의 액정 분자들이 변위되며, 이러한 변위된 액정 분자들은 외부에서 제공된 광을 투과/반투과시키게 되어, 영상이 표시되게 된다.
- [0012] 종래의 액정표시장치는 게이트라인별로 데이터전압들이 게이트라인 상의 각 화소전극으로 인가된다.
- [0013] 이러한 경우, 이전 게이트라인 상의 각 화소 영역으로 인가된 데이터전압이 이후 게이트라인 상의 각 화소 영역으로 인가된 데이터전압에 영향을 주는 커플링이 발생되어, 이후 게이트라인 상의 각 화소 영역으로 인가된 데이터전압이 변동되게 되어, 원하는 영상이 표시되지 않게 되어 화질이 저하되게 된다.
- [0014] 종래의 액정표시장치는 게이트라인 상의 각 화소 영역이 적색 화소 영역, 녹색 화소 영역 및 청색 화소 영역의 순서로 배열된다. 다음 게이트라인 상의 각 화소 영역도 적색 화소 영역, 녹색 화소 영역 및 청색 화소 영역의 순서로 배열된다. 이러한 방식으로 배열된 화소 영역들은 수직 방향으로 동일한 색의 화소 영역이 배열되게 되어, 수직 스트라이프(vertical stripe) 구조를 갖게 된다.
- [0015] 이러한 수직 스트라이프 구조에서는 게이트라인 상의 각 화소 영역마다 데이터라인이 구비되게 된다.
- [0016] 데이터라인의 개수가 많아지게 되는 경우, 각 데이터라인으로 공급하여 주는 데이터 전압을 생성하여야 하므로, 데이터 전압을 생성하는 데이터 드라이버의 회로가 복잡해지게 된다. 이와 같이 데이터 드라이버의 회로가 복잡해지는 경우, 데이터 드라이버의 사이즈가 증가하게 되고 비용도 증가하게 된다.

발명의 내용

해결 하고자하는 과제

- [0017] 본 발명은 데이터라인의 개수를 줄여 데이터 구동을 용이하게 하여 주고 비용을 절감하며 데이터 구동을 위한 데이터 드라이버의 회로를 단순화할 수 있는 액정표시장치를 제공함에 그 목적이 있다.
- [0018] 본 발명의 다른 목적은 공통라인의 구조를 변경하여 커플링을 최소화하여 화질을 향상시킬 수 있는 액정표시장치를 제공하는데 있다.

과제 해결수단

- [0019] 본 발명에 따르면, 액정표시장치는, 다수의 게이트라인들과 다수의 데이터라인들에 의해 정의된 다수의 화소

영역들을 포함하고, 상기 화소 영역들은 제1 화소 영역, 제2 화소 영역 및 제3 화소 영역을 포함하고, 상기 제1 내지 제3 화소 영역들은 상기 데이터라인들의 길이 방향을 따라 정의되며, 상기 제1 및 제2 화소 영역들은 제1 방향으로 평행한 제1 및 제2 게이트라인들과 상기 제1 및 제2 게이트라인들에 교차하고 제2 방향으로 평행한 제1 및 제2 데이터라인들에 의해 정의되며, 상기 제1 화소 영역은, 상기 제1 게이트라인과 상기 제1 및 제2 데이터라인들 중 어느 하나의 데이터라인에 연결된 제1 박막트랜지스터; 및 상기 제1 박막트랜지스터에 연결된 제1 화소전극을 포함하고, 상기 제2 화소 영역은, 상기 제2 게이트라인과 상기 제1 및 제2 데이터라인들 중 다른 하나의 데이터라인에 연결된 제1 박막트랜지스터; 및 상기 제2 박막트랜지스터에 연결된 제2 화소전극을 포함한다.

효 과

[0020] 본 발명은 적색 화소 영역, 녹색 화소 영역 및 청색 화소 영역을 수평 스트라이프 구조로 배열함으로써, 데이터라인의 개수를 줄여 비용을 절감할 수 있다.

[0021] 본 발명은 이웃하는 화소전극들 사이에 공통라인을 배치함으로써, 화소전극들에 인가된 데이터전압들의 커핑을 방지하여 화질을 향상시킬 수 있다.

발명의 실시를 위한 구체적인 내용

[0022] 이하, 첨부된 도면을 참조하여 본 발명의 실시예를 설명한다.

[0023] 도 1은 본 발명에 따른 액정표시장치를 도시한 도면이다.

[0024] 도 1을 참조하면, 액정표시장치는 다수의 게이트라인들($G1$ 내지 $G(3m/2)$)과 다수의 데이터라인들($S1$ 내지 $S(2n)$)이 교차하여 배치된다.

[0025] 본 실시예에서는, 2개의 게이트라인들($G1$, $G2$)과 2개의 데이터라인들($S1$, $S2$)에 의해 2개의 화소 영역들이 정의될 수 있다. 예를 들어, 제1 및 제2 게이트라인들($G1$, $G2$)과 제1 및 제2 데이터라인들($S1$, $S2$)에 의해 제1 및 제2 화소 영역들($G11$, $B11$)이 정의될 수 있다.

[0026] 도 1에 도시된 바와 같이, 제1 박막트랜지스터는 제1 게이트라인($G1$)과 제2 데이터라인($S2$)에 연결되어 제1 화소 영역(녹색 화소 영역, $G11$)에 배치될 수 있다. 제2 박막트랜지스터는 제2 게이트라인($G2$)과 제1 데이터라인($S1$)에 연결되어 제2 화소 영역(청색 화소 영역, $B11$)에 배치될 수 있다. 녹색 화소 영역($G11$)은 녹색을 표시할 수 있는 영역이고, 청색 화소 영역($B11$)은 청색을 표시할 수 있는 영역이다.

[0027] 이와 반대로 제1 및 제2 박막트랜지스터들이 배치될 수 있다. 즉, 도 1에 도시되지 않았지만, 제1 박막트랜지스터는 제1 게이트라인($G1$)과 제1 데이터라인($S1$)에 연결되어 제1 화소 영역($G11$)에 배치될 수 있다. 제2 박막트랜지스터는 제2 게이트라인($G2$)과 제2 데이터라인($S2$)에 연결되어 제2 화소 영역($B11$)에 배치될 수 있다.

[0028] 본 실시예에서는 도 1에 도시된 전자의 박막트랜지스터 구조에 한정하여 설명한다.

[0029] 제1 화소전극은 상기 제1 박막트랜지스터에 연결되어 제1 화소 영역($G11$)에 배치될 수 있다. 제2 화소전극은 상기 제2 박막트랜지스터에 연결되어 제2 화소 영역($B11$)에 배치될 수 있다.

[0030] 이와 같이, 본 실시예는 제1 및 제2 게이트라인들($G1$, $G2$)과 제1 및 제2 데이터라인들($S1$, $S2$)에 의해 제1 및 제2 화소 영역들($G11$, $B11$)이 정의될 수 있고, 제1 화소 영역($G11$)에 제1 박막트랜지스터와 제1 화소 전극이 배치되고, 제2 화소 영역($B11$)에 제2 박막트랜지스터와 제2 화소 전극이 배치될 수 있다.

[0031] 또한, 상기 제2 게이트라인($G2$) 및 제3 게이트라인($G3$)과 제1 및 제2 데이터라인들($S1$, $S2$)에 의해 제3 및 제4 화소 영역들($R12$, $G12$)이 정의될 수 있다.

[0032] 도 1에 도시된 바와 같이, 제3 박막트랜지스터는 제2 게이트라인($G2$)과 제2 데이터라인($S2$)에 연결되어 제3 화소 영역(적색 화소 영역, $R12$)에 배치될 수 있다. 제4 박막트랜지스터는 제3 게이트라인($G3$)과 제1 데이터라인($S1$)에 연결되어 제4 화소 영역(녹색 화소 영역, $G12$)에 배치될 수 있다. 적색 화소 영역($R12$)은 적색을 표시할 수 있는 영역이고, 녹색 화소 영역($G12$)은 녹색을 표시할 수 있는 영역이다.

[0033] 이와 반대로 제3 및 제4 박막트랜지스터들이 배치될 수 있다. 즉, 도 1에 도시되지 않았지만, 제3 박막트랜지스터는 제2 게이트라인($G2$)과 제1 데이터라인($S1$)에 연결되어 제3 화소 영역($R12$)에 배치될 수 있다. 제4 박막트랜지스터는 제3 게이트라인($G3$)과 제2 데이터라인($S2$)에 연결되어 제4 화소 영역($G12$)에 배치될 수 있다.

- [0034] 본 실시예에서는 도 1에 도시된 전자의 박막트랜지스터 구조에 한정하여 설명한다.
- [0035] 제3 화소전극은 상기 제3 박막트랜지스터에 연결되어 제3 화소 영역(R12)에 배치될 수 있다. 제4 화소전극은 상기 제4 박막트랜지스터에 연결되어 제4 화소 영역(G12)에 배치될 수 있다.
- [0036] 이와 같이, 본 실시예는 제2 및 제3 게이트라인들(G2, G3)과 제1 및 제2 데이터라인들(S1, S2)에 의해 제3 및 제4 화소 영역들(R12, G12)이 정의될 수 있고, 제3 화소 영역(R12)에 제3 박막트랜지스터와 제3 화소 전극이 배치되고, 제4 화소 영역(G12)에 제4 박막트랜지스터와 제4 화소 전극이 배치될 수 있다.
- [0037] 이상으로부터 본 실시예는 수직 방향을 따라 다시 말해, 제1 및 제2 데이터라인들(S1, S2)의 길이 방향을 따라 녹색 화소 영역, 청색 화소 영역, 적색 화소 영역, 녹색 화소 영역의 순서로 화소전극들이 배치된다.
- [0038] 이와 같은 배열은 제3 데이터라인(S3)과 제4 데이터라인(S4) 그리고 제5 및 제6 데이터라인들(S5, S6)에 의해 배치된 화소 영역들도 동일하다.
- [0039] 따라서, 도 1에 도시된 바와 같이, 본 실시예는 수평 방향으로 동일한 색을 표시할 수 있는 화소 영역들이 배치됨으로써, 수평 스트라이프(horizontal stripe) 구조를 가질 수 있다.
- [0040] 본 실시예는 제2 게이트라인(G2)이 제2 화소 영역(B11)과 제3 화소 영역(R12)에 공유된다. 즉, 제2 게이트라인(G2)으로 공급된 스캔 신호에 의해 제2 화소 영역(B11)의 제2 박막트랜지스터와 제3 화소 영역(R12)의 제3 박막트랜지스터가 동시에 턴온될 수 있다.
- [0041] 본 실시예는 종래에 가로 방향으로 적색 화소 영역, 녹색 화소 영역 및 청색 화소 영역의 순서로 배치되던 것(수직 스트라이프 구조)을 세로 방향으로 적색 화소 영역(R11), 녹색 화소 영역(G11) 및 청색 화소 영역(B11)의 순서로 배치됨(수평 스트라이프 구조)에 따라, 데이터라인들(S1 내지 S(2n))의 개수가 종래에 비해 1/3 정도 감소될 수 있다.
- [0042] 도 2는 본 발명에 따른 액정표시장치에서 세로 방향으로 정의된 2개의 화소 영역들을 도시한 평면도이다.
- [0043] 도 2에서는 대표적으로 세로 방향으로 정의된 2개의 화소 영역들을 도시하고 있지만, 본 실시예의 액정표시장치는 이와 같은 2개의 화소 영역들이 반복하여 정의되어 배치될 수 있다.
- [0044] 도 2를 참조하면, 제1 방향으로 평행하게 제1 및 제2 게이트라인들(12, 42)이 배치된다. 제2 방향으로 평행하게 제1 및 제2 데이터라인들(57, 27)이 배치된다. 상기 제1 및 제2 게이트라인들(12, 42)과 상기 제1 및 제2 데이터라인들(57, 27)에 의해 제1 및 제2 화소 영역들(녹색 화소 영역, 청색 화소 영역)이 정의될 수 있다.
- [0045] 상기 제1 게이트라인(12)과 상기 제2 데이터라인(27)에 제1 박막트랜지스터(26)가 전기적으로 연결되어 상기 제1 화소 영역에 배치되고, 상기 제2 게이트라인(42)과 상기 제1 데이터라인(57)에 제2 박막트랜지스터(56)가 전기적으로 연결되어 상기 제2 화소 영역에 배치된다.
- [0046] 상기 제1 박막트랜지스터(26)에 제1 콘택홀(30)을 통해 제1 화소전극(32)이 전기적으로 연결되어 상기 제1 화소 영역에 배치되고, 상기 제2 박막트랜지스터(56)에 제2 콘택홀(60)을 통해 제2 화소전극(62)이 전기적으로 연결되어 상기 제2 화소 영역에 배치된다.
- [0047] 상기 제1 화소전극(32)의 테두리 영역을 따라 오버랩되어 제1 공통라인(18)이 배치된다. 상기 제1 화소전극(32)과 상기 제1 공통라인(18)의 오버랩에 의해 제1 스토리지 캐패시턴스가 형성될 수 있다.
- [0048] 상기 제2 화소전극(62)의 테두리 영역을 따라 오버랩되어 제2 공통라인(48)이 배치된다. 상기 제2 화소전극(62)과 상기 제2 공통라인(48)의 오버랩에 의해 제2 스토리지 캐패시턴스가 형성될 수 있다.
- [0049] 상기 제1 공통라인(18)과 상기 제2 공통라인(48)은 양단이 전기적으로 연결되어 일체로 형성될 수 있다. 즉, 상기 제1 공통라인(18)의 일단과 상기 제2 공통라인(48)의 일단이 제1 연결부(33)에 전기적으로 연결되고, 상기 제1 공통라인(18)의 타단과 상기 제2 공통라인(48)의 타단이 제2 연결부(35)에 전기적으로 연결될 수 있다.
- [0050] 상기 제1 화소전극(32)과 상기 제2 화소전극(62)은 상기 제1 화소 영역과 상기 제2 화소 영역에 의해 구분되어야 하므로, 상기 제1 및 제2 화소전극들(32, 62)은 서로 이격되어 배치될 수 있다.
- [0051] 이러한 경우, 상기 제1 및 제2 화소전극들(32, 62) 사이에 제1 연결부(33)와 상기 제2 연결부(35)에 각각 전기적으로 연결된 보조 공통라인(제3 공통라인, 34)이 배치될 수 있다.
- [0052] 상기 보조 공통라인(34)은 상기 제1 화소전극(32)과 상기 제2 화소전극(62)과 동일한 간격으로 이격되도록 배

치될 수 있다. 상기 보조 공통라인(34)에 공급된 공통전압에 의해 상기 제1 화소전극(32)으로 공급된 데이터 전압이 상기 제2 화소전극(62)으로 공급된 데이터전압으로 영향을 미치는 것이 차단될 수 있다.

[0053] 기존에 제1 화소전극으로 공급된 데이터전압과 제2 화소전극으로 공급된 데이터전압 사이에 발생하는 전계가 본 실시예의 보조 공통라인(34)에 의해 상기 제1 화소전극(32)으로 공급된 데이터전압은 상기 보조 공통라인(34)으로 공급된 공통전압과의 전계 발생을 위해 사용되므로, 상기 제2 화소전극(62)으로 공급된 데이터전압은 상기 제1 화소전극(32)으로 공급된 데이터전압에 의해 전계가 발생되지 않게 된다. 이에 따라, 상기 제2 화소전극(62)으로 공급된 데이터전압은 상기 제1 화소전극(32)으로 공급된 데이터전압에 의해 영향을 받지 않게 되어, 커플링 현상이 발생되지 않게 된다. 따라서, 화질이 향상될 수 있다.

[0054] 상기 제1 및 제2 공통라인들(18, 48)과 상기 보조 공통라인(34)은 동일한 공통전압이 공급될 수 있다.

[0055] 도 2에 도시되지 않았지만, 상기 제2 게이트라인(42)과 공유하여 제3 화소 영역(적색 화소 영역)에 제3 박막 트랜지스터와 제3 화소전극이 배치될 수 있다. 상기 제3 박막트랜지스터는 상기 제2 게이트라인(42)과 상기 제2 데이터라인(27)과 전기적으로 연결되고, 상기 제3 화소전극은 상기 제3 박막트랜지스터와 전기적으로 연결될 수 있다.

[0056] 상기 제2 게이트라인(42)과 평행하게 제3 게이트라인이 배치될 수 있다.

[0057] 상기 제2 게이트라인(42) 및 제3 게이트라인과 상기 제1 및 제2 데이터라인들(57, 27)에 의해 상기 제3 화소 영역과 제4 화소 영역이 정의될 수 있다.

[0058] 상기 제4 화소 영역(녹색 화소 영역)에는 제4 박막트랜지스터와 제4 화소전극이 배치될 수 있다. 상기 제4 박막트랜지스터는 상기 제3 게이트라인과 상기 제1 데이터라인(57)에 전기적으로 연결되어 상기 제4 화소 영역에 배치될 수 있다. 상기 제4 화소전극은 상기 제4 박막트랜지스터와 전기적으로 연결되어 상기 제4 화소 영역에 배치될 수 있다.

[0059] 상기 제2 게이트라인(42)으로 공급된 게이트 신호에 의해 상기 제2 박막트랜지스터(56) 및 제3 박막트랜지스터가 동시에 턴온될 수 있다. 상기 제1 데이터라인(57)으로 공급된 데이터전압이 상기 제2 박막트랜지스터(56)를 경유하여 상기 제2 화소전극(62)으로 인가된다. 상기 제2 데이터라인(27)으로 공급된 데이터전압이 상기 제3 박막트랜지스터를 경유하여 상기 제3 화소전극으로 인가된다.

[0060] 따라서, 제2 게이트라인(42)의 활성화에 의해 제2 및 제3 화소 영역에 동시에 표시될 수 있다.

[0061] 도 3은 본 발명에 따른 액정표시장치에서 세로 방향으로 정의된 2개의 화소 영역들을 도시한 단면도이다.

[0062] 도 2 및 도 3을 참조하면, 기판(10) 상에 제1 방향으로 평행하게 제1 및 제2 게이트라인들(12, 42), 상기 제1 및 제2 게이트라인들(12, 42) 각각에 연결된 제1 및 제2 게이트전극들(14, 44), 제1 및 제2 화소 영역에 페루프(closed loop)를 갖는 제1 및 제2 공통라인들(18, 48), 제1 및 제2 공통라인들(18, 48)을 연결한 제1 및 제2 연결부들(33, 35) 그리고 상기 제1 및 제2 화소 영역 사이에 상기 제1 및 제2 연결부들(33, 35)에 연결된 보조 공통라인(34)을 형성한다. 상기 제1 게이트전극(14)과 이격되어 제1 보조 게이트전극(16)이 형성되고, 상기 제2 게이트전극(44)과 이격되어 제2 보조 게이트전극(46)이 형성될 수 있다. 상기 제1 및 제2 보조 게이트전극들(16, 46)은 이후에 설명될 제1 소오스/드레인 전극들(24a, 24b)과 제2 소오스/드레인 전극들(54a, 54b)이 마스크의 미스얼라인(misalign)에 의해 시프트되어 형성되는 경우에 발생하는 게이트전극(14, 44)과 소오스전극(24a, 54a) 간의 기생 캐패시턴스의 변경을 방지하기 위해 배치될 수 있다.

[0063] 상기 제1 및 제2 게이트라인들(12, 42)을 포함하는 상기 기판(10) 상에 게이트 절연층(20)이 형성된다.

[0064] 상기 제1 및 제2 게이트전극들(12, 42)에 상응하는 상기 게이트 절연층(20) 상에 액티브층(22a, 52a)과 오믹 콘택층(22b, 52b)을 포함하는 제1 및 제2 반도체층들(22, 52)을 형성한다.

[0065] 상기 제1 및 제2 반도체층들(22, 52)을 포함하는 상기 기판(10) 상에 제1 소오스/드레인 전극들(24a, 24b), 제2 소오스/드레인 전극들(54a, 54b)과 제2 방향으로 평행하게 제1 및 제2 데이터라인들(57, 27)을 형성한다. 상기 제1 소오스/드레인 전극들(24a, 24b)은 서로 이격되고, 상기 제2 소오스/드레인 전극들(54a, 54b)은 서로 이격된다. 상기 제1 데이터라인(57)은 상기 제1 소오스 전극(54a)과 연결되고, 상기 제2 데이터라인(27)은 상기 제2 소오스 전극(24a)과 연결된다.

[0066] 상기 제1 게이트전극(14), 상기 제1 반도체층(22) 그리고 상기 제1 소오스/드레인 전극들(24a, 24b)에 의해 제1 박막트랜지스터(26)가 형성되고, 상기 제2 게이트전극(44), 상기 제2 반도체층(52) 그리고 상기 제2 소오

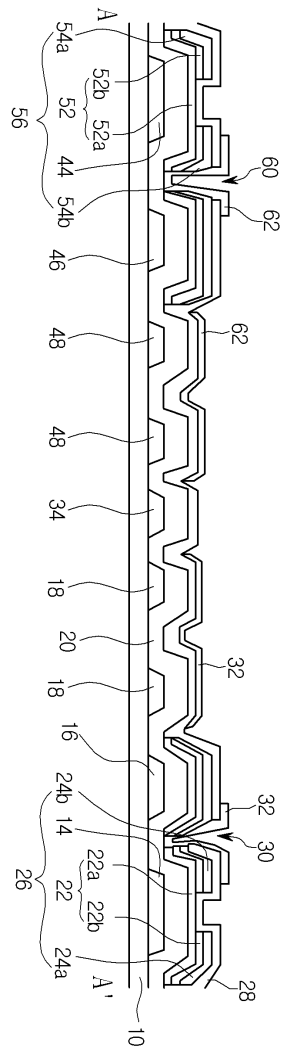
스/드레인 전극들(54a, 54b)에 의해 제2 박막트랜지스터(56)가 형성될 수 있다.

- [0067] 상기 제1 및 제2 데이터라인들(57, 27)을 포함하는 상기 기판(10) 상에 보호막(28)을 형성한다. 상기 보호막(28)을 관통하여 상기 제1 드레인 전극(24b)이 노출되거나 관통되도록 제1 콘택홀(30)이 형성되고, 상기 보호막(28)을 관통하여 상기 제2 드레인 전극(54b)이 노출되거나 관통되도록 제2 콘택홀(60)이 형성될 수 있다.
- [0068] 상기 보호막(28) 상의 제1 화소 영역에 상기 제1 드레인 전극(24b)과 전기적으로 연결되도록 제1 화소전극(32)이 형성되고, 상기 제2 화소 영역에 제2 드레인 전극(54b)과 전기적으로 연결되도록 제2 화소전극(62)이 형성될 수 있다.
- [0069] 상기 제1 화소전극(32)의 테두리 영역은 상기 제1 공통라인(18)과 오버랩되고, 상기 제2 화소전극(32)의 테두리 영역은 상기 제2 공통라인(48)과 오버랩될 수 있다. 상기 제1 화소전극(32)과 상기 제1 공통라인(18) 사이 그리고 상기 제2 화소전극(32)과 상기 제2 공통라인(48) 상이에는 게이트 절연층(20)과 보호막(28)이 형성될 수 있다. 따라서, 제1 공통라인(18), 게이트 절연층(20), 보호막(28) 및 제1 화소전극(32)에 의해 제1 스토리지 캐패시턴스가 형성되고, 제2 공통라인(48), 게이트 절연층(20), 보호막(28) 및 제2 화소전극(62)에 의해 제2 스토리지 캐패시턴스가 형성될 수 있다.
- [0070] 상기 제1 및 제2 화소전극(32, 62) 사이에 상기 제1 및 제2 연결부들(33, 35)에 연결된 상기 보조 공통라인(34)이 형성될 수 있다. 상기 보조 공통라인(34)은 상기 제1 화소전극(32)과 상기 제2 화소전극(62)에 동일한 간격으로 이격되도록 형성될 수 있다.

도면의 간단한 설명

- | | | |
|--------|---|------------------|
| [0071] | 도 1은 본 발명에 따른 액정표시장치를 도시한 도면. | |
| [0072] | 도 2는 본 발명에 따른 액정표시장치에서 세로 방향으로 정의된 2개의 화소 영역들을 도시한 평면도. | |
| [0073] | 도 3은 본 발명에 따른 액정표시장치에서 세로 방향으로 정의된 2개의 화소 영역들을 도시한 단면도. | |
| [0074] | <도면의 주요 부분에 대한 부호의 설명> | |
| [0075] | 10: 기판 | 12, 42: 게이트라인 |
| [0076] | 14, 44: 게이트전극 | 16, 46: 보조 게이트전극 |
| [0077] | 18, 34, 48: 공통라인 | 20: 게이트 절연층 |
| [0078] | 22: 반도체층 | 24a, 54a: 소오스 전극 |
| [0079] | 24b, 54b: 드레인 전극 | 28: 보호막 |
| [0080] | 30, 60: 콘택홀 | 32, 62: 화소전극 |
| [0081] | 33, 35: 연결부 | |

도면3



专利名称(译)	液晶显示器		
公开(公告)号	KR101443385B1	公开(公告)日	2014-09-30
申请号	KR1020070137876	申请日	2007-12-26
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM BINN 김빈 CHOI SEUNG CHAN 최승찬 RYOO CHANG IL 유창일 JANG YONG HO 장용호		
发明人	김빈 최승찬 유창일 장용호		
IPC分类号	G02F1/1343		
CPC分类号	G02F1/1343 G02F1/136286 G09G2320/02 H01L29/786		
其他公开文献	KR1020090070021A		
外部链接	Espacenet		

摘要(译)

提供用于减少数据线数量的LCD（液晶显示器），以通过在水平条纹结构中布置RGB像素区域来减少数据线的数量。第一像素区域的薄膜晶体管（26）连接到第一/第二数据线中的第一栅极线和一条数据线。第一像素电极（32）连接到薄膜晶体管。第二像素区域的第二薄膜晶体管连接到第一/第二数据线中的第二栅极线和另一个的数据线。第二像素电极连接到第二薄膜晶体管。

