



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년04월10일
(11) 등록번호 10-1383707
(24) 등록일자 2014년04월03일

(51) 국제특허분류(Int. Cl.)

G02F 1/1343 (2006.01)

(21) 출원번호 10-2007-0076195

(22) 출원일자 2007년07월30일

심사청구일자 2012년07월13일

(65) 공개번호 10-2009-0012409

(43) 공개일자 2009년02월04일

(56) 선행기술조사문헌

JP2005062882 A

US20050036091 A1

(73) 특허권자

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성2로 95 (농서동)

(72) 발명자

이우근

경기도 용인시 기흥구 용구대로 1842, 107동 204호 (보라동, 보라마을현대모닝사이드)

김시열

경기 용인시 수지구 만현로 127, 806동 1601호 (상현동, 만현마을두산위브아파트)

(뒷면에 계속)

(74) 대리인

팬코리아특허법인

전체 청구항 수 : 총 24 항

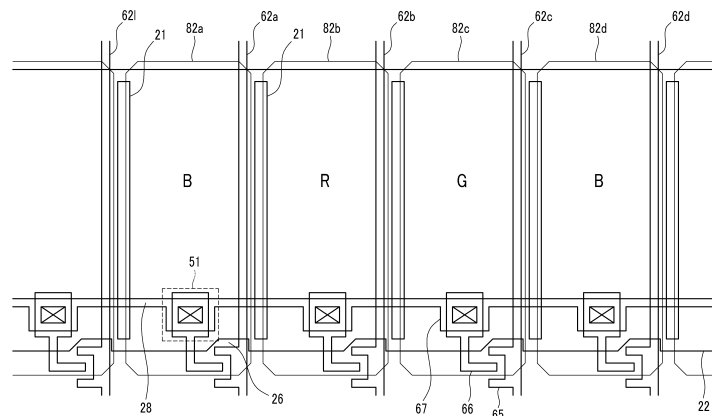
심사관 : 이준석

(54) 발명의 명칭 액정 표시 장치

(57) 요약

데이터선에 걸리는 로드를 줄이고 개구율을 높이면서 빛샘 현상을 방지할 수 있는 액정 표시 장치가 제공된다. 액정 표시 장치는, 절연 기판 위에 서로 이격되어 형성된 게이트선과 유지 전극선을 포함하고, 게이트선과 교차하는 제1 데이터선 및 제2 데이터선, 게이트선과 상기 제1 데이터선에 의해 정의되는 제1화소 전극 및 상기 게이트선과 상기 제2 데이터선에 의해 정의되는 제1화소 전극에 이웃하는 제2화소 전극을 포함한다. 또한 제1화소 전극과 제2화소 전극 사이에 차폐 전극을 포함하고, 제1 데이터선의 적어도 일부는 제1화소 전극의 하부에 형성되고, 차폐 전극의 적어도 일부는 제2화소 전극의 하부에 형성되며 상기 제1 데이터선과는 이격되어 형성되는 것을 포함한다.

대표도 - 도2



(72) 발명자

윤재형

서울특별시 서초구 주홍13길 9-3, 302호 (반포동)

이영욱

경기도 수원시 영통구 신원로198번길 72, 미래빌리지 E동 108호 (매탄동)

특허청구의 범위

청구항 1

기관 위에 형성되어 있는 게이트선,

상기 기관 위에 형성되어 있으며 상기 게이트선과 이격되어 있는 유지 전극선,

상기 게이트선 및 상기 유지 전극선과 절연되어 있고, 서로 이웃하고 상기 게이트선과 교차하는 제1 데이터선 및 제2 데이터선;

상기 게이트선과 상기 제1 데이터선에 연결되어 있는 제1 박막 트랜지스터,

상기 게이트선과 상기 제2 데이터선에 연결되어 있는 제2 박막 트랜지스터,

상기 제1 데이터선 위에 위치하고, 상기 제1 박막 트랜지스터와 연결되어 있는 제1 화소 전극,

상기 제2 데이터선 위에 위치하고, 상기 제2 박막 트랜지스터와 연결되어 있는 제2 화소 전극, 그리고

상기 제1 데이터선과 이웃하고 상기 제1 데이터선을 따라 연장하고, 상기 제1 데이터선과는 이격되어 있는 차폐 전극

을 포함하며,

상기 제1 데이터선의 적어도 일부는 제1 화소 전극과 중첩하고, 상기 차폐 전극의 적어도 일부는 상기 제2 화소 전극과 중첩하고,

상기 유지 전극선은 상기 제1 화소 전극과 절연막을 사이에 두고 중첩하여 축전기를 형성하는

표시 장치.

청구항 2

제1 항에서,

상기 데이터선의 적어도 일부는 전체 폭이 상기 제1 화소 전극으로 완전히 덮여 있는 표시 장치

청구항 3

제2항에서,

상기 차폐 전극은 상기 데이터선과 서로 다른 층에 위치하는 표시 장치.

청구항 4

제3항에서,

상기 차폐 전극은 상기 유지 전극선과 전기적으로 연결되어 있는 표시 장치.

청구항 5

제4항에서,

상기 차폐 전극은 상기 게이트선과 동일 층에 위치하는 표시 장치.

청구항 6

제5항에서,

상기 데이터선의 일측 경계는 상기 제1 화소 전극의 끝단으로부터 0.5마이크로미터 내지 6마이크로미터 이격되어 있으며 상기 제1 화소 전극 하부에 위치하는 표시 장치.

청구항 7

제6항에서,

상기 데이터선과 상기 차폐 전극 간의 이격 거리는 0.5마이크로미터 내지 6마이크로미터인 표시 장치.

청구항 8

제1항에서,

상기 데이터선과 상기 차폐 전극 사이에 위치하는 절연층을 더 포함하는 표시 장치

청구항 9

제8항에서,

상기 제1 화소 전극과 상기 데이터선 사이에 위치하는 제1 보호막을 더 포함하는 표시 장치

청구항 10

제9항에서,

상기 제1 보호막은 SiO_2 , SiN_x 또는 SiON 에서 선택된 1층 이상의 막으로 이루어진 표시 장치.

청구항 11

제10항에서,

상기 제1 보호막과 상기 제1 화소 전극 사이에 위치하는 패시베이션층을 더 포함하는 표시 장치.

청구항 12

제11항에서,

상기 패시베이션 층은 유기막인 표시 장치.

청구항 13

제12항에서,

상기 패시베이션층은 적색, 녹색, 청색 중 어느 하나인 표시 장치.

청구항 14

제13항에서,

상기 패시베이션층은 적색, 녹색, 청색 중 어느 하나인 표시 장치.

청구항 15

제13항에서,

상기 패시베이션층 상부에 위치하는 제2 보호막을 더 포함하는 표시 장치.

청구항 16

제13항에서,

상기 박막 트랜지스터 상부에 위치하는 광차단층을 더 포함하는 표시 장치.

청구항 17

제15항에서,

상기 제2 보호막은 SiO_2 , SiN_x 또는 SiON 에서 선택된 1층 이상의 막으로 이루어진 표시 장치

청구항 18

제2항에서,

상기 차폐 전극은 상기 데이터선과 동일 층에 위치하는 표시 장치.

청구항 19

제18항에서,

상기 차폐 전극은 상기 데이터선과 동일한 물질로 만들어진 표시 장치.

청구항 20

제2항에서,

상기 차폐 전극은 전기적으로 플로팅되어 있는 표시 장치.

청구항 21

제1 항에서,

상기 제1 화소 전극과 상기 제2 화소 전극에는 서로 다른 전기적 신호가 인가되는 표시 장치

청구항 22

제1 항에서,

상기 차폐 전극은 상기 데이터선 및 상기 제1 화소 전극의 한 쪽 경계와 평행한 표시 장치

청구항 23

제1 항에서,

상기 기판 상에는 액정이 위치하는 표시 장치

청구항 24

기판 위에 형성되어 있는 게이트선,

상기 기판 위에 형성되어 있으며 상기 게이트선과 이격되어 있는 유지 전극선,

상기 게이트선 및 상기 유지 전극선과 절연되어 있고, 서로 이웃하고 상기 게이트선과 교차하는 제1 데이터선 및 제2 데이터선,

상기 게이트선과 상기 제1 데이터선에 의해 정의되는 영역에 위치하는 제1 화소 전극,

상기 게이트선과 상기 제1 데이터선 및 상기 제1 화소 전극에 연결되어 있는 제1 박막 트랜지스터,

상기 제1 화소 전극과 이웃하며 상기 게이트선 및 상기 제2 데이터선에 의해 정의되는 영역에 위치하는 제2 화소 전극,

상기 기판 상에 형성되어 있는 색 필터 층,

상기 제1 박막 트랜지스터 상에 형성되어 있는 광차단층, 그리고

상기 제1 화소 전극과 상기 제2 화소 전극 사이에 형성되어 있고, 상기 제1 데이터선과 이웃하고 상기 제1 데이터선을 따라 연장하는 차폐 전극

을 포함하며,

상기 제1 데이터선의 적어도 일부는 상기 제1 화소 전극과 중첩하고, 상기 차폐 전극의 적어도 일부는 상기 제2 화소 전극과 중첩하고 상기 제1 데이터선과는 이격되어 있고,

상기 유지 전극선은 상기 제1 화소 전극과 절연막을 사이에 두고 중첩하여 축전기를 형성하는

액정 표시 장치.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 액정 표시 장치에 관한 것이다.

배경 기술

[0002] 액정 표시 장치는 공통 전극을 포함하는 공통 전극 표시판과 박막 트랜지스터 어레이를 포함하는 박막 트랜지스터 표시판을 포함한다. 공통 전극 표시판과 박막 트랜지스터 표시판은 서로 대향하며 두 표시판 사이에 개재된 실라인(seal line)에 의해 서로 접합되고, 그 사이에 형성된 일정한 공간에 액정층이 형성된다. 이와 같이 액정 표시 장치는 전극이 형성되어 있는 두 장의 표시판(공통 전극 표시판과 박막 트랜지스터 표시판)과 그 사이에 삽입되어 있는 액정층으로 이루어지며, 전극에 전압을 인가하여 액정층의 액정 분자들을 재배열시켜 투과되는 빛의 양을 조절함으로써 소정의 영상을 디스플레이할 수 있도록 구성된 장치이다.

[0003] 액정 표시 장치는 비발광소자이기 때문에 박막 트랜지스터 기관의 후면에는 빛을 공급하기 위한 백라이트 유닛이 위치한다. 또는 박막 트랜지스터 상부에 반사판을 설치하여 박막 트랜지스터 기관 상부에서 입사된 빛을 이용하기도 한다. 이 때 외부 입사빛이나 백라이트에서 조사된 빛은 액정의 배열상태에 따라 투과량이 조정된다.

[0004] 박막 트랜지스터 표시판은 다수 개의 게이트선, 데이터선, 화소 전극을 포함한다. 게이트선은 행 방향으로 뻗어 있어 게이트 신호를 전달하고, 데이터선은 열 방향으로 뻗어 있고 데이터 신호를 전달한다. 화소는 게이트선과 데이터선에 연결되며, 스위칭 소자와 유지 커패시터를 포함한다.

[0005] 여기서 스위칭 소자는 게이트선과 데이터선의 교차점에 형성되며, 스위칭 소자는 게이트선에 연결된 제어 단자, 데이터선에 연결된 입력 단자, 그리고 화소 전극에 연결된 출력 단자를 가지는 삼단 소자이다. 스위칭 소자의 출력 단자에는 유지 커패시터 및 액정 커패시터가 연결된다.

[0006] 종래 기술에 의한 액정 표시 장치의 경우, 개구율 향상을 위해 화소 전극을 데이터선 상부에 배치하는 구조를 취하였고, 이 때 화소 전극과 데이터 선 사이의 기생 용량을 감소시키기 위해 유전율이 낮은 유기막 등을 화소 전극과 데이터선 사이에 배치하는 구조를 적용한다.

[0007] 그러나 이 경우 유전율이 낮은 유기막을 통해 기생 용량을 감소시키는 데는 한계가 있다. 특히 액정 표시 소자의 경우 선 반전 구동이나, 점 반전 구동을 적용하고 있기 때문에 이웃하는 화소 전극 간에는 서로 반대되는 전압이 인가된다. 따라서 상기와 같이 화소 전극 하부에 데이터선을 배치하여 개구율을 높이는 구조의 경우, 데이터선의 양쪽에 위치하는 화소 전극의 전위와 데이터선에 인가되는 전압의 차가 커지면, 데이터선과 화소 전극 간의 커패핑에 의해 발생하는 기생 용량이 특히 문제된다. 대표적인 경우로서 녹색(greenish) 현상 등이 있는데 이는 전체 화면을 노란 색 계열로 표시할 때 계조에 따라서 노란 색의 감마값이 작아져서 녹색을 띠게 되는 불량이다. 이는 상기 기생 용량에 따른 데이터선의 로드(Load) 증가에 따라 인가되는 전압과 실제 화소 전압의 차이에 기인한다.

[0008] 또한, 종래에는 데이터선 주변의 빛샘 현상을 방지하기 위해 데이터선에 대응하는 공통 전극 표시판 상에 블랙 매트릭스를 형성한다. 박막 트랜지스터 표시판의 하부에 위치하는 백라이트로부터 나온 빛은 데이터선에 대하여 다양한 각도로 입사하고 데이터선에 의하여 큰 각도로 반사되어 빛샘 현상을 일으킨다. 이러한 빛샘 현상을 방지하기 위해서는 블랙 매트릭스의 면적을 키울 필요가 있다. 그런데 블랙 매트릭스의 면적이 넓어지면 액정 표시 장치의 개구율이 낮아지고 그렇게 되면 빛샘 현상은 줄어들지만 휘도가 떨어질 수 있다.

발명의 내용

해결 하고자하는 과제

[0009] 본 발명이 이루고자 하는 기술적 과제는, 데이터선에 주변에 차폐 전극을 형성하여 데이터선과 화소 전극의 커패핑에 의해 발생하는 기생 용량을 감소시켜 데이터선 및 데이터 구동 IC의 로드를 줄이고 개구율을 높이면서 빛샘 현상을 방지할 수 있는 액정 표시 장치를 제공하고자 하는 것이다.

[0010] 본 발명의 기술적 과제들은 이상에서 언급한 기술적 과제로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제 해결수단

- [0011] 상기 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 따른 액정 표시 장치는, 절연 기판 위에 서로 이격되어 형성된 게이트선과 유지 전극선을 포함하고, 게이트선과 교차하는 제1 데이터선 및 제2 데이터선, 상기 게이트선과 제1 데이터선에 의해 정의되는 제1 화소 전극 및 제1 화소 전극에 이웃하며 상기 게이트선과 제2 데이터선에 의해 형성되는 제2 화소 전극을 포함한다. 또한 제1 화소 전극과 제2 화소 전극 사이에 차폐 전극을 포함하고, 상기 제1 데이터선의 적어도 일부는 제1 화소 전극의 하부에 형성되고, 차폐 전극의 적어도 일부는 제2 화소 전극의 하부에 형성되며 상기 제1 데이터선과는 이격되어 형성되는 것을 포함한다.
- [0012] 상기 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 따른 액정 표시 장치는, 기판 위에 형성되어 있는 게이트선, 상기 기판 위에 형성되어 있으며 상기 게이트선과 이격되어 있는 유지 전극선, 상기 게이트선 및 상기 유지 전극선과 절연되어 있고, 상기 게이트선과 교차하는 제1 데이터선 및 제2 데이터선, 상기 게이트선과 상기 제1 데이터선에 연결되어 있는 제1 박막 트랜지스터, 상기 게이트선과 상기 제2 데이터선에 연결되어 있는 제2 박막 트랜지스터, 상기 제1 박막 트랜지스터와 연결되어 있는 제1 화소 전극, 상기 제2 박막 트랜지스터와 연결되어 있는 제2 화소 전극, 그리고 상기 제1 데이터선과는 이격되어 있는 차폐 전극을 포함하며, 상기 제1 데이터선의 적어도 일부는 제1 화소 전극의 하부에 위치하고, 상기 차폐 전극의 적어도 일부는 상기 제2 화소 전극의 하부에 위치한다.

효 과

- [0013] 상술한 바와 같이 본 발명에 따른 액정 표시 장치에 의하면, 별개의 유지 전극선(28)을 이용하여 유지 커패시터를 형성함으로써 게이트선(22)에 걸리는 로드를 줄일 수 있다. 또한, 유지 전극선(28)과 연결된 유지 전극의 면적을 줄임으로써 동일한 유지 커패시턴스를 확보하는 동시에 개구율을 높일 수 있다. 또한, 데이터선 주변의 빛샘 현상을 억제하여 데이터선 상부의 블랙 매트릭스의 면적을 줄임으로써 개구율을 높일 수 있다.
- [0014] 기타 실시예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 실시를 위한 구체적인 내용

- [0015] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하고, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- [0016] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었으며, 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다.
- [0017] 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다.
- [0018] 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.
- [0019] 이하, 첨부된 도면들을 참고로 하여 본 발명의 실시예에 따른 액정 표시 장치에 대하여 설명한다.
- [0020] 본 발명의 액정 표시 장치는 게이트선과 데이터선에 의해 정의되는 박막 트랜지스터를 구비하는 박막 트랜지스터 표시판, 공통 전극을 구비하는 공통 전극 표시판, 그리고 박막 트랜지스터 표시판과 공통 전극 표시판 사이에 개재되어 있으며 액정 분자의 장축이 이들 표시판에 대하여 거의 수직 또는 수평으로 배향되어 있는 액정층을 포함한다.
- [0021] 도 1에 도시한 바와 같이, 본 발명의 한 실시예에 따른 액정 표시 장치는 액정 표시판 조립체(liquid crystal panel assembly)(300), 게이트 구동부(400), 데이터 구동부(500), 계조 전압 생성부(800) 및 신호 제어부(600)를 포함한다.
- [0022] 액정 표시판 조립체(300)는 복수의 표시 신호선(G_1-G_m , D_1-D_n)과 이에 연결되어 있으며 대략 행렬의 형태로 배열된 복수의 화소(pixel)를 포함한다. 표시 신호선(G_1-G_m , D_1-D_n)은 게이트 신호("주사 신호"라고도 함)를 전달하는 게이트선(G_1-G_m)과 데이터 신호를 전달하는 데이터선(D_1-D_n)을 포함한다. 게이트선(G_1-G_m)은 대략 행 방향으로

로 뻗어 있으며 서로가 거의 평행하고 데이터선(D1-Dn)은 대략 열 방향으로 뻗어 있으며 서로가 거의 평행하다.

- [0023] 각 화소는 표시 신호선(G1-Gm, D1-Dn)에 연결된 스위칭 소자(Q)와 이에 연결된 액정 축전기(liquid crystal capacitor)(CLC) 및 유지 축전기(storage capacitor)(CST)를 포함한다. 유지 축전기(CST)는 필요에 따라 생략할 수 있다.
- [0024] 스위칭 소자(Q)는 박막 트랜지스터 표시판(도시하지 않음)에 구비되어 있으며, 삼단자 소자로서 그 제어 단자 및 입력 단자는 각각 게이트선(G1-Gm) 및 데이터선(D1-Dn)에 연결되어 있으며, 출력 단자는 액정 축전기(CLC) 및 유지 축전기(CST)에 연결되어 있다.
- [0025] 액정 축전기(CLC)는 박막 트랜지스터 표시판의 화소 전극과 공통 전극 표시판(도시하지 않음)의 공통 전극을 두 단자로 하며 두 전극 사이의 액정층은 유전체로서 기능한다. 화소 전극은 스위칭 소자(Q)에 연결되며 공통 전극은 공통 전극 표시판의 전면에 형성되어 있고 공통 전압(V_{com})을 인가 받는다. 공통 전극이 박막 트랜지스터 표시판에 구비되는 경우도 있으며 이때에는 두 전극이 모두 선형 또는 막대형으로 만들어질 수 있다.
- [0026] 액정 축전기(CLC)의 보조적인 역할을 하는 유지 축전기(CST)는 박막 트랜지스터 표시판에 구비된 별개의 유지 전극선(도시하지 않음)과 화소 전극(82) 또는 스위칭 소자(Q)의 출력 단자가 절연체를 사이에 두고 중첩되어 이루어질 수 있다. 유지 전극선에는 별개의 공통 전압(V_{com}) 따위의 정해진 전압이 인가될 수 있다. 그러나 유지 축전기(CST)는 화소 전극이 절연체를 매개로 전단 게이트선(G1-Gm)과 중첩되어 이루어질 수 있다.
- [0027] 도 2 내지 도 4를 참조하여 본 발명의 박막 트랜지스터 표시판에 대하여 상세히 설명한다.
- [0028] 도 2는 본 발명의 일 실시예에 따른 박막 트랜지스터 표시판의 배치도이다.
- [0029] 도 2를 참고하면, 본 실시예에 따른 박막 트랜지스터 표시판은 게이트선(22), 데이터선(62a~62d), 드레인 전극(66), 차폐 전극(21), 유지 전극선(28) 및 화소 전극(82a~82d)을 포함한다. 게이트선(22)은 게이트 전극(26)을 포함하고, 데이터선(62a~62d)은 소스 전극(65)을 포함하며, 유지 전극선(28)은 유지 전극(67)을 포함한다.
- [0030] 편의상 도면 부호 a, b, c, d 가 붙은 부분들에 대해서 각각 제1, 제2, 제3, 제4라는 서수를 붙여 이름을 부른다. 또한, 도면 부호 B, R, G는 각각 청색, 적색 및 녹색을 나타내며, 이들 색상은 화소 전극과 거의 동일한 영역을 점하고 있는 색필터(도시하지 않음)에 의하여 나타난다.
- [0031] 각각의 화소 전극(82a~82d)에는 데이터 구동부(500)와 게이트 구동부(400)로부터 특정한 화면을 표시하기 위한 신호 전압이 인가된다. 각각의 화소 전극(82a~82d)에는 바로 이웃하는 화소 전극과 공통 전압을 기준으로 서로 반대되는 데이터 전압이 데이터선(62a~62d)으로부터 인가되며, 데이터 전압은 게이트선(22)을 따라 흐르는 게이트 신호와 동기되어 스위치 역할을 하는 박막 트랜지스터가 온(on) 상태가 되는 시점에서 화소 전극(82a~82d)에 인가된다.
- [0032] 각 화소 전극(82b~82d)은 왼쪽에 위치한 데이터선(62a~62c)과는 떨어져 있고 오른쪽에 위치한 데이터선(62b~62d)을 완전히 덮을 수 있다.
- [0033] 차폐 전극(21)은 데이터선(62a~62d)과 대체로 평행하며 데이터선(62a~62d)과 이격되어 있다. 차폐 전극(21)은 왼쪽 데이터선(62a~62d)에 인접하며, 인접한 왼쪽 데이터선(62a~62d) 및 왼쪽 화소 전극(82a~82d)과는 떨어져 있고 오른쪽 화소 전극(82a~82d)과는 일부분 중첩한다. 여기에서 왼쪽과 오른쪽은 서로 바뀔 수 있다.
- [0034] 도 3a는 도 2의 화소 배치도에 상응하는 회로도로서 정전 용량과 일부 배선을 간략화한 회로도이다.
- [0035] 도 3a에는 각 화소의 박막 트랜지스터(Q1~Q4), 액정 축전기의 정전 용량(CLC), 유지 축전기의 정전 용량(CST)이 나타나 있다. 또한 각 데이터선(62a~62d)과 두 인접 화소 전극(82a~82d) 간의 기생 용량도 표시되어 있는데, 예를 들면 제1 데이터선(62a)과 제1 화소 전극(82a) 간의 기생 용량은 $1C_{pd2}$ 이고 제 1 데이터선(62a)과 제2 화소 전극(82b) 간의 기생 용량은 $1C_{pd1}$ 이다.
- [0036] 도 3b에서와 같이 모든 트랜지스터(Q1~Q4)에 제 1 전압이 인가되는 경우를 고려해 보자. 반전(inversion) 구동을 고려하여 각각의 화소 전극(82a~82d)에 공통 전압이 5V 일 경우를 기준으로 4.5 내지 5.5V의 전압이 교대로 인가된다고 하자. 그러면 각 데이터선(62a~62d)과 인접 화소 전극(82a~82d) 간의 전압차는 최대 1V를 나타낸다. 따라서 각각의 C_{pd2} 와 C_{pd1} 의 값이 큰 차이가 없으며, 기생 용량값도 작다.
- [0037] 반면에 전체 화면이 노란 색인 경우에는 제2 화소 전극(82b)이 있는 R 화소와 제3 화소 전극(82c)이 있는 B 화소에는 제 1 전압이 인가되고 제1 화소 전극(82a)이 있는 B 화소와 제4 화소 전극(82d)이 있는 B 화소에는 제 2

전압이 인가된다. 이 때 반전(inversion) 구동을 고려하여 B 화소 전극(82a, 82d)에 공통 전압이 5V 일 경우를 기준으로 0 내지 10V의 전압이 교대로 인가된다. 이 경우 제3 화소 전극(82c)이 있는 G 화소와 제2 데이터선(62b) 사이에는 최대 1V의 전압차가 발생하기 때문에 커플링 효과도 크지 않고 기생 용량도 작게 된다.

[0038] 그러나 제2 화소 전극(82b)이 있는 R 화소와 연결된 제2 데이터선(62b)에는 4.5 내지 5.5V의 전압이 교대로 인가되고, 제1 화소 전극(82a)이 있는 B 화소와 연결된 제1 데이터선(62a)에는 블랙을 표시해야 하기 때문에 0 내지 10V의 전압이 인가된다. 따라서 제1 데이터선(62a)과 제2 화소 전극(82b) 사이에는 최대 5.5(10-4.5)V의 전압차가 발생하게 된다. 이로 인해 커플링 효과가 커지고 기생 용량값도 증가하여 제2 화소 전극(82b)의 충전값이 제2 데이터선(62b)에서 인가된 값보다 작아지게 된다. 또한 데이터 IC의 로드도 증가하게 된다.

[0039] 그러나 본 발명의 일실시예에서는 제1 데이터선(62a)과 제2 화소 전극(82b) 사이에 있는 차폐 전극(21)이 제1 데이터선(62a)과 제2 화소 전극(82b) 사이에 발생하는 기생 용량을 줄여 주며 이에 따라 녹색(greenish) 불량을 제거할 수 있다.

[0040] 도 3d는 본 발명을 적용했을 경우 결합 용량값을 나타낸 도면이다. 제1 데이터선(62a)의 기생용량(Cdata), 제1 데이터선(62a)과 제1 데이터선 상부의 제1 화소 전극(82a)과의 기생 용량(Cdp_L) 및 제1 데이터선(62a)과 제2 화소 전극(82b) 간의 기생용량(Cdp_R)을 시뮬레이션에 의해 계산한 결과 종래 차폐 전극(21)을 형성하지 않은 구조일 때의 값인 도 3d의 Sdata 값에 비하여 25% 이상 개선된 것을 확인할 수 있었다. 또한 화소 전극(82a~82d)과 데이터선(62a~62d)의 공정시 마스크 정렬 공차(mask align margin)를 가정하지 않은 N1과는 달리 마스크 정렬 공차를 2마이크로미터로 하여 시뮬레이션한 경우인 N1_DL2, N1_DR2, N1_IL2, N1_DR2의 경우에도 변홉폭이 크지 않아 본 발명을 적용할 경우 기존의 녹색 불량 등을 해결할 수 있음을 알 수 있다.

[0041] 상기의 구동 전압값, 즉, 데이터선(62a~62d) 인가전압, 게이트선(22) 인가 전압, 공통전극(90) 전압 등은 구동 방식에 따라 변화될 수 있으며, 액정의 구동 방식, 즉 TN, PVA, IPS 및 MVA 등과 같이 액정 구동 모드가 변화될 경우 구동 전압값이 달라질 수 있다.

[0042] 도 4a 내지 도 4e를 참조하여 본 발명의 일 실시예에 의한 액정 표시 장치용 박막 트랜지스터 표시판 및 이를 포함하는 액정 표시 장치에 대하여 설명한다.

[0043] 도 4a에서 박막 트랜지스터 표시판을 도면 부호 100으로 나타내었다.

[0044] 절연 기판(10) 위에 가로 방향으로 게이트선(22)이 형성되어 있고, 게이트선(22)에는 돌기의 형태로 이루어진 게이트 전극(26)이 형성되어 있다. 그리고, 게이트선(22)의 끝에는 다른 층 또는 외부로부터 게이트 신호를 인가받아 게이트선(22)에 전달하는 게이트선 끝단(24)이 형성되어 있고, 게이트선 끝단(24)은 외부 회로와의 연결을 위하여 폭이 확장되어 있다. 이러한 게이트선(22), 게이트 전극(26) 및 게이트선 끝단(24)을 게이트 배선이 라고 한다.

[0045] 또한, 절연 기판(10) 위에 세로 방향으로 제1 데이터선(62a)과 제2 데이터선(62b)이 형성되어 있고, 제1 데이터선(62a)은 제1 화소 전극(82a)에 연결되어 있고, 제2 데이터선(62b)은 제2 화소 전극(82b)에 연결되어 있다.

[0046] 그리고, 절연 기판(10) 위에는 세로 방향으로 형성된 차폐 전극(blocking electrode)(21)이 형성되어 있다. 차폐 전극(21)은 제1 데이터선(62a)의 일측에 배치되어 제1 데이터선(62a)과 제2 화소 전극(82b) 간의 기생 용량 발생을 억제하며, 빛샘을 방지한다.

[0047] 차폐 전극(21)은 게이트선(22)과 동시에 형성되지만 데이터선(62)과 동시에 형성될 수도 있다. 이 때 데이터선(62)과 차폐 전극(21)은 이격되어 형성되며, 데이터선(62)과 차폐 전극(21) 사이의 거리는 0.5마이크로미터 내지는 4마이크로미터 정도인 것이 바람직하다. 이 정도의 거리를 두면 데이터선(62)과 차폐 전극(21) 사이에 발생하는 기생 용량이 충분히 줄어들어 구동 IC에 무리가 가는 것을 피할 수 있다.

[0048] 제1 화소 전극(82a)은 제1 데이터선(62a) 상부에 위치한다. 이렇게 하면 액정의 배향이 효과적으로 일어나므로 블랙 매트릭스(94)의 폭을 줄여 고개구율을 달성할 수 있다.

[0049] 이 때 제1 화소 전극(82a)이 제1 데이터선(62a)을 완전히 덮을 수도 있다. 이 경우에도 제1 화소 전극(82a)은 제1 데이터선(62a)에 의해 공급된 신호가 인가되므로 상호 간에 전압 차이가 작으므로 기생 용량의 발생이 최소화될 수 있다. 차폐 전극(21)은 제2 화소 전극(82b)과 제1 데이터선(62a) 사이에 위치시키기 때문에 제1 데이터선(62a)과 제2 화소 전극(82b)간의 커플링 효과를 감소시키므로 기생 용량이 감소된다. 차폐 전극(21)은 제2 화소 전극(82b)과 중첩되어 형성될 수도 있으며 이 경우 중첩되는 거리는 0.5 내지 4 마이크로미터 정도이다.

- [0050] 또한, 절연 기관(10) 위에는 게이트선(22)과 실질적으로 평행하게 가로 방향으로 뻗어 있는 유지 전극선(28)이 형성되어 있다. 유지 전극선(28)은 게이트선(22)과 동시에 형성된다. 차폐 전극(21)은 상기 유지 전극선(28)과 전기적으로 연결되어 상기 유지 전극선(28)과 동일한 전기적 신호가 인가될 수도 있고 전기적으로 절연되어 플로팅(floating) 상태를 유지할 수도 있다.
- [0051] 게이트 배선(22, 24, 26), 차폐 전극(21) 및 유지 전극선(28) 위에는 질화 규소(SiNx) 따위로 이루어진 게이트 절연막(30)이 형성되어 있다.
- [0052] 게이트 절연막(30) 위에는 수소화 비정질 규소(hydrogenated amorphous silicon) 또는 다결정 규소 등으로 이루어진 반도체층(40)이 형성되어 있다. 이러한 반도체층(40)은 섬형, 선형 등과 같이 다양한 형상을 가질 수 있으며, 예를 들어 본 실시예에서와 같이 데이터선(62) 아래에 위치하여 게이트 전극(26) 상부까지 연장된 형상을 가지는 선형으로 형성할 수 있다. 또한, 게이트 전극(26) 상에 섬형으로 형성될 수 있다. 선형 반도체층(40)을 형성하는 경우, 데이터선(62)과 동일하게 패터닝하여 형성할 수도 있고, 별도의 마스크를 사용하여 패터닝할 수도 있다.
- [0053] 반도체층(40)의 위에는 실리사이드(silicide) 또는 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소나 n 형 또는 p 형의 불순물을 함유한 반도체물질 등으로 만들어진 저항성 접촉층(55, 56)이 형성되어 있다. 이러한 저항성 접촉층(55, 56)은 섬형, 선형 등과 같이 다양한 형상을 가질 수 있으며, 예를 들어 본 실시예에서와 같이 섬형 저항성 접촉층(55, 56)의 경우 드레인 전극(66) 및 소스 전극(65) 아래에 위치하고, 선형의 저항성 접촉층의 경우 데이터선(62)의 아래까지 연장되어 형성될 수 있다.
- [0054] 저항성 접촉층(55, 56) 및 게이트 절연막(30) 위에는 데이터선(62) 및 드레인 전극(66)이 형성되어 있다. 데이터선(62)은 길게 뻗어 있으며 게이트선(22)과 교차하여 화소를 정의한다. 데이터선(62)으로부터 가지 형태로 반도체층(40)의 상부까지 연장되어 있는 소스 전극(65)이 형성되어 있다. 그리고, 데이터선(62)의 끝에는 다른 층 또는 외부로부터 데이터 신호를 인가받아 데이터선(62)에 전달하는 데이터선 끝단(68)이 형성되어 있고, 데이터선 끝단(68)은 외부 회로와의 연결을 위하여 폭이 확장되어 있다.
- [0055] 드레인 전극(66)은 소스 전극(65)과 분리되어 있으며 게이트 전극(26)을 중심으로 소스 전극(65)과 대향하도록 반도체층(40) 상부에 위치한다.
- [0056] 드레인 전극(66)은 반도체층(40) 상부의 휘어지거나 직선형의 막대형 패턴과, 막대형 패턴으로부터 연장되어 넓은 면적을 가지며 접촉 구멍(76)이 위치하는 드레인 전극 확장부를 포함한다.
- [0057] 이러한 데이터선(62), 데이터선 끝단(68), 소스 전극(65), 드레인 전극(66) 및 결합 전극(68)을 데이터 배선이라고 한다.
- [0058] 유지 전극(67)은 유지 전극선(28)과 연결되고, 유지 커패시터는 유지 전극(67)으로 이루어진 일 단자, 드레인 전극 및 이와 전기적으로 연결된 화소 전극(82)으로 이루어진 타 단자, 및 이들 사이에 개재된 절연막(70)으로 구성된다. 이들 사이에 개재되는 절연막과 추가적으로 제1 보호막, 제2 제1 보호막 또는 패시베이션막의 단일층 또는 복수의 층을 개재시켜 유지 커패시터를 형성할 수 있다.
- [0059] 소스 전극(65)은 반도체층(40)과 적어도 일부분이 중첩되고, 드레인 전극(66)은 게이트 전극(26)을 중심으로 소스 전극(65)과 대향하며 반도체층(40)과 적어도 일부분이 중첩된다. 여기서, 저항성 접촉층(55, 56)은 반도체층(40)과 소스 전극(65) 및 반도체층(40)과 드레인 전극(66) 사이에 개재되어 이들 사이에 접촉 저항을 낮추어 준다.
- [0060] 데이터 배선(62, 65, 66, 68) 및 노출된 반도체층(40) 위에는 절연막으로 이루어진 제1 보호막(70)이 형성되어 있다. 여기서 제1 보호막(70)은 질화규소 또는 산화규소로 이루어진 무기물, 평탄화 특성이 우수하며 감광성(photosensitivity)을 가지는 유기물 또는 플라즈마 화학 기상 증착(plasma enhanced chemical vapor deposition, PECVD)으로 형성되는 a-Si:C:O, a-Si:O:F 등의 저유전율 절연 물질 등으로 이루어진다. 또한, 제1 보호막(70) 상부에 유기 물질로 만들어진 패시베이션막(81)이 형성되어 이중층의 보호막 구조를 가진다.
- [0061] 제1 보호막(70)은 생략하여 패시베이션막(81)만을 보호막으로서 박막 트랜지스터 상부에 형성할 수도 있다.
- [0062] 제1 보호막(70)에는 유지 전극(67), 드레인 전극(66) 및 데이터선 끝단(68)을 각각 드러내는 접촉 구멍(contact hole)(72, 76, 78)이 형성되어 있으며, 제1 보호막(70)과 게이트 절연막(30)에는 게이트선(22) 끝단(24)을 드러내는 접촉 구멍(74)이 형성되어 있다.

- [0063] 제1 보호막(70) 위에는 접촉 구멍(76)을 통하여 드레인 전극(66)과 전기적으로 연결되며 화소의 모양을 따라 화소 전극(82)이 형성되어 있다. 데이터 전압이 인가된 화소 전극(82)은 상부 표시판의 공통 전극과 함께 전기장을 생성함으로써 화소 전극(82)과 공통 전극 사이의 액정층의 액정 분자들의 배열을 결정한다.
- [0064] 또한, 제1 보호막(70) 및 절연막 위에는 접촉 구멍(74, 78)을 통하여 각각 게이트선(22) 끝단(24)과 데이터선 끝단(68)과 연결되어 있는 보조 게이트선 끝단(86) 및 보조 데이터선 끝단(88)이 형성되어 있다. 또한, 제1 보호막(70) 및 절연막에는 유지 전극선(28)과 유지 전극(67)을 드러내는 접촉 구멍(71, 72)이 형성되어 있고, 제1 보호막(70) 위에 이들 접촉 구멍(71, 72)을 통하여 유지 전극선(28)과 유지 전극(67)을 서로 연결하는 연결 부재(83)가 형성되어 있다.
- [0065] 여기서, 화소 전극(82), 보조 게이트선 끝단(86), 보조 데이터선 끝단(88) 및 연결 부재(83)는 IT0 또는 IZO 따위의 투명 도전체 또는 알루미늄 따위의 반사성 도전체로 이루어진다. 보조 게이트선 및 데이터선 끝단(86, 88)은 게이트선(22) 끝단(24) 및 데이터선 끝단(68)과 외부 장치를 접합하는 역할을 한다. 화소 전극(82), 보조 게이트선(22) 및 데이터선 끝단(86, 88) 및 제1 보호막(70) 위에는 액정층을 배향할 수 있는 배향막(미도시)이 도포될 수 있다.
- [0066] 도 4b는 도4a의 Ib-Ib'의 단면을 나타내는 도면이다. 게이트 전극(26)과 소스(65) 및 드레인 전극(66) 사이에 게이트 절연막(30)이 개재되어 있고 게이트 전극 상부에 반도체 층(40, 41)이 위치한다. 소스 전극(65)과 드레인 전극(66)은 서로 이격되어 형성되고, 소스 전극(65), 반도체 층(40), 드레인 전극(66) 상부에는 제1 보호막(70)이 위치하며 드레인 전극(66)의 하부에는 유지 전극(67)이 위치한다.
- [0067] 드레인 전극(66), 드레인 전극 하부에 위치하는 유지 전극 및 드레인 전극 사이의 절연막을 이용해서 유지 축전기를 형성한다. 또한 드레인 전극(66)의 상부에 있는 접촉 구멍(72)을 통해 화소 전극(82)과 드레인 전극(66)이 연결됨으로써 게이트선(22)의 신호에 따라 데이터선(62)으로 인가된 신호가 드레인 전극(66)을 통해 화소 전극(82)으로 전달된다. 드레인 전극(66)이 유지 캐패시턴스를 형성하는 전극의 역할을 동시에 하기 때문에 개구율 향상에 유리하다.
- [0068] 4c는 게이트선(22) 패드부와 데이터선(62) 패드부의 단면도이다. 게이트선(22) 패드부는 제1보호막(70)과 절연막 하부에 위치하며 게이트선(22) 접촉 구멍을 통하여 게이트선(22) 접촉 부재와 전기적으로 연결된다. 데이터선 패드부는 제1 보호막 하부에 위치하며 제1 보호막(70)에 있는 데이터선 접촉 구멍을 통하여 데이터선 접촉 부재와 전기적으로 연결된다.
- [0069] 도 4d는 도4a의 Id-Id'의 단면도이다. 차폐 전극(21) 상부에는 게이트 절연막(30)이 형성되고, 게이트 절연막(30) 상부에는 데이터선(62)이 위치한다.
- [0070] 게이트 절연막 상부에는 제1 보호막(70)이 형성된다. 제1 보호막 상부 패시베이션층이 선택적으로 형성되고 상부에 화소 전극이 형성된다. 제1 데이터선(62a)과 차폐 전극(21)은 L3 거리만큼 이격되어 있으며, 중첩되는 영역이 존재하지 않는다. 이로 인해 데이터선과 차폐 전극(21)간의 로드(load)가 작아지고 기생용량이 작아지므로 데이터 IC에 걸리는 부하가 감소된다. 이를 위해 데이터선(62)과 차폐 전극(21)의 이격거리 L3는 0.5마이크로미터 내지 4마이크로미터 정도가 적절하다. 더 멀어질 경우 개구율 감소가 있으므로 개구율 감소를 최소화하고 기생 용량을 감소시키기 위해서는 적절한 거리를 유지하는 것이 필요하다.
- [0071] 제1 화소 전극(82a)은 제1 데이터선(62a)의 적어도 일부와 중첩하며 제1 데이터선(62a)을 완전히 덮는 구조를 갖는 것이 유리하다. 이때 제1 화소 전극(82a)의 끝단부와 제1 데이터선(62a)의 끝단부의 거리 L1은 0.5마이크로미터 내지 6마이크로미터 정도가 적절하다. 제1 보호막(70)이 위치하고 제1 보호막(70) 상부에 화소 전극(82)과 데이터선(62) 간의 기생 용량 감소를 위해 패시베이션막(81)으로 유기절연막을 추가로 형성할 수도 있다. 이 때 패시베이션막(81)은 유전율 값이 낮은 유기막을 이용하여 형성하며 하부의 제1 보호막(70)을 생략할 수도 있다. 패시베이션막(81)을 추가로 형성하는 경우 게이트선(22) 접촉 구멍, 데이터선 접촉 구멍 및 드레인 전극 접촉 구멍을 형성하기 위해서는 추가적으로 패시베이션막(81)에도 접촉 구멍이 형성되어 있어야 한다. 이 경우 1회의 마스크 공정을 이용해서 패시베이션막(81), 제1 보호막(70) 및 절연막(30)을 식각하므로 추가적인 마스크 사용은 필요없다. 또한 유기막을 이용해서 패시베이션막(81)을 형성하는 경우 유기막을 마스크로 하부의 제1 보호막(70) 및 게이트 절연막(30)에 접촉구멍을 형성할 수 있기 때문에 추가적인 포토리소그라피 공정을 필요로 하지 않는다. 차폐 전극(21) 상부에는 제2 화소 전극(82b)이 중첩하여 형성되며 이때 중첩되는 거리 L4는 0.5 내지 6마이크로미터가 적절하다.
- [0072] 도 5는 본 발명의 일 실시예에 따른 액정 표시 장치용 공통전극 표시판의 배치도이다. 공통전극 표시판에는 색

필터(98), 공통 전극(90)과 블랙 매트릭스(94)가 배치된다.

- [0073] 도 6a는 도 4a의 박막 트랜지스터 표시판과 도 5의 공통전극 표시판을 포함하는 액정 표시 장치의 배치도이다. 도 6b는 도 6a의 액정 표시 장치를 IIa-IIa'선을 따라 절개한 단면도이고, 도 6c는 도 6a의 액정 표시 장치를 IIb-IIb'선을 따라 절개한 단면도이다.
- [0074] 도 5 내지 도 6c를 참조하면, 유리 등의 투명한 절연 물질로 이루어진 절연 기관(96) 위에 빛샘을 방지하기 위한 블랙 매트릭스(94)와 화소에 순차적으로 배열되어 있는 적색, 녹색, 청색의 색필터(98)가 형성되어 있고, 색필터(98) 위에는 ITO(indium tin oxide) 또는 IZO(indium zinc oxide) 등의 투명한 도전 물질로 이루어진 공통전극(90)이 형성되어 있다. 공통 전극(90) 위에는 액정 분자들을 배향하는 배향막(미도시)이 도포될 수 있다.
- [0075] 도 6b에 도시된 바와 같이, 이와 같은 구조의 박막 트랜지스터 표시판(200)과 공통 전극 표시판(100)을 정렬하여 결합하고 그 사이에 액정층(150)을 형성하여 수직 배향하면 본 발명의 일 실시예에 따른 액정 표시 장치의 기본 구조가 이루어진다.
- [0076] 액정층(150)에 포함되어 있는 액정 분자는 화소 전극(82)과 공통 전극(90) 사이에 전계가 인가되지 않은 상태에서 그 방향자가 박막 트랜지스터 표시판(100)과 공통 전극 표시판(200)에 대하여 수직을 이루도록 배향되어 있고, 음의 유전율 이방성을 가진다. 박막 트랜지스터 표시판(100)과 공통 전극 표시판(200)은 화소 전극(82)이 색필터(98)와 대응하여 정확하게 중첩되도록 정렬된다.
- [0077] 액정 표시 장치는 이러한 기본 구조에 편광판, 백라이트 등의 요소들을 배치하여 이루어진다. 이때 편광판(미도시)은 기본 구조 양측에 각각 하나씩 배치되며 그 투과축은 게이트선(22)에 대하여 나란하고 나머지 하나는 이에 수직을 이루도록 배치한다.
- [0078] 도 6a 및 도 6c를 참조하면, 절연 기관(10) 위에는 데이터선(62)의 일측에 차폐 전극(21)이 형성되어 있다. 앞서 설명한 바와 같이 차폐 전극(21)은 제1 데이터선(62) 및 제2 화소 전극(82b) 주변에서 발생하는 빛샘 현상을 방지하는 역할을 한다.
- [0079] 일반적으로 데이터선(62) 주위에 액정 분자는 화소 전극(82) 및 공통 전극(90)에 의해 제어되지 않아서 빛샘 현상이 발생하는데, 데이터선(62)과 화소 전극(82) 사이의 공간을 통과한 백라이트(미도시) 빛에 의해 빛샘 현상이 더욱 심각해진다. 더욱이 백라이트 빛은 이러한 공간을 다양한 각도로 입사하여 통과하므로 빛샘 현상을 방지하기 위해서는 넓은 면적의 블랙 매트릭스(94)를 필요로 한다.
- [0080] 그러나 본 발명의 액정 표시 장치에 의하면 제1 데이터선(62a)과 제1 화소 전극(82a) 사이의 빛샘은 제1 화소 전극(82a)을 제1 데이터(62a)의 상부에 위치시켜서 액정을 제어할 수 있도록 하여 막을 수 있다. 또한 제1 데이터선(62a)과 제2 화소 전극(82b) 사이의 빛샘은 제1 데이터선(62a)과 제2 화소 전극(82b)사이의 기생 용량을 감소시키기 위해 위치시킨 차폐 전극(21)을 이용해서 제1 데이터선(62a)과 제2 화소 전극(82b) 사이의 공간을 막고, 이 공간을 통과하는 백라이트 빛을 차단함으로써 빛샘 현상을 억제할 수 있다. 따라서, 제1 데이터선(62a) 상부의 블랙 매트릭스(94)의 면적을 줄일 수 있으므로, 액정 표시 장치의 개구율을 높일 수 있다. 이는 제2 데이터선(62b) 상부의 블랙 매트릭스(94)에 대해서도 동일하게 적용될 수 있다.
- [0081] 도 7a는 본 발명의 또 다른 실시예로 본 발명의 일 실시예와 동일한 구조에 대해서는 동일한 번호를 사용하고 본 발명의 일 실시예와 다른 점에 대해서만 추가적인 설명을 하기로 한다.
- [0082] 제1 보호막 상부(70)에 색필터층(99)을 형성시킨다. 상기 색 필터층(99)은 적색, 녹색, 청색 중 어느 한 색으로 형성되어 있고 화소와 화소 사이에서는 상기 색 필터 층이 서로 겹쳐져서 형성될 수 있다.
- [0083] 상기 색 필터 상부엔 제2 보호막(80)이 형성된다. 제2 보호막(80)은 색필터층(99)에서 액정층으로 혼입될 수 있는 불순물을 막아주는 역할을 한다.
- [0084] 또한 박막 트랜지스터가 형성되어 있는 기관 상에 데이터선(62)을 따라서 블랙메트릭스 패턴(95)이 형성되어 있다. 또한 박막 트랜지스터 상부에도 박막 트랜지스터 표시판(100) 또는 공통전극 표시판(200)을 통하여 입사되는 빛에 의해 박막 트랜지스터의 누설 전류 특성이 저하되는 것을 방지하기 위해 블랙 매트릭스 패턴(95)을 형성한다. 따라서 공통전극 표시판(200)에는 공통전극(90)만을 형성하게된다. 블랙메트릭스 패턴(95)은 제2 보호막(80) 상부 또는 하부에 위치할 수 있다.
- [0085] 도 7b는 도 7a의 IIIa-IIIa'에 따른 단면도이다. 박막 트랜지스터 상부에 제1 보호막(70)이 위치하고, 제1 보호막(70) 상부에 블랙 매트릭스층(95)이 형성된다. 색필터층(99)은 상기 블랙 매트릭스층(95)을 경계로 위치한다.

평탄화한 구조를 위해서는 블랙 매트릭스층(95)을 경계로 색필터층(99)이 형성되는 것이 바람직하다. 물론 상기 색필터층(99)은 블랙 매트릭스패턴(95) 상부에 형성될 수도 있다.

[0086] 도 7c는 도 7a의 IIb-IIb'에 따른 단면도이다. 차폐 전극(21)이 제1 데이터선(62a)과 L3 거리만큼 이격되어 형성되고, 제1 데이터선(62a) 상부에 제1 보호막(70)이 위치하고 제1 보호막(70) 상부에 블랙 매트릭스패턴(95)이 형성된다. 블랙 매트릭스패턴(95)을 경계로 색 필터 패턴이 형성되고 색 필터 패턴은 화소 전극과 대응되어 형성된다. 상기 색 필터 패턴 상부에는 제1 화소 전극(82a) 및 제2 화소 전극(82b)이 형성된다. 상기 차폐 전극(21)은 제2 화소 전극(82b)과 제1 데이터선(62a)간의 기생 용량을 감소시켜 데이터 배선의 로드를 감소시킬 수 있다. 특히 색필터층(99)이 제1 데이터 배선(62a)과 제1 화소 전극(82a)간에 개재되는 경우에는 두 층간의 기생용량도 더 감소될 수 있다.

[0087] 도 8은 본 발명의 또 다른 실시예에 따른 박막 트랜지스터 표시판(100)의 배치도이다. 차폐 전극(21)은 전기적으로 플로팅 되어 형성되어 형성되며, 게이트선(22) 형성시에 동시에 형성된다. 기타 다른 구성은 상기 개시한 내용과 동일하다.

[0088] 도 9a는 본 발명의 또 다른 실시예에 따른 박막 트랜지스터 표시판(100)의 배치도이다.

[0089] 차폐 전극(21)은 제 4 접촉 구멍(79)을 통해 유지 전극선(28)과 연결되고 차폐 전극(21)은 데이터선(62) 형성시 동시에 형성된다. 이 때 제 3 접촉 구멍(76)을 형성하기 위해 새로운 마스크를 이용할 수도 있다. 기타 다른 구성은 상기 개시한 내용과 동일하다.

[0090] 도 9b는 도9a의 IVa-IVa'에 따른 단면도이다.

[0091] 차폐 전극(21)은 제4 접촉 구멍(79)을 통하여 유지전극선과 연결되어 형성되고, 기타 다른 구성은 상기 설명한 실시예와 동일한다.

[0092] 도 10 은 본 발명의 또 다른 실시예에 의한 박막 트랜지스터 표시판(100)의 배치도이다.

[0093] 차폐 전극(21)은 전기적으로 플로팅되어 형성되어, 데이터선(62) 형성과 동시에 형성된다. 기타 다른 구성은 상기 개시한 내용과 동일하다.

[0094] 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

도면의 간단한 설명

[0095] 도 1은 본 발명의 일 실시예에 따른 액정 표시 장치의 블록도이다.

[0096] 도 2는 본 발명의 일 실시예에 따른 박막 트랜지스터 표시판의 배치도이다.

[0097] 도 3a는 본 발명의 일 실시예에 따른 박막 트랜지스터 표시판의 정전용량 회로를 나타낸 도면이다.

[0098] 도 3b는 도 3a의 박막 트랜지스터 표시판의 R G B 모든 화소에 제1 데이터 전압이 인가되는 경우의 정전용량 개략도이다.

[0099] 도 3c는 도 3a의 박막 트랜지스터 표시판의 G화소 및 R 화소에는 제1 데이터 전압이 인가되고 B화소에는 제 2 데이터 전압이 인가되는 경우의 정전 용량 개략도이다.

[0100] 도 3d는 본 발명의 일 실시예에 의한 기생용량을 시뮬레이션에 의해 구한 값을 나타낸 도면이다.

[0101] 도 4a는 본 발명의 일 실시예에 따른 박막 트랜지스터 표시판의 한 화소의 배치도이다.

[0102] 도 4b는 도 4a의 박막 트랜지스터 표시판을 I a-I a'선을 따라 절개한 단면도이다.

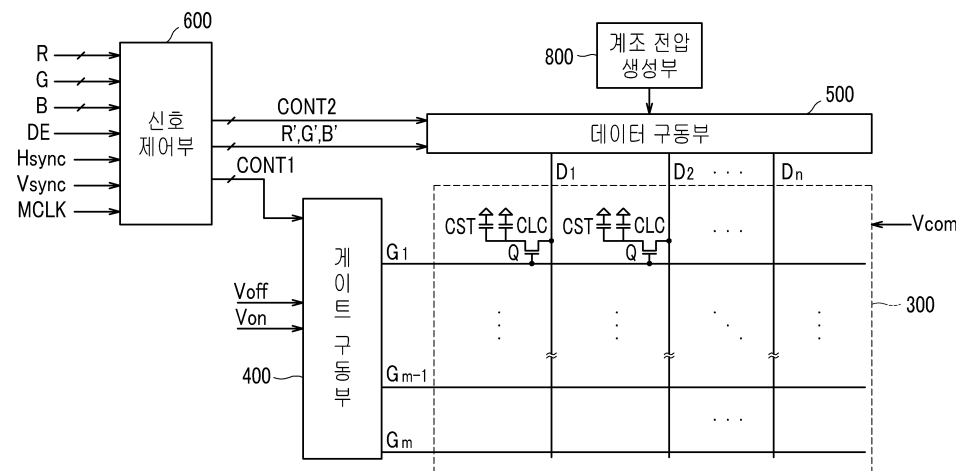
[0103] 도 4c는 도 4a의 박막 트랜지스터 표시판을 I b-I b'선 및 I c-I c'선을 따라 절개한 단면도이다.

[0104] 도 4d는 도 4a의 박막 트랜지스터 표시판을 I d-I d'선을 따라 절개한 단면도이다.

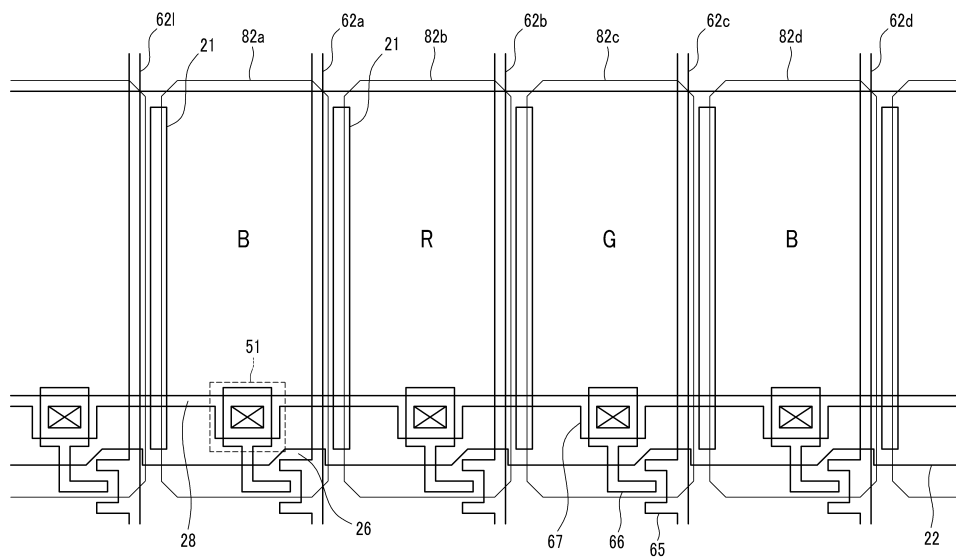
[0105] 도 5는 본 발명의 일 실시예에 따른 액정 표시 장치용 공통 전극과 블랙매트릭스가 포함된 색필터 표시판의 배

도면

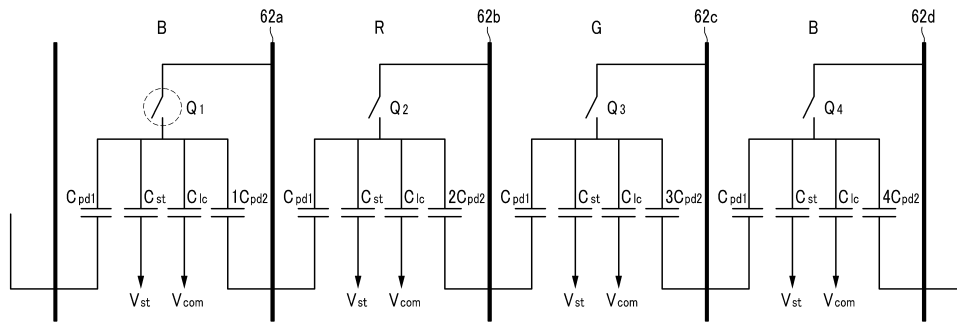
도면1



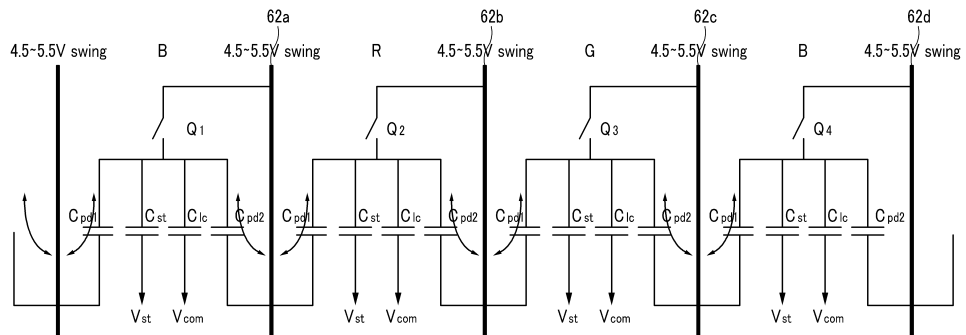
도면2



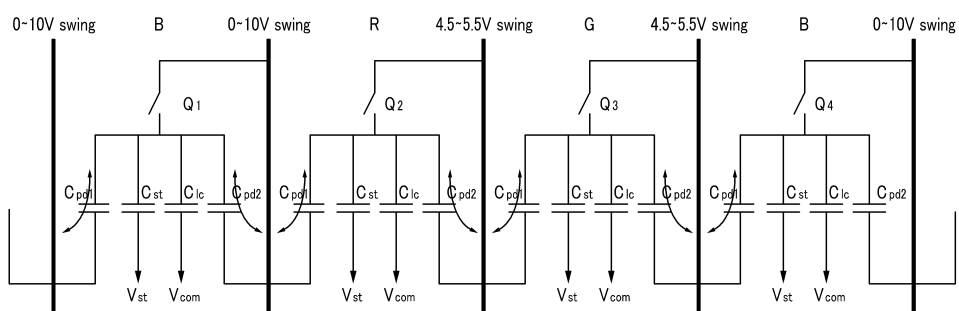
도면3a



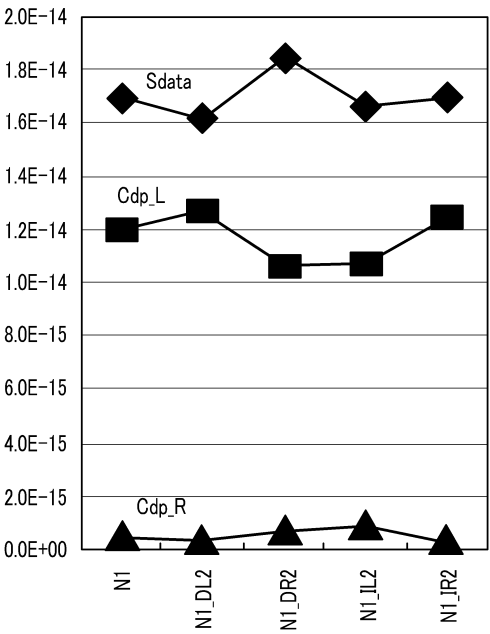
도면3b



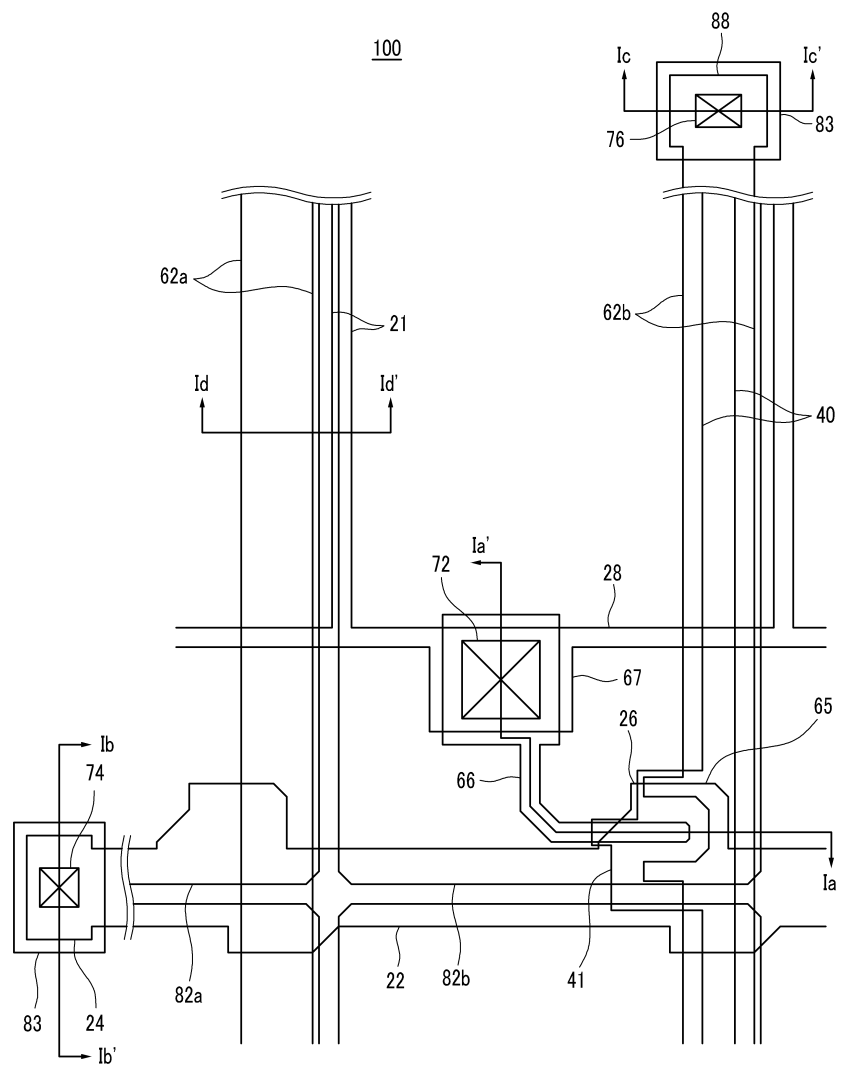
도면3c



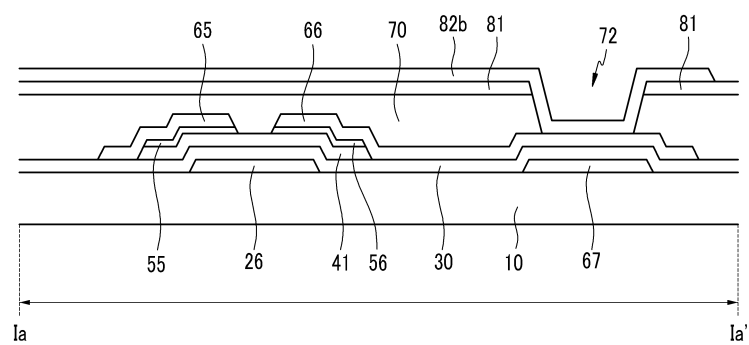
도면3d



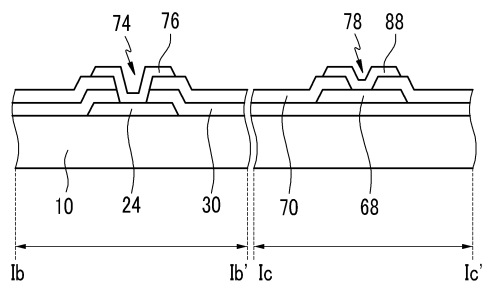
도면4a



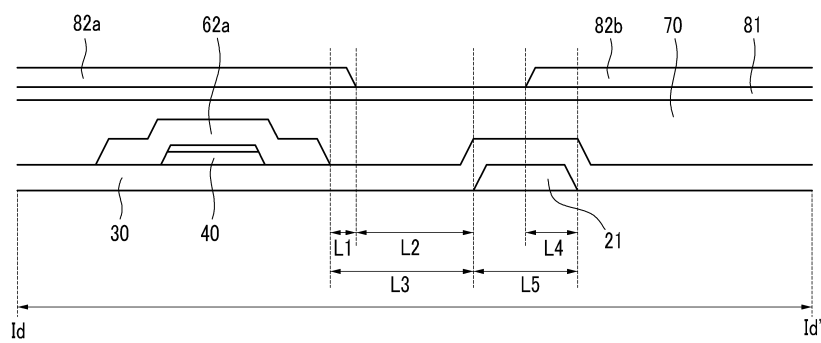
도면4b



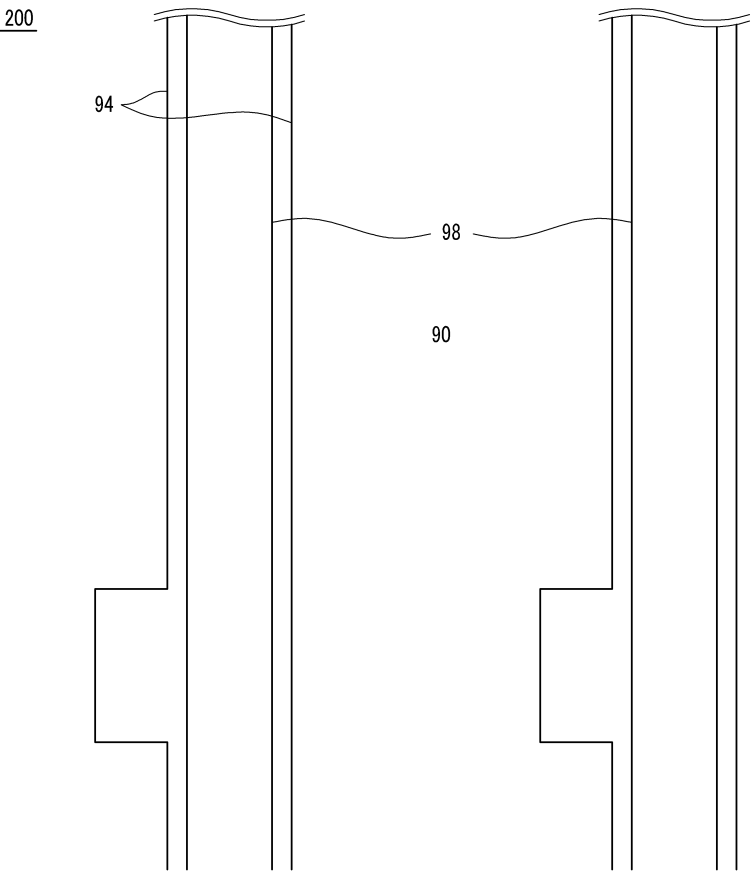
도면4c



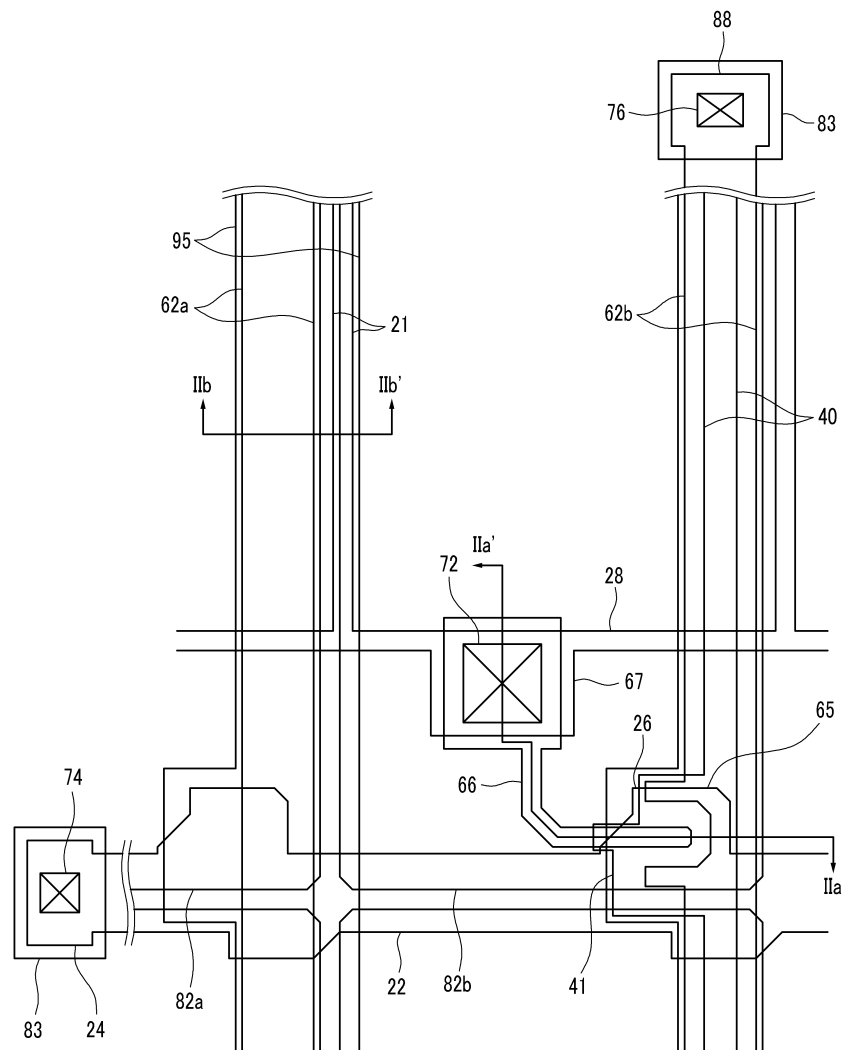
도면4d



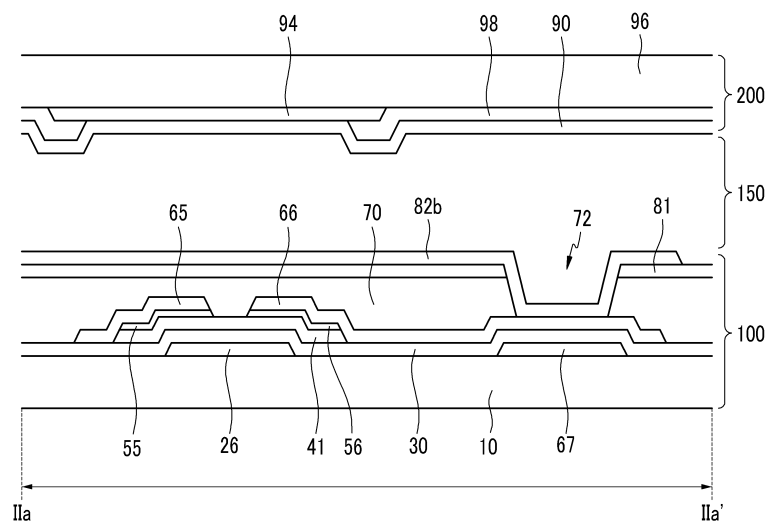
도면5



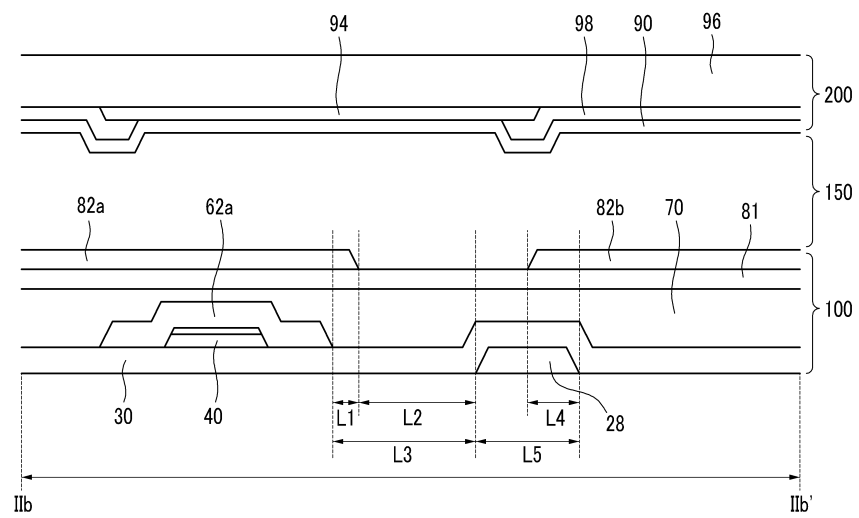
도면6a



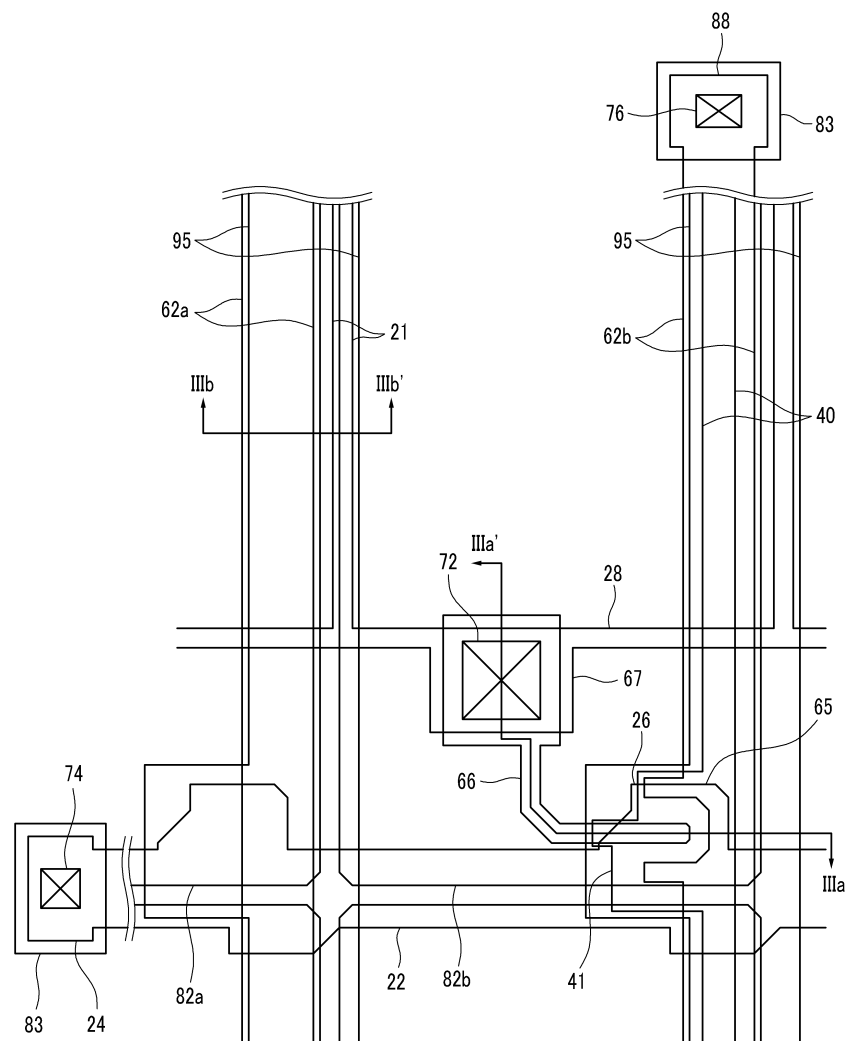
도면6b



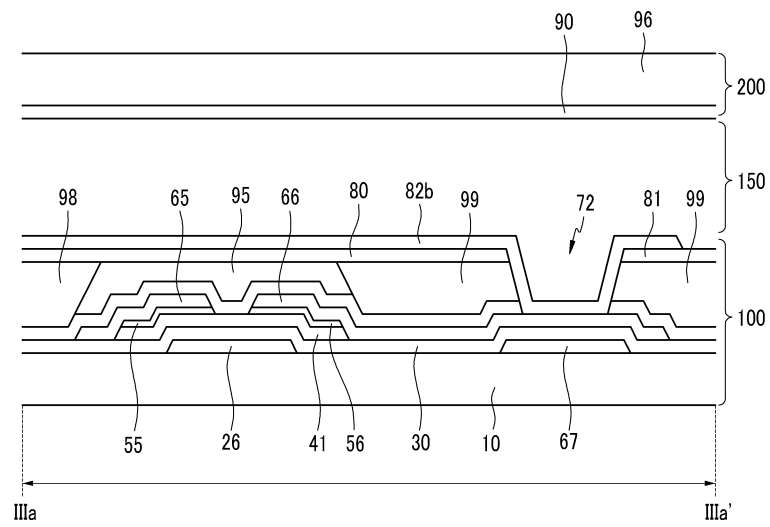
도면6c



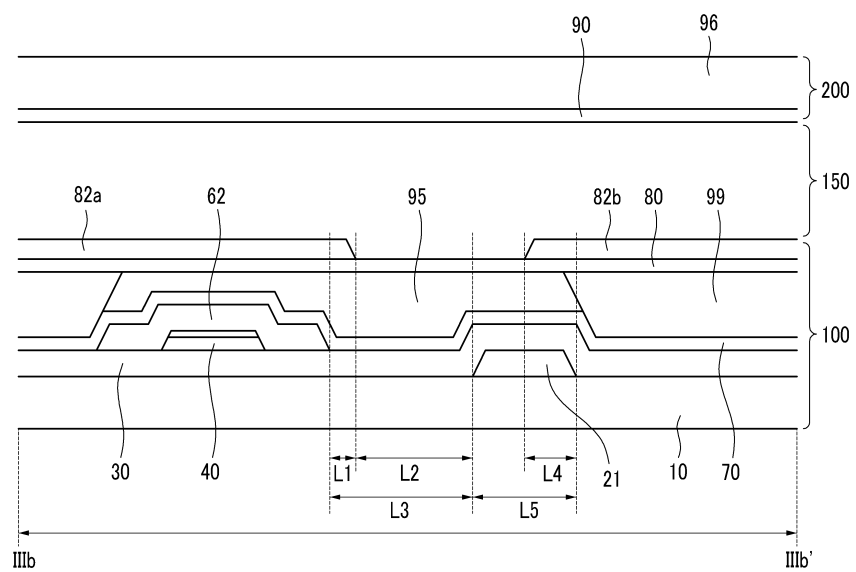
도면7a



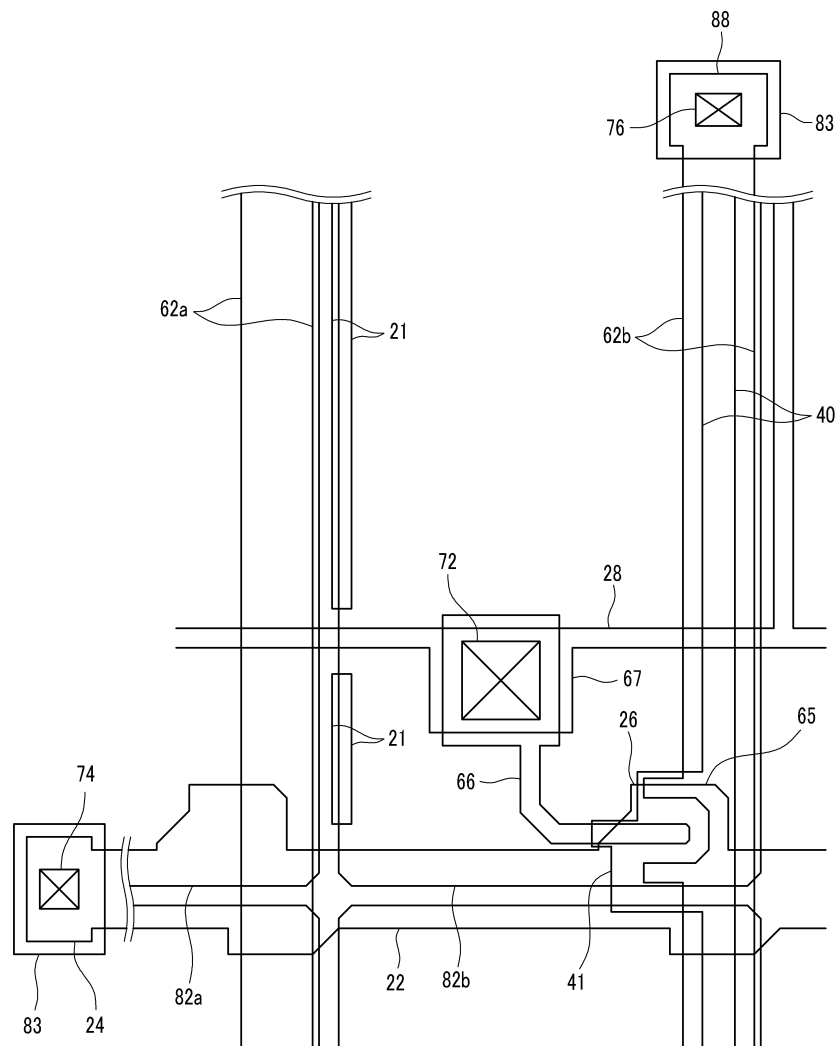
도면7b



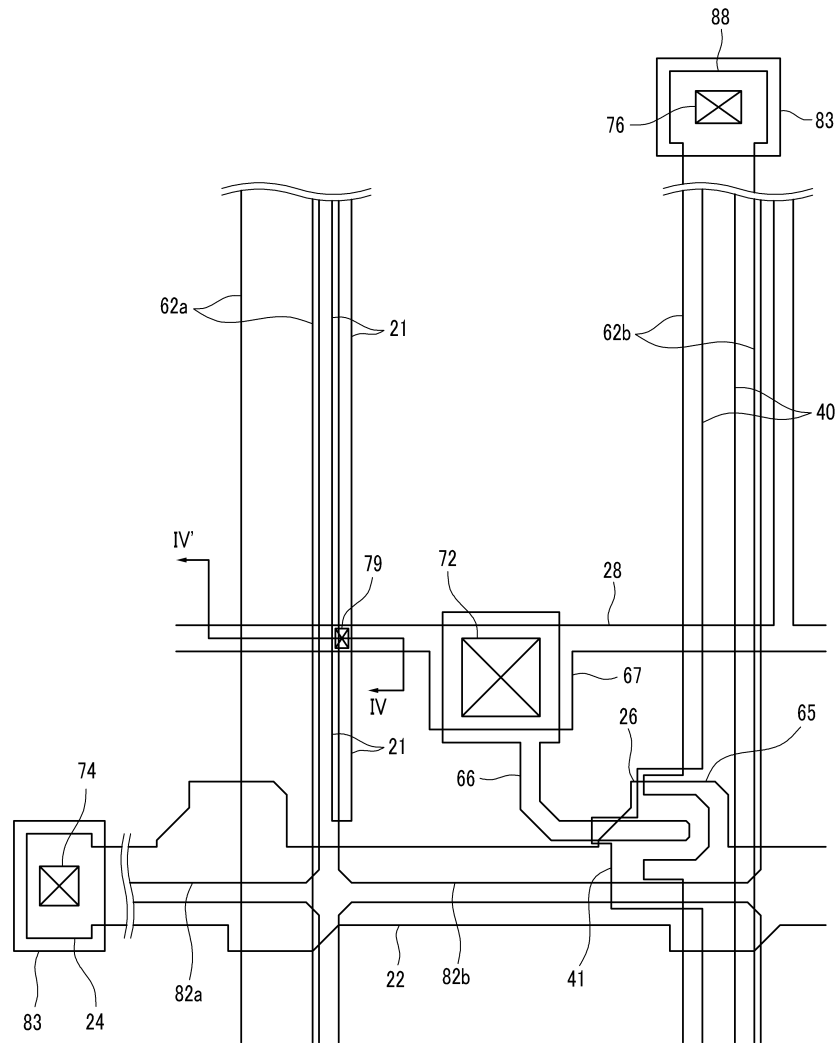
도면7c



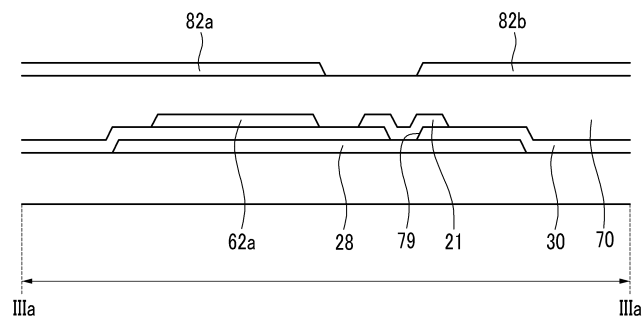
도면8



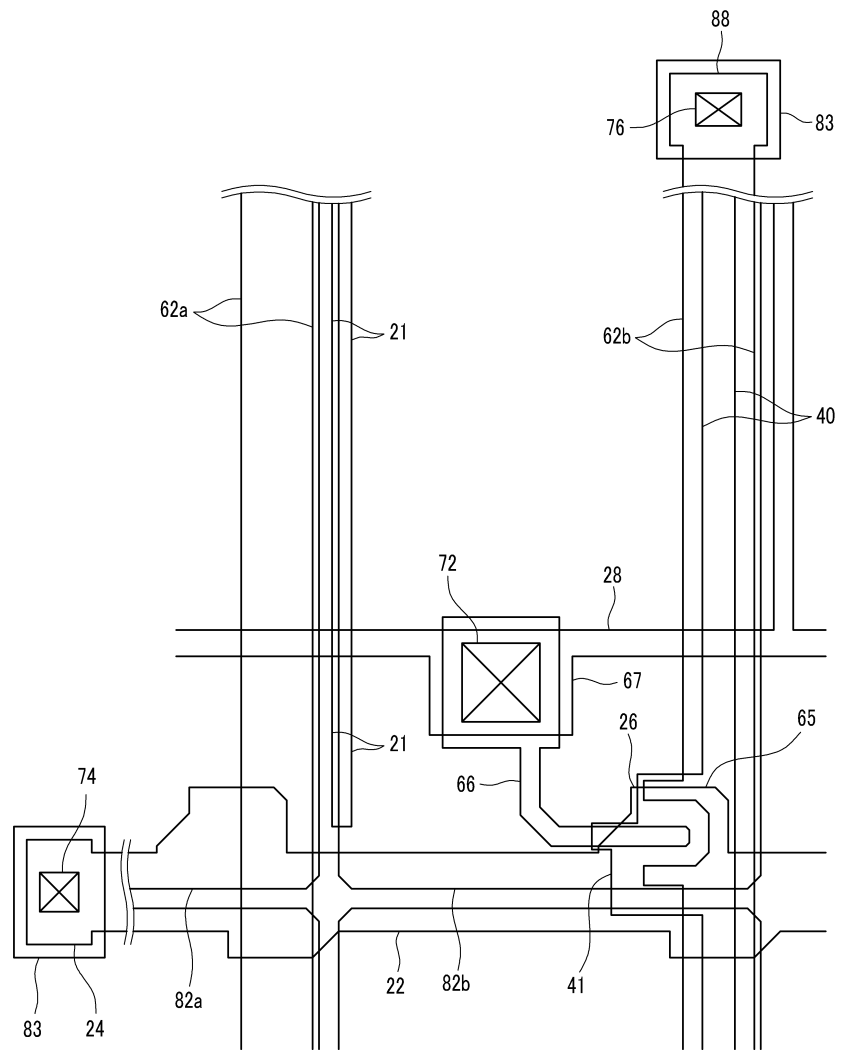
도면9a



도면9b



도면10



专利名称(译)	液晶显示器		
公开(公告)号	KR101383707B1	公开(公告)日	2014-04-10
申请号	KR1020070076195	申请日	2007-07-30
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	LEE WOO GEUN 이우근 KIM SHI YUL 김시열 YOUN JAE HYOUNG 윤재형 LEE YOUNG WOOK 이영욱		
发明人	이우근 김시열 윤재형 이영욱		
IPC分类号	G02F1/1343		
CPC分类号	G02F1/136286 G02F2001/136222 G02F2001/136218 G02F2201/40 G02F2001/13606 G02F1/136209		
其他公开文献	KR1020090012409A		
外部链接	Espacenet		

摘要(译)

提供一种液晶显示装置，其能够在减小施加到数据线的负载和增加孔径比的同时防止漏光现象。该液晶显示装置包括：栅极线和彼此形成维持电极线开在绝缘基板上，所述栅极线和所述第一数据线和第二数据线，栅极线和根据权利要求1的像素，这是由限定相交所述第一数据线电极和以上以及与由栅极线和第二数据线限定的第一像素电极相邻的第二像素电极。第一数据线的至少一部分形成在第一像素电极的下部中，并且至少一部分屏蔽电极形成在第二像素电极的下部中还有第二条数据线它包括。

