



(19) 대한민국특허청(KR)
 (12) 등록특허공보(B1)

(45) 공고일자 2014년03월25일
 (11) 등록번호 10-1374102
 (24) 등록일자 2014년03월07일

- (51) 국제특허분류(Int. Cl.)
G02F 1/136 (2006.01)
 (21) 출원번호 10-2007-0042152
 (22) 출원일자 2007년04월30일
 심사청구일자 2012년04월03일
 (65) 공개번호 10-2008-0097055
 (43) 공개일자 2008년11월04일
 (56) 선행기술조사문헌
 KR1020060078582 A*
 JP2002107762 A*
 US6449026 A*
- *는 심사관에 의하여 인용된 문헌

- (73) 특허권자
엘지디스플레이 주식회사
 서울특별시 영등포구 여의대로 128(여의도동)
 (72) 발명자
임병호
 경상북도 구미시 봉곡로23길 6-20, 영남네오빌시
 티 201-1402호 (봉곡동)
 (74) 대리인
김용인, 박영복

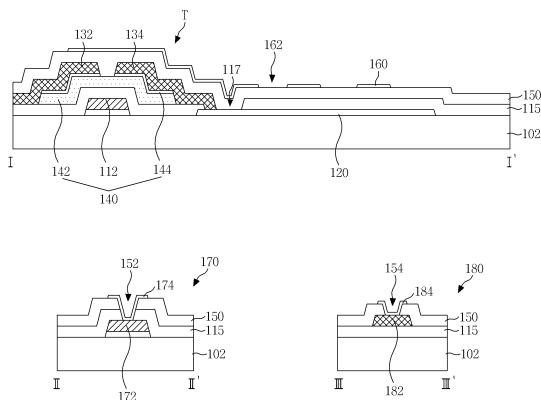
전체 청구항 수 : 총 26 항

심사관 : 퇴-김선근

(54) 발명의 명칭 **액정표시패널 및 그 제조 방법****(57) 요약**

본 발명은 게이트 전극과 함께 화소전극을 최하층에 형성하여 게이트 절연막의 두께만큼 보호막의 중착 높이를 낮춤으로써, 보호막 중착시에 발생되는 파티클의 발생을 저감시켜 처리량(thru-put)을 증가시킬 수 있는 프린지 필드형 액정표시패널 및 그 제조방법에 관한 것이다.

본 발명에 따른 프린지 필드형 액정표시패널은, 기판상에 형성되는 게이트 라인; 게이트 라인과 동일층 상에 형성되는 화소전극; 게이트 라인 및 화소전극을 덮는 게이트 절연막; 게이트 절연막을 사이에 두고 게이트 라인과 교차 형성되는 데이터 라인; 게이트 라인 및 데이터 라인의 교차 영역에 형성되는 박막 트랜지스터; 게이트 절연막 상에 형성되어 박막 트랜지스터를 덮는 보호막; 및 게이트 절연막 및 보호막을 사이에 두고 화소전극과 중첩되게 형성되며, 상기 박막트랜지스터의 채널 영역 및 상기 데이터 라인과 중첩되는 공통전극을 포함하여 구성된 것을 특징으로 한다.

대 표 도 - 도3

특허청구의 범위

청구항 1

기판상에 형성되는 게이트 라인;

상기 게이트 라인과 동일층 상에 형성되는 화소전극;

상기 게이트 라인 및 화소전극을 덮는 게이트 절연막;

상기 게이트 절연막을 사이에 두고 상기 게이트 라인과 교차 형성되는 데이터 라인;

상기 게이트 라인 및 상기 데이터 라인의 교차 영역에 형성되는 박막 트랜지스터;

상기 게이트 절연막 상에 형성되어 상기 박막 트랜지스터를 덮는 보호막; 및

상기 게이트 절연막 및 보호막을 사이에 두고 상기 화소전극과 중첩되게 형성되며, 상기 박막트랜지스터의 채널 영역 및 상기 데이터 라인과 중첩되는 공통전극을 포함하여 구성된 것을 특징으로 하는 프린지 필드형 액정표시 패널.

청구항 2

제 1 항에 있어서,

상기 게이트 라인은 투명 도전층 및 게이트 금속층을 포함하는 이중층으로 구성된 것을 특징으로 하는 프린지 필드형 액정표시패널.

청구항 3

제 1 항에 있어서,

상기 화소전극은 투명 도전층을 포함하는 단일층으로 구성된 것을 특징으로 하는 프린지 필드형 액정표시패널.

청구항 4

제 1 항에 있어서,

상기 게이트 절연막에는 상기 화소전극을 노출시키기 위한 오픈홀이 형성된 것을 특징으로 하는 프린지 필드형 액정표시패널.

청구항 5

제 2 항에 있어서,

상기 게이트 절연막은 소정의 증착 공정을 통해 4000A° 의 높이로 형성되는 것을 특징으로 하는 프린지 필드형 액정표시패널.

청구항 6

제 1 항에 있어서,

상기 박막 트랜지스터는,

상기 게이트 라인에 접속된 게이트 전극;

상기 데이터 라인에 접속되는 소스전극; 및

상기 소스전극과 채널을 사이에 두고 대향되게 형성되는 드레인 전극을 포함하고,

상기 게이트 전극은 투명 도전층 및 게이트 금속층을 포함하는 이중층으로 구성된 것을 특징으로 하는 프린지 필드형 액정표시패널.

청구항 7

제 6 항에 있어서,

상기 드레인 전극은 상기 게이트 절연막을 관통하는 오픈홀을 통해 상기 화소전극과 중첩된 형태로 접속되는 것을 특징으로 하는 프린지 필드형 액정표시패널.

청구항 8

제 1 항에 있어서,

상기 보호막은 소정의 중착 공정을 통해 상기 게이트 절연막 상에 4000A^0 의 두께를 갖도록 형성되는 것을 특징으로 하는 프린지 필드형 액정표시패널.

청구항 9

기판상에 게이트 라인 및 화소전극을 동시에 형성하는 단계;

상기 게이트 라인 및 화소전극을 덮는 게이트 절연막을 형성하는 단계;

상기 게이트 절연막을 사이에 두고 상기 게이트 라인과 교차 형성되는 데이터 라인을 형성하는 단계;

상기 게이트 라인 및 상기 데이터 라인의 교차 영역에 박막 트랜ジ스터를 형성하는 단계;

상기 게이트 절연막 상에 박막 트랜지스터를 덮는 보호막을 형성하는 단계; 및

상기 게이트 절연막 및 보호막을 사이에 두고 상기 화소전극과 중첩되며, 상기 박막트랜지스터의 채널 영역 및 상기 데이터 라인과 중첩되는 공통전극을 형성하는 단계를 포함하여 구성된 것을 특징으로 하는 프린지 필드형 액정표시패널의 제조방법.

청구항 10

제 9 항에 있어서,

상기 게이트 라인은 투명 도전층 및 게이트 금속층을 포함하는 이중층으로 구성된 것을 특징으로 하는 프린지 필드형 액정표시패널의 제조방법.

청구항 11

제 9 항에 있어서,

상기 화소전극은 투명 도전층을 포함하는 단일층으로 구성된 것을 특징으로 하는 프린지 필드형 액정표시패널의 제조방법.

청구항 12

제 9 항에 있어서,

상기 게이트 절연막에는 상기 화소전극을 노출시키기 위한 오픈홀이 형성된 것을 특징으로 하는 프린지 필드형 액정표시패널의 제조방법.

청구항 13

제 12 항에 있어서,

상기 게이트 절연막은 소정의 중착 공정을 통해 4000A^0 의 높이로 형성되는 것을 특징으로 하는 프린지 필드형 액정표시패널의 제조방법.

청구항 14

제 9 항에 있어서,

상기 박막 트랜지스터는,

상기 게이트 라인에 접속된 게이트 전극;

상기 데이터 라인에 접속되는 소스전극; 및

상기 소스전극과 채널을 사이에 두고 대향되게 형성되는 드레인 전극을 포함하고,

상기 게이트 전극은 투명 도전층 및 게이트 금속층을 포함하는 이중층으로 구성된 것을 특징으로 하는 프린지 필드형 액정표시패널의 제조방법.

청구항 15

제 14 항에 있어서,

상기 드레인 전극은 상기 게이트 절연막을 관통하는 오픈홀을 통해 상기 화소전극과 중첩된 형태로 접속되는 것을 특징으로 하는 프린지 필드형 액정표시패널의 제조 방법.

청구항 16

제 9 항에 있어서,

상기 보호막은 소정의 중착 공정을 통해 상기 게이트 절연막 상에 4000A^0 의 두께를 갖도록 형성되는 것을 특징으로 하는 프린지 필드형 액정표시패널의 제조방법.

청구항 17

기판상에 게이트 라인, 상기 게이트 라인에 접속되는 게이트 전극 및 게이트 패드 하부전극으로 구성된 제 1 도전성 패턴과 화소전극을 형성하는 단계;

상기 제 1 도전성 패턴 및 화소전극을 덮는 게이트 절연막과, 상기 게이트 절연막을 사이에 두고 상기 게이트 전극과 중첩되는 위치에 채널 및 오믹 접촉을 수행하는 반도체 패턴을 형성하는 단계;

상기 게이트 절연막 상에 데이터 라인, 상기 데이터 라인에 접속되는 소스전극, 채널을 사이에 두고 소스전극과 대향하는 드레인 전극 및 데이터 패드 하부전극으로 구성된 제 2 도전성 패턴을 형성하는 단계;

상기 게이트 절연막 상에 상기 제 2 도전성 패턴을 덮는 보호막을 형성하는 단계; 및

상기 게이트 절연막 및 보호막을 사이에 두고 상기 화소 전극과 중첩되게 형성되며, 박막트랜지스터의 채널 영역 및 상기 데이터 라인과 중첩되는 공통전극, 게이트 패드 상부전극 및 데이터 패드 상부전극으로 구성된 제 3 도전성 패턴을 형성하는 단계를 포함하여 구성된 것을 특징으로 하는 프린지 필드형 액정표시패널의 제조방법.

청구항 18

제 17 항에 있어서,

상기 제 1 도전성 패턴 및 화소전극을 형성하는 단계는,

기판상에 투명 도전층을 전면 형성하는 단계;

상기 투명 도전층 상에 게이트 금속층을 전면 형성하는 단계;

상기 투명 도전층 상에 포토레지스트를 전면 형성한 후, 상기 제 1 도전성 패턴 및 화소 전극이 형성될 영역에 단차를 갖는 포토레지스트 패턴을 형성하는 단계;

상기 포토레지스트 패턴에 의해 노출된 화소영역의 게이트 금속층을 애칭하여 화소전극을 형성하는 단계; 및

상기 게이트 금속층 상에 잔류하는 포토레지스트 패턴을 애싱하여 상기 제 1 도전성 패턴을 형성하는 단계를 포함하여 구성된 것을 특징으로 하는 프린지 필드형 액정표시패널의 제조방법.

청구항 19

제 18 항에 있어서,

상기 화소전극은 투명 도전층을 포함하는 단일층으로 구성된 것을 특징으로 하는 프린지 필드형 액정표시패널의 제조방법.

청구항 20

제 18 항에 있어서,

상기 제 1 도전성 패턴은 투명 도전층 및 게이트 금속층을 포함하는 이중층으로 구성된 것을 특징으로 하는 프린지 필드형 액정표시패널의 제조방법.

청구항 21

제 17 항에 있어서,

상기 게이트 절연막 및 반도체 패턴을 형성하는 단계는,

제 1 도전성 패턴 및 화소전극을 덮는 동시에 상기 화소전극을 노출시키기 위한 오픈홀을 갖는 게이트 절연막을 형성하는 단계;

상기 게이트 절연막 상에 채널 형성을 위한 반도체층을 형성하는 단계;

상기 반도체층 상에 포토레지스트를 전면 형성한 후, 상기 반도체층 및 상기 오픈홀 영역에 단차를 갖는 포토레지스트 패턴을 형성하는 단계;

상기 포토레지스트 패턴에 의해 노출된 게이트 절연막을 에칭하여 상기 화소전극을 노출시키는 오픈홀을 형성하는 단계; 및

상기 포토레지스트 패턴을 애싱하여 채널 형성을 위한 활성층 및 오믹 접촉을 위한 오믹 접촉층으로 구성된 반도체 패턴을 형성하는 단계를 포함하여 구성된 것을 특징으로 하는 프린지 필드형 액정표시패널의 제조방법.

청구항 22

제 21 항에 있어서,

상기 게이트 절연막은 소정의 중착 공정을 통해 4000A° 의 높이로 형성되는 것을 특징으로 하는 프린지 필드형 액정표시패널의 제조방법.

청구항 23

제 21 항에 있어서,

상기 제 2 도전성 패턴을 형성하는 단계는,

상기 오픈홀이 형성된 게이트 절연막 상에 데이터 금속층을 전면 형성하는 단계;

상기 데이터 금속층에 포토레지스트를 전면 형성한 후, 상기 데이터 금속층 중에서 상기 제 2 도전성 패턴이 형성될 영역을 제외한 나머지 영역을 노출시키는 포토레지스트 패턴을 형성하는 단계; 및

상기 포토레지스트 패턴에 의해 노출된 데이터 금속층을 에칭하여 상기 제 2 도전성 패턴을 형성하는 단계를 포함하여 구성된 것을 특징으로 하는 프린지 필드형 액정표시패널의 제조방법.

청구항 24

제 17 항에 있어서,

상기 보호막을 형성하는 단계는,

상기 게이트 절연막 상에 제 2 도전성 패턴을 덮는 보호막을 형성하는 단계;

상기 보호막 상에 포토레지스트를 전면 형성한 후, 상기 보호막 중에서 게이트 패드 하부전극 및 데이터 패드 하부전극을 노출시키는 콘택홀이 형성될 영역을 오픈시키는 포토레지스트 패턴을 형성하는 단계; 및

상기 포토레지스트 패턴에 의해 노출된 보호막을 에칭하여 상기 콘택홀을 형성하는 단계를 포함하여 구성된 것을 특징으로 하는 프린지 필드형 액정표시패널의 제조방법.

청구항 25

제 24 항에 있어서,

상기 보호막은 소정의 중착 공정을 통해 상기 게이트 절연막 상에 $4000A^0$ 의 두께를 갖도록 형성되는 것을 특징으로 하는 프린지 필드형 액정표시패널의 제조방법.

청구항 26

제 17 항에 있어서,

상기 제 3 도전층을 형성하는 단계는,

상기 보호막 상에 투명 도전층을 전면 형성하는 단계:

상기 투명 도전층상에 포토레지스트를 전면 형성한 후, 상기 투명 도전층 중에서 상기 제 3 도전층이 형성될 영역을 제외한 나머지 영역을 오픈시키는 포토레지스트 패턴을 형성하는 단계; 및

상기 포토레지스트 패턴에 의해 노출된 투명 도전층을 에칭하여 상기 제 3 도전층 패턴을 형성하는 단계를 포함하여 구성된 것을 특징으로 하는 프린지 필드형 액정표시패널의 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

[0020]

본 발명은 게이트 전극과 함께 화소전극을 최하층에 형성하여 게이트 절연막의 두께만큼 보호막의 중착 높이를 낮춤으로써, 보호막을 중착시에 발생되는 파티클의 발생을 저감시켜 처리량(thru-put)을 증가시킬 수 있는 프린지 필드형 액정표시패널 및 그 제조방법에 관한 것이다.

[0021]

액정 표시 패널은 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이러한 액정 표시 패널은 액정을 구동시키는 전계의 방향에 따라 수직 전계 인가형과 수평 전계 인가형으로 대별된다.

[0022]

수직 전계 인가형 액정 표시 패널은 상하부 기판에 대향하게 배치된 화소 전극과 공통 전극 사이에 형성되는 수직 전계에 의해 TN(Twisted Nematic) 모드의 액정을 구동하게 된다. 이러한 수직 전계 인가형 액정 표시 장치는 개구율이 큰 장점을 가지는 반면 시야각이 90도 정도로 좁은 단점을 가진다.

[0023]

수평 전계 인가형 액정 표시 패널은 하부 기판에 나란하게 배치된 화소 전극과 공통 전극 간의 수평 전계에 의해 인 플레인 스위치(In Plane Switch; 이하, IPS라 함) 모드의 액정을 구동하게 된다. 이러한 수평 전계 인가형 액정 표시 패널은 시야각이 160도 정도로 넓은 장점을 갖고나, 개구율 및 투과율이 낮은 단점을 가진다.

[0024]

이러한 수평 전계 인가형 액정 표시 패널의 단점을 개선하기 위하여, 프린지 필드(Fringe Field)에 의해 동작되는 프린지 필드형 (Fringe Field Switching; 이하, FFS)형 액정표시패널이 제안되고 있다.

[0025]

프린지 필드형 액정표시패널(FFS)은, 도 1에 도시된 바와 같이, 게이트 전극(미도시)을 덮는 게이트 절연막(15) 상에 형성되는 화소전극(20)과, 각 화소 영역에 보호막(50)을 사이에 두고 화소전극(20)과 상호 대응되도록 형성되며 다수의 슬릿(62)이 형성된 공통전극(60)을 구비하고, 화소전극(20) 및 공통전극(60) 사이에 형성되는 프린지 필드가 다수의 슬릿(62)을 관통하여 화소영역 및 공통전극 (60)상에 위치하는 액정 분자를 구동시킴으로써 화상을 구현한다.

[0026]

상술한 바와 같이 구성된 종래의 프린지 필드형 액정표시패널(FFS)의 경우, 도 1에 도시된 바와 같이, 화소전극(20)이 게이트 절연막(15) 상에 형성됨에 따라 화소전극(20)과 공통전극(60) 사이에 형성되는 캐페시터의 로드(Load)가 증가되는 것을 보상하기 위해 보호막(50)을 일정 두께, 예를 들면 $8000A^0$ 이상의 두께를 갖도록 중착시켜야 했다.

[0027]

즉, 챔버 내에서 CVD 등의 중착 공정을 통해 보호막(50)을 소정 두께를 갖도록 증착시키는 경우, 챔버 내에 중착 공정 시에 발생되는 보호막(50)의 파티클을 제거하기 위한 소요 시간이 증가되어 액정표시패널의 처리량(thru-put)이 감소 되는 문제점이 있었다.

발명이 이루고자 하는 기술적 과제

[0028] 따라서, 본 발명의 목적은 화소전극을 최하층에 형성하여 게이트 절연막의 두께만큼 보호막의 증착 두께를 낮춤으로써, 보호막을 증착시에 발생되는 파티클의 발생을 저감시켜 처리량(thru-put)을 증가시킬 수 있는 프린지 필드형 액정표시패널 및 그 제조방법을 제공하는 데 있다.

발명의 구성 및 작용

[0029] 상기 목적을 달성하기 위하여, 본 발명에 따른 프린지 필드형 액정표시패널은, 기판상에 형성되는 게이트 라인; 게이트 라인과 동일층 상에 형성되는 화소전극; 게이트 라인 및 화소전극을 덮는 게이트 절연막; 게이트 절연막을 사이에 두고 게이트 라인과 교차 형성되는 데이터 라인; 게이트 라인 및 데이터 라인의 교차 영역에 형성되는 박막 트랜지스터; 게이트 절연막 상에 형성되어 박막 트랜지스터를 덮는 보호막; 및 게이트 절연막 및 보호막을 사이에 두고 화소전극과 중첩되게 형성되며, 상기 박막트랜지스터의 채널 영역 및 상기 데이터 라인과 중첩되는 공통전극을 포함하여 구성된 것을 특징으로 한다.

[0030] 상기 목적을 달성하기 위해, 본 발명에 따른 프린지 필드형 액정표시패널의 제조방법은, 기판상에 게이트 라인 및 화소전극을 동시에 형성하는 단계; 게이트 라인 및 화소전극을 덮는 게이트 절연막을 형성하는 단계; 게이트 절연막을 사이에 두고 게이트 라인과 교차 형성되는 데이터 라인을 형성하는 단계; 게이트 라인 및 데이터 라인의 교차 영역에 박막 트랜지스터를 형성하는 단계; 게이트 절연막 상에 박막 트랜지스터를 덮는 보호막을 형성하는 단계; 및 게이트 절연막 및 보호막을 사이에 두고 화소전극과 중첩되며, 상기 박막트랜지스터의 채널 영역 및 상기 데이터 라인과 중첩되는 공통전극을 형성하는 단계를 포함하여 구성된 것을 특징으로 한다.

[0031] 상기 목적을 달성하기 위해, 본 발명에 따른 프린지 필드형 액정표시패널의 제조방법은, 기판상에 게이트 라인, 게이트 라인에 접속되는 게이트 전극 및 게이트 패드 하부전극으로 구성된 제 1 도전성 패턴과 화소전극을 형성하는 단계; 제 1 도전성 패턴 및 화소전극을 덮는 게이트 절연막과, 게이트 절연막을 사이에 두고 게이트 전극과 중첩되는 위치에 채널 및 오믹 접촉을 수행하는 반도체 패턴을 형성하는 단계; 게이트 절연막 상에 데이터 라인, 데이터 라인에 접속되는 소스전극, 채널을 사이에 두고 소스전극과 대향하는 드레인 전극 및 데이터 패드 하부전극으로 구성된 제 2 도전성 패턴을 형성하는 단계; 게이트 절연막 상에 제 2 도전성 패턴을 덮는 보호막을 형성하는 단계; 및 게이트 절연막 및 보호막을 사이에 두고 화소 전극과 중첩되게 형성되며, 상기 박막트랜지스터의 채널 영역 및 상기 데이터 라인과 중첩되는 공통전극, 게이트 패드 상부전극 및 데이터 패드 상부전극으로 구성된 제 3 도전성 패턴을 형성하는 단계를 포함하여 구성된 것을 특징으로 한다.

[0032] 상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부도면을 참조한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

[0033] 이하, 첨부도면을 참조하여 본 발명에 따른 프린지 필드형 액정표시패널 및 그 제조 방법에 대해 상세히 설명한다.

[0034] 먼저, 본 발명에 따른 프린지 필드형 액정표시패널의 구성 및 동작에 대해 설명한다.

[0035] 본 발명에 따른 프린지 필드형 액정표시패널(100)은, 도 2 및 도 3에 도시된 바와 같이, 기판(102)상에 형성되는 게이트 라인(110), 화소영역에 게이트 라인과 동일층으로 형성되는 화소전극(120), 게이트 절연막(115)을 사이에 두고 게이트 라인(110)과 교차 형성되어 화소영역을 정의하는 데이터 라인(130), 게이트 라인(110)과 데이터 라인(130)의 교차 영역에 형성되며 게이트 절연막(115)을 관통하는 오픈홀(117)을 통해 화소전극(120)과 접속되는 박막 트랜지스터(T), 박막 트랜지스터(T)를 덮는 보호막(150) 및 보호막(150) 상에 형성되며 화소전극(120)과 함께 액정 배향을 위한 프린지 필드를 형성하는 공통전극(160)을 포함한다.

[0036] 또한, 본 발명에 따른 프린지 필드형 액정표시패널(100)은, 게이트 라인(110)에 접속되는 게이트 패드(170)와, 데이터 라인(130)에 접속되는 데이터 패드(180)를 포함한다.

[0037] 게이트 라인(110)은 게이트 패드(180)에 접속되는 게이트 드라이버(미도시)로부터 공급되는 게이트 신호를 박막 트랜지스터(T)를 구성하는 게이트 전극(112)으로 전달한다.

[0038] 여기서, 게이트 라인(110) 및 게이트 전극(112)은 투명 도전층(ITO)과 알루미늄(A1)계 금속, 구리(Cu), 크롬

(Cr), 몰리브덴 등의 게이트 금속층을 포함하는 이중층으로 구성된다.

[0039] 화소전극(120)은 박막 트랜지스터(T)를 통해 공급되는 화소 신호에 연동하여 공통전극(160)과 함께 화소영역 및 공통전극 상에 위치하는 액정을 소정 방향으로 배향시키는 프린지 필드를 형성한다.

[0040] 여기서, 화소전극(120)은 ITO 등의 투명 도전성 물질을 포함하는 단일층으로 구성되며, 게이트 라인(110) 및 게이트 전극(112)과 동일층으로 화소 영역에 형성되는 동시에 게이트 절연막(115)에 형성된 오픈홀(117)을 통해 박막 트랜지스터(T)를 구성하는 드레인 전극(134)과 직접 접속된다.

[0041] 데이터 라인(130)은 데이터 패드(190)에 접속되는 데이터 드라이버(미도시)로부터 공급되는 데이터 신호를 게이트 전극(112)의 온/오프에 연동하여 박막 트랜지스터(T)의 소스전극(132) 및 드레인 전극(134)으로 전달하는 역할을 수행한다.

[0042] 이때, 데이터 라인(130)은 게이트 절연막(115)을 사이에 두고 게이트 라인(110)과 교차되어 화소전극(120)이 위치하는 화소영역을 정의한다.

[0043] 박막 트랜지스터(T)는 게이트 라인(110)의 게이트 신호에 응답하여 데이터 라인(130)의 화소신호를 화소전극(120)에 충전시키는 역할을 수행하는 것으로서, 게이트 라인(110)에 접속된 게이트 전극(112), 데이터 라인(130)에 접속되는 소스전극(132) 및 채널을 사이에 두고 소스전극(132)과 대향되게 형성되는 드레인 전극(134)을 포함하여 구성된다.

[0044] 또한, 박막 트랜지스터(T)는 게이트 절연막(115)을 사이에 두고 게이트 전극(112)과 대응되게 형성되어 채널을 형성하는 활성층(142) 및 활성층(142) 상에 형성되며 소스전극(132) 및 드레인 전극(134)과 오믹 접촉을 수행하는 오믹 접촉층(144)으로 구성된 반도체 패턴(140)을 더 포함하여 구성된다.

[0045] 여기서, 박막 트랜지스터(T)를 구성하는 드레인 전극(134)은 게이트 절연막(115)에 형성된 오픈홀(117)을 통해 기판(102)상에 형성된 화소전극(120)과 중첩된 형태로 접속된다.

[0046] 보호막(150)은 박막 트랜지스터(T) 및 화소전극(120)을 덮는 게이트 절연막(115) 상에 소정의 두께를 갖도록 형성되며, 채널을 형성하는 활성층(142)을 습기나 스크래치(scratch) 등으로부터 보호하는 역할을 수행한다. 여기서, 보호막(150)은 질화실리콘 등의 무기절연물질, 포토 아크릴(photo-acryl) 등의 유기화합물질, BCB(benzocyclobutene) 또는 PFCB (perfluorocyclobutane) 등의 유기절연물질로 구성된다.

[0047] 또한, 보호막(150)에는 마스크 공정을 통해 형성된 제 1 및 제 2 콘택홀(152, 154)을 구비하고, 여기서 제 1 콘택홀(152)은 보호막(150) 및 게이트 절연막(115)을 관통하여 게이트 패드 하부전극(172)을 오픈시키고, 제 2 콘택홀(154)은 보호막(150)을 관통하여 데이터 패드 하부전극(182)을 노출시킨다.

[0048] 여기서, 보호막(150)은 화소전극(120)이 게이트 절연막(115)에 의해 덮여진 상태로 최하층에 형성됨에 따라, 화소전극(120)과 공통전극(160) 사이에 발생되는 캐패시터의 로드(Load)를 보상하기 위해 약 4000A° 의 두께로 게이트 절연막(115) 상에 증착된다.

[0049] 즉, 종래의 액정표시패널을 구성하는 보호막(50)은, 도 1에 도시된 바와 같이, 화소전극(20)과 공통전극(60)이 보호막(50)을 사이에 두고 중첩되게 형성됨에 따라 화소전극(20)과 공통전극(60) 사이에 형성되는 캐패시터의 로드(Load)가 증가 되는 것을 보상하기 위해 8000A° 이상의 두께로 게이트 절연막(15) 상에 증착된다.

[0050] 그러나, 본원 발명을 구성하는 보호막(150)은 4000A° 의 두께를 갖는 게이트 절연막(115) 하부에 화소전극(120)이 형성됨에 따라, 화소전극(120)과 공통전극(160) 사이에 형성되는 캐패시터의 로드(Load)가 증가 되는 것을 보상하기 위해 4000A° 의 두께로 게이트 절연막(115) 상에 증착된다.

[0051] 따라서, 챔버 내에서 CVD 등의 증착 방식을 통해 보호막(150)을 형성시에 발생되는 파티클이 감소됨에 따라, 챔버 내부에 잔류하는 파티클을 제거하기 위한 클린 공정이 저감되어 처리량(thru-put)이 증가된다.

[0052] 공통전극(160)은 투명 도전성 물질인 ITO 또는 IZO 등으로 구성되며 보호막(150)을 사이에 두고 화소전극(120)과 중첩된 형태로 화소영역에 전면 형성된다. 이때, 공통전극(160)은 화소영역(120) 및 공통전극(160) 상에 배향된 액정을 소정 방향으로 구동시키는 프린지 필드가 관통하는 다수의 슬릿(162)이 형성되어 있다.

[0053] 즉, 공통라인(미도시)을 통해 기준 전압이 인가되는 경우, 공통전극(160)과 화소전극(120) 사이에 프린지 필드가 형성되며, 상기 프린지 필드는 공통전극(160)에 형성된 다수의 슬릿(162)을 관통하여 화소영역 및 공통전극

(160) 상에 위치한 액정분자를 소정 방향으로 배향시킨다.

[0054] 또한, 공통전극(160)은 박막 트랜지스터(T)의 채널영역 상에 형성되고, 이에 의해 채널 영역에 흐르는 누설전류 및 오프-커런트의 발생을 방지하는 역할을 또한 수행한다.

[0055] 게이트 패드(170)는 게이트 드라이버(도시하지 않음)와 접속되어 게이트 라인(110)에 게이트 신호를 공급하는 것으로서, 게이트 라인(110)으로부터 연장되는 게이트 패드 하부전극(172), 보호막(150) 및 게이트 절연막(115)을 관통하는 제 1 콘택홀(152)을 통해 게이트 패드 하부전극(172)과 접속하는 게이트 패드 상부전극(174)을 포함하여 구성된다.

[0056] 이때, 게이트 패드(170)를 구성하는 게이트 패드 하부전극(172)은 게이트 라인(110)과 동일물질로 구성되며, 게이트 패드 상부전극(174)은 공통전극(160)과 동일 물질로 형성된다.

[0057] 데이터 패드(180)는 데이터 드라이버(도시하지 않음)와 접속되어 데이터 라인(130)에 데이터 신호를 공급하는 것으로서, 데이터 라인(130)으로부터 연장되는 데이터 패드 하부 전극(182)과, 보호막(150)을 관통하는 제 2 콘택홀(154)을 통해 데이터 패드 하부전극(182)과 접속되는 데이터 패드 상부전극(184)을 포함하여 구성된다.

[0058] 이때, 데이터 패드(180)를 구성하는 데이터 패드 하부전극(182)은 데이터 라인(120)과 동일물질로 구성되며, 데이터 패드 상부전극(184)은 공통전극(160)과 동일물질로 동시에 형성된다.

[0059] 이하, 본 발명에 따른 프린지 필드형 액정표시패널의 제조방법에 대해 설명한다.

[0060] 먼저, 본 발명에 따른 제 1 마스크 공정을 수행함으로써, 도 4a 및 도 4b에 도시된 바와 같이, 기판(102)상에 게이트 라인(110), 게이트 전극(112) 및 게이트 패드 하부전극(172)으로 구성된 제 1 도전성 패턴과 화소전극을 형성한다.

[0061] 이를 보다 구체적으로 설명하면, 기판(102)상에 스퍼터링 등의 증착 공정을 통해 투명 도전성 물질(ITO) 및 게이트 금속층을 순차적으로 전면 증착시킨다. 여기서, 게이트 금속층은 알루미늄(Al)계 금속, 구리(Cu), 크롬(Cr), 몰리브덴 등으로 구성된다.

[0062] 이후, 게이트 금속층 상에 포토레지스트를 전면 도포한 후 제 1 마스크를 이용한 포토리소그래피 공정을 수행함으로써, 게이트 금속층을 노출시키는 포토레지스트 패턴을 형성한다.

[0063] 여기서, 제 1 마스크는 제 1 도전성 패턴이 형성될 영역에는 차단부가 형성되어 있고, 화소전극이 형성될 영역에는 반투과 부가 형성되어 있으며, 그 이외의 영역에는 투과부가 형성된 반투과형 마스크이다.

[0064] 포토레지스트 패턴에 의해 노출된 투과 영역의 게이트 금속층에 대한 에칭(wet etching)을 수행한 후 포토레지스트 패턴을 애싱(ashing) 함으로써, 반투과 영역에 형성된 게이트 금속층을 노출시킨다.

[0065] 반투과 영역에 노출된 게이트 금속층을 에칭(wet etching)하여 화소영역에 투명 도전성 물질(ITO)로 구성된 화소전극(120)을 형성한 후 잔류하는 포토레지스트 패턴을 애싱(ashing) 함으로써, 기판(102)상에 게이트 라인(110), 게이트 라인(110)과 일체적으로 형성되는 게이트 전극(112), 게이트 패드 하부전극(172)으로 구성된 제 1 도전성 패턴을 형성한다.

[0066] 여기서, 제 1 도전성 패턴은 투명 도전성 물질(ITO) 및 게이트 금속층으로 구성된 이중층 구조로 형성되고, 화소전극(120)은 투명 도전성 물질(ITO)로 구성된 단일 층 구조로 형성된다.

[0067] 상술한 바와 같이 기판상에 제 1 도전성 패턴 및 화소전극을 동시에 형성한 후, 도 5a 및 도 5b에 도시된 바와 같이, 본 발명에 따른 제 2 마스크 공정을 통해 반도체 패턴(140)과 화소전극(120)을 노출시키는 오픈홀(117)이 형성된 게이트 절연막(115)을 형성한다.

[0068] 이를 보다 구체적으로 설명하면, 제 1 도전성 패턴이 형성된 기판(102)상에 게이트 절연막(115) 및 반도체층을 순차적으로 전면 증착시킨다. 여기서, 반도체층은 채널 형성을 위한 a-Si층과 오믹 접촉을 위한 n+Si층으로 구성된다.

[0069] 이후, 반도체층 상에 포토레지스트를 전면 도포한 후 제 2 마스크를 이용한 포토리소그래피 공정을 수행함으로써, 반도체층의 소정 영역을 노출시키는 포토레지스트 패턴을 형성한다.

[0070] 여기서, 제 2 마스크는 박막 트랜지스터(T)가 형성될 영역에는 차단부가 형성되어 있고, 오픈홀(117)이 형성될 영역에는 투과부가 형성되어 있으며, 그 이외의 영역에는 반투과부가 형성된 반투과형 마스크이다.

- [0071] 포토레지스트 패턴에 의해 노출된 오픈홀 영역의 n+Si층을 에칭(wet etching)함으로써 오픈홀 영역에 형성된 a-Si층을 외부로 노출시킨다.
- [0072] 이후, 포토레지스트 패턴을 애싱하여 오픈홀 영역에 형성된 a-Si층과 박막 트랜지스터(T)가 형성될 영역을 제외한 나머지 영역에 형성된 n+Si층을 노출시킨다.
- [0073] 이때, 애싱된 포토레지스트 패턴에 의해 노출된 오픈홀 영역의 a-Si층을 에칭(wet etching)하여 게이트 절연막(115)을 노출시키는 동시에, 박막 트랜지스터(T)가 형성될 영역을 제외한 나머지 영역에 형성된 n+Si층을 제거하여 a-Si층을 노출시킨다.
- [0074] 이후, 오픈홀 영역에 노출된 게이트 절연막(115)을 에칭하는 동시에 박막 트랜지스터(T)가 형성될 영역을 제외한 나머지 영역에 형성된 a-Si층을 에칭함으로써, 박막 트랜지스터(T)의 채널을 형성하는 반도체 패턴(140)과 게이트 절연막(115)을 관통하여 기판(102)상에 형성된 화소전극(120)을 노출시키는 오픈홀(117)을 형성한다.
- [0075] 여기서, 반도체 패턴(140)은 박막 트랜지스터(T)의 채널을 형성하는 활성층(142)과 오믹 접촉을 수행하는 오믹 접촉층(144)으로 구성되며, 게이트 절연막(115)은 약 4000A° 의 높이로 증착된다.
- [0076] 상술한 바와 같이 반도체 패턴 및 오픈홀을 형성한 후, 도 6a 및 도 6b에 도시된 바와 같이, 본 발명에 따른 제3 마스크 공정을 통해 데이터 라인(130), 소스전극(132) 드레인 전극(134) 및 데이터 패드 하부전극(182)으로 구성된 제2 도전성 패턴을 형성한다.
- [0077] 이를 보다 구체적으로 설명하면, 반도체 패턴(140)이 형성된 게이트 절연막(115) 상에 데이터 금속층을 순차적으로 증착시킨다.
- [0078] 데이터 금속층 상에 포토레지스트를 전면 도포한 후 제3 마스크를 이용한 포토리소그래피 공정을 수행함으로써, 데이터 금속층을 노출시키는 포토레지스트 패턴을 형성한다. 여기서, 제3 마스크는 데이터 금속층 중에서 제2 도전성 패턴이 형성될 영역에는 차단부가 형성되어 있고, 채널 영역 및 그 이외의 영역에는 투과부가 형성된 구조를 갖는다.
- [0079] 포토레지스트 패턴에 의해 노출된 데이터 금속층(120a)을 에칭하여 제거함으로써, 박막 트랜지스터(T)의 채널 영역에 형성된 데이터 금속층을 분리한다.
- [0080] 이후, 데이터 금속층이 분리됨에 따라 채널영역에 노출되는 오믹 접촉층을 견식 에칭을 통해 제거함으로써, 박막 트랜지스터(T)의 채널을 형성하는 활성층(142)을 노출시킨다.
- [0081] 상술한 바와 같이 활성층(142)을 노출시킨 후 데이터 금속층에 잔류하는 포토레지스트 패턴을 애싱함으로써, 게이트 절연막(115)을 사이에 두고 게이트 라인(110)과 교차되어 화소영역을 정의하는 데이터 라인(130), 상기 데이터 라인(130)에 접속된 소스전극(132), 채널을 사이에 두고 소스전극(132)과 대향하는 드레인 전극(134) 및 데이터 패드 하부전극(182)을 포함하는 제2 도전성 패턴을 형성한다.
- [0082] 여기서, 박막 트랜지스터(T)의 드레인 전극(134)은 게이트 절연막(115)을 관통하는 오픈홀(117)을 통해 화소전극(120)과 중첩된 형태로 접속됨에 따라, 종래 화소영역(120)으로 돌출된 구조를 갖는 박막 트랜지스터(T)와 비교하여 화소영역의 개구율이 현저히 증가된다.
- [0083] 상술한 바와 같이 게이트 절연막 상에 제2 도전성 패턴을 형성한 후, 도 7a 및 도 7b에 도시된 바와 같이, 본 발명에 따른 제4 마스크 공정을 통해 콘택홀(152, 154)을 갖는 보호막(150)을 형성한다.
- [0084] 이를 보다 구체적으로 설명하면, 제2 도전성 패턴이 형성된 게이트 절연막(115)상에 CVD 등의 증착 공정을 통해 보호막(150)을 전면 증착시킨다. 여기서, 보호막(150)은 질화실리콘 등의 무기절연물질, 포토 아크릴(photo-acryl) 등의 유기화합물질, BCB(benzocyclobutene) 또는 PFCB (perfluorocyclobutane) 등의 유기절연물질로 구성된다.
- [0085] 이후, 보호막(150) 상에 포토레지스트를 전면 도포한 후 제4 마스크를 이용한 포토리소그래피 공정을 수행함으로써, 보호막(150)을 노출시키는 포토레지스트 패턴을 형성한다.
- [0086] 이때, 포토레지스트 패턴에 의해 노출된 보호막(150)을 에칭함으로써, 보호막(150) 및 게이트 절연막(115)을 관통하여 게이트 패드 하부전극(172)을 노출시키는 제1 콘택홀(152) 및 보호막(150)을 관통하여 데이터 패드 하부전극(182)을 노출시키는 제2 콘택홀(154)을 최종적으로 형성한다.
- [0087] 이때, CVD 등의 증착 공정을 통해 게이트 절연막(115) 상에 증착되는 보호막(150)은, 화소전극(120)이 게이트

절연막(115)에 의해 덮혀진 상태로 최하층에 형성됨에 따라, 화소전극(120)과 공통전극(160) 사이에 발생되는 캐패시터의 로드(Load)를 보상하기 위해 일정 두께, 보다 구체적으로는 $4000A^{\circ}$ 의 두께로 게이트 절연막(115) 상에 증착된다.

[0088] 즉, 종래의 액정표시패널을 구성하는 보호막은 화소전극이 보호막을 사이에 두고 공통전극과 중첩되게 형성됨에 화소전극과 공통전극 사이에 형성되는 캐패시터의 로드(Load) 증가를 보상하기 위해 $8000A^{\circ}$ 이상의 두께로 증착된다.

[0089] 그러나, 본원 발명을 구성하는 보호막(150)은, 화소전극(120)이 $4000A^{\circ}$ 의 두께를 갖는 게이트 절연막(115)과 보호막(150)을 사이에 두고 공통전극(160)과 중첩되게 형성됨에 따라, 게이트 절연막(115) 상에 $4000A^{\circ}$ 의 두께를 갖도록 형성된다.

[0090] 따라서, 챔버 내에서 CVD 등의 증착 방식을 통해 보호막(150)을 형성시에 발생되는 파티클이 저감됨에 따라 처리량(thru-put)이 증가된다.

[0091] 상술한 바와 같이 소정의 높이를 갖도록 보호막을 형성한 후, 도 8a 및 도 8b에 도시된 바와 같이, 본 발명에 따른 제 5 마스크 공정을 통해 보호막 상에 프린지 필드를 형성하는 공통전극(160), 게이트 패드 상부전극(174) 및 데이터 패드 상부전극(184)을 포함하여 구성된 제 3 도전성 패턴을 형성한다.

[0092] 이를 보다 구체적으로 설명하면, 콘택홀(152, 154)이 형성된 보호막(150) 상에 PECVD 등의 증착공정을 통해 투명 도전층(ITO)을 전면 증착시킨다

[0093] 이후, 투명 도전층 상에 포토레지스트를 전면 도포한 후 제 5 마스크를 이용한 포토리소그래피 공정을 수행함으로써, 투명 도전층(ITO)을 노출시키는 포토레지스트 패턴을 형성한다.

[0094] 포토레지스트 패턴에 의해 노출된 투명 도전층(ITO)을 애칭한 후 잔류하는 포토레지스트 패턴을 제거함으로써, 프린지 필드를 형성하는 공통전극(160), 제 1 콘택홀(152)을 통해 게이트 패드 하부전극(182)과 접속되는 게이트 패드 상부전극(174) 및 제 2 콘택홀(154)을 통해 데이터 패드 하부전극(192)과 접속되는 게이트 패드 상부전극(184)을 포함하는 제 3 도전성 패턴을 형성한다.

[0095] 여기서, 공통전극(160)은 보호막(150) 및 게이트 절연막(115)을 사이에 두고 화소전극(120)과 중첩되게 형성되며, 상기 화소전극(120)과 함께 화소영역 및 공통전극(160) 상에 위치한 액정 분자를 소정 방향으로 배향시키는 프린지 필드가 관통하는 다수의 슬릿(162)이 형성되어 있다.

[0096] 또한, 게이트 패드(170)를 구성하는 게이트 패드 상부전극(174)은 공통전극(160)과 동일 물질로 동시에 형성되고, 데이터 패드(180)를 구성하는 데이터 패드 상부전극(184)은 공통전극(160)과 동일물질로 동시에 형성된다.

발명의 효과

[0097] 상술한 바와 같이, 본 발명은 게이트 전극과 함께 화소전극을 최하층에 형성하여 게이트 절연막의 두께만큼 보호막의 증착 높이를 낮춤으로써, 보호막을 증착시에 발생되는 파티클의 발생을 저감시켜 처리량(thru-put)을 증가시킬 수 있다는 효과를 제공한다.

[0098] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

도면의 간단한 설명

[0001] 도 1은 종래의 프린지 필드형(FFS : Fringe Field Switching) 액정표시패널의 단면도.

[0002] 도 2는 본 발명에 따른 프린지 필드형(FFS : Fringe Field Switching) 액정표시패널의 평면도.

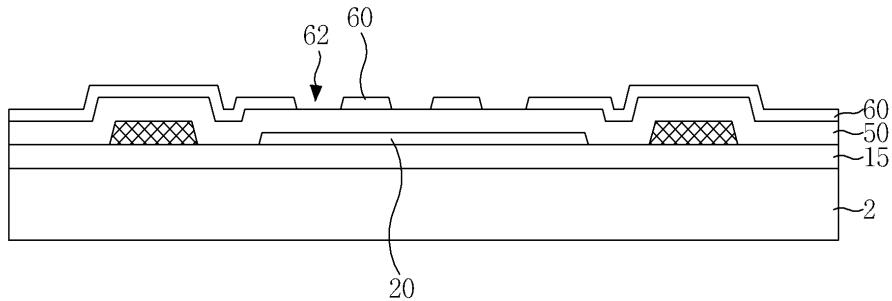
[0003] 도 3은 본 발명에 따른 프린지 필드형(FFS : Fringe Field Switching) 액정표시패널의 단면도.

[0004] 도 4a 및 도 4b는 본 발명에 따른 제 1 도전성 패턴 및 화소전극이 형성된 프린지 필드형 액정표시패널의 평면도 및 단면도.

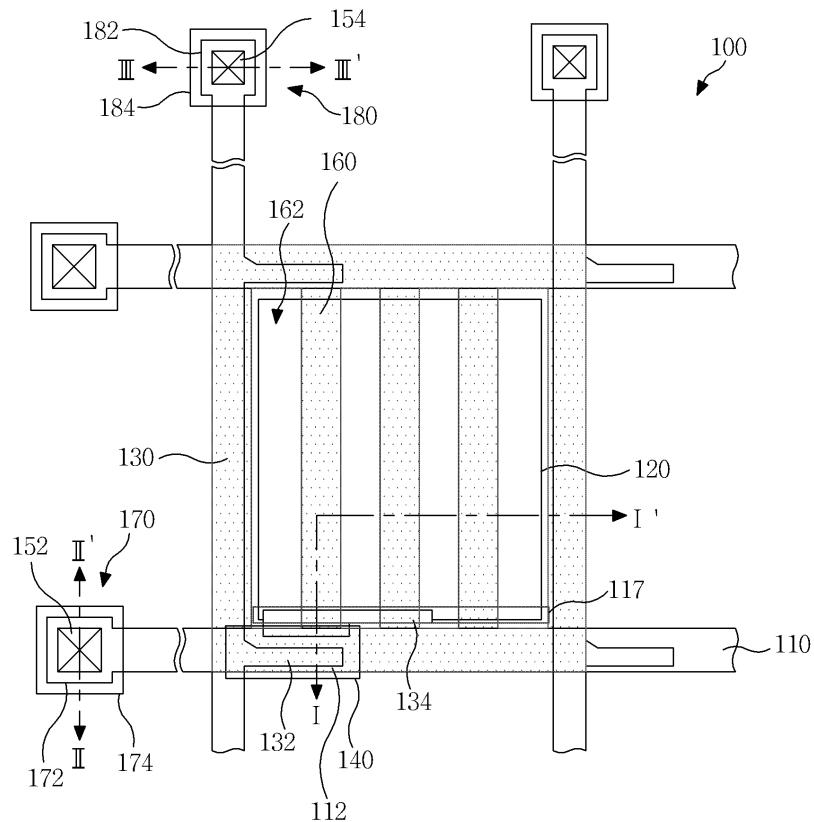
- [0005] 도 5a 및 도 5b는 본 발명에 따른 반도체 패턴 및 오픈홀을 갖는 게이트 절연막이 형성된 프린지 필드형 액정표시패널의 평면도 및 단면도.
- [0006] 도 6a 및 도 6b는 본 발명에 따른 제 2 도전성 패턴이 형성된 프린지 필드형 액정표시패널의 평면도 및 단면도.
- [0007] 도 7a 및 도 7b는 본 발명에 따른 콘택홀을 갖는 보호막이 형성된 프린지 필드형 액정표시패널의 평면도 및 단면도.
- [0008] 도 8a 및 도 8b는 본 발명에 따른 제 3 도전성 패턴이 형성된 프린지 필드형 액정표시패널의 평면도 및 단면도.
- [0009] <도면의 주요 부분에 대한 부호의 설명>
- | | |
|----------------------|---------------|
| [0010] 100 : 액정 표시패널 | 102 : 기판 |
| [0011] 110 : 게이트 라인 | 112 : 게이트 전극 |
| [0012] 115 : 게이트 절연막 | 117 : 오픈홀 |
| [0013] 120 : 화소전극 | 130 : 데이터 라인 |
| [0014] 132 : 소스전극 | 134 : 드레인 전극 |
| [0015] T : 박막 트랜지스터 | 140 : 반도체 패턴 |
| [0016] 142 : 활성층 | 144 : 오믹 접촉층 |
| [0017] 150 : 보호막 | 152 : 제 1 콘택홀 |
| [0018] 154 : 제 2 콘택홀 | 160 : 공통전극 |
| [0019] 162 : 슬릿 | |

도면

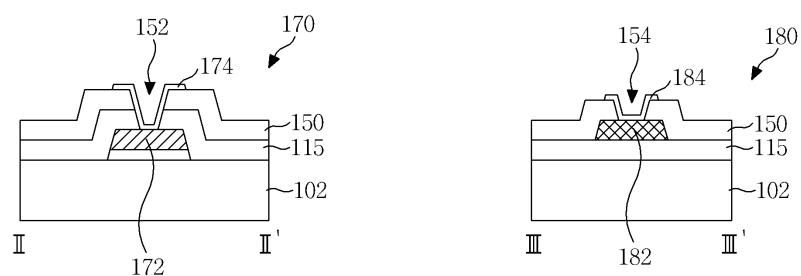
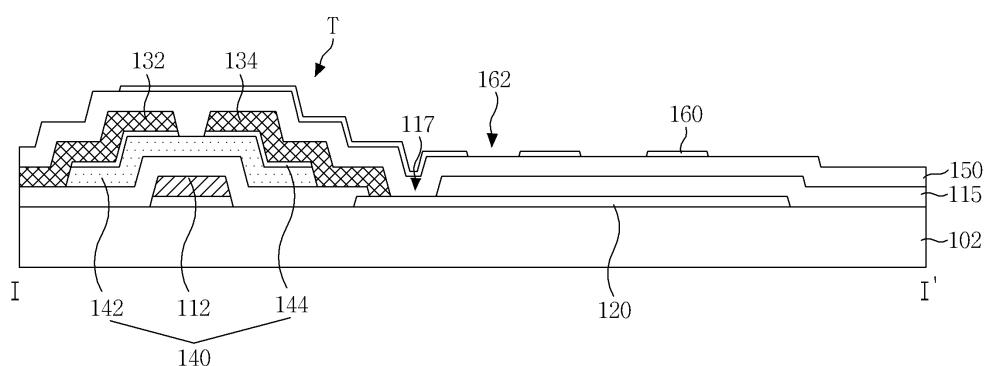
도면1



도면2

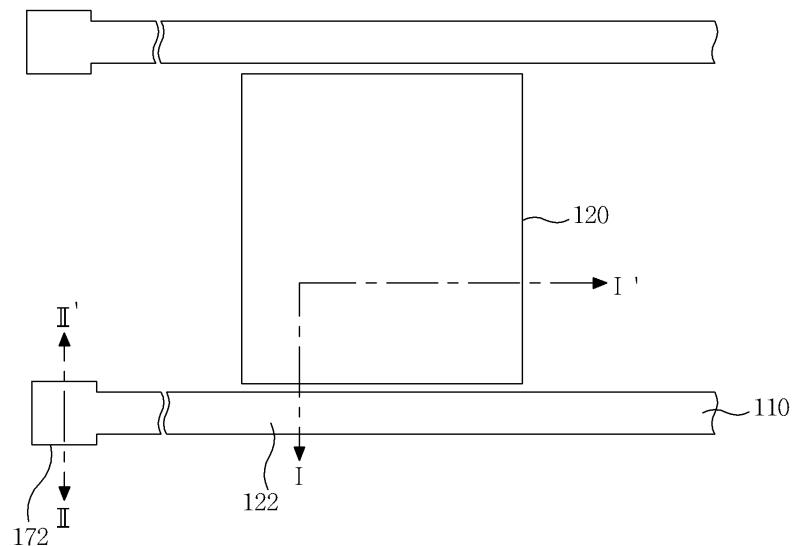


도면3

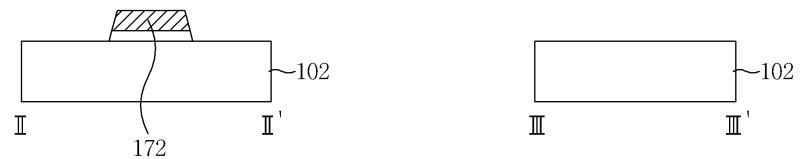
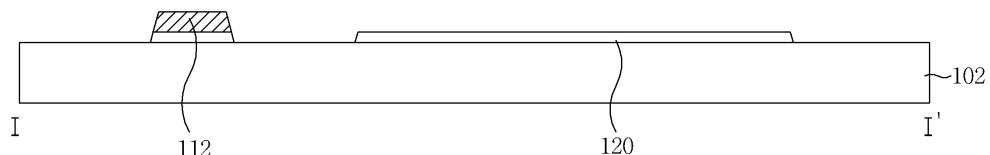


도면4a

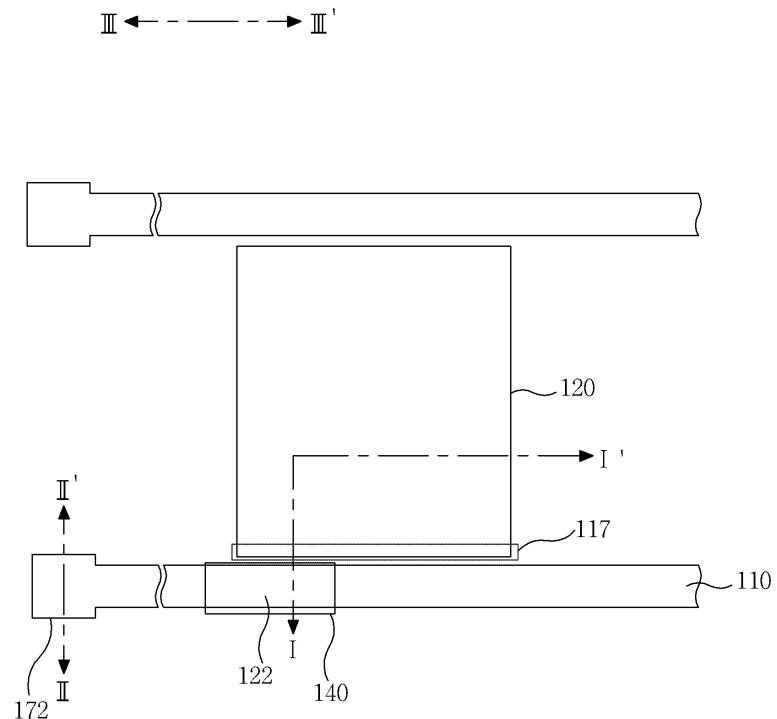
III ← - - - → III'



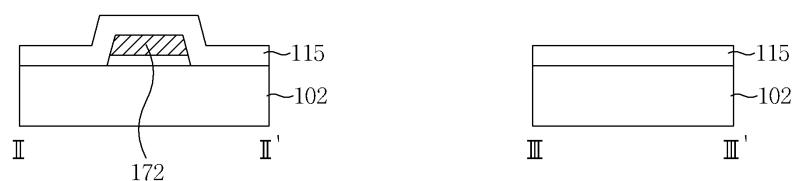
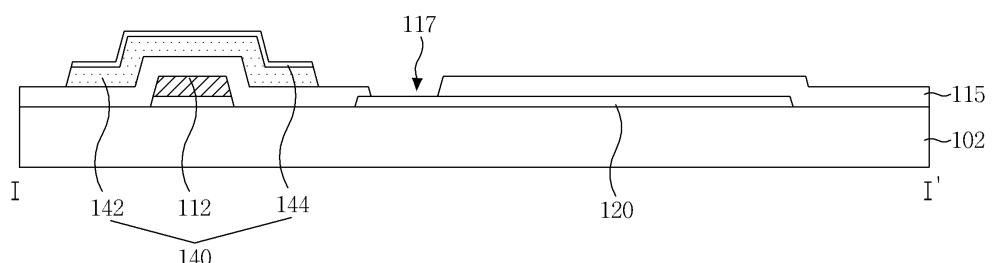
도면4b



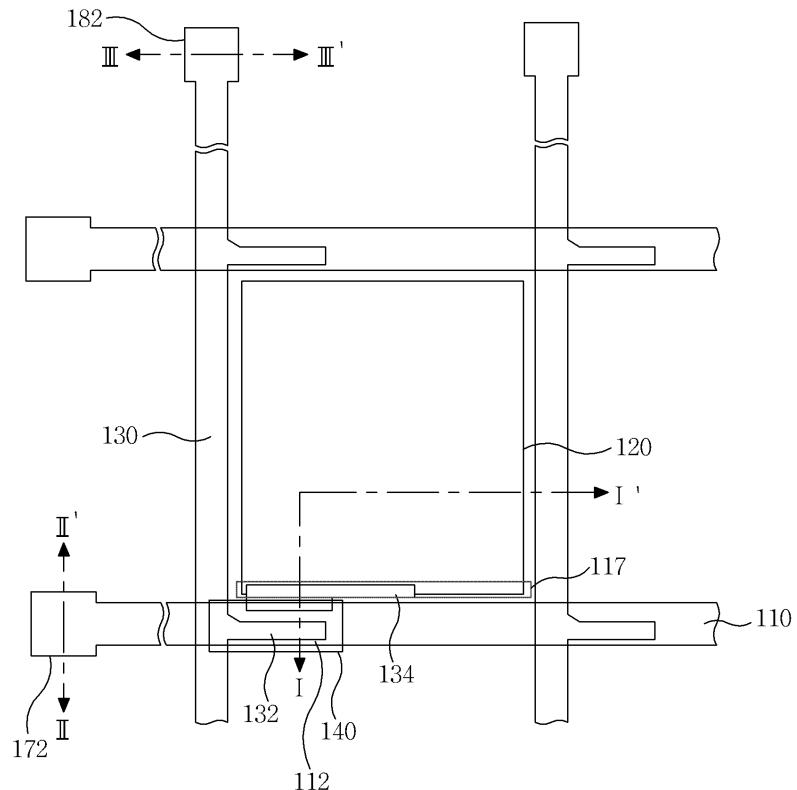
도면5a



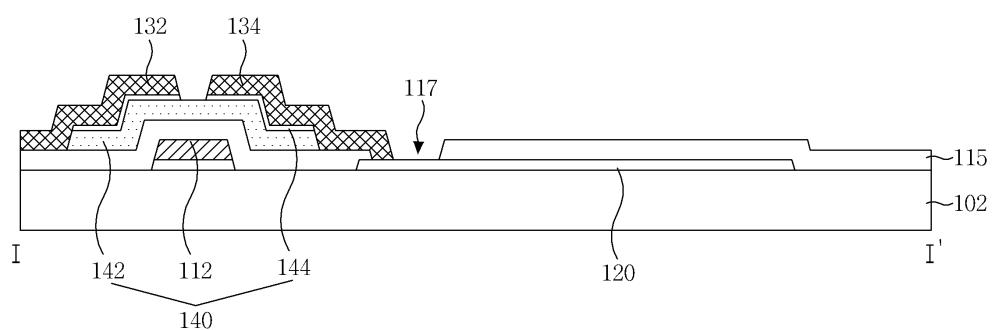
도면5b



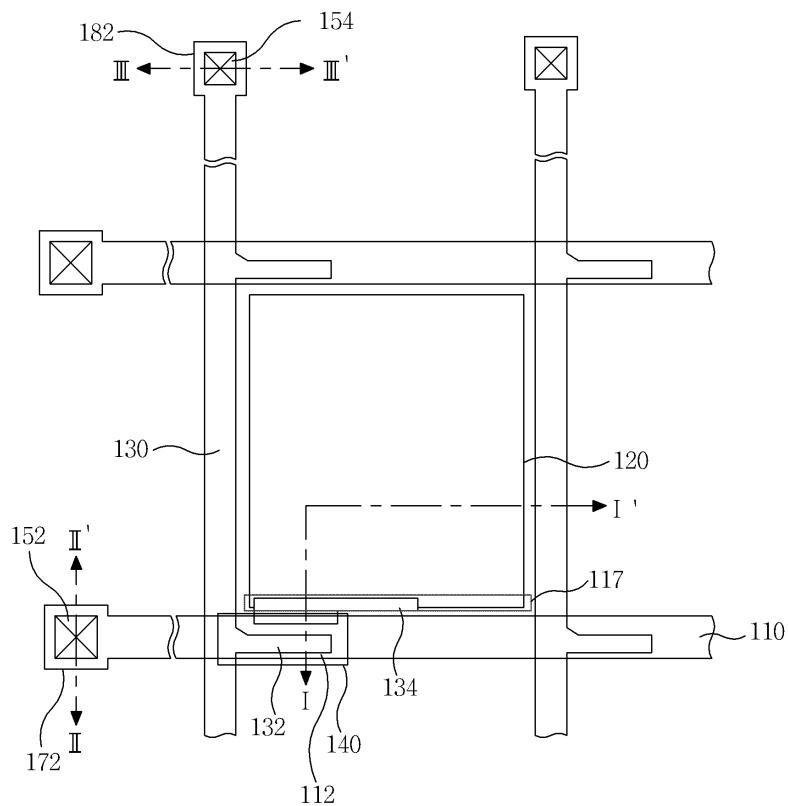
도면6a



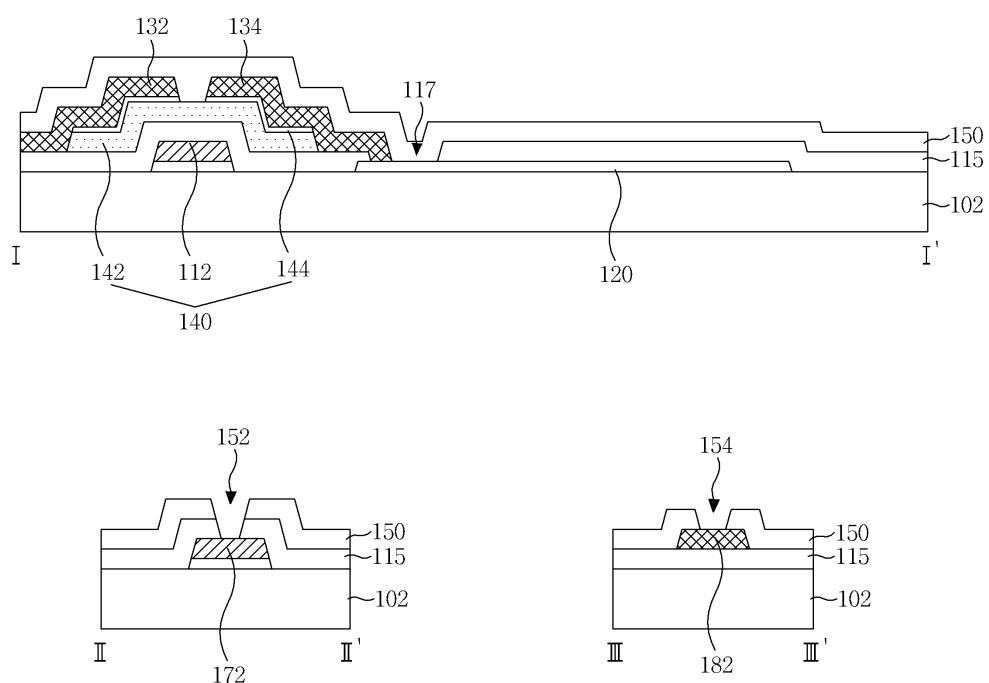
도면6b



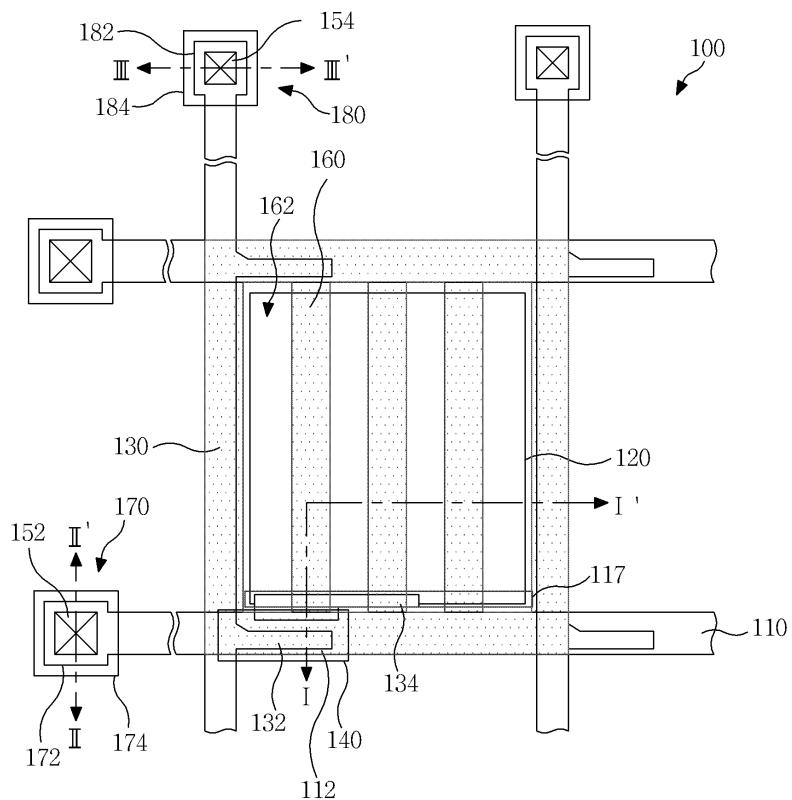
도면7a



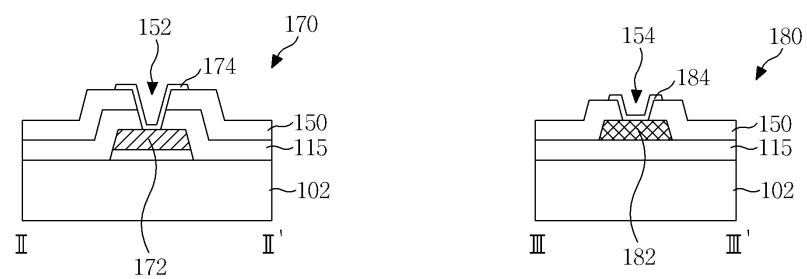
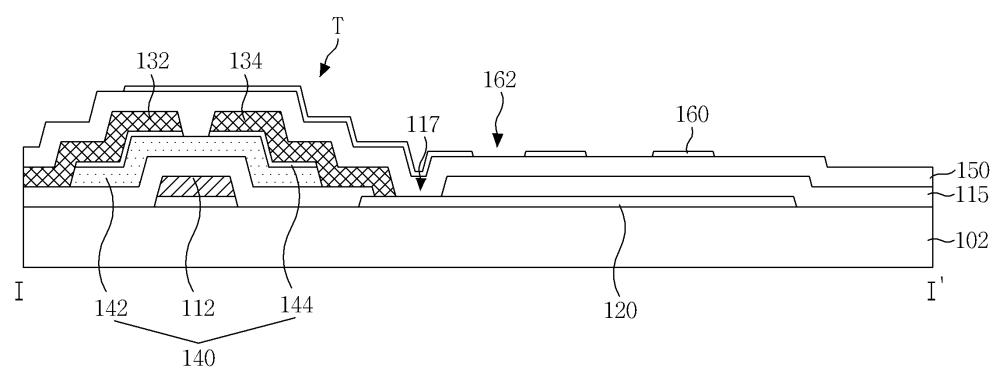
도면7b



도면8a



도면8b



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 제17항

【변경전】

상기 박막트랜지스터의 채널 영역

【변경후】

박막트랜지스터의 채널 영역

专利名称(译)	标题 : 液晶显示面板及其制造方法		
公开(公告)号	KR101374102B1	公开(公告)日	2014-03-25
申请号	KR1020070042152	申请日	2007-04-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LIM BYOUNG HO		
发明人	LIM,BYOUNG HO		
IPC分类号	G02F1/136		
CPC分类号	G02F1/1368 G02F2001/134372 G02F1/133345 G02F1/134363		
代理人(译)	金勇 年轻的小公园		
其他公开文献	KR1020080097055A		
外部链接	Espacenet		

摘要(译)

一种边缘场切换液晶面板，其能够通过在最下层与像素电极一起形成栅极电极来增加产量，以将钝化膜的沉积高度减小到栅极绝缘膜的厚度，使得在沉积期间产生的颗粒可以减少钝化膜的厚度，并且公开了一种用于制造边缘场切换液晶显示板的方法。面板包括形成在基板上的栅极线；像素电极形成在与栅极线相同的层上；栅极绝缘膜，用于覆盖栅极线和像素电极；数据线形成为与栅极线交叉并且栅极绝缘膜设置在数据线和栅极线之间；在栅极绝缘膜上形成钝化膜以覆盖薄膜晶体管；形成为与像素电极重叠的公共电极，栅极绝缘膜和钝化膜设置在公共电极和像素电极之间。

