



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년03월27일
(11) 등록번호 10-1248003
(24) 등록일자 2013년03월21일

(51) 국제특허분류(Int. Cl.)

G02F 1/136 (2006.01)

(21) 출원번호 10-2006-0041600

(22) 출원일자 2006년05월09일

심사청구일자 2011년05월04일

(65) 공개번호 10-2007-0109091

(43) 공개일자 2007년11월15일

(56) 선행기술조사문헌

KR1019970053623 A

(73) 특허권자

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

김효욱

경북 구미시 구평동 454 구평3차 부영APT 601동 301호

임병호

경상북도 구미시 봉곡로23길 6-20, 영남네오빌사 타 201-1402호 (봉곡동)

(74) 대리인

특허법인네이트

전체 청구항 수 : 총 14 항

심사관 : 한재균

(54) 발명의 명칭 액정표시장치용 어레이 기판과 그 제조방법

(57) 요약

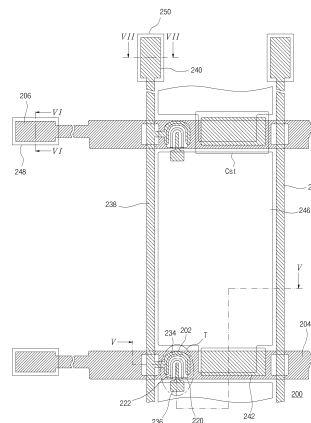
본 발명은 액정표시장치에 관한 것으로, 액티브층의 일부영역에 차단막이 구성된 박막트랜지스터와, 이를 포함하는 박막트랜지스터 어레이 기판의 제조방법에 관한 것이다.

본 발명은 박막트랜지스터의 액티브층을 게이트 전극보다 작은 면적으로 패턴하고, 상기 액티브층의 상부 일부 영역에 차단막을 구성하는 것을 제 1 특징으로 한다.

또한, 박막트랜지스터를 게이트 배선의 일부 상부에 형성하고, 이러한 형상의 어레이기판을 4 마스크 공정으로 제작하는 것을 제 2 특징으로 한다.

상기 제 1 및 제 2 특징을 통해, 고개구율및 고화질을 구현하는 액정패널을 제작할 수 있고, 4마스크 공정으로 제작하기 때문에 공정 단순화에 따른 공정 수율을 개선할 수 있는 장점이 있다.

대표도 - 도7



특허청구의 범위

청구항 1

게이트 전극과;

상기 게이트 전극의 상부에 구성된 게이트 절연막과;

상기 게이트 전극에 대응하는 게이트 절연막의 상부에, 상기 게이트 전극 보다 작은 면적으로 구성된 액티브층과;

상기 액티브층의 상부에 위치하고, 서로 이격된 소스 전극과 드레인 전극과;

상기 액티브층 상부의 일부 영역에 위치하고, 상기 소스 및 드레인 전극과 적어도 일측은 오버랩 되지 않도록 구성된 차단막과;

상기 액티브층과 상기 소스 및 드레인 전극 사이에 구성된 오믹 콘택층을 포함하는 박막트랜지스터.

청구항 2

기판의 일면에 구성되고, 일 끝단에 게이트 패드를 포함하는 게이트 배선과;

상기 게이트 배선과 교차하여 화소 영역을 정의하고, 일 끝단에 데이터 패드를 포함하는 데이터 배선과;

상기 게이트 배선의 일부를 게이트 전극으로 하고, 상기 게이트 전극에 대응하는 게이트 절연막의 상부에, 상기 게이트 전극보다 작은 면적으로 구성된 액티브층과, 상기 액티브층의 상부에 이격되어 구성된 소스 및 드레인 전극과, 상기 액티브층 상부의 일부 영역에 구성되고 적어도 일측은 상기 소스 전극 및 드레인 전극과 겹쳐지지 않도록 구성된 차단막과, 상기 소스 및 드레인 전극과 상기 액티브층 사이에 구성된 오믹 콘택층을 포함하는 박막트랜지스터와;

상기 드레인 전극과 접촉하면서 상기 화소 영역에 구성된 화소 전극을 포함하는 액정표시장치용 어레이기판.

청구항 3

제 2 항에 있어서,

상기 차단막은, 상기 소스 및 드레인 전극 사이의 이격영역에 위치하거나, 상기 소스 전극 또는 드레인 전극의 하부에 이와 적어도 일측이 겹쳐지지 않도록 위치하거나, 상기 소스 및 드레인 전극의 하부에 각각 적어도 일측이 겹쳐지지 않도록 구성하는 것을 특징으로 하는 액정표시장치용 어레이기판.

청구항 4

제 2 항에 있어서,

상기 게이트 배선의 일부 상부에 상기 화소 전극과 접촉하는 아일랜드 형상의 금속패턴을 더욱 포함하는 액정표시장치용 어레이기판.

청구항 5

제 4 항에 있어서,

상기 아일랜드 형상의 금속패턴과 그 하부의 게이트 배선을 제 1 및 제 2 전극으로 하여 형성된 스토리지 캐패시터를 더욱 포함하는 액정표시장치용 어레이기판.

청구항 6

제 2 항에 있어서,

상기 화소 전극은 투명한 재질인 것을 특징으로 하는 액정표시장치용 어레이기판.

청구항 7

제 2 항에 있어서,

상기 데이터 배선과 교차하는 영역에 대응하는 게이트 배선에 구성된 시각홀을 더욱 포함하는 것을 특징으로 하는 액정표시장치용 어레이기판.

청구항 8

기판을 준비하는 단계와;

상기 기판의 일면에, 일 끝단에 게이트 패드를 포함하는 게이트 배선을 형성하는 제 1 마스크 공정 단계와;

상기 게이트 패드 및 게이트 배선이 형성된 상기 기판의 전면에 게이트 절연막을 형성하는 단계와;

상기 게이트 배선의 일부를 게이트 전극으로 하고, 상기 게이트 전극에 대응하는 상기 게이트 절연막의 상부에, 상기 게이트 전극보다 작은 면적의 액티브층과, 상기 액티브층의 일부 영역에 차단막을 형성하는 제 2 마스크 공정 단계와;

상기 액티브층의 상부에 이격된 소스 전극과 드레인 전극과, 상기 소스 전극과 접촉하면서 일 끝단에 데이터 패드를 포함하는 데이터 배선과, 상기 소스 및 드레인 전극과 상기 액티브층 사이에 오믹 콘택층을 형성하고, 상기 게이트 패드의 일부를 노출하는 제 3 마스크 공정 단계와;

상기 드레인 전극과 접촉하는 화소 전극과, 상기 게이트 패드와 접촉하는 게이트 패드 전극과, 상기 데이터 패드와 접촉하는 데이터 패드 전극을 형성하는 제 4 마스크 공정 단계

를 포함하는 액정표시장치용 어레이기판 제조방법.

청구항 9

제 8 항에 있어서,

상기 차단막은, 상기 소스 및 드레인 전극 사이의 이격영역에 위치하거나, 상기 소스 전극 또는 드레인 전극의 하부에 이와 적어도 일측이 겹쳐지지 않도록 위치하거나, 상기 소스 및 드레인 전극의 하부에 각각 적어도 일측이 겹쳐지지 않도록 형성하는 것을 특징으로 하는 액정표시장치용 어레이기판 제조방법.

청구항 10

제 8 항에 있어서,

상기 제 3 마스크 공정 단계에서, 상기 게이트 배선의 일부 상부에 상기 화소 전극과 접촉하는 아일랜드 형상의 금속층을 형성하는 단계를 더욱 포함하는 액정표시장치용 어레이기판 제조방법.

청구항 11

제 8 항에 있어서,

상기 제 2 마스크 공정 단계는

상기 게이트 절연막의 상부에 순수 비정질 실리콘층과, 절연특성을 가지는 보호층과, 상기 보호층의 상부에 감광층을 형성하는 단계와;

상기 감광층의 이격된 상부에, 상기 게이트 배선의 일부 영역에 대응하여 차단부와 반투과부가 위치하고, 그 외의 영역에 투과부가 위치하도록 구성된 마스크를 위치시키고, 상기 마스크의 상부로부터 빛을 조사하여 상기 감광층을 노광하는 단계와;

상기 노광된 감광층을 현상하여, 상기 게이트 전극의 상부에 표면의 높이가 달라 단차진 형상의 감광패턴을 형성하는 단계와;

상기 감광패턴의 주변으로 노출된 상기 보호층과 그 하부의 비정질 실리콘층을 제거하여 액티브층과 패턴된 보호층을 형성하는 단계와;

상기 감광패턴을 애싱하여, 감광패턴의 낮은 부분을 완전히 제거하여 하부의 패턴된 보호층을 노출하는 단계와;

상기 패턴된 보호층의 노출부를 제거하여, 상기 액티브층 상부의 일부 영역에 차단막을 형성하는 단계

를 포함하는 액정표시장치용 어레이기판 제조방법.

청구항 12

제 8 항에 있어서,

상기 제 3 마스크 공정 단계는,

상기 액티브층과 차단막이 구성된 기관의 전면에 불순물 비정질 실리콘층과, 도전성 금속층과, 상기 도전성 금속층의 상부에 감광층을 적층하는 단계와;

상기 감광층의 이격된 상부에, 상기 게이트 전극에 대응하여 반투과부와 차단부가 위치하고, 상기 게이트 패드의 일부에 대응하여 투과부가 위치하고, 상기 게이트 배선과 교차하는 방향으로 막대 형상의 차단부가 위치하고, 상기 화소 영역에 대응하여 반투과부가 위치하도록 구성된 마스크를 위치시키고, 상기 마스크의 상부로 빛을 조사하여 하부의 상기 감광층을 노광하는 단계와;

상기 노광된 감광층을 현상하여, 상기 게이트 패드의 일부에 대응한 부분이 완전히 제거되고, 그 외의 영역은 높이가 다르게 단차진 형상의 감광 패턴을 형성하는 단계와;

상기 감광층이 제거되어 노출된 부분의 상기 도전성 금속층과 그 하부의 불순물 비정질 실리콘층과 게이트 절연막을 제거하여, 상기 게이트 패드의 일부를 노출하는 단계와;

상기 감광패턴의 일부를 제거하는 애싱공정을 진행하여, 상기 마스크의 반투과부에 대응하여 낮은 높이로 패턴된 부분을 완전히 제거하여, 상기 마스크의 차단부에 대응한 부분의 감광패턴이 남도록 하는 단계와;

상기 남겨진 감광패턴의 주변으로 노출된 도전성 금속층과 그 하부의 불순물 비정질 실리콘층을 제거하여, 상기 게이트 전극의 상부에 이격된 소스 전극과 드레인 전극과, 상기 소스 전극과 연결되고 일 끝단에 데이터 패드를 포함하며, 상기 게이트 배선과 교차하는 방향으로 연장된 데이터 배선과, 상기 소스 및 드레인 전극의 하부에 오믹 콘택층을 형성하는 단계

를 포함하는 액정표시장치용 어레이기판 제조방법.

청구항 13

제 8 항에 있어서,

상기 화소 전극과 게이트 패드 전극과 데이터 패드 전극은 인듐-틴-옥사이드(ITO)와 인듐-징크-옥사이드(IZO)를 포함하는 투명한 도전성 금속 그룹 중 선택된 하나로 형성된 것을 특징으로 하는 액정표시장치용 어레이기판 제조방법.

청구항 14

제 8 항에 있어서,

상기 제 1 마스크 공정에서, 상기 데이터 배선과 교차하는 영역에 대응하는 게이트 배선에 식각홀을 형성하는 단계를 포함하는 액정표시장치용 어레이 기판 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0017] 본 발명은 액정표시장치(LCD)에 관한 것으로 특히, 액정표시장치용 어레이 기판을 제작함에 있어, 채널이 빛에 노출되지 않는 동시에, 채널 표면의 오염을 방지할 수 있는 구조의 박막트랜지스터와 이를 포함하는 어레이기판을 새로운 4 마스크 공정으로 제작하는 방법에 관한 것이다.
- [0018] 일반적으로, 액정표시장치의 구동원리는 액정의 광학적 이방성과 분극성질을 이용한다.
- [0019] 상기 액정은 가늘고 긴 형상을 가지며, 분자의 배열에 방향성을 가지고 있는 동시에, 인위적으로 액정에 전기장을 인가하면 상기 분자배열의 방향을 제어할 수 있다.
- [0020] 따라서, 상기 액정의 분자배열 방향을 임의로 조절하면, 액정의 분자배열이 변하게 되고, 광학적 이방성에 의해 상기 액정의 분자배열 방향으로 빛이 굴절하여 화상을 표현하게 된다.
- [0021] 상기 액정표시장치는 공통전극이 형성된 컬러필터 기판(상부기판)과 화소전극이 형성된 어레이기판(하부기판)과, 상부 및 하부기판 사이에 충전된 액정으로 이루어지는데, 이러한 액정표시장치에서는 공통전극과 화소전극이 상-하로 걸리는 전기장에 의해 액정을 구동하는 방식으로, 투과율과 개구율 등의 특성이 우수하다.
- [0022] 현재에는 박막트랜지스터와 상기 박막트랜지스터에 연결된 화소전극이 행렬방식으로 배열된 능동행렬 액정표시장치(AM-LCD : Active Matrix LCD)가 해상도 및 동영상 구현능력이 우수하여 가장 주목받고 있다.
- [0023] 이하, 도 1을 참조하여 전술한 액정표시장치의 구성을 설명한다.
- [0024] 도 1은 액정표시장치를 확대하여 개략적으로 도시한 사시도이다.
- [0025] 도시한 바와 같이, 액정패널(51)은 액정층(미도시)을 사이에 두고 서로 이격하여 구성된 제 1 기판(5)과 제 2 기판(10)으로 구성되며, 상기 제 2 기판(10)과 마주보는 제 1 기판(5)의 일면에는 블랙매트릭스(6)와 컬러필터(적, 녹, 청)(7a,b,c)와, 컬러필터 상에 투명한 공통전극(9)이 구성된다.
- [0026] 상기 제 1 기판(5)과 마주보는 제 2 기판(10)에는 다수의 화소영역(P)이 정의되며, 상기 화소영역(P)의 일 측을 지나 연장 형성된 게이트 배선(14)과, 게이트 배선(14)이 지나가는 화소영역(P)의 일 측과 평행하지 않은 타 측을 지나 연장 형성된 데이터 배선(26)이 구성된다.
- [0027] 이러한 구성으로 인해, 상기 화소영역(P)은 상기 게이트배선(14)과 데이터배선(26)이 교차하여 정의되는 영역이 되며, 두 배선의 교차지점에는 박막트랜지스터(T)가 구성된다.
- [0028] 상기 화소영역(P)에는 상기 박막트랜지스터(T)와 접촉하는 투명한 화소전극(32)이 구성되고 이는 인듐-틴-옥사이드(indium-tin-oxide : ITO)와 같이 빛의 투과율이 비교적 뛰어난 투명 도전성 금속으로 형성한다.
- [0029] 전술한 바와 같이 구성된 액정표시장치용 어레이기판은, 대략 5~6 마스크 공정을 거쳐 제작되며 이를 간략히 소개하면 아래와 같다.
- [0030] 아래 공정은 5 마스크 공정을 예를 들어 설명한 것이며, 마스크 공정만을 나열한 것이다.
- [0031] 제 1 마스크 공정 : 게이트 전극과 게이트 배선(및 게이트 패드) 형성공정.
- [0032] 제 2 마스크 공정 : 게이트 전극 상부의 액티브층 및 오믹 콘택층 형성공정.
- [0033] 제 3 마스크 공정 : 데이터 배선(및 데이터 패드)과 소스 전극과 드레인 전극 형성공정.
- [0034] 제 4 마스크 공정 : 기판의 전면에 보호막을 형성하고, 상기 드레인 전극을 노출하는 콘택홀을 형성하는 공정.
- [0035] 제 5 마스크 공정 : 상기 콘택홀을 통해 접촉하는 화소 전극을 형성하는 공정.
- [0036] 이상과 같은 5 마스크 공정으로 액정표시장치용 어레이기판을 제작할 수 있다.
- [0037] 이와 같이 다수의 공정을 통해 어레이 기판이 제작되기 때문에, 공정이 많을수록 불량률이 발생할 확률이 커지게 되어 생산수율이 저하되는 문제가 있고, 공정시간 증가와 공정비용 상승으로 제품의 경쟁력이 약화되는 문제가

있다.

- [0038] 이러한 문제를 해결하기 위한 방법으로 4 마스크 공정이 제안되었다.
- [0039] 도 2는 종래의 4 마스크 공정으로 제작한 액정표시장치용 어레이 기판의 일부를 확대한 평면도이다.
- [0040] 도시한 바와 같이, 어레이 기판은 절연 기판(60)상에 일 방향으로 연장된 게이트 배선(62)과, 이와는 교차하여 화소 영역(P)을 정의하는 데이터 배선(98)을 포함한다.
- [0041] 상기 게이트 배선(62)의 일 끝단에 게이트 패드(64)가 구성되고, 상기 데이터 배선(98)의 일 끝단에는 데이터 패드(100)가 구성된다.
- [0042] 상기 게이트 패드(64)와 데이터 패드(100)의 상부에는 각각 이들과 접촉하는 투명한 게이트 패드 전극(114)과, 데이터 패드 전극(116)이 구성된다.
- [0043] 상기 게이트 배선(62)과 데이터 배선(98)의 교차지점에는, 상기 게이트 배선(62)과 접촉하는 게이트 전극(64)과, 게이트 전극(64)의 상부에 위치한 제 1 반도체층(90a)과, 제 1 반도체층(90a)의 상부에 이격되어 위치하는 소스 전극(94)과 드레인 전극(96)을 포함하는 박막트랜지스터(T)가 구성된다.
- [0044] 상기 화소 영역(P)에는 상기 드레인 전극(96)과 접촉하는 투명한 화소 전극(112)이 구성된다.
- [0045] 이때, 상기 게이트 배선(62)의 일부 상부에 상기 화소 전극과 접촉하게 되는 섬형상의 금속층(86)을 형성함으로써, 상기 게이트 배선(62)의 일부를 제 1 전극으로 하고 상기 섬형상의 금속층(86)을 제 2 전극으로 하고, 상기 두 전극 사이에 위치한 게이트 절연막(미도시)을 유전체로 한 스토리지 캐패시터(Cst)가 형성된다.
- [0046] 이때, 상기 데이터 배선(98)의 하부에는 상기 제 1 반도체층(90a)에서 연장된 제 2 반도체층(90b)이 구성되고, 상기 섬형상의 금속층(86)하부에는 제 3 반도체층(90c)이 형성된다.
- [0047] 이와 같은 형상으로 패터닝되는 이유는, 상기 소스 및 드레인 전극(64,66)과 반도체층(90a)을 형성하기 위한 각각의 선행층을 한꺼번에 적층한 후, 이를 동일 공정으로 패터닝하는 공정을 거치기 때문이다.
- [0048] 특히, 상기 소스 전극(64)과 드레인 전극(66)과 상기 제 1 반도체층(90a)이 평면적으로 동일한 형태이기 때문에, 상기 제 1 반도체층(90a)은 상기 게이트 전극(64)의 외측으로 확장된 영역이 발생하게 되고, 이러한 영역은 하부 광원에 의해 노출되어 활성화 된다.
- [0049] 이에 대해, 이하 도 3을 참조하여 상세히 설명한다.
- [0050] 도 3은 도 2에 도시한 박막트랜지스터의 단면도이다.
- [0051] 도시한 바와 같이, 종래의 4 마스크 공정은 박막트랜지스터(T)의 제 1 반도체층(90a)측, 액티브층(92a)과 오믹 콘택층(92b)과 소스 전극(94)과 드레인 전극(96)을 동시에 패터닝하는 공정으로 진행하기 때문에, 상기 제 1 반도체층(90a)은 소스 전극(94)과 드레인 전극(96)의 하부에 이와 거의 동일한 면적으로 위치하게 된다.
- [0052] 이때, 상기 게이트 전극(62)의 외부로 확장된 제 1 반도체층(90a)영역은 하부의 백라이트(back light, 미도시)로부터 조사된 광에 노출된다. 이와 같은 경우, 비정질 실리콘(amorphous silicon)으로 제작된 제 1 반도체층(90a)은 광에 의해 활성화 되어 광 누설전류가 생성된다.
- [0053] 상기 광 누설전류는 박막트랜지스터를 동작하는데 불필요한 오프 커런트(off current, I_{off})에 해당하며, 이러한 오프 커런트(off current)에 의해 박막트랜지스터(T)의 동작이 저하되는 원인이 된다.
- [0054] 또한, 일반적으로 비정질 실리콘(amorphous silicon)을 반도체층으로 사용할 경우에는, 게이트 전극(62), 액티브층(96a)및 오믹 콘택층(96b), 소스 및 드레인 전극(94,96)의 순서로 패터닝된 역스테거드형(inverted staggered)으로 제작하게 된다.
- [0055] 이러한 형태는 도시한 바와 같이, 보호막(100)이 형성되기 이전 상기 소스 및 드레인 전극(94,96)사이의 액티브층(active channel, CH)이 외부로 노출되는 형상이 된다.
- [0056] 이와 같은 경우, 노출된 액티브층의 표면(channel)은 공정 중 결함이 발생하거나 오염될 수 있으며, 이 또한 박막트랜지스터(T)에 오프 커런트(off current)가 발생하는 원인이 된다.
- [0057] 전술한 원인 등으로 발생하는 오프 커런트(off current)는 박막트랜지스터의 동작에 영향을 주어 액정패널의 표시품질을 낮추게 된다.

- [0058] 그런데, 전술한 바와 같이 오프 커런트(off current)가 발생할 수 있는 박막트랜지스터의 구조는, 종래의 범용적인 4마스크 공정으로 제작된 형태에 의해 필연적으로 발생하게 되는 것이며 이하, 이해를 돕기 위해 종래에 따른 4 마스크 공정을 설명한다.
- [0059] 이하, 공정도면을 참조하여 종래에 따른 4 마스크 공정으로 어레이기판을 제작하는 방법을 설명한다.
- [0060] 도 4a 내지 도 4f와 도 5a 내지 도 5f와 도 6a 내지 도 6f는 도 2의 II-II, III-III, IV-IV를 따라 절단하여, 종래의 공정순서에 따라 도시한 공정 단면도이다.
- [0061] 도 4a와 도 5a와 도 6a는 제 1 마스크 공정을 나타낸 도면이다.
- [0062] 도 4a와 도 5a와 도 6a에 도시한 바와 같이, 기판(60)상에 스위칭 영역(S)을 포함하는 화소 영역(P)과 게이트 영역(G)과 데이터 영역(D)과 스토리지 영역(C)을 정의한다.
- [0063] 이때, 상기 스토리지 영역(C)은 게이트 영역(G)의 일부에 정의된다.
- [0064] 상기 다수의 영역(S,P,G,D,C)이 정의된 기판(60)상에 알루미늄(Al), 알루미늄 합금(AlNd), 텅스텐(W), 크롬(Cr), 몰리브덴(Mo), 티타늄(Ti), 구리(Cu)등을 포함하는 도전성 금속 그룹 중 선택된 하나 또는 그 이상의 금속을 증착하고 제 1 마스크 공정으로 패터닝하여, 일 끝단에 게이트 패드(66)를 포함하는 게이트 배선(62)과, 상기 게이트 배선(62)에서 돌출되어 상기 스위칭 영역(S)에 위치하는 게이트 전극(64)을 형성한다.
- [0065] 다음으로, 도 4b 내지 도 4d와 도 5b 내지 도 5d와 도 6b 내지 도 6d는 제 2 마스크 공정을 나타낸 도면이다.
- [0066] 도 4b와 도 5b와 도 6b에 도시한 바와 같이, 상기 게이트 전극(64)과 게이트 패드(66)를 포함하는 게이트 배선(62)이 형성된 기판(60)의 전면에 게이트 절연막(68)과, 순수 비정질 실리콘층(a-Si:H, 70)과 불순물이 포함된 비정질 실리콘층(n+ 또는 p+ a-Si:H, 72)과 도전성 금속층(74)을 형성한다.
- [0067] 이때, 상기 게이트 절연막(68)은 질화 실리콘(SiN_x)과 산화 실리콘(SiO_2)등이 포함된 무기절연물질 또는 경우에 따라서는 벤조사이클로부텐(BCB)과 아크릴(Acryl)계 수지(resin)등이 포함된 유기절연물질 중 하나를 증착하여 형성하고, 상기 금속층(74)은 앞서 언급한 도전성 금속그룹 중 선택된 하나 또는 그 이상의 물질을 증착하여 형성한다.
- [0068] 다음으로, 상기 도전성 금속층(74)이 형성된 기판(60)의 전면에 포토레지스트(photo resist)를 도포하여 감광층(미도시)을 형성하고, 스위칭 영역(S)과 데이터 영역(D)과 스토리지 영역(C)의 상부에 패터닝된 제 1 내지 제 3 감광층(78a, 78b, 78c)을 형성한다.
- [0069] 이때, 상기 스위칭 영역(S)에 패터닝된 제 1 감광층(78a)은 상기 게이트 전극(64)의 중심영역에 대응하는 부분이 낮게 패터닝되어 단차진 형상으로 구성되며, 이를 위해 빛의 강도를 낮추거나 빛의 투과량을 작게 하도록 구성된 하프톤 마스크(half tone mask, 미도시)를 사용한다.
- [0070] 다음으로, 상기 제 1 내지 제 3 감광층(78a, 78b, 78c)의 주변으로 노출된 상기 금속층(74)과 그 하부의 불순물 비정질 실리콘층(72)과, 순수 비정질 실리콘층(70)을 제거하는 공정을 진행한다.
- [0071] 이때, 상기 금속층(74)의 종류에 따라 금속층과 그 하부층(70, 72)을 동시에 제거하는 공정을 진행할 수 도 있고, 상기 금속층(74)을 먼저 식각한 후 건식식각 공정을 통해 하부층(70, 72)을 제거하는 공정을 진행할 수 도 있다.
- [0072] 도 4c와 도 5c와 도 6c에 도시한 바와 같이, 전술한 제거공정을 완료하게 되면, 상기 제 1 내지 제 3 감광층(78a, 78b, 78c)의 하부에 제 1 금속층(80)과, 제 1 금속층(80)에서 화소영역(P)의 일 측을 따라 연장된 제 2 금속패턴(86)과, 상기 스토리지 영역에 대응하여 아일랜드 형상의 제 3 금속패턴(86)이 형성된다.
- [0073] 이때, 제 1 내지 제 3 금속패턴(80, 82, 86)의 하부에 순수 비정질 실리콘층(70)과 불순물이 포함된 비정질 실리콘층(72)이 존재하며, 편의상 상기 제 1 금속패턴(80)의 하부에 구성된 것은 제 1 반도체 패턴(90a), 상기 제 2 금속패턴(82)의 하부에 구성된 것은 제 2 반도체 패턴(90b), 상기 제 3 금속패턴(86)의 하부에 구성된 것은 제 3 반도체 패턴(90c)이라 칭한다.
- [0074] 다음으로, 상기 제 1 감광층(78a)중, 상기 게이트 전극(64)의 중심에 대응하여 높이가 낮은 부분을 제거하는 애싱 공정(ashing process)을 진행한다.
- [0075] 결과적으로 도시한 바와 같이, 상기 게이트 전극(64)의 중심에 대응하는 제 1 금속패턴(80)의 일부가 노출되며

이때, 상기 제 1 내지 제 3 감광패턴(78a,78b,78c)의 주변으로 제 1 내지 제 3 금속패턴(80,82,86)의 주변이 동시에 노출된다.

- [0076] 상기 애싱 공정을 진행한 후, 상기 제 1 금속패턴(80)의 노출된 부분과 그 하부의 불순물 비정질 실리콘층(72)을 제거하는 공정을 진행한다.
- [0077] 도 4d와 도 5d와 도 6d에 도시한 바와 같이, 상기 제거공정을 완료하면, 상기 게이트 전극(64)의 상부에 위치한 제 1 반도체 패턴(90a)중 하부층(순수 비정질 실리콘층)은 액티브층(92a)으로서 기능하게 되고, 상기 액티브층(92a)의 상부에서 일부가 제거되어 이격된 상부층(불순물 비정질 실리콘층)은 오믹 콘택층(92b)의 기능을 하게 된다.
- [0078] 또한, 오믹 콘택층(92b)의 상부에 위치하여 나누어진 금속패턴은 각각 소스 전극(94)와 드레인 전극(96)이 된다.
- [0079] 이때, 상기 소스 전극(94)과 접촉하는 제 2 금속패턴(도 5c의 82)은 데이터 배선(98)이라 하고, 상기 데이터 배선(98)의 일 끝단은 데이터 패드(100)라 칭한다.
- [0080] 또한, 상기 스토리지 영역(C)에 대응하여 형성된 아일랜드 형상의 제 3 금속패턴(86)은 하부의 게이트 배선(62)과 함께 스토리지 전극(storage electrode)의 기능을 하게 된다.
- [0081] 즉, 게이트 배선(62)은 스토리지 제 1 전극의 기능을 하게 되고, 상부의 제 3 금속패턴(86)은 스토리지 제 2 전극의 기능을 하게 된다. 따라서, 상기 스토리지 제 1 전극과 그 상부의 게이트 절연막(68)과 제 3 반도체 패턴(90c)과 그 상부의 스토리지 제 2 전극(86)은 보조 용량부인 스토리지 캐패시터(Cst)를 구성한다.
- [0082] 다음으로, 상기 잔류한 감광층(78a,78b,78c)을 제거하는 공정을 진행함으로써, 제 2 마스크 공정을 완료할 수 있다.
- [0083] 도 4e와 도 5e와 도 6e는 제 3 마스크 공정을 나타낸 도면으로, 상기 소스 및 드레인 전극(94,96)과 데이터 패드(100)를 포함하는 데이터 배선(98)과, 스토리지 캐패시터(Cst)가 구성된 기판(60)의 전면에 질화 실리콘(SiN_x) 또는 산화 실리콘(SiO_2)을 포함하는 무기절연물질 그룹 중 선택된 하나를 증착하거나 경우에 따라서, 벤조사이클로부텐(BCB)과 아크릴(acryl)계 수지(resin)를 포함하는 유기절연물질 그룹 중 선택된 하나를 도포하여 보호막(102)을 형성한다.
- [0084] 연속하여, 상기 보호막(102)을 패터닝하여 드레인 전극(96)의 일부를 노출하는 드레인 콘택홀(104)과, 상기 섬형상의 제 3 금속패턴을 노출하는 스토리지 콘택홀(106)과, 상기 게이트 패드(66)의 일부를 노출하는 게이트 패드 콘택홀(108)과 상기 데이터 패드(100)의 일부를 노출하는 데이터 패드 콘택홀(110)을 형성한다.
- [0085] 도 4f와 도 5f와 도 6f는 제 4 마스크 공정을 나타낸 도면으로, 상기 보호막(102)이 형성된 기판(60)의 전면에 인듐-틴-옥사이드(ITO)와 인듐-징크-옥사이드(IZO)를 포함하는 투명한 도전성 금속그룹 중 선택된 하나를 증착하고 패터닝하여, 상기 드레인 전극(96)과 섬형상의 제 3 금속패턴(86)과 동시에 접촉하면서 상기 화소 영역(P)에 위치하는 화소 전극(112)을 형성한다. 동시에, 상기 게이트 패드(66)와 접촉하는 게이트 패드 전극(114)과 상기 데이터 패드(100)와 접촉하는 데이터 패드 전극(116)을 형성한다.
- [0086] 전술한 공정을 통해, 종래에 따른 4 마스크 공정으로 액정표시장치용 어레이기판을 제작할 수 있다.
- [0087] 종래의 4 마스크 공정은 기존의 5 마스크 공정에 비해 획기적이라 할 만큼 생산비용을 낮추는 효과 및 공정시간을 단축하는 효과가 있었고, 공정이 단축됨으로써 그 만큼 불량발생확률 또한 감소하는 결과를 얻고 있다.
- [0088] 그러나, 앞서 언급한 바와 같이, 종래의 4 마스크 공정으로 제작된 박막트랜지스터의 구조를 보면, 액티브층을 형성한 후 보호막을 형성하는 공정을 진행하기 때문에, 상기 노출된 액티브층의 표면(액티브채널)이 오염될 확률이 매우 높고 또한, 액티브층과 소스 및 드레인 전극이 동시에 형성되기 때문에 필연적으로 상기 드레인 전극 또는 소스 전극의 하부에 형성된 액티브층을 하부의 게이트 전극이 완전히 가릴 수 있는 형태가 될 수 없다.
- [0089] 결과적으로, 종래의 4 마스크 공정으로 제작된 박막트랜지스터의 구조는, 오프 커런트(off current)발생 확률이 매우 높고, 액정패널의 표시품위가 저하되는 문제가 있다.
- [0090] 또한, 종래의 구조는 박막트랜지스터가 화소 영역의 일부를 차지하는 구조로설계되었기 때문에, 이는 개구영역을 잠식하는 구조이므로 휘도특성이 저하되는 문제가 있었다.

발명이 이루고자 하는 기술적 과제

- [0091] 본 발명은 전술한 문제를 해결하기 위한 것으로, 박막트랜지스터의 오프커런트를 최소화 하여 화질을 개선하는 것을 제 1 목적으로 하고, 개구영역 확대를 통해 고휘도를 구현하는 것을 제 2 목적으로 하고, 새로운 4 마스크 공정을 제안하는 것을 제 3 목적으로 한다.

발명의 구성 및 작용

- [0092] 전술한 목적을 달성하기 위한 본 발명에 따른 박막트랜지스터는 게이트 전극과; 상기 게이트 전극의 상부에 구성된 게이트 절연막과; 상기 게이트 전극에 대응하는 게이트 절연막의 상부에, 상기 게이트 전극 보다 작은 면적으로 구성된 액티브층과; 상기 액티브층의 상부에 위치하고, 서로 이격된 소스 전극과 드레인 전극과; 상기 액티브층 상부의 일부 영역에 위치하고, 상기 소스 및 드레인 전극과 적어도 일 측 변은 오버랩 되지 않도록 구성된 차단막과; 상기 액티브층과 상기 소스 및 드레인 전극 사이에 구성된 오믹 콘택층을 포함한다.
- [0093] 본 발명에 따른 액정표시장치용 어레이기판은 기판의 일면에 구성되고, 일 끝단에 게이트 패드를 포함하는 게이트 배선과; 상기 게이트 배선과 교차하여 화소 영역을 정의하고, 일 끝단에 데이터 패드를 포함하는 데이터 배선과; 상기 게이트 배선의 일부를 게이트 전극으로 하고, 상기 게이트 전극에 대응하는 게이트 절연막의 상부에, 상기 게이트 전극보다 작은 면적으로 구성된 액티브층과, 상기 액티브층의 상부에 이격되어 구성된 소스 및 드레인 전극과, 상기 액티브층 상부의 일부 영역에 구성되고 적어도 일측은 상기 소스 전극 및 드레인 전극과 겹쳐지지 않도록 구성된 차단막과, 상기 드레인 전극과 상기 액티브층 사이에 구성된 오믹 콘택층을 포함하는 박막트랜지스터와; 상기 드레인 전극과 접촉하면서 상기 화소 영역에 구성된 화소 전극을 포함한다.
- [0094] 상기 차단막은, 상기 소스 및 드레인 전극 사이의 이격영역에 위치하거나, 상기 소스 전극 또는 드레인 전극의 하부에 이와 적어도 일측이 겹쳐지지 않도록 위치하거나, 상기 소스 및 드레인 전극의 하부에 적어도 일측이 겹쳐지지 않도록 구성하는 것을 특징한다.
- [0095] 상기 게이트 배선의 일부 상부에 상기 화소 전극과 접촉하는 아일랜드 형상의 금속패턴 더욱 포함하며, 상기 아일랜드 형상의 금속패턴과 그 하부의 게이트 배선을 제 1 및 제 2 전극으로 하는 스토리지 캐패시터가 형성된다.
- [0096] 상기 데이터 배선과 교차하는 영역에 대응하는 게이트 배선에 식각홀을 구성하는 것을 특징으로 한다.
- [0097] 본 발명에 따른 액정표시장치용 어레이 기판 제조방법은 기판을 준비하는 단계와; 상기 기판의 일면에, 일 끝단에 데이터 패드를 포함하는 게이트 배선을 형성하는 제 1 마스크 공정 단계와; 상기 게이트 패드 및 게이트 배선이 형성된 기판의 전면에 게이트 절연막을 형성하는 단계와; 상기 게이트 배선에 대응하는 게이트 절연막의 상부에, 상기 게이트 배선의 너비를 초과하지 않는 면적의 액티브층과, 상기 액티브층의 일부 영역에 차단막을 형성하는 제 2 마스크 공정 단계와; 상기 액티브층의 상부에 이격된 소스 전극과 드레인 전극과, 상기 소스 전극과 접촉하면서 일 끝단에 데이터 패드를 포함하는 데이터 배선과, 상기 소스 및 드레인 전극과 상기 액티브층 사이에 오믹 콘택층을 형성하고, 상기 게이트 패드의 일부를 노출하는 제 3 마스크 공정 단계와; 상기 드레인 전극과 접촉하는 화소 전극과, 상기 게이트 패드와 접촉하는 게이트 패드 전극과, 상기 데이터 패드와 접촉하는 데이터 패드 전극을 형성하는 제 4 마스크 공정 단계를 포함한다.
- [0098] 상기 차단막은, 상기 소스 및 드레인 전극 사이의 이격영역에 위치하거나, 상기 소스 전극 또는 드레인 전극의 하부에 이와 적어도 일측이 겹쳐지지 않도록 위치하거나, 상기 소스 및 드레인 전극의 하부에 적어도 일측이 겹쳐지지 않도록 형성하는 것을 특징으로 한다.
- [0099] 상기 제 3 마스크 공정 단계에서, 상기 게이트 배선의 일부 상부에 상기 화소 전극과 접촉하는 아일랜드 형상의 금속층을 형성하는 단계를 더욱 포함한다.
- [0100] 상기 제 2 마스크 공정 단계는 상기 게이트 절연막의 상부에 순수 비정질 실리콘층과, 절연특성을 가지는 보호층과, 상기 보호층의 상부에 감광층을 형성하는 단계와; 상기 감광층의 이격된 상부에, 상기 게이트 배선의 일부 영역에 대응하여 차단부와 반투과부가 위치하고, 그 외의 영역에 투과부가 위치하도록 구성된 마스크를 위치시키고, 상기 마스크의 상부로부터 빛을 조사하여 상기 감광층을 노광하는 단계와; 상기 노광된 감광층을 현상

하여, 상기 게이트 전극의 상부에 표면의 높이가 달라 단차진 형상의 감광패턴을 형성하는 단계와; 상기 감광패턴의 주변으로 노출된 상기 보호층과 그 하부의 비정질 실리콘층을 제거하여 액티브층과 패턴된 보호층을 형성하는 단계와; 상기 감광패턴을 애싱하여, 감광패턴의 낮은 부분을 완전히 제거하여 하부의 패턴된 보호층을 노출하는 단계와; 상기 패턴된 보호층의 노출부를 제거하여, 상기 액티브층 상부의 일부 영역에 차단막을 형성하는 단계를 포함한다.

- [0101] 상기 제 3 마스크 공정 단계는, 상기 액티브층과 차단막이 구성된 기판의 전면에 불순물 비정질 실리콘층과, 도전성 금속층과, 상기 도전성 금속층의 상부에 감광층을 적층하는 단계와; 상기 감광층의 이격된 상부에, 상기 게이트 전극에 대응하여 반투과부와 차단부가 위치하고, 상기 게이트 패드의 일부에 대응하여 투과부가 위치하고, 상기 게이트 배선과 교차하는 방향으로 막대 형상의 차단부가 위치하고, 상기 화소 영역에 대응하여 반투과부가 위치하도록 구성된 마스크를 위치시키고, 상기 마스크의 상부로 빛을 조사하여 상기 하부의 감광층을 노광하는 단계와; 상기 노광된 감광층을 현상하여, 상기 게이트 패드의 일부에 대응한 부분이 완전히 제거되고, 그 외의 영역은 높이가 다르게 단차진 형상의 감광 패턴을 형성하는 단계와; 상기 감광층이 제거되어 노출된 부분의 상기 도전성 금속층과 그 하부의 불순물 비정질 실리콘층과 게이트 절연막을 제거하여, 상기 게이트 패드의 일부를 노출하는 단계와; 상기 감광패턴의 일부를 제거하는 애싱공정을 진행하여, 상기 마스크의 반투과부에 대응하여 낮은 높이로 패턴된 부분을 완전히 제거하여, 상기 마스크의 차단부에 대응한 부분의 감광패턴이 남도록 하는 단계와; 상기 남겨진 감광패턴의 주변으로 노출된 도전성 금속층과 그 하부의 불순물 비정질 실리콘층을 제거하여, 상기 게이트 전극의 상부에 이격된 소스 전극과 드레인 전극과, 상기 소스 전극과 연결되고 일 끝단에 데이터 패드를 포함하며, 상기 게이트 배선과 교차하는 방향으로 연장된 데이터 배선과, 상기 소스 및 드레인 전극의 하부에 오믹 콘택층을 형성하는 단계를 포함한다.
- [0102] 상기 화소 전극과 게이트 패드 전극과 데이터 패드 전극은 인듐-틴-옥사이드(ITO)와 인듐-징크-옥사이드(IZO)를 포함하는 투명한 도전성 금속 그룹 중 선택된 하나로 형성된 것을 특징으로 한다.
- [0103] 상기 제 1 마스크 공정에서, 상기 데이터 배선과 교차하는 영역에 대응하는 게이트 배선에 식각홀을 형성하는 단계를 포함한다.
- [0104] 이하, 첨부한 도면을 참조하여 본 발명에 따른 바람직한 실시예를 설명한다.
- [0105] -- 실시예 --
- [0106] 본 발명은 일부 영역에 차단막이 구성됨과 동시에 게이트 전극에 완전히 가려질 수 있는 형태의 액티브층을 포함하는 박막트랜지스터와, 이러한 박막트랜지스터를 포함하고 개구영역이 더욱 확장된 형태로 설계된 어레이기판을 4 마스크 공정으로 제작하는 것을 특징으로 한다.
- [0107] 도 7은 본 발명에 따른 액정표시장치용 어레이 기판의 일부를 확대한 평면도이다.
- [0108] 도시한 바와 같이, 절연 기판(200)상에 일 방향으로 연장되고 일 끝단에 게이트 패드(206)가 구성된 게이트 배선(204)과, 게이트 배선(204)과 교차하여 화소 영역(P)을 정의하고 일 끝단에 데이터 패드(240)를 포함하는 데이터 배선(238)을 구성한다.
- [0109] 상기 게이트 패드(206)와 데이터 패드(240)의 상부에는 이들과 접촉하는 게이트 패드 전극(248)과 데이터 패드 전극(250)을 구성한다.
- [0110] 또한, 상기 데이터 배선(238)과 교차하는 게이트 배선(204)의 일부를 제거하여, 상기 게이트 배선(204)과 데이터 배선(238)이 겹쳐지는 영역이 최소화 되도록 구성한다.
- [0111] 상기 두 배선(204, 238)의 겹치는 면적이 클수록 기생용량 커지고 이는 신호 지연의 원인이 되기 때문에, 전술한 구조는 이러한 신호지연을 최소화 할 수 있는 장점이 있다.
- [0112] 상기 게이트 배선(204)과 데이터 배선(238)의 교차지점에 게이트 전극(202)과 액티브층(220) 및 오믹 콘택층(미도시)과 차단막(222)과 소스 전극(234)과 드레인 전극(236)을 포함하는 박막트랜지스터(T)를 구성한다.
- [0113] 이때, 상기 박막트랜지스터(T)를 게이트 배선(204)의 상부에 구성함으로써 종래와 비교하여, 화소 영역(P)에 박막트랜지스터(T)가 차지하는 영역이 현저히 줄어들게 되어 개구영역을 더욱 확보할 수 있다.
- [0114] 한편, 상기 화소 영역(P)에는 상기 드레인 전극(236)과 접촉하는 투명한 화소 전극(246)을 구성한다.
- [0115] 상기 화소영역(P)을 정의하는 부분의 게이트 배선(204)의 상부에는 이를 스토리지 제 1 전극으로 하고, 상기 게

이트 배선(204)의 상부로 연장된 화소 전극(246)과 접촉하는 섬형상의 금속층(244)을 스토리지 제 2 전극으로 하는 스토리지 캐패시터(Cst)를 구성한다.

- [0116] 전술한 구성에서, 상기 박막트랜지스터(T)를 화소 영역(P)이 아닌 게이트 배선(204)의 상부에 구성하는 동시에, 박막트랜지스터(T)의 액티브층(220)을 게이트 전극(202)의 면적보다 작게 패터닝함으로써, 개구영역 확보 및 광전류 발생을 방지하고자 설계한 것을 제 1 특징으로 하고, 상기 소스 및 드레인 전극(234,236)사이 에 노출된 액티브층(220)의 표면(액티브 채널)의 일부 영역에 차단막(222)을 구성하는 것을 제 2 특징으로 한다.
- [0117] 전술한 바와 같이, 상기 노출된 액티브층(220) 표면의 일부 영역에 차단막(222)을 구성한 이유는, 노출된 액티브층(220)의 표면 결함 또는 오염에 의해 발생하는 누설전류 패스(leakage current pass)를 부분적으로 차단하여, 오프 커런트(off current)를 제거하기 위한 것이다.
- [0118] 이에 대해 이하, 도 8과 9를 참조하여 설명한다.
- [0119] 도 8은 본 발명에 따른 박막트랜지스터를 확대한 평면도이고, 9는 도 8의 VIII-VIII을 따라 절단한 단면도이다.
- [0120] 도 8와 9에 도시한 바와 같이, 본 발명에 따른 박막트랜지스터(T)는 게이트 배선(204)의 일부를 전극으로 사용한 게이트 전극(202)과, 상기 게이트 전극(202)의 상부에 아일랜드 형상으로 구성된 액티브층(220)과, 상기 액티브층(220)의 상부에는 이격된 소스 전극(234)과 드레인 전극(236)을 포함한다.
- [0121] 또한, 상기 액티브층(220)과 소스 및 드레인 전극(234,236)사이에는 오믹 콘택층(242)을 포함한다.
- [0122] 이때, 상기 액티브층(220)을 상기 게이트 전극(202)의 면적과 같거나 작게 형성하여, 하부의 광원으로부터 조사된 빛에 의해 상기 액티브층(220)이 노출되지 않도록 하는 것을 특징으로 한다.
- [0123] 또한, 상기 소스 및 드레인 전극(234,236) 사이로 노출된 액티브층 표면(액티브 채널,CH)의 일부 영역에 차단막을 구성하는 것을 특징으로 한다.
- [0124] 상기 차단막(222)은, 노출된 액티브층의 표면(CH,액티브 채널)에 결함이 발생하거나, 노출된 액티브층(220)의 표면이 오염되는 것을 방지하기 위한 것이다.
- [0125] 이때, 상기 차단막(222)의 폭은 소스 전극과 드레인 전극(234,236)의 이격거리와 동일할 필요는 없다. 하지만, 차단막(222)의 길이는 이격너비와는 같거나 크게 패터닝한다.
- [0126] 이와 같이 구성하면, 차단막(222)과 상기 소스 및 드레인 전극(234,236) 사이로 일부 노출된 액티브층(220)의 표면이 오염되더라도, 상기 차단막(222)에 의해 상기 두 전극(234,236) 간에 오염 및 결함의 연속성을 차단할 수 있기 때문에 누설전류 패스가 형성되지 않게 되어, 상기 박막트랜지스터(T)에는 오프 커런트(off current)가 발생하지 않게 된다.
- [0127] 이때, 상기 소스 및 드레인 전극(234,236)사이의 액티브 채널(CH)의 길이를 짧게 하고 너비를 크게 설계함으로써 박막트랜지스터의 동작을 개선하기 위한 방법으로 도시한 바와 같이, 상기 소스 전극(234)을 "U"형상으로 형성하고, 상기 드레인 전극(236)을 "U"형상의 내부에 이와 일정하게 이격되는 막대 형상으로 구성하는데, 이러한 경우 채널은 "U"형태가 되고 이에 따라, 상기 차단막(222) 또한 "U" 형상으로 구성한다.
- [0128] 이러한 차단막(22)은, 상기 소스 및 드레인 전극(234,236)사이 에 누설전류 패스를 막는 역할을 하면 되므로, 소스 전극(234)과 드레인 전극(236) 사이에서 그 위치는 다양해질 수 있다. 이에 대해, 이하 도면을 참조하여 설명한다.
- [0129] 도 10과 도 11은 본 발명의 또 다른 예에 따른 박막트랜지스터의 구성을 나타낸 단면도이다.
- [0130] 도 10에 도시한 바와 같이, 상기 차단막(222)은 소스 전극(234) 또는 드레인 전극(236)의 어느 한쪽에 치우쳐 구성할 수도 있으며, 도 11에 도시한 바와 같이, 상기 소스 및 드레인 전극(234,236)의 하부에 각각 구성할 수도 있다.
- [0131] 이때, 상기 소스 및 드레인 전극(234,236)의 하부에 차단막(222)을 형성할 경우, 상기 소스 및 드레인 전극(234,236)과 그 하부의 오믹 콘택층(242)은 상기 차단막(222)을 완전히 감싸는 형상이 아닌, 상기 차단막(222)의 일부를 덮는 형태로 구성해야 누설전류 패스를 완전히 차단할 수 있다.
- [0132] 이하, 공정 도면을 참조하여, 전술한 구조의 박막트랜지스터와 이를 포함하는 어레이기판을 본 발명에 따른 4 마스크 공정으로 제작하는 방법을 설명한다.

- [0133] 도 12a 내지 도 12l과 도 13a 내지 도 13l과 도 14a 내지 도 14l은 도 7의 V-V, VI-VI, VII-VII을 따라 절단하여, 본 발명의 공정순서에 따라 도시한 공정 단면도이다.(이때, 도 7의 V-V는 박막트랜지스터 및 화소 영역의 절단선이고, VI-VI은 게이트 패드의 절단선이고, VII-VII은 데이터 패드의 절단선이다.)
- [0134] 도 12a와 도 13a와 도 14a는 제 1 마스크 공정을 도시한 도면으로, 기판(200)상에 스위칭 영역(S)을 포함하는 화소 영역(P)과 게이트 영역(G)과 데이터 영역(D)과 스토리지 영역(C)을 정의한다.
- [0135] 이때, 상기 스토리지 영역(C)과 스위칭 영역(S)을 게이트 영역(G)의 일부에 정의 한다.
- [0136] 상기 다수의 영역(S,P,G,D,C)을 정의한 기판(200)상에 알루미늄(Al), 알루미늄 합금(AlNd), 텅스텐(W), 크롬(Cr), 몰리브덴(Mo)등의 단일 금속이나 알루미늄(Al)/크롬(Cr)(또는 몰리브덴(Mo))등을 포함하는 도전성 금속 그룹 중 선택된 하나 또는 그 이상의 금속을 증착하고 패터닝하여, 상기 게이트 영역(G)에 대응하여 일 끝단에 게이트 패드(206)를 포함하는 게이트 배선(204)을 형성한다.
- [0137] 이때, 스위칭 영역(S)에 대응하는 게이트 배선(204)의 일부를 게이트 전극(202)으로 사용한다.
- [0138] 또한, 이후 공정에서 형성되는 데이터 배선(미도시)과 교차되는 영역(F)에 대응하는 게이트 배선(202)의 일부를 식각하여 식각홀(208)을 형성한다.
- [0139] 이는, 상기 두 배선의 교차분에서 상기 게이트 배선(204)과 데이터 배선(미도시)이 겹치는 영역을 줄임으로써, 상기 두 배선(204, 미도시)의 겹침면적에서 발생하는 기생 용량(parasitic capacitance)을 줄이기 위한 설계이다.
- [0140] 이하, 도 12b 내지 도 12e와 도 13b 내지 도 13e와 도 14b 내지 도 14e는 제 2 마스크 공정을 나타낸 도면이다.(하프톤 마스크 공정임으로 이를 자세히 설명한다.)
- [0141] 도 12b와 도 13b와 도 14b에 도시한 바와 같이, 상기 게이트 전극(202)과 게이트 패드(206)를 포함하는 게이트 배선(204)이 형성된 기판(200)의 전면에 게이트 절연막(210)과 비정질 실리콘층(212)과 보호층(절연층, 214)을 적층한다.
- [0142] 이때, 상기 게이트 절연막(210)은 질화 실리콘(Si_3N_4)과 산화 실리콘(SiO_2)등이 포함된 무기절연물질 그룹 중 선택된 하나를 증착하여 형성하고, 상기 비정질 실리콘층(212)은 비정질 실리콘(a-Si:H)을 증착하여 형성하고, 상기 보호층(214)은 상기 게이트 절연막(210)과 같은 무기 절연물질 그룹 중 선택된 하나를 증착하여 형성한다.
- [0143] 다음으로, 상기 보호층(214)의 상부에 포토레지스트(photo-resist)를 도포하여 감광층(216)을 형성한다.
- [0144] 다음으로, 상기 감광층(216)의 이격된 상부에 투과부(B1)와 차단부(B2)와 반투과부(B3)로 구성된 마스크(M)를 위치시킨 후, 상기 마스크(M)의 상부로 빛을 조사하여 하부의 감광층(216)을 노광하는 공정을 진행한다.
- [0145] 상기 반투과부(B3)는 마스크(M)에 슬릿(slit) 또는 반투명막을 형성하한 것으로 이는 빛의 강도를 낮추거나 빛의 투과량을 낮추는 것으로, 이를 통해 하부의 감광층(216)은 완전노광이 아닌 불완전 노광이 가능하게 된다.
- [0146] 이때, 상기 스위칭 영역(S)에 반투과부(B3)와, 반투과부(B3)의 양측에는 차단부(B2)가 대응되도록 한다. 그 외의 영역은 투과부(B1)가 대응되도록 한다.
- [0147] 다음으로, 상기 부분적으로 노광이 진행된 감광층(216)을 현상하는 공정을 진행한다.
- [0148] 도 12c와 도 13c와 도 14c에 도시한 바와 같이, 상기 현상공정이 완료되면 상기 스위칭 영역(S)에 대응하여 단차진 감광패턴(218)이 형성된다.
- [0149] 이때, 감광패턴(218)의 단차 형상은, 게이트 전극(202)에 대응하는 중심부가 높고 그 주변부는 낮은 형태로 구성된다.
- [0150] 상기 감광패턴(218)의 주변으로 노출된 보호층(214)과 그 하부의 비정질 실리콘층(212)을 제거하는 공정을 진행한다.
- [0151] 도 12d와 도 13d와 도 14d에 도시한 바와 같이, 상기 제거공정이 완료되면 상기 감광패턴(218)의 하부에만 패턴된 비정질 실리콘층(212)과 보호층(214)이 남게 된다.
- [0152] 이때, 상기 패턴된 비정질 실리콘층(212) 상기 게이트 전극(202)내에 패턴되어 상기 게이트 전극의 면적을 넘지 않는 크기로 패턴하는 것을 특징으로 한다.

- [0153] 다음으로, 상기 감광패턴(218)의 낮은 부분을 제거하는 애싱공정을 진행한다.
- [0154] 도 12e와 도 13e와 도 14e에 도시한 바와 같이, 상기 게이트 전극(202)의 중심에 대응하는 감광패턴만(218)이 상부로 부터 일부만이 제거되어 남게 된다.
- [0155] 상기 남겨진 감광패턴(218)의 주변으로 앞서 패턴된 보호층(214)을 제거하는 공정을 진행한 후, 남겨진 감광패턴(218)을 제거하는 공정을 진행한다.
- [0156] 이와 같이 하면, 도 12f와 도 13f와 도 14f에 도시한 바와 같이, 상기 게이트 전극(202)에 대응하는 게이트 절연막(210)의 상부에 패턴된 비정질 실리콘층인 아일랜드 형상의 액티브층(220)과, 상기 액티브층(220)의 중심에 대응하여 차단막(222)이 형성된다.
- [0157] 이때, 상기 차단막(222)은 이후 공정에서 형성될 소스 및 드레인 전극(미도시)의 형상에 따라 달라지며, 상기 소스 전극(미도시)을 "U"형상으로 설계할 경우에는, 상기 차단막(미도시)또한 "U"형상으로 설계하면 된다.
- [0158] 상기 차단막(222)은, 상기 액티브층(220)의 표면에 결함이 발생하거나 표면이 오염되는 것을 방지하는 기능을 한다.
- [0159] 다음으로, 상기 차단막(222)의 상부에 남겨진 감광패턴(218)을 제거하는 공정을 진행한다.
- [0160] 도 12g와 도 13g와 도 14g에 도시한 바와 같이, 상기 차단막(222)이 형성된 기판(200)의 전면에 불순물이 포함된 비정질 실리콘(n+a-Si:H)을 증착하여 불순물 비정질 실리콘층(224)을 형성한다.
- [0161] 다음으로, 상기 불순물 비정질 실리콘층(224)의 형성된 기판(200)의 전면에 앞서 언급한 도전성 금속 그룹 중 선택된 하나 또는 하나 이상의 금속을 증착하여 도전성 금속층(226)을 형성한다.
- [0162] 이때, 상기 차단막(222)에 의해 상기 액티브층(220)의 일부 표면에는 상기 불순물 비정질 실리콘층(212)이 직접 증착되지 않게 된다.
- [0163] 다음으로, 상기 도전성 금속층(226)이 형성된 기판(200)의 전면에 포토레지스트(photo-resist)를 도포하여 감광층(228)을 형성한다.
- [0164] 상기 감광층(228)의 이격된 상부에 투과부(B1)와 차단부(B2)와 반투과부(B3)로 구성된 마스크(M)를 위치시킨다.
- [0165] 이때, 상기 마스크(M)의 투과부(B1)는 게이트 패드(206)의 일부에 대응하여 위치하고, 상기 스위칭 영역(S)에는 상기 차단막(222)에 대응하여 이보다 큰 면적으로 반투과부(B3)가 위치하고, 상기 반투과부(B3)의 양측에 차단부(B2)가 위치한다.
- [0166] 또한, 상기 데이터 영역(D)과 스토리지 영역(C)에 대응하여 차단부(B1)가 위치하고, 상기 화소 영역(P)에는 반투과부가 위치한다.
- [0167] 다음으로, 상기 마스크(M)의 상부로 빛을 조사하여 하부의 감광층(228)을 노광하는 공정을 진행한다. 이때, 상기 감광층(228)은 상기 마스크(M)의 투과부(B1)에 대응하여 완전노광하게 되고, 반투과부(B3)에 대응하여 불완전 노광하게 되고, 차단부(B2)에 대응하여 노광되지 않는다.
- [0168] 다음으로, 전술한 바와 같은 노광형태로 노광이 진행된 감광층을 현상하는 공정을 진행한다.
- [0169] 이와 같이 하면, 도 12h와 도 13h와 도 14h에 도시한 바와 같이, 스위칭 영역(S)의 상기 차단막(222)에 대응하는 부분과 화소 영역(P)은 상부로부터 일부만이 제거된 형태가 되고, 상기 차단막(222)을 제외한 스위칭 영역(S)의 다른 영역과 상기 스토리지 영역(C)과 데이터 영역(D)은 원래의 높이로 남아 있게 되고, 상기 게이트 패드(206)에 대응한 일부는 제거되어 하부의 도전성 금속층(226)이 노출되도록 제거된 감광층(230)이 남게 된다.
- [0170] 다음으로, 도 12i와 도 13i와 도 14i에 도시한 바와 같이, 상기 게이트 패드(206)에 대응하여 노출된 도전성 금속층(228)과 그 하부의 비정질 실리콘층(224)과 그 하부의 게이트 절연막(210)을 제거하여, 게이트 패드(206)의 일부를 노출하는 게이트 콘택홀(232)을 형성한다.
- [0171] 다음으로, 도 12j와 도 13j와 도 14j에 도시한 바와 같이, 감광층(230)을 애싱하는 공정을 진행하여, 스위칭 영역(S)과 화소 영역(P)에 대응하여 낮은 높이로 현상된 부분을 완전히 제거하여 하부의 도전성 금속(214)을 노출하는 공정을 진행한다.
- [0172] 이와 같이 하면, 상기 스위칭 영역(S)에 대응하여 차단막(222)의 양측과, 상기 스토리지 영역(C)과, 상기 데이

터 영역(D)에만 감광패턴(230)이 남게 된다.

- [0173] 다음으로, 상기 감광패턴(230)의 주변으로 노출된 도전성 금속층(228)과 그 하부의 불순물 비정질 실리콘층(224)을 제거하는 공정을 진행한다.
- [0174] 이와 같이 하면, 도 12k와 도 13k와 도 14k에 도시한 바와 같이, 스위칭 영역(S)에 대응하여 차단막(222)의 양측에 위치한 감광패턴(230)의 하부에는 각각 소스전극(234)과 드레인 전극(236)이 형성되고, 상기 스토리지 영역(C)에 대응하는 감광패턴(230)의 하부에는 섬형상의 금속층(244)이 형성되고, 상기 데이터 영역(D)에 대응하는 감광패턴(230)의 하부에는 끝단에 데이터 패드(240)를 포함하고 상기 소스 전극(234)과 접촉하는 데이터 배선(238)이 형성된다.
- [0175] 상기 소스 및 드레인 전극(234,236)의 하부에 패턴된 불순물 비정질 실리콘층은 저항성 접촉을 갖기 때문에 오믹 콘택층(242)이라 한다.
- [0176] 한편, 상기 차단막 (222)이 위치하는 부분의 액티브층(220)표면에는 상기 오믹 콘택층(242)을 형성하기 위한 패턴 공정에서 남은 잔류 입자와 같은 오염물질이 존재할 수 없기 때문에, 차단막(222)외의 노출된 액티브층(220)의 표면(G)이 일부 오염되었다 하더라도, 이러한 오염상태의 연속성이 상기 차단막(222)에 의해 차단되기 때문에, 누설전류의 패스가 발생하지 않아 누설전류에 의한 영향을 차단할 수 있다.
- [0177] 다음으로, 상기 소스 전극(234)과 드레인 전극(236)과 섬형상의 금속층(244)과, 데이터 배선(238)과 데이터 패드(240)의 상부에 위치한 감광패턴(230)을 제거하는 공정을 진행한다.
- [0178] 이상으로 전술한 12b 내지 도 12k와 도 13b와 도 13k와 도 14b 내지 도 14k를 통해 본 발명에 따른 제 3 마스크 공정을 설명하였다.
- [0179] 이하, 도 12l과 도 13l과 도 14l은 4 마스크 공정을 나타낸 도면으로, 상기 소스 및 드레인 전극(234,236)과, 섬형상의 금속층(244)과, 데이터 배선 및 데이터 패드(238,240)가 형성된 기판(200)의 전면에 인듐-틴-옥사이드(ITO)와 인듐-징크-옥사이드(IZO)를 포함하는 투명한 도전성 금속 그룹 중 선택된 하나를 증착하고 제 4 마스크 공정으로 패턴하여, 상기 드레인 전극(236)과 상기 섬형상의 금속층(244)과 동시에 접촉하면서 상기 화소 영역(P)에 위치하는 화소 전극(246)을 형성하고, 상기 게이트 패드(206)와 접촉하는 게이트 패드 전극(248)과 상기 데이터 패드(240)와 접촉하는 데이터 패드 전극(250)을 형성한다.
- [0180] 전술한 바와 같은 본 발명에 따른 4 마스크 공정으로 액정표시장치용 어레이기판을 제작할 수 있다.
- [0181] 전술한 본 발명의 공정을 다시 한번 간략히 정리하면 아래와 같다.
- [0182] 제1 마스크 공정 : 게이트 배선(및 게이트 전극)과 게이트 패드 형성공정.
- [0183] 제 2 마스크 공정 : 액티브층과, 액티브층의 일부 영역에 차단막 형성.
- [0184] 제 3 마스크 공정 : 게이트 패드 콘택홀과, 소스전극과 드레인 전극과 데이터 패드 및 데이터 배선과, 상기 소스 및 드레인 전극의 하부에 오믹 콘택층 형성.
- [0185] 제 4 마스크 공정 : 화소 전극과 게이트 패드 전극과 데이터 패드 전극 형성공정.
- [0186] 전술한 4 마스크 공정을 통해 본원 발명에 따른 액정표시장치용 어레이기판을 제작할 수 있다.
- [0187]

발명의 효과

- [0188] 따라서, 본 발명에 따른 박막트랜지스터는 액티브층이 게이트 전극에 의해 완전히 가려지는 구성임으로, 빛에 의한 누설전류가 발생하지 않아 박막트랜지스터의 동작이 안정화 될 수 있으므로 고화질을 구현할 수 있는 효과가 있다.
- [0189] 또한, 소스 및 드레인 전극 사이로 노출된 액티브채널의 일부 영역에 오염을 방지할 수 있는 차단막을 구성함으로써, 상기 차단막에 의해 누설전류 패스를 차단할 수 있기 때문에, 이 또한 누설전류를 최소화 할 수 있어 고화질을 구현할 수 있는 효과가 있다.
- [0190] 또한, 게이트 배선의 일부 영역을 게이트 전극으로 사용하면서 게이트 배선에 박막트랜지스터를 구성하였기 때문에, 개구영역이 확장되어 휘도를 개선할 수 있는 효과가 있다.

도면의 간단한 설명

도 1은 일반적인 액정패널의 구성을 개략적으로 도시한 사시도이고,

도 2는 종래에 따른 액정표시장치용 어레이기판의 일부를 확대한 확대 평면도이고,

도 3은 도 2에 따른 박막트랜지스터의 단면도이고,

도 4a 내지 도 4f와 도 5a 내지 도 5f와 도 6a 내지 도 6f는 도 2의 II-II, III-III, IV-IV를 따라 절단하여, 종래의 공정순서에 따라 도시한 공정 단면도이고,

도 7은 본 발명에 따른 액정표시장치용 어레이기판의 일부를 확대한 평면도이고,

도 8은 본 발명에 따른 박막트랜지스터를 확대한 평면도이고,

도 9는 도 8의 VIII-VIII을 따라 절단한 박막트랜지스터의 단면도이고,

도 10과 도 11은 본 발명의 다른 예에 따른 박막트랜지스터의 형태를 도시한 단면도이고,

도 12a 내지 도 12l과 도 13a 내지 도 13l과 도 14a 내지 도 14l은 도 7의 V-V, VI-VI, VII-VII을 따라 절단하여, 본 발명의 공정순서에 따라 도시한 공정 단면도이다.

<도면의 주요부분에 대한 간단한 설명>

200 : 기관 202 : 게이트 전극

204 : 게이트 배선 206 : 게이트 패드

220 : 액티브층 222 : 차단막

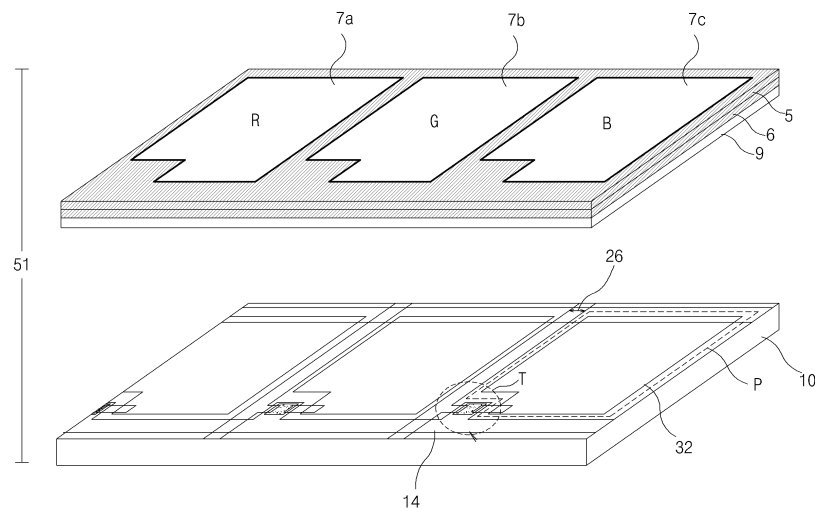
234 : 소스 전극 236 : 드레인 전극

238 : 데이터 배선

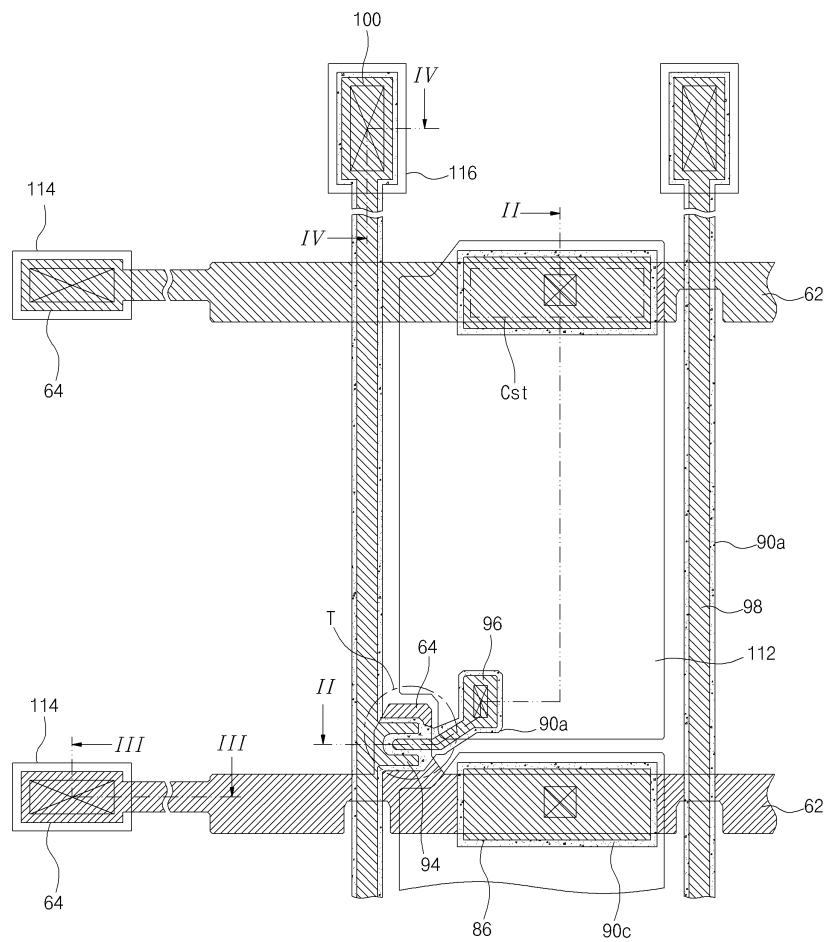
248 : 게이트 패드 전극 250 : 데이터 패드 전극

도면

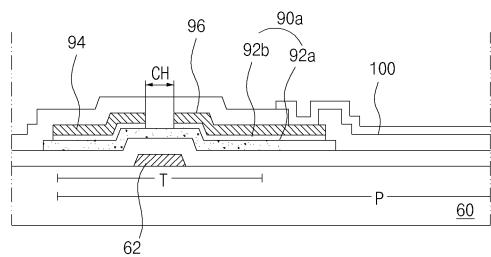
도면1



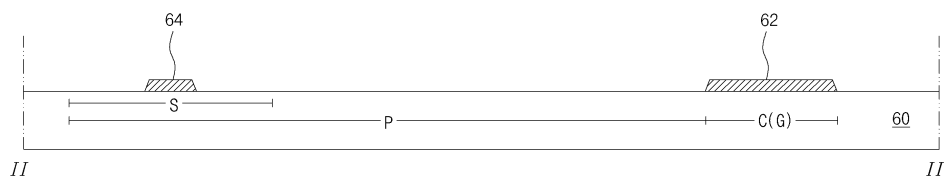
도면2



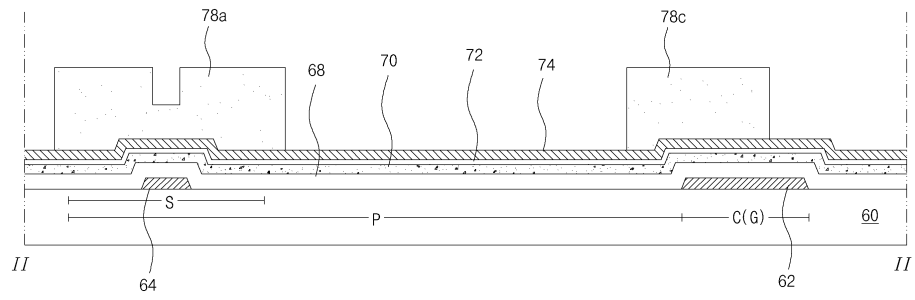
도면3



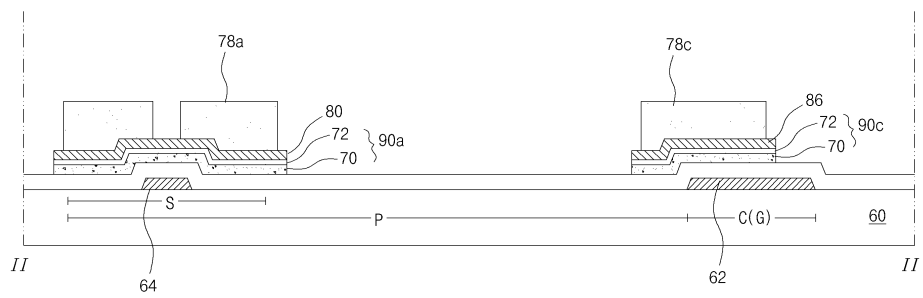
도면4a



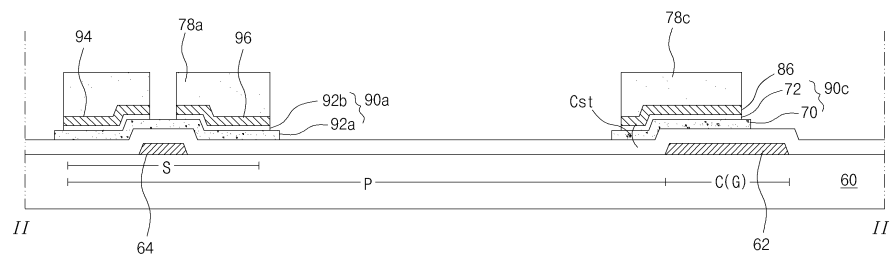
도면4b



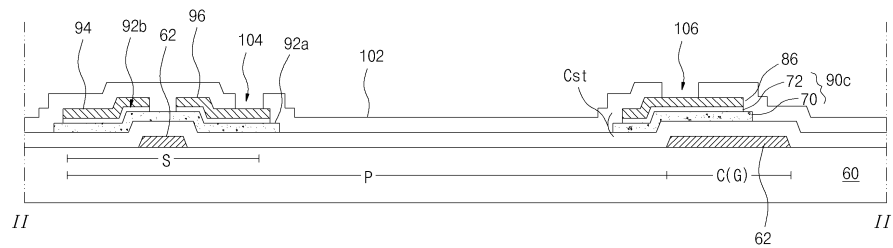
도면4c



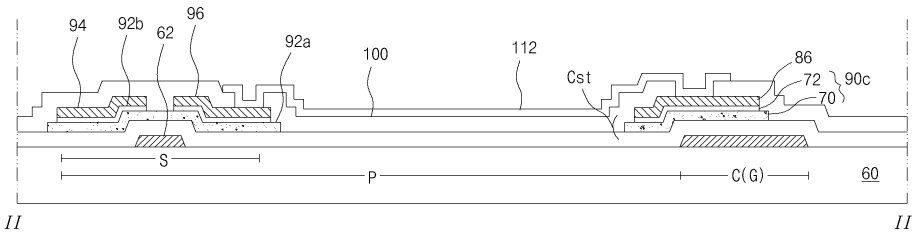
도면4d



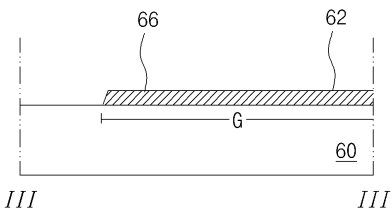
도면4e



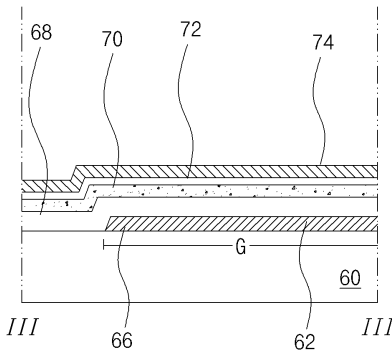
도면4f



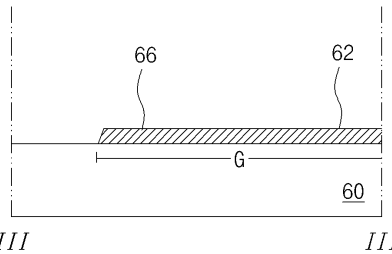
도면5a



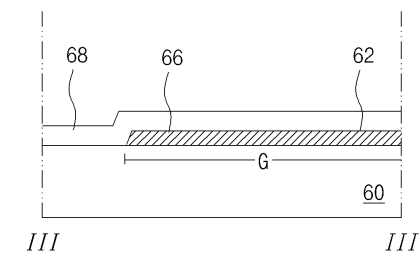
도면5b



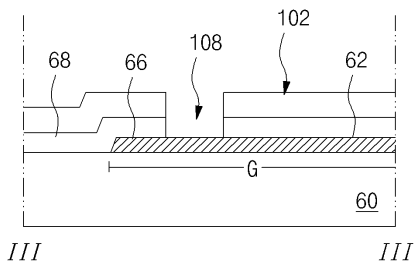
도면5c



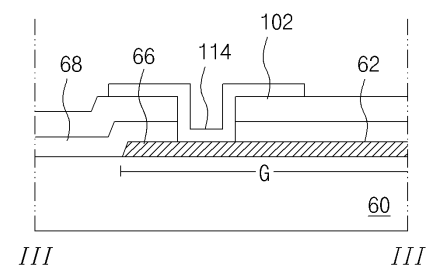
도면5d



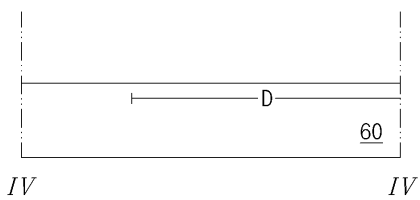
도면5e



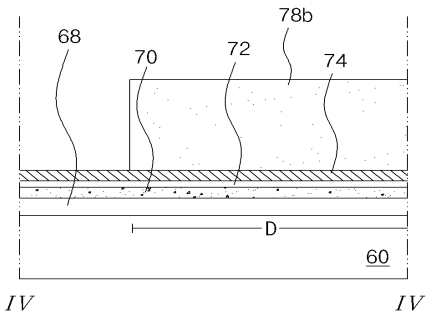
도면5f



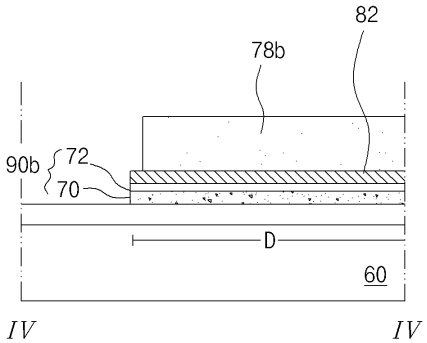
도면6a



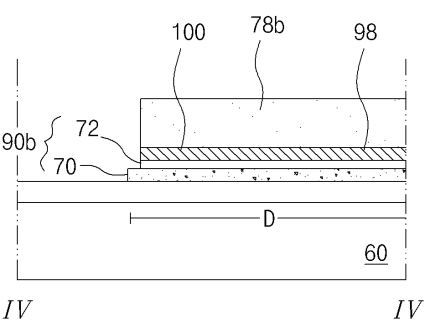
도면6b



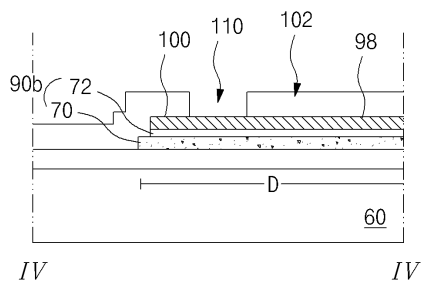
도면6c



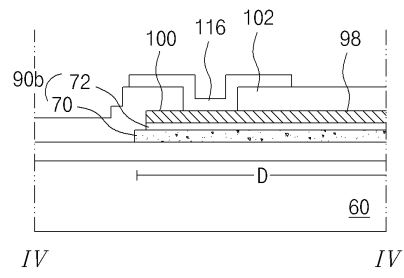
도면6d



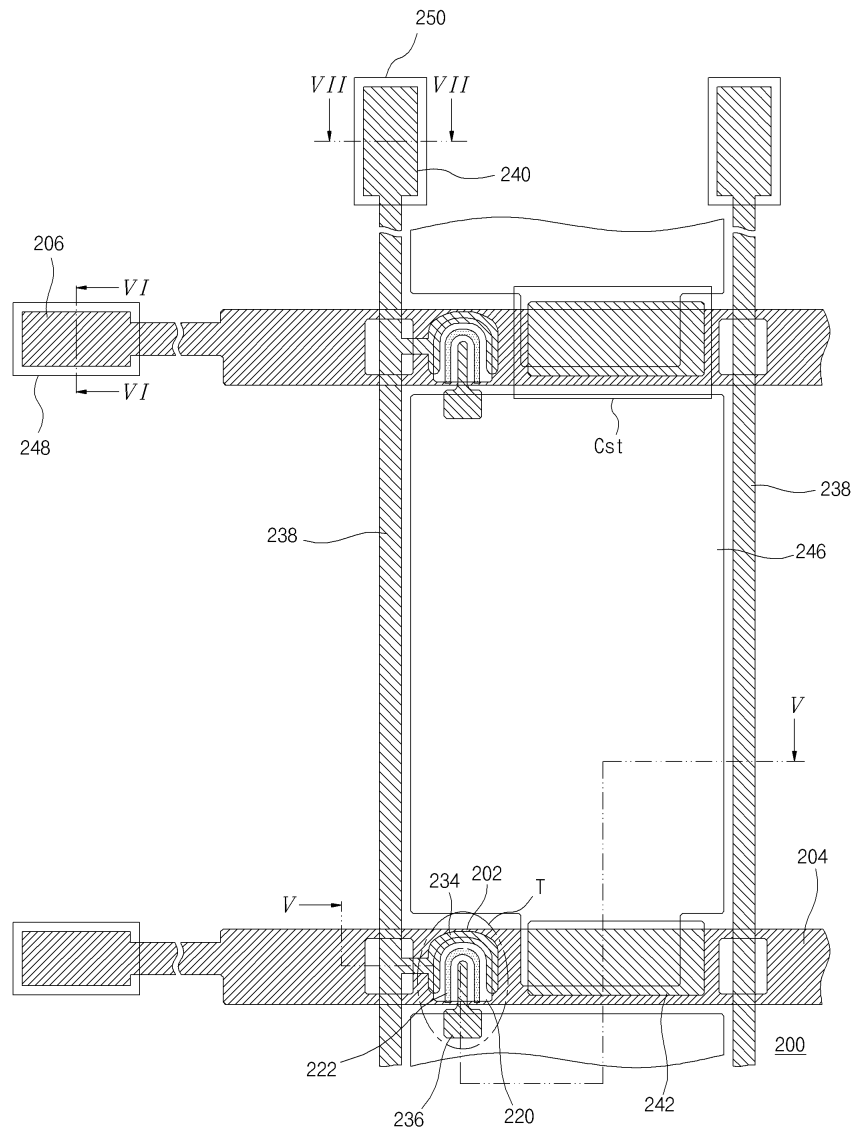
도면6e



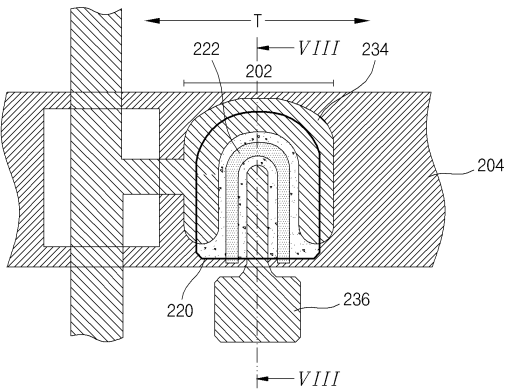
도면6f



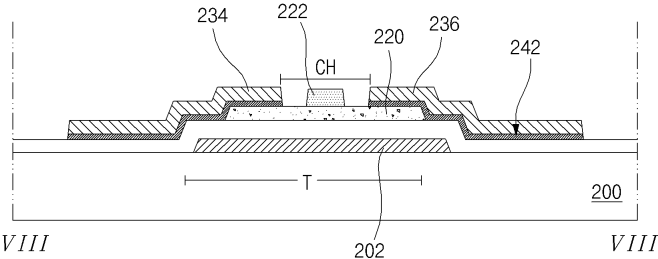
도면7



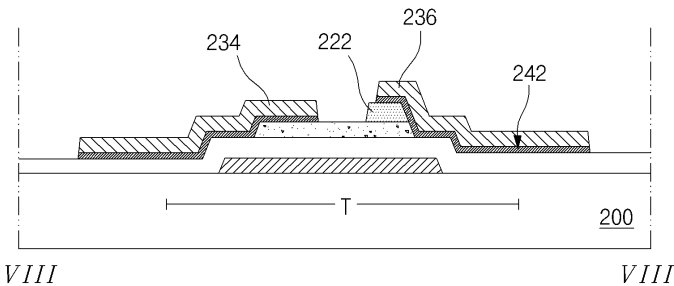
도면8



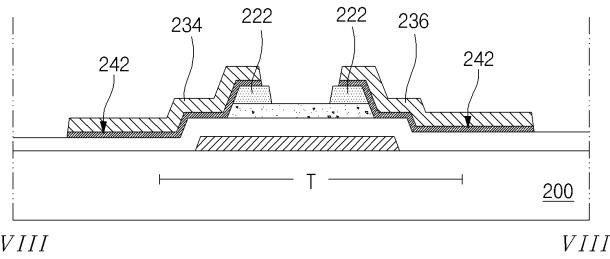
도면9



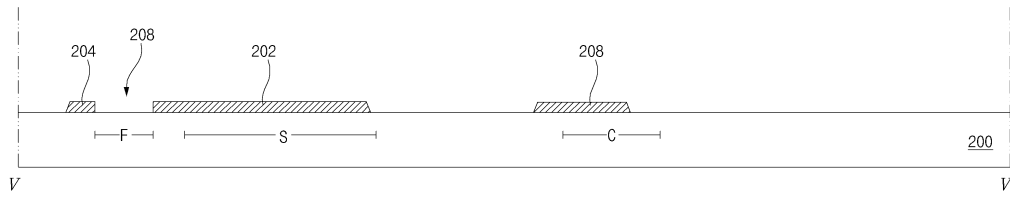
도면10



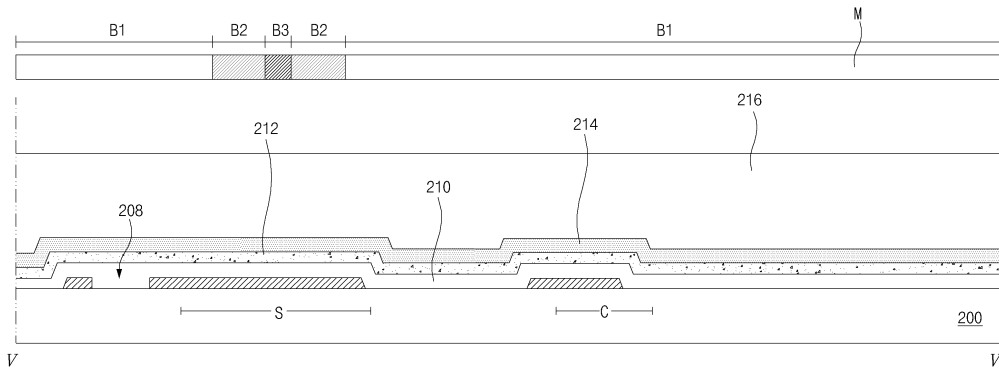
도면11



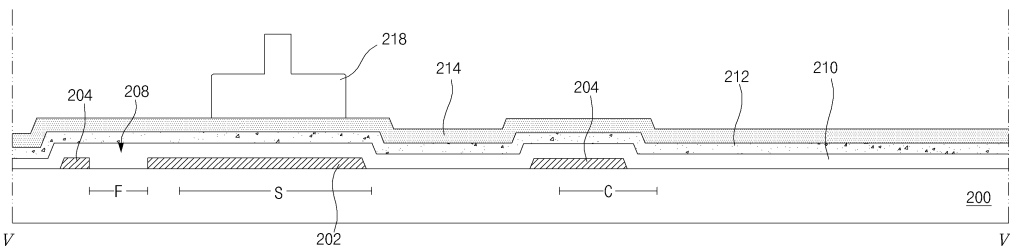
도면12a



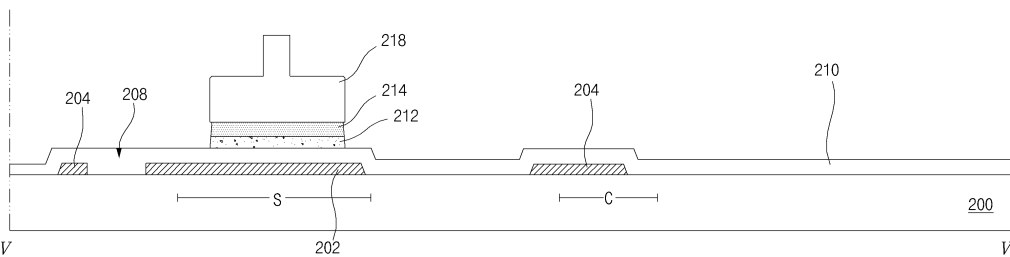
도면12b



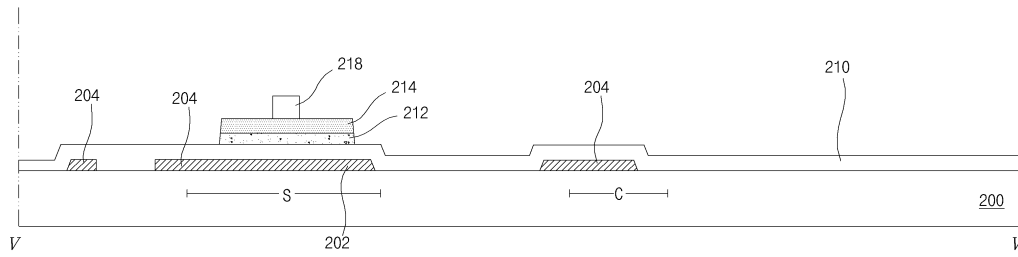
도면12c



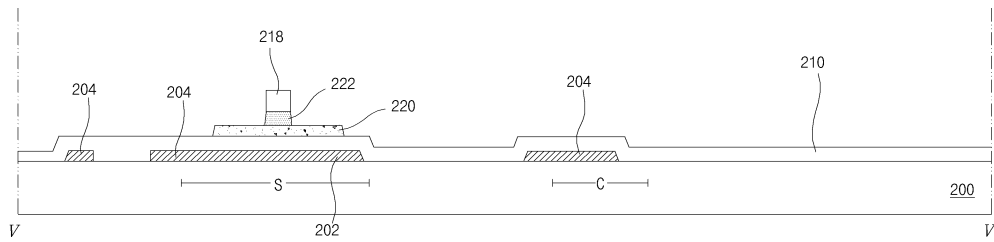
도면12d



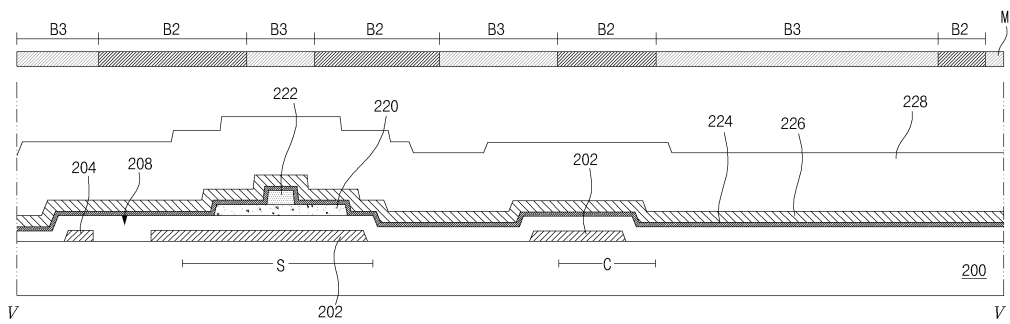
도면12e



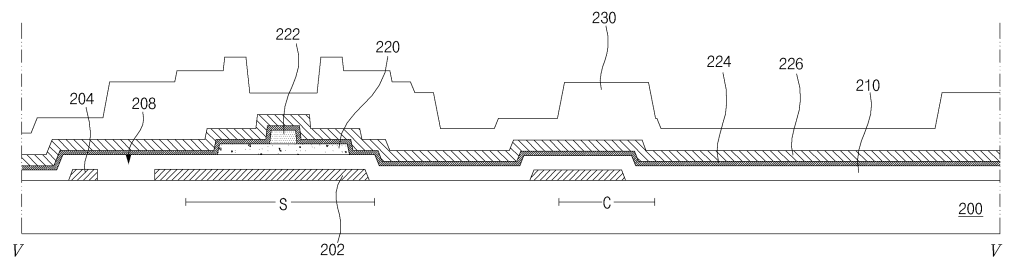
도면12f



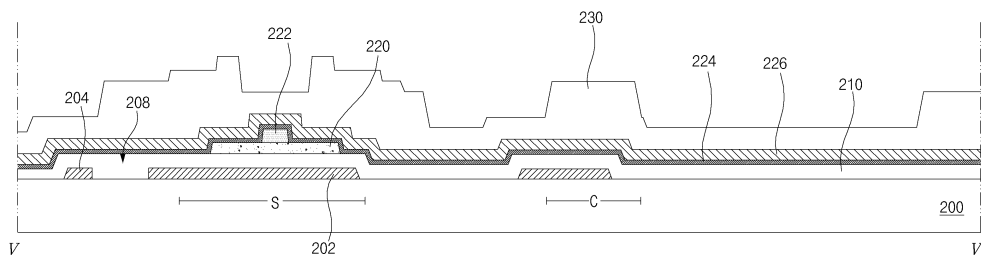
도면12g



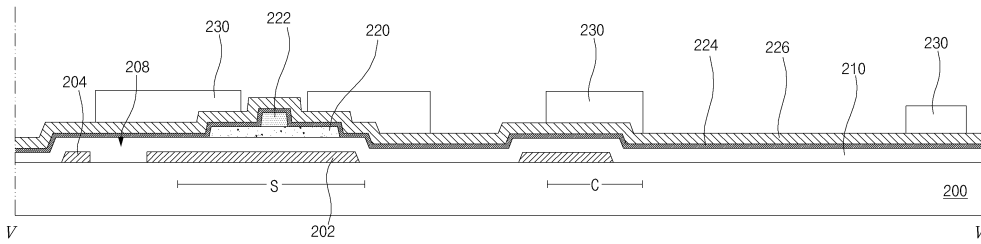
도면12h



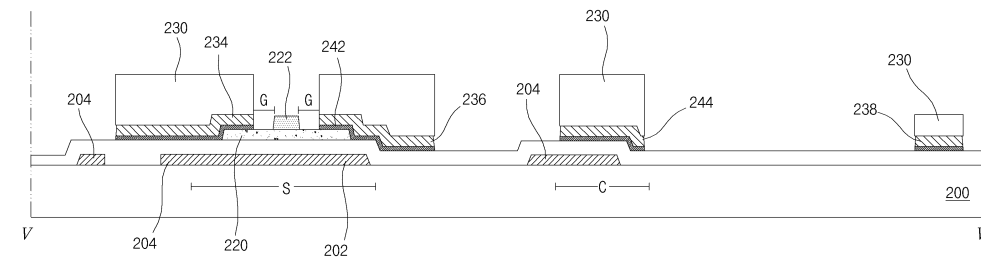
도면12i



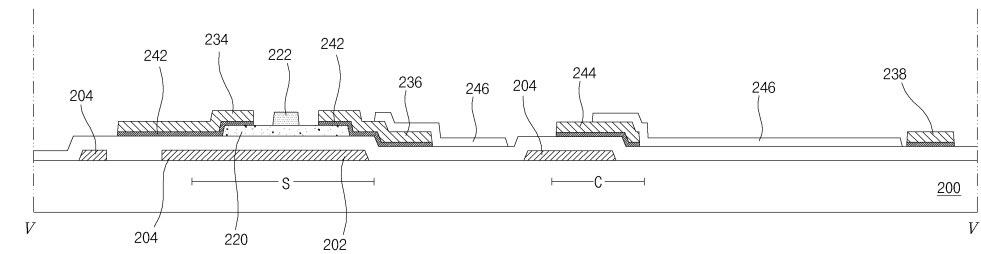
도면12j



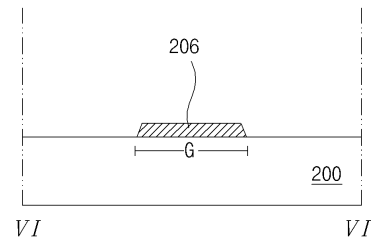
도면12k



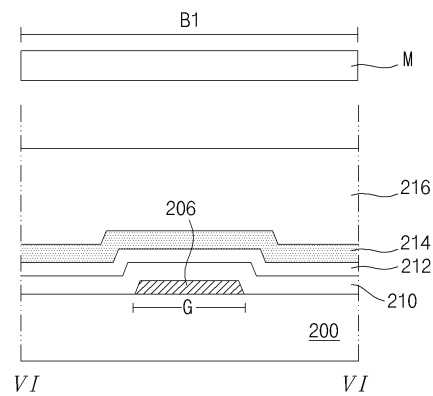
도면12l



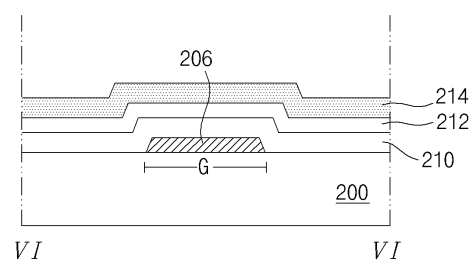
도면13a



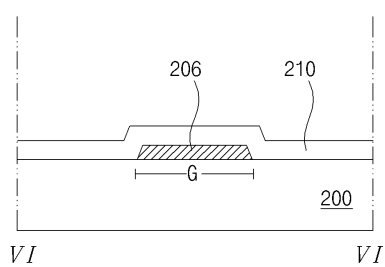
도면13b



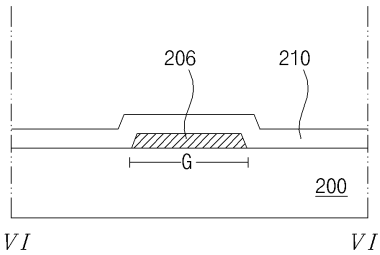
도면13c



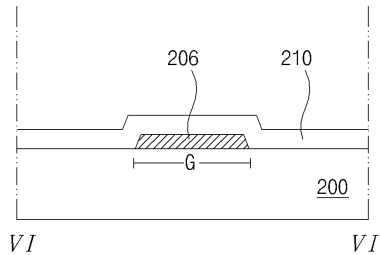
도면13d



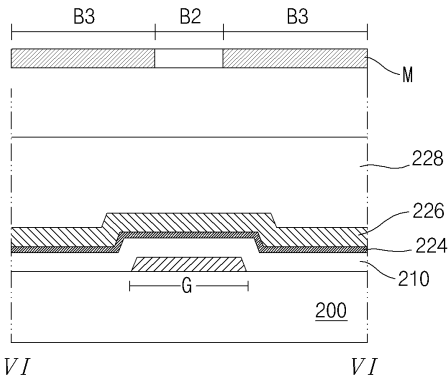
도면13e



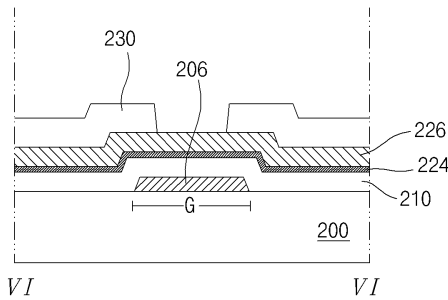
도면13f



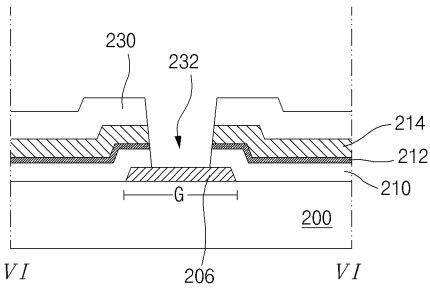
도면13g



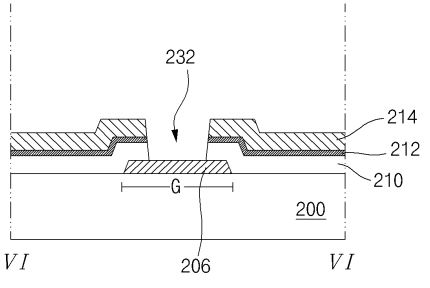
도면13h



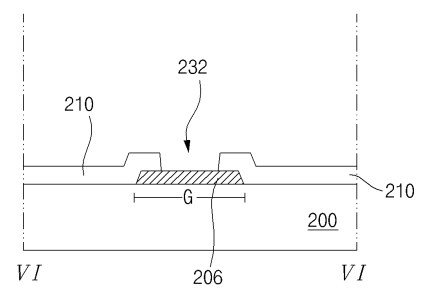
도면13i



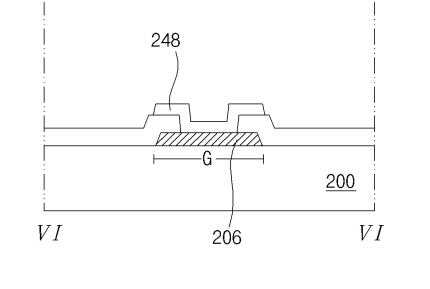
도면13j



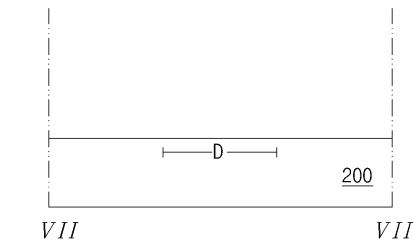
도면13k



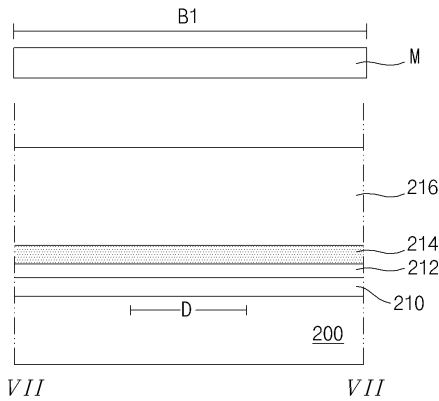
도면13l



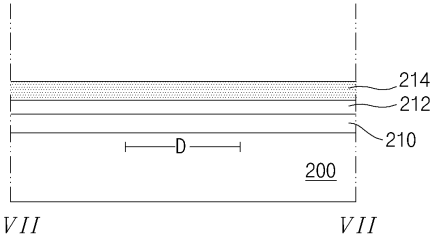
도면14a



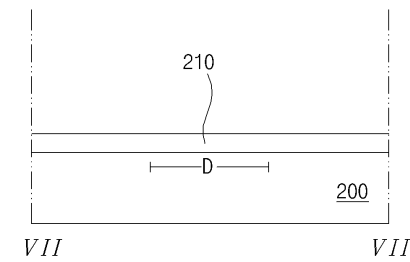
도면14b



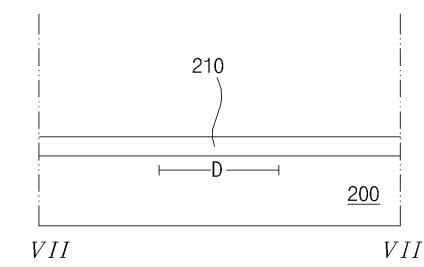
도면14c



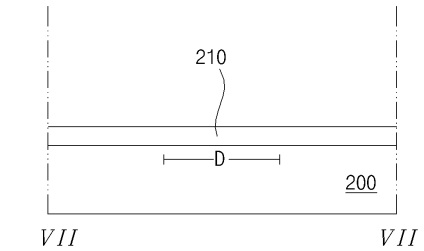
도면14d



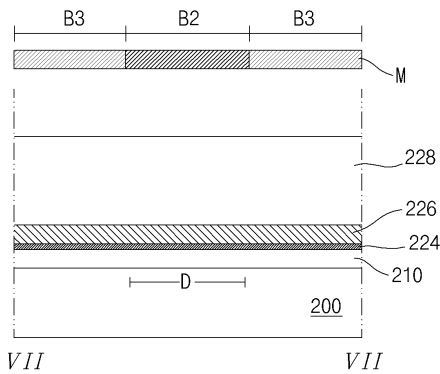
도면14e



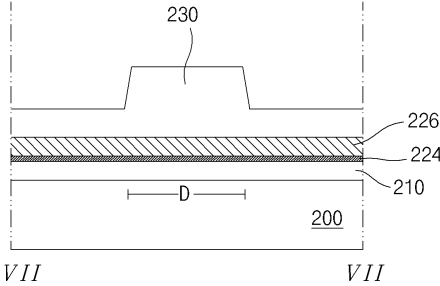
도면14f



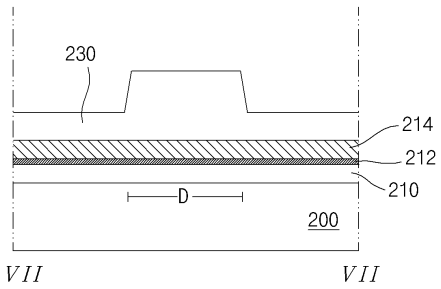
도면14g



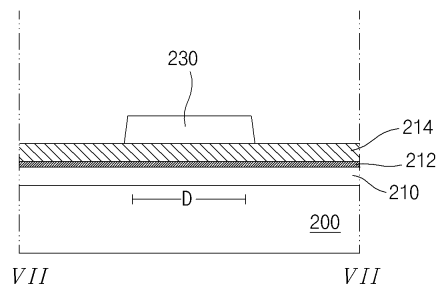
도면14h



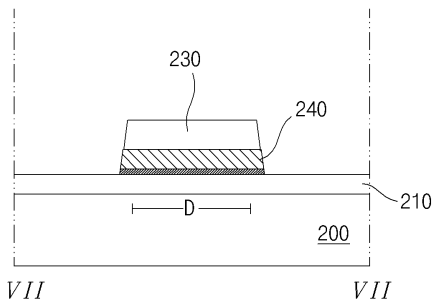
도면14i



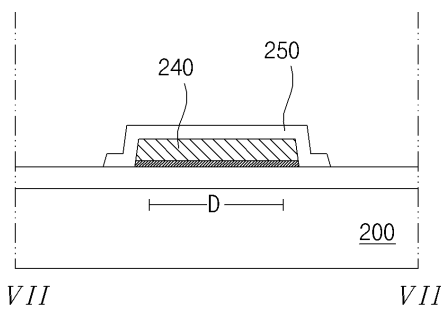
도면14j



도면14k



도면14l



专利名称(译)	标题：用于液晶显示装置的阵列基板及其制造方法		
公开(公告)号	KR101248003B1	公开(公告)日	2013-03-27
申请号	KR1020060041600	申请日	2006-05-09
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM HYU UK 김효욱 LIM BYOUNG HO 임병호		
发明人	김효욱 임병호		
IPC分类号	G02F1/1368 G02F1/136 H01L21/336 G02F H01L29/786		
CPC分类号	G02F2001/136236 H01L27/1214 H01L27/1288 H01L29/78633 G02F1/136209 H01L27/12 H01L27/124		
其他公开文献	KR1020070109091A		
外部链接	Espacenet		

摘要(译)

液晶显示装置技术领域本发明涉及液晶显示装置，更具体地，涉及具有在有源层的部分区域中形成的屏蔽膜的薄膜晶体管，以及制造包括该薄膜晶体管的薄膜晶体管阵列基板的方法。本发明的第一个特征是薄膜晶体管的有源层被图案化为具有比栅电极小的面积，并且阻挡膜形成在有源层的上部的一部分中。第二个特征是薄膜晶体管形成在栅极布线的一部分上，并且具有这种形状的阵列基板通过4掩模工艺形成。根据第一和第二特征，可以制造实现高孔径比和高图像质量的液晶面板，并且由于其通过4掩模工艺制造，因此可以根据工艺的简化来提高工艺产量。

