



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년01월28일
(11) 등록번호 10-1226974
(24) 등록일자 2013년01월22일

- (51) 국제특허분류(Int. Cl.)
G02F 1/136 (2006.01)
- (21) 출원번호 10-2006-0040062
- (22) 출원일자 2006년05월03일
 심사청구일자 2011년04월29일
- (65) 공개번호 10-2007-0107493
- (43) 공개일자 2007년11월07일
- (56) 선행기술조사문헌
 JP11238887 A
 JP2003258262 A

- (73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
- (72) 발명자
김수폴
경기도 성남시 분당구 야탑로 125, 현대 I-PARK
105동 801호 (야탑동)
- 양준영
경기도 부천시 원미구 상동로 57, 2407동 1303호
(상동, 행복한마을)
- 오재영
경기도 의왕시 내손1동 포일아파트 101동 210호
- (74) 대리인
특허법인네이트

전체 청구항 수 : 총 14 항

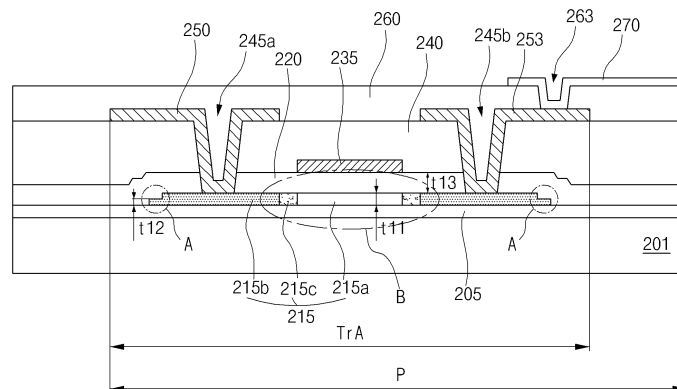
심사관 : 신창우

(54) 발명의 명칭 액정표시장치용 어레이 기판 및 그 제조 방법

(57) 요약

본 발명은 게이트 배선과 데이터 배선이 교차하여 화소영역이 정의되고, 상기 화소영역 내에 박막트랜지스터가 형성되는 스위칭 영역이 정의된 기판과; 상기 기판 상의 스위칭 영역에 폴리실리콘으로 형성되며 그 중앙부는 제 1 두께를 가지고 에지부는 그 단면이 최외각으로부터 상기 중앙부를 향하여 올라가는 계단형태 가짐으로써 다중 단차를 이루는 반도체층과; 상기 반도체층 위로 형성된 게이트 절연막과; 상기 게이트 절연막 위로 상기 반도체층 중앙 일부와 중첩하며 형성된 게이트 전극과; 상기 게이트 전극 위로 상기 게이트 전극 양측의 반도체층을 각각 노출시키는 반도체층 콘택홀을 가지며 형성된 층간절연막과; 상기 층간절연막 위로 상기 반도체층 콘택홀을 통해 각각 반도체층과 접촉하며 서로 이격하는 소스 및 드레인 전극과; 상기 소스 및 드레인 전극 위로 상기 드레인 전극을 노출시키는 드레인 콘택홀을 가지며 형성된 보호층과; 상기 보호층 위로 상기 드레인 콘택홀을 통해 상기 드레인 전극과 접촉하는 화소전극을 포함하는 액정표시장치용 어레이 기판 및 그 제조방법을 제공한다.

대표도 - 도6



특허청구의 범위

청구항 1

게이트 배선과 데이터 배선이 교차하여 화소영역이 정의되고, 상기 화소영역 내에 박막트랜지스터가 형성되는 스위칭 영역이 정의된 기판과;

상기 기판 상의 스위칭 영역에 폴리실리콘으로 형성되며 그 중앙부는 제 1 두께를 가지고 에지부는 그 단면이 최외각으로부터 상기 중앙부를 향하여 올라가는 계단형태 가짐으로써 다중단차를 이루는 반도체층과;

상기 반도체층 위로 형성된 게이트 절연막과;

상기 게이트 절연막 위로 상기 반도체층 중앙 일부와 중첩하며 형성된 게이트 전극과;

상기 게이트 전극 위로 상기 게이트 전극 양측의 반도체층을 각각 노출시키는 반도체층 콘택홀을 가지며 형성된 층간절연막과;

상기 층간절연막 위로 상기 반도체층 콘택홀을 통해 각각 반도체층과 접촉하며 서로 이격하는 소스 및 드레인 전극과;

상기 소스 및 드레인 전극 위로 상기 드레인 전극을 노출시키는 드레인 콘택홀을 가지며 형성된 보호층과;

상기 보호층 위로 상기 드레인 콘택홀을 통해 상기 드레인 전극과 접촉하는 화소전극을 포함하는 액정표시장치용 어레이 기판.

청구항 2

제 1 항에 있어서,

상기 에지부는 상기 제 1 두께보다 얇은 제 2 두께를 가지는 1단의 단차로 이루어진 것이 특징인 액정표시장치용 어레이 기판.

청구항 3

제 2 항에 있어서,

상기 제 2 두께는 상기 제 1 두께의 1/2인 액정표시장치용 어레이 기판.

청구항 4

제 1 항에 있어서,

상기 에지부는 상기 제 1 두께보다 얇은 제 2, 3 두께를 가지는 2단의 단차로 이루어지며, 상기 제 2, 3 두께는 상기 제 1 두께의 1/3인 액정표시장치용 어레이 기판.

청구항 5

삭제

청구항 6

삭제

청구항 7

제 1 항에 있어서,

상기 반도체층은, 상기 게이트 전극에 대응하여 순수 폴리실리콘의 액티브층과, 상기 액티브층 양측으로 각각 고농도의 n+ 또는 p+ 도핑된 오믹콘택층으로 구성된 액정표시장치용 어레이 기판.

청구항 8

청구항 8은(는) 설정등록료 납부시 포기되었습니다.

제 7 항에 있어서,

상기 반도체층이 액티브층과 n+ 도핑된 오믹콘택층으로 구성된 경우, 상기 액티브층과 오믹콘택층 사이에 저농도의 n-도핑된 LDD층이 더욱 형성된 액정표시장치용 어레이 기판.

청구항 9

청구항 9은(는) 설정등록료 납부시 포기되었습니다.

제 7 항에 있어서,

상기 소스 및 드레인 전극과 각각 접촉하는 반도체층은 오믹콘택층인 액정표시장치용 어레이 기판.

청구항 10

청구항 10은(는) 설정등록료 납부시 포기되었습니다.

제 1 항에 있어서,

상기 반도체층과 상기 기판 사이에는 버퍼층이 더욱 형성된 액정표시장치용 어레이 기판.

청구항 11

제 1 항에 있어서,

상기 게이트 절연막 상부에는 상기 게이트 전극과 연결되며 일방향으로 연장하는 게이트 배선과;

상기 층간절연막 위로 상기 게이트 배선과 교차하여 상기 화소영역을 정의하며 상기 소스 전극과 연결된 데이터 배선

을 더욱 포함하는 액정표시장치용 어레이 기판.

청구항 12

게이트 배선과 데이터 배선이 교차하여 화소영역이 정의되고, 상기 화소영역 내에 박막트랜지스터가 형성되는 스위칭 영역이 정의된 기판 상의 상기 스위칭 영역에 폴리실리콘으로 형성되며 에지부는 그 단면이 최외각으로부터 중앙부를 향하여 올라가는 계단형태를 가짐으로써 다중단차를 이루는 반도체층을 형성하는 단계와;

상기 반도체층 위로 게이트 절연막을 형성하는 단계와;

상기 게이트 절연막 위로 상기 반도체층 중앙 일부와 중첩하는 게이트 전극을 형성하는 단계와;

상기 게이트 전극 위로 상기 게이트 전극 양측의 반도체층을 각각 노출시키는 반도체층 콘택홀을 가지는 층간절연막을 형성하는 단계와;

상기 층간절연막 위로 상기 반도체층 콘택홀을 통해 각각 반도체층과 접촉하며 서로 이격하는 소스 및 드레인 전극을 형성하는 단계와;

상기 소스 및 드레인 전극 위로 상기 드레인 전극을 노출시키는 드레인 콘택홀을 가지는 보호층을 형성하는 단계와;

상기 보호층 위로 상기 드레인 콘택홀을 통해 상기 드레인 전극과 접촉하는 화소전극을 각 화소영역별로 형성하는 단계

를 포함하는 액정표시장치용 어레이 기판의 제조방법.

청구항 13

제 12 항에 있어서,

상기 에지부가 다중단차를 이루는 반도체층을 형성하는 단계는,

상기 기판 상에 폴리실리콘층을 형성하는 단계와;

상기 폴리실리콘층 위로 제 1 폭을 갖는 제 1 포토레지스트 패턴을 형성하는 단계와;

상기 제 1 포토레지스트 패턴 외부로 노출된 폴리실리콘층을 제 1 드라이 에칭을 실시함으로써 제거하여 상기 제 1 두께를 갖는 반도체층을 형성하는 단계와;

상기 제 1 두께를 갖는 반도체층 상부에 남아있는 제 1 포토레지스트 패턴을 등방성의 제 1 애싱을 실시함으로써 그 측면 및 상면 소정폭을 제거하여 상기 제 1 폭보다 작은 제 2 폭을 갖는 제 2 포토레지스트 패턴을 형성함과 동시에 상기 제 1 두께를 갖는 반도체층의 에지부를 노출시키는 단계와;

상기 제 2 포토레지스트 외부로 노출된 상기 제 1 두께를 갖는 반도체층의 에지부가 상기 제 1 두께보다 얇은 제 2 두께를 갖도록 이방성의 제 2 드라이 에칭을 실시하는 단계와;

상기 제 2 폭을 갖는 제 2 포토레지스트 패턴을 제거하는 단계

를 포함하는 액정표시장치용 어레이 기판의 제조방법.

청구항 14

제 13 항에 있어서,

상기 제 2 폭을 갖는 제 2 포토레지스트 패턴을 제거하는 단계 이전에, 상기 제 2 폭을 갖는 포토레지스트 패턴과 그 하부의 제 1 두께의 반도체층에 대해 등방성의 제 2 애싱 및 이방성의 제 3 드라이 에칭을 순차적으로 진행하는 단계를 더욱 포함하는 액정표시장치용 어레이 기판의 제조방법.

청구항 15

게이트 배선과 데이터 배선이 교차하여 화소영역이 정의되고, 상기 화소영역 내에 박막트랜지스터가 형성되는 스위칭 영역이 정의된 기판 상의 상기 스위칭 영역에 폴리실리콘으로 형성되며, 그 중앙부는 제 1 두께를 가지고 에지부는 상기 중앙부에서 최외각으로 갈수록 점점 얇은 두께를 가짐으로써, 상기 기판과 상기 에지부의 측면이 이루는 각도로 정의되는 테이퍼각이 80도보다 작은 값을 갖는 반도체층을 형성하는 단계와;

상기 반도체층 위로 게이트 절연막을 형성하는 단계와;

상기 게이트 절연막 위로 상기 반도체층 중앙 일부와 증착하는 게이트 전극을 형성하는 단계와;

상기 게이트 전극 위로 상기 게이트 전극 양측의 반도체층을 각각 노출시키는 반도체층 콘택홀을 가지는 층간절연막을 형성하는 단계와;

상기 층간절연막 위로 상기 반도체층 콘택홀을 통해 각각 반도체층과 접촉하며 서로 이격하는 소스 및 드레인 전극을 형성하는 단계와;

상기 소스 및 드레인 전극 위로 상기 드레인 전극을 노출시키는 드레인 콘택홀을 가지는 보호층을 형성하는 단계와;

상기 보호층 위로 상기 드레인 콘택홀을 통해 상기 드레인 전극과 접촉하는 화소전극을 각 화소영역별

로 형성하는 단계를 포함하고,

상기 에지부의 측면이 80도보다 작은 테이퍼각을 갖는 반도체층을 형성하는 단계는,

상기 기판 상에 폴리실리콘층을 형성하는 단계와;

상기 폴리실리콘층 위로 제 1 폭을 갖는 제 1 포토레지스트 패턴을 형성하는 단계와;

상기 제 1 포토레지스트 패턴이 형성된 기판을 상기 폴리실리콘층과 반응하는 제 1 가스와 상기 제 1 포토레지스트 패턴과 반응하는 제 2 가스를 혼합한 혼합가스 분위기의 챔버내에서 드라이 에칭을 진행함으로써 상기 제 1 포토레지스트 패턴 외부로 노출된 상기 폴리실리콘층을 점진적으로 제거하는 동시에 상기 제 1 포토레지스트 패턴 또한 상기 제 2 가스와 반응하여 그 폭과 두께를 점진적으로 줄어드는 단계와;

상기 제 1 폭의 제 1 포토레지스트 패턴 외부로 노출된 폴리실리콘층 부분이 모두 제거될 때까지 상기 드라이 에칭을 실시함으로써 상기 제 1 폭 대비 줄어든 만큼의 폭만큼의 최외각으로부터 그 중앙부를 향해 점진적으로 두꺼워지는 형태의 에지부를 가져 그 테이퍼각이 80도보다 작은 반도체층을 형성하는 단계와;

상기 드라이 에칭 후 상기 반도체층 상부에 남아있는 제 1 포토레지스트 패턴을 제거하는 단계

를 포함하는 액정표시장치용 어레이 기판의 제조방법.

청구항 16

삭제

청구항 17

제 15 항에 있어서,

상기 폴리실리콘층과 반응하는 제 1 가스는 HBr, Cl₂, SF₆, Br₂ 또는 이들이 2가지 이상 혼합된 가스이며, 상기 제 2 가스는 O₂인 액정표시장치용 어레이 기판의 제조방법.

청구항 18

제 15 항에 있어서,

상기 테이퍼각은 상기 폴리실리콘층과 반응하는 제 1 가스와 혼합되는 제 2 가스의 양을 조절함으로써 30도 이상 60이하가 되도록 하는 액정표시장치용 어레이 기판의 제조방법.

청구항 19

청구항 19은(는) 실정등록료 납부시 포기되었습니다.

제 12 항 또는 제 15 항에 있어서,

상기 기판과 반도체층 사이에는 버퍼층을 형성하는 단계를 더욱 포함하는 액정표시장치용 어레이 기판의 제조방법.

청구항 20

제 13 항 또는 제 15 항에 있어서,

상기 폴리실리콘층을 형성하는 단계는,

상기 기판 상에 비정질 실리콘층을 형성하는 단계와;

상기 비정질 실리콘층을 폴리실리콘층으로 결정화하는 단계

를 포함하는 액정표시장치용 어레이 기판의 제조방법.

청구항 21

폴리실리콘으로 형성되며 그 중앙부는 제 1 두께를 가지고 에지부는 그 단면이 최외각으로부터 상기 중

양부를 향하여 올라가는 계단형태를 가짐으로써 다중단차를 이루는 반도체층과;

상기 반도체층 위로 형성된 게이트 절연막과;

상기 게이트 절연막 위로 상기 반도체층 중앙 일부와 중첩하며 형성된 게이트 전극과;

상기 게이트 전극 위로 상기 게이트 전극 양측의 반도체층을 각각 노출시키는 반도체층 콘택홀을 가지며 형성된 층간절연막과;

상기 층간절연막 위로 상기 반도체층 콘택홀을 통해 각각 반도체층과 접촉하며 서로 이격하는 소스 및 드레인 전극

을 포함하는 액정표시장치용 어레이 기판의 박막트랜지스터.

청구항 22

삭제

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0026] 본 발명은 액정표시장치에 관한 것으로, 특히 험프 특성을 개선시킨 폴리실리콘의 반도체층을 갖는 박막트랜지스터를 구비한 액정표시장치용 어레이 기판 및 그 제조방법에 관한 것이다.
- [0027] 최근에 액정표시장치는 소비전력이 낮고, 휴대성이 양호한 기술 집약적이며 부가가치가 높은 차세대 첨단 디스플레이(display)소자로 각광받고 있다.
- [0028] 상기 액정표시장치는 박막트랜지스터(Thin Film Transistor ; TFT)를 포함하는 어레이 기판과 컬러 필터(color filter) 기판 사이에 액정을 주입하여, 이 액정의 이방성에 따른 빛의 굴절률 차이를 이용해 영상효과를 얻는 비발광 소자에 의한 화상표시장치를 뜻한다.
- [0029] 현재에는 상기 박막 트랜지스터와 화소 전극이 행렬방식으로 배열된 능동행렬 액정표시장치(AM-LCD ; Active Matrix Liquid Crystal Display)가 해상도 및 동영상 구현능력이 우수하여 가장 주목받고 있으며 이때, 상기 박막트랜지스터 소자로는 수소화된 비정질 실리콘(a-Si:H)이 주로 이용되는데, 이는 저온 공정이 가능하여 저가의 절연기판을 사용할 수 있기 때문이다.
- [0030] 그러나, 수소화된 비정질 실리콘(a-Si:H)은 원자 배열이 무질서하기 때문에 약한 결합(weak Si-Si bond) 및 덩글링 본드(dangling bond)가 존재하여 빛 조사나 전기장 인가 시 준 안정상태로 변화되어 박막트랜지스터 소자로 활용시 안정성이 문제가 되며, 전기적 특성(낮은 전계효과 이동도 : $0.1 \sim 1.0 \text{ cm}^2/\text{V} \cdot \text{s}$)이 좋지 않아 구동회로로 사용하기 어렵다.
- [0031] 따라서, 일반적으로는 별도로 제작된 구동소자를 액정패널에 연결하여 사용하고 있으며, 대표적인 예로 구동소자를 TCP(Tape Carrier Package)로 제작하여 액정패널에 부착하여 사용한다. 이때, 상기 TCP는 다수의 회로부가 PCB(Printed Circuit Board) 기판과 액정패널 사이에 부착되어, 상기 PCB 기판으로부터 입력되는 신호를 받아 상기 액정패널에 전달하게 된다.
- [0032] 그런데 이러한 구성은 구동 IC의 실장비용이 원가의 많은 부분을 차지하고 있으며, 액정패널의 해상도가 높아지면서 어레이 기판의 게이트 배선 및 데이터 배선을 상기 TCP와 연결하는 기판 외부의 패드 피치(Pitch)가 짧아져 TCP 본딩 자체가 어려워지고 있다.
- [0033] 따라서, 최근에는 이러한 비정질 실리콘을 이용한 박막트랜지스터 대비 전계효과 이동도 등이 우수하여 구동소자로서 동작이 가능한 폴리실리콘을 반도체층으로 하는 폴리 실리콘 박막트랜지스터를 구비한 액정표시장치가 제안되고 있다.

- [0034] 폴리실리콘(poly-Si)은 비정질 실리콘(a-Si)에 비하여 전계효과 이동도 등의 전기적 특성이 우수하여 상기 폴리실리콘을 이용하여 어레이 기판에 직접 구동회로를 형성함으로써 별도로 구동 IC를 부착하지 않아도 되는 바, 비용을 줄일 수 있고 실장도 간단해진다.
- [0035] 도 1은 종래의 폴리실리콘을 반도체층으로 한 박막트랜지스터를 갖는 액정표시장치용 어레이 기판의 상기 박막트랜지스터를 포함하는 하나의 화소영역에 대한 단면도이며, 도 2는 종래의 폴리실리콘을 반도체층으로 한 박막트랜지스터를 구비한 어레이 기판에 있어 상기 박막트랜지스터의 게이트 전극이 형성된 부분을 절단한 단면도이다.
- [0036] 도시한 바와 같이, 기판(15)상에 버퍼층(18)이 형성되어 있으며, 그 위로 폴리실리콘으로 형성된 반도체층(23)이 스위칭 소자가 형성되는 부분(TrA)(이하 스위칭 영역이라 칭함)에 형성되어 있다. 이때, 스위칭 영역(TrA)의 상기 반도체층(23)은 일정한 두께를 가지며, 중앙의 순수 폴리실리콘으로 이루어진 액티브층(23a)과 상기 액티브층(23a) 양측으로 불순물이 도핑된 오믹콘택층(23b)과, 상기 오믹콘택층(23b)이 n형 불순물로 도핑된 n형 오믹콘택층(23b)인 경우 상기 액티브층(23a)과 n형 오믹콘택층(23b) 사이에 저농도 불순물이 도핑된 LDD(Lightly doped drain)층(23c)으로 이루어지고 있다.
- [0037] 다음, 상기 반도체층(23) 위로 게이트 절연막(28)이 전면에서 형성되어 있으며, 상기 게이트 절연막(28) 위로 상기 반도체층(23) 중 중앙의 액티브층(23a)과 오버랩되며 게이트 전극(35)이 형성되어 있다.
- [0038] 다음, 상기 게이트 전극(35)이 형성된 게이트 절연막(28) 위로 상기 게이트 절연막(28)보다 두껍게 형성되며 상기 오믹콘택층을 각각 노출시키는 반도체층 콘택홀(45a, 45b)을 갖는 층간절연막(43)이 전면에서 형성되어 있으며, 상기 층간절연막(43) 위로 상기 반도체층(23), 더욱 정확하게는 상기 반도체층(23) 중 불순물이 도핑되어 형성된 오믹콘택층(23b)과 각각 접촉하며 서로 이격하는 소스 및 드레인 전극(48, 53)이 형성되어 있다.
- [0039] 다음, 상기 소스 및 드레인 전극(48, 53)과 노출된 층간절연막(43) 위로 상기 드레인 전극(53)을 노출시키는 드레인 콘택홀(63)을 갖는 보호층(60)이 전면에서 형성되어 있으며, 상기 보호층(60) 위로 상기 드레인 콘택홀(63)을 통해, 상기 드레인 전극(53)과 접촉하는 화소전극(65)이 형성되어 있다.
- [0040] 전술한 종래의 어레이 기판(15)에 있어, 반도체층(23) 및 그 상부에 형성된 게이트 절연막(28)과 게이트 전극(35)의 구조를 조금 더 상세히 살펴보면, 상기 반도체층(23)은 순수 폴리실리콘으로 이루어진 액티브층과 불순물이 도핑되어 형성된 오믹콘택층 및 LDD층 모두 동일한 두께를 가지며 형성되고 있으며 더욱이 상기 반도체층(23)의 끝단 즉 에지부(A)의 측면이 상기 버퍼층(18) 표면에 대해 80도 이상의 높은 테이퍼각(Θ_1)을 가지며 상기 기판(15)에 대해 거의 수직인 상태로 형성되고 있음을 알 수 있다.
- [0041] 따라서, 이러한 반도체층(23)의 구조에 의해, 그 상부에 비교적 얇은 두께를 가지고 형성되는 게이트 절연막(28)이 상기 반도체층(23)의 에지부(A) 상부에서는 무기절연물질 특히 산화실리콘(SiO_2)의 증착 특성상 스텝 커버리지가 좋지 않아 도시한 바와 같이 상기 반도체층(23)과 버퍼층(18)과의 단차를 반영하여 상기 반도체층(23)의 중앙부(B)에서의 두께(t_1)보다 얇은 두께(t_2)를 가지며 형성되고 있으며, 이러한 구조에 영향을 받아 그 상부에 금속물질로 스퍼터링에 의한 증착에 의해 형성되는 게이트 전극(35) 또한 상기 반도체층(23)의 에지부(A)에 대응하는 부분에서의 두께(t_3)가 타 부분에서의 두께(t_4)대비 얇게 형성되게 됨을 알 수 있다.
- [0042] 하지만, 이렇게 반도체층(23)의 에지부(A)에서 그 상부의 게이트 절연막(28)과 게이트 전극(35)이 타부분 대비 얇은 두께(t_2 , t_3)를 가지며 형성되는 바, 프링지 효과(fringe effect)에 의해 상기 반도체층(23)의 에지부(A)에서 전계가 강하게 형성되어 강한 사이드 전류(side current)가 흐르게 됨으로써 전계가 왜곡되는 현상이 발생하게 된다.
- [0043] 이로 인해 게이트 전압 변화에 따른 드레인 전류의 변화를 도시한 트랜스퍼 커브(LDD층의 폭은 $1\mu\text{m}$, 채널비(W/L) 즉 채널의 폭과 길이는 각각 $4\mu\text{m}$, $4\mu\text{m}$ 로 형성됨) 특성을 나타낸 그래프인 도 3을 참고하면, 게이트 전압이 0V에서 3V로 변하는 구간 즉, 선형영역에서의 드레인 전류는 선형적으로 증가해야 하는데, 전술한 프링지 효과에 의해 반도체층의 에지부에 강한 전계가 형성되어 급격히 변화량이 떨어져 선형적으로 변화되지 않는 부분 즉 험프(hump)가 발생됨을 알 수 있다.
- [0044] 험프(hump)가 발생하면 박막트랜지스터가 스위칭 소자로서 동작하는데 있어서 온(on)/오프(off) 시 지연되는 시간이 길어지게 되는 스위칭 소자로서의 특성 저하가 발생하게 된다.

발명이 이루고자 하는 기술적 과제

[0045] 따라서, 본 발명의 목적은 폴리실리콘을 이용한 액정표시장치용 어레이 기판에 있어서, 반도체층의 구조를 변경함으로써 험프 발생을 억제할 수 있는 스위칭 소자로서의 박막트랜지스터를 갖는 액정표시장치용 어레이 기판 및 그 제조 방법을 제공하는 것을 그 목적으로 한다.

발명의 구성 및 작용

[0046] 상기 목적을 달성하기 위하여, 본 발명의 제 1 특징에 따른 액정표시장치용 어레이 기판은 게이트 배선과 데이터 배선이 교차하여 화소영역이 정의되고, 상기 화소영역 내에 박막트랜지스터가 형성되는 스위칭 영역이 정의된 기판과; 상기 기판 상의 스위칭 영역에 폴리실리콘으로 형성되며 그 중앙부는 제 1 두께를 가지고 에지부는 그 단면이 최외각으로부터 상기 중앙부를 향하여 올라가는 계단형태 가짐으로써 다중단차를 이루는 반도체층과; 상기 반도체층 위로 형성된 게이트 절연막과; 상기 게이트 절연막 위로 상기 반도체층 중앙 일부와 중첩하며 형성된 게이트 전극과; 상기 게이트 전극 위로 상기 게이트 전극 양측의 반도체층을 각각 노출시키는 반도체층 콘택홀을 가지며 형성된 층간절연막과; 상기 층간절연막 위로 상기 반도체층 콘택홀을 통해 각각 반도체층과 접촉하며 서로 이격하는 소스 및 드레인 전극과; 상기 소스 및 드레인 전극 위로 상기 드레인 전극을 노출시키는 드레인 콘택홀을 가지며 형성된 보호층과; 상기 보호층 위로 상기 드레인 콘택홀을 통해 상기 드레인 전극과 접촉하는 화소전극을 포함한다.

[0047] 상기 에지부는 상기 제 1 두께보다 얇은 제 2 두께를 가지는 1단의 단차로 이루어지며, 이때, 상기 제 2 두께는 상기 제 1 두께의 1/2인 것이 특징이거나, 또는 상기 에지부는 상기 제 1 두께보다 얇은 제 2, 3 두께를 가지는 2단의 단차로 이루어지며, 이때, 상기 제 2, 3 두께는 상기 제 1 두께의 1/3인 것이 바람직하다.

[0048] 본 발명에 제 2 특징에 따른 액정표시장치용 어레이 기판은 게이트 배선과 데이터 배선이 교차하여 화소영역이 정의되고, 상기 화소영역 내에 박막트랜지스터가 형성되는 스위칭 영역이 정의된 기판과; 상기 기판 상의 스위칭 영역에 폴리실리콘으로 형성되며 그 중앙부는 제 1 두께를 가지고 에지부는 상기 중앙부에서 최외각으로 갈수록 점점 얇은 두께를 가짐으로써 상기 반도체층이 형성된 면과 상기 에지부의 측면이 이루는 각도로 정의되는 테이퍼각이 80도보다 작은 값을 갖는 반도체층과; 상기 반도체층 위로 형성된 게이트 절연막과; 상기 게이트 절연막 위로 상기 반도체층 중앙 일부와 중첩하며 형성된 게이트 전극과; 상기 게이트 전극 위로 상기 게이트 전극 양측의 반도체층을 각각 노출시키는 반도체층 콘택홀을 가지며 형성된 층간절연막과; 상기 층간절연막 위로 상기 반도체층 콘택홀을 통해 각각 반도체층과 접촉하며 서로 이격하는 소스 및 드레인 전극과; 상기 소스 및 드레인 전극 위로 상기 드레인 전극을 노출시키는 드레인 콘택홀을 가지며 형성된 보호층과; 상기 보호층 위로 상기 드레인 콘택홀을 통해 상기 드레인 전극과 접촉하는 화소전극을 포함한다.

[0049] 이때, 상기 테이퍼각은 30도 이상 60도 이하인 것이 특징이다.

[0050] 또한, 상기 제 1, 2 특징을 갖는 어레이 기판에 있어서, 상기 반도체층은, 상기 게이트 전극에 대응하여 순수 폴리실리콘의 액티브층과, 상기 액티브층 양측으로 각각 고농도의 n⁺ 또는 p⁺ 도핑된 오믹콘택층으로 구성되며, 이때, 상기 반도체층이 액티브층과 n⁺ 도핑된 오믹콘택층으로 구성된 경우, 상기 액티브층과 오믹콘택층 사이에 저농도의 n-도핑된 LDD층이 더욱 형성된 것이 특징이며, 상기 소스 및 드레인 전극과 각각 접촉하는 반도체층은 오믹콘택층인 것이 특징이다.

[0051] 또한, 상기 반도체층과 상기 기판 사이에는 버퍼층이 더욱 형성된 것이 특징이다.

[0052] 또한, 상기 게이트 절연막 상부에는 상기 게이트 전극과 연결되며 일방향으로 연장하는 게이트 배선과; 상기 층간절연막 위로 상기 게이트 배선과 교차하여 상기 화소영역을 정의하며 상기 소스 전극과 연결된 데이터 배선을 더욱 포함한다.

[0053]

[0054] 본 발명의 제 1 특징에 따른 액정표시장치용 어레이 기판의 제조 방법은 게이트 배선과 데이터 배선이 교차하여 화소영역이 정의되고, 상기 화소영역 내에 박막트랜지스터가 형성되는 스위칭 영역이 정의된 기판 상의 상기 스위칭 영역에 폴리실리콘으로 형성되며 에지부는 그 단면이 최외각으로부터 상기 중앙부를 향하여 올라가는 계단형태 가짐으로써 다중단차를 이루는 반도체층을 형성하는 단계와; 상기 반도체층 위로 게이트 절연막을 형성하는 단계와; 상기 게이트 절연막 위로 상기 반도체층 중앙 일부와 중첩하는 게이트 전극을 형성하는

단계와; 상기 게이트 전극 위로 상기 게이트 전극 양측의 반도체층을 각각 노출시키는 반도체층 콘택홀을 가지는 층간절연막을 형성하는 단계와; 상기 층간절연막 위로 상기 반도체층 콘택홀을 통해 각각 반도체층과 접촉하며 서로 이격하는 소스 및 드레인 전극을 형성하는 단계와; 상기 소스 및 드레인 전극 위로 상기 드레인 전극을 노출시키는 드레인 콘택홀을 가지는 보호층을 형성하는 단계와; 상기 보호층 위로 상기 드레인 콘택홀을 통해 상기 드레인 전극과 접촉하는 화소전극을 각 화소영역별로 형성하는 단계를 포함한다.

[0055] 이때, 상기 에지부가 다중단차를 이루는 반도체층을 형성하는 단계는, 상기 기판 상에 폴리실리콘층을 형성하는 단계와; 상기 폴리실리콘층 위로 제 1 폭을 갖는 제 1 포토레지스트 패턴을 형성하는 단계와; 상기 제 1 포토레지스트 패턴 외부로 노출된 폴리실리콘층을 제 1 드라이 에칭을 실시함으로써 제거하여 상기 제 1 두께를 갖는 반도체층을 형성하는 단계와; 상기 제 1 두께를 갖는 반도체층 상부에 남아있는 제 1 포토레지스트 패턴을 등방성의 제 1 애싱을 실시함으로써 그 측면 및 상면 소정폭을 제거하여 상기 제 1 폭보다 작은 제 2 폭을 갖는 제 2 포토레지스트 패턴을 형성함과 동시에 상기 제 1 두께를 갖는 반도체층의 에지부를 노출시키는 단계와; 상기 제 2 포토레지스트 외부로 노출된 상기 제 1 두께를 갖는 반도체층의 에지부가 상기 제 1 두께보다 얇은 제 2 두께를 갖도록 이방성의 제 2 드라이 에칭을 실시하는 단계와; 상기 제 2 폭을 갖는 제 2 포토레지스트 패턴을 제거하는 단계를 포함하며, 이때, 상기 제 2 폭을 갖는 제 2 포토레지스트 패턴을 제거하는 단계 이전에, 상기 제 2 폭을 갖는 포토레지스트 패턴과 그 하부의 제 1 두께의 반도체층에 대해 등방성의 제 2 애싱 및 이방성의 제 3 드라이 에칭을 순차적으로 진행하는 단계를 더욱 포함한다.

[0056] 본 발명의 제 2 특징에 따른 액정표시장치용 어레이 기판의 제조 방법은 게이트 배선과 데이터 배선이 교차하여 화소영역이 정의되고, 상기 화소영역 내에 박막트랜지스터가 형성되는 스위칭 영역이 정의된 기판 상의 상기 스위칭 영역에 폴리실리콘으로 형성되며, 그 중앙부는 제 1 두께를 가지고 에지부는 상기 중앙부에서 최외각으로 갈수록 점점 얇은 두께를 가짐으로써, 상기 반도체층이 형성된 면과 상기 에지부의 측면이 이루는 각도로 정의되는 테이퍼각이 80도보다 작은 값을 갖는 반도체층을 형성하는 단계와; 상기 반도체층 위로 게이트 절연막을 형성하는 단계와; 상기 게이트 절연막 위로 상기 반도체층 중앙 일부와 중첩하는 게이트 전극을 형성하는 단계와; 상기 게이트 전극 위로 상기 게이트 전극 양측의 반도체층을 각각 노출시키는 반도체층 콘택홀을 가지는 층간절연막을 형성하는 단계와; 상기 층간절연막 위로 상기 반도체층 콘택홀을 통해 각각 반도체층과 접촉하며 서로 이격하는 소스 및 드레인 전극을 형성하는 단계와; 상기 소스 및 드레인 전극 위로 상기 드레인 전극을 노출시키는 드레인 콘택홀을 가지는 보호층을 형성하는 단계와; 상기 보호층 위로 상기 드레인 콘택홀을 통해 상기 드레인 전극과 접촉하는 화소전극을 각 화소영역별로 형성하는 단계를 포함한다.

[0057] 이때, 상기 에지부의 측면이 80도보다 작은 테이퍼각을 갖는 반도체층을 형성하는 단계는, 상기 기판 상에 폴리실리콘층을 형성하는 단계와; 상기 폴리실리콘층 위로 제 1 폭을 갖는 제 1 포토레지스트 패턴을 형성하는 단계와; 상기 제 1 포토레지스트 패턴이 형성된 기판을 상기 폴리실리콘층과 반응하는 제 1 가스와 상기 제 1 포토레지스트 패턴과 반응하는 제 2 가스를 혼합한 혼합가스 분위기의 챔버내에서 드라이 에칭을 진행함으로써 상기 제 1 포토레지스트 패턴 외부로 노출된 상기 폴리실리콘층을 점진적으로 제거하는 동시에 상기 제 1 포토레지스트 패턴 또한 상기 산소와 반응하여 그 폭과 두께를 점진적으로 제거하는 단계와; 상기 제 1 폭의 제 1 포토레지스트 패턴 외부로 노출된 폴리실리콘층 부분이 모두 제거될 때까지 상기 드라이 에칭을 실시함으로써 상기 제 1 폭 대비 줄어든 만큼의 폭만큼의 최외각으로부터 그 중앙부를 향해 점진적으로 두꺼워지는 형태의 에지부를 가져 그 테이퍼각이 80도보다 작은 반도체층을 형성하는 단계와; 상기 드라이 에칭 후 상기 반도체층 상부에 남아있는 제 1 포토레지스트 패턴을 제거하는 단계를 포함하며, 이때, 상기 폴리실리콘층과 반응하는 제 1 가스는 HBr, Cl₂, SF₆, Br₂ 또는 이들이 2가지 이상 혼합된 가스이며, 상기 제 2 가스는 O₂인 것이 특징이다.

[0058] 또한, 이때, 상기 테이퍼각은 상기 폴리실리콘층과 반응하는 제 1 가스와 혼합되는 제 2 가스의량을 조절함으로써 30도 이상 60이하가 되도록 하는 것이 특징이다.

[0059] 또한, 본 발명의 제 1, 2 특징을 갖는 액정표시장치용 어레이 기판의 제조방법에 있어서, 상기 기판과 반도체층 사이에는 버퍼층을 형성하는 단계를 더욱 포함하며, 이때, 상기 폴리실리콘층을 형성하는 단계는, 상기 기판 상에 비정질 실리콘층을 형성하는 단계와; 상기 비정질 실리콘층을 폴리실리콘층으로 결정화하는 단계를 포함한다.

[0060] 본 발명에 제 1 특징에 따른 액정표시장치용 어레이 기판의 박막트랜지스터는 폴리실리콘으로 형성되며 그 중앙부는 제 1 두께를 가지고 에지부는 그 단면이 최외각으로부터 상기 중앙부를 향하여 올라가는 계단형태를 가짐으로써 다중단차를 이루는 반도체층과; 상기 반도체층 위로 형성된 게이트 절연막과; 상기 게이트 절연막 위로 상기 반도체층 중앙 일부와 중첩하며 형성된 게이트 전극과; 상기 게이트 전극 위로 상기 게이트 전극

양측의 반도체층을 각각 노출시키는 반도체층 콘택홀을 가지며 형성된 층간절연막과; 상기 층간절연막 위로 상기 반도체층 콘택홀을 통해 각각 반도체층과 접촉하며 서로 이격하는 소스 및 드레인 전극을 포함한다.

[0061] 본 발명에 제 2 특징에 따른 액정표시장치용 어레이 기판의 박막트랜지스터는 폴리실리콘으로 형성되며 그 중앙부는 제 1 두께를 가지고 에지부는 상기 중앙부에서 최외각으로 갈수록 점점 얇은 두께를 가짐으로써 상기 반도체층이 형성된 면과 상기 에지부의 측면이 이루는 각도로 정의되는 테이퍼각이 80도보다 작은 값을 갖는 반도체층과; 상기 반도체층 위로 형성된 게이트 절연막과; 상기 게이트 절연막 위로 상기 반도체층 중앙 일부와 중첩하며 형성된 게이트 전극과; 상기 게이트 전극 위로 상기 게이트 전극 양측의 반도체층을 각각 노출시키는 반도체층 콘택홀을 가지며 형성된 층간절연막과; 상기 층간절연막 위로 상기 반도체층 콘택홀을 통해 각각 반도체층과 접촉하며 서로 이격하는 소스 및 드레인 전극을 포함한다.

[0062] 이하, 본 발명의 실시예에 따른 폴리실리콘의 반도체층을 갖는 박막트랜지스터를 구비한 액정표시장치용 어레이 기판 및 그 제조 방법을 도면을 참조하여 설명한다.

[0063] <제 1 실시예>

[0064] 도 4와 도 5는 본 발명의 제 1 실시예에 따른 폴리실리콘의 반도체층을 갖는 박막트랜지스터를 구비한 액정표시장치용 어레이 기판에 있어, 하나의 화소영역에 형성된 스위칭 소자인 박막트랜지스터를 각각 게이트 전극을 기준으로 가로방향(서로 이격하는 소스 및 드레인 전극이 배치된 방향과 나란하게 절단)과 세로방향(상기 소스 및 드레인 전극이 배치된 방향에 수직으로 절단)으로 절단한 부분에 대한 단면도이다.

[0065] 도시한 바와 같이, 기판(101) 상 전면에 버퍼층(105)이 형성되어 있으며, 상기 버퍼층(105) 위로 각 화소영역(P) 내의 스위칭 영역(TrA)에 있어 그 중앙부(B)는 일정한 두께(t_5)를 가지며, 그리고 에지부(B)는 상기 버퍼층(105)과 이루는 테이퍼각(θ_2)이 종래의 80도보다는 작은 값 즉, 30도 이상 60 이하의 값을 가지며 형성되어 상기 에지부(A)에서의 두께가 그 끝단으로 갈수록 완만하게 줄어드는 형태를 가지며 반도체층(115)이 형성되고 있다. 이때, 상기 반도체층(115)은 고농도의 불순물이 도핑된 오믹콘택층(115b)과 순수 폴리실리콘으로 이루어진 액티브층(115a)을 포함하여 구성되고 있으며, 또한, 상기 액티브층(115a)과 오믹콘택층(115b) 사이에는 저농도의 불순물이 도핑된 LDD층(115c)이 형성되어 있다. 이는 n형 불순물이 도핑되어 n형 오믹콘택층을 갖는 n형 박막트랜지스터를 형성한 것을 보이고 있으며, p형 불순물을 도핑하여 p형 오믹콘택층을 형성한 경우, 상기 LDD층을 형성하지 않아도 된다. 이러한 형태의 반도체층(115)을 형성하는 방법에 대해서는 추후 제조방법에 대해 설명할 때 구체적으로 언급할 것이다.

[0066] 다음, 전술한 바와 같이 에지부(A)에서 소정의 테이퍼각(θ_2)을 가져 완만하게 점점 그 두께가 줄어드는 형태의 반도체층(115) 위로 게이트 절연막(120)이 형성되어 있으며, 상기 게이트 절연막(120) 위로 상기 반도체층(115)에 대응하여 게이트 전극(135)이 형성되어 있다.

[0067] 이때, 상기 게이트 절연막(120)은 상기 반도체층(115)의 에지부(A)가 그 최외각으로부터 완만하게 그 중앙부(B)를 향해 점점 두꺼워지는 형태가 되어 급격한 단차가 형성되지 않음으로써 상기 반도체층(115)이 형성된 부분과 상기 반도체층(115) 외부로 노출된 버퍼층(105)에 대해서 모두 동일한 두께(t_6)를 가지며 형성되고 있으며, 상기 게이트 절연막(120) 상부에 형성된 게이트 전극(135) 또한 상기 게이트 절연막(120)이 상기 반도체층(115)에 대해 완만한 단차를 가지며 형성되고 있는 바, 이를 반영하여 비교적 균일한 두께(t_7)를 가지며 형성되어 있는 것이 특징이다. 이때, 상기 게이트 절연막(120)은 도면에 있어서는 반도체층(115) 전면에서 형성되며 상기 오믹콘택층(115b) 일부를 노출시키는 반도체층 콘택홀(145a, 145b)을 갖도록 형성되고 있으나, 변형예로서 상기 게이트 전극(135)이 형성된 부분에만 형성될 수도 있다.

[0068] 다음, 상기 게이트 전극(135) 및 외부로 노출된 게이트 절연막(120) 위로 상기 반도체층(115) 중 액티브층(115a) 양측에 각각 위치한 상기 오믹콘택층(115b) 일부를 각각 노출시키는 반도체층 콘택홀(게이트 절연막(120)의 반도체층 콘택홀(145a, 145b)과 연결됨)(145a, 145b)을 갖는 층간절연막(140)이 형성되어 있으며, 상기 층간절연막(140) 위로 상기 반도체층 콘택홀(145a, 145b)을 통해 노출된 오믹콘택층(115b)과 각각 접촉하며 서로 이격하는 소스 및 드레인 전극(150, 153)이 형성되어 있다. 이렇게 하부의 폴리실리콘의 반도체층(115)으로부터 상기 소스 및 드레인 전극(150, 153)까지 형성됨으로써 이들 사이에 형성된 상기 게이트 절연막(120)과 게이트 전극(135)과 더불어 스위칭 소자인 박막트랜지스터를 구성하고 있다.

- [0069] 다음, 상기 서로 이격하는 소스 및 드레인 전극(150, 153) 위로 전면에 상기 드레인 전극(153) 일부를 노출시키는 드레인 콘택홀(163)을 갖는 보호층(160)이 형성되어 있으며, 상기 보호층(160) 위로 상기 드레인 콘택홀(163)을 통해 상기 드레인 전극(153)과 접촉하며 화소전극(170)이 형성되어 있다.
- [0070] 전술한 단면 구조에 있어서는 게이트 배선과 데이터 배선은 도시되지 않았지만, 상기 게이트 배선은 상기 게이트 전극(135)이 형성된 동일층에 동일물질로써 형성되어 있으며, 상기 데이터 배선은 상기 게이트 배선과 교차하여 화소영역(P)을 정의하며 상기 소스 및 드레인 전극(150, 153)이 형성된 동일한 층에 동일한 물질로 상기 소스 전극(150)과 연결되며 형성되어 있다.
- [0071] 전술한 제 1 실시예에 따른 폴리실리콘의 반도체층(115)을 갖는 박막트랜지스터를 구비한 액정표시장치용 어레이 기판(101)은 상기 반도체층(115)에 있어 테이퍼각(θ_2)이 충분히 작은 구조의 에지부(A)를 구성함으로써 그 상부에 형성되는 게이트 절연막(120)과 게이트 전극(135)이 상기 반도체층(115)의 중앙부(B)와 에지부(A)에서 각각 일정한 두께(t_6 , t_7)를 가지게 됨으로써 상기 반도체층(115)의 에지부(A)의 전계 집중에 의해 발생하는 전계 왜곡을 방지함으로써 트랜스퍼 커브 상의 험프(hump)를 억제하게 되는 것이다.
- [0072] <제 2 실시예>
- [0073] 도 6, 7은 본 발명의 제 2 실시예에 따른 폴리실리콘의 반도체층을 갖는 박막트랜지스터를 구비한 액정표시장치용 어레이 기판에 있어, 하나의 화소영역에 형성된 스위칭 소자인 박막트랜지스터를 게이트 전극을 기준으로 각각 가로방향(서로 이격하는 소스 및 드레인 전극이 배치된 방향과 나란하게 절단)과 세로방향(상기 소스 및 드레인 전극이 배치된 방향에 수직으로 절단)으로 절단한 부분에 대한 단면도이다.
- [0074] 이때, 반도체층, 게이트 절연막과 게이트 전극을 제외한 다른 구성요소는 전술한 제 1 실시예와 동일하므로 이들 구성요소의 구조를 위주로 설명한다.
- [0075] 도시한 바와 같이, 기판(201) 상에 버퍼층(205)이 형성되어 있으며, 상기 버퍼층(205) 위로 각 화소영역(P) 내의 스위칭 영역(TrA)에는 그 중앙부(B)의 두께(t_{11})와 에지부(A)의 두께(t_{12})를 달리하는 형태의 폴리실리콘의 반도체층(215)이 형성되어 있다.
- [0076] 상기 반도체층(215)의 형태를 조금 더 상세히 설명하면 제 1 두께(t_{11})를 갖는 중앙부(B)와, 상기 제 1 두께(t_{11})보다는 얇은 바람직하게는 상기 제 1 두께(t_{11})의 1/2 정도인 제 2 두께(t_{12})를 갖는 에지부(A)로 구성되어 있으며, 이러한 구성을 갖는 반도체층(215)이 버퍼층(205) 상부에 형성되고, 이후 상기 반도체층(215) 위로 게이트 절연막(220)을 형성 시, 상기 반도체층(215)의 에지부(A)에서 상기 버퍼층(205)과의 단차가 줄어들게 됨으로써 단차저하에 의해 실질적인 상기 게이트 절연막(220)의 스텝 커버리지가 향상되어 상기 반도체층(215)의 에지부(A)에 대응되는 영역을 포함하여 기판 전 영역에 있어 비교적 동일한 두께(t_{13})를 갖는 게이트 절연막(220)을 구성할 수 있게 된다.
- [0077] 따라서, 상기 반도체층(215)의 에지부(A)에서의 게이트 절연막(220)의 두께감소에 의한 전계 집중을 방지하게 되며, 나아가 반도체층(215) 자체의 에지부(A) 제 2 두께(t_{12})가 중앙부(B) 제 1 두께(t_{11})의 대비 얇게 형성($t_{11} \approx 2 \times t_{12}$)됨으로써 상기 반도체층(215) 내부에서 이동하는 정공(hole) 또는 전자(electron) 등의 캐리어(carrier) 수가 줄어들게 되어 결과적으로 사이드 전류(side current)를 억제하게 되는 것이다.
- [0078] 도 8은 본 발명의 제 2 실시예에 따른 구조를 갖는 반도체층을 실제 기판 상에 형성 후 확대하여 찍은 SEM(scanning electron microscope) 사진이며, 도 9는 본 발명의 제 2 실시예에 의한 액정표시장치용 어레이 기판에 있어, 게이트 전압 변화에 따른 드레인 전류의 변화를 도시한 트랜스퍼 커브(LDD층의 폭은 $1\mu\text{m}$, 채널비(W/L) 즉 채널의 폭과 길이는 각각 $4\mu\text{m}$, $4\mu\text{m}$ 로 형성됨) 특성을 나타낸 그래프이다.
- [0079] 도시한 바와 같이, 그 중앙부(B) 대비 에지부(A)가 얇은 두께를 갖도록 기판 상에 반도체층을 형성하여 박막트랜지스터를 완성한 경우, 게이트 전압이 0V에서 2V로 변하는 구간 즉, 선형영역에서의 드레인 전류는 선형적으로 증가하고 있음은 물론 험프(hump) 또한 발생하지 않고 있음을 알 수 있다.
- [0080] 더욱이, 종래와 같이 동일한 두께 또는 에지부 테이퍼각이 80도 이상인 폴리실리콘의 반도체층을 형성한 어레이 기판의 트랜스퍼 커브 특성 그래프에 있어서는 험프(hump) 발생영역을 포함하는 선형영역이 게이트 전압이 0V에서 3V 사이인 영역($V_{ds} = 9V$ 인 경우 기준)이 되고 있었으나(도 3 참조), 에지부(A)와 중앙부(B)의 두께를 이원화한 반도체층을 갖는 본 발명에 따른 어레이 기판의 트랜스퍼 커브 특성 그래프(도 8 참조)에서는 선형영역이

게이트 전압이 0V에서 1.5V 사이인 영역($V_{ds} = 9V$ 인 경우 기준)이 되고 있는 바, 선형영역의 게이트 전압 변화 폭이 더욱 작아짐으로써 스위칭 소자로서의 특성이 더욱 향상되었음을 알 수 있다.

[0081] 스위칭 소자로서의 동작은 상기 선형영역에서 급격한 기울기를 갖는 것이 박막트랜지스터의 온(on)/오프(off) 동작을 더욱 빨리 진행시킬 수 있으므로 유리하며, 이러한 빠른 스위칭은 게이트 배선의 신호지연을 방지하는 효과를 더욱 가지게 되는 바, 액정표시장치용 어레이 기판에 특성을 향상시키고 있음을 알 수 있다.

[0082] 한편, 전술한 제 2 실시예에 제시된 반도체층은 그 변형예로써 도 10에 도시한 바와 같이, 그 에지부(A)를 2단 이상(도면에서는 2단으로 도시됨)의 계단구조(최외각에서 중앙부를 향해서 올라가는 구조)를 갖도록 형성할 수도 있다. 이 경우, 상기 반도체층(315)의 에지부(A)는 상기 제 2 실시예(도 6 참조)에 제시된 반도체층보다 더욱 다단 형태 단차를 가지도록 구성되고 있으며, 반도체층(315) 에지부(A)의 두께(더욱 정확히는 각 단차 높이)(t_{14} , t_{16} , t_{17})가 더욱 얇게(낮게) 형성(에지부(A) 단차가 2단인 경우, 각 단차의 두께(t_{14} , t_{16} , t_{17})는 상기 중앙부(B) 두께(t_{15})의 1/3정도가 되는 것이 바람직함)되는 바, 더욱더 상기 게이트 절연막(320)의 증착 시 상기 다단의 낮은 단차를 갖는 에지부(A)에서 고른 두께로 형성될 수 있는 것이 특징이다. 이는 게이트 절연막(320)의 두께(t_{13})대비 그 단차(t_{14} , t_{16} , t_{17})가 매우 낮은 수준이 되기 때문이다. 이때, 상기 반도체층(315) 에지부(A)의 각 단차(t_{14} , t_{16} , t_{17})에 있어 그 크기는 조금씩 차이를 가질 수도 있다.

[0083] <제조 방법>

[0084] 이후에는 전술한 본 발명의 제 1, 2 실시예에 따른 폴리실리콘의 반도체층을 갖는 액정표시장치용 어레이 기판의 제조 방법에 대해 설명한다.

[0085] 제 1, 2 실시예 및 그 변형예의 경우 반도체층의 형성 방법만이 조금씩 차이가 있을 뿐, 그 외의 구성요소에 대한 제조방법은 동일하게 진행되는 바, 제 2 실시예의 어레이 기판을 기준으로 그 제조 방법을 설명하며, 상기 구조를 달리하는 반도체층 형성단계에 있어서만 차별점이 있는 부분에 대해 제 1 실시예(반도체층의 에지부(A)의 테이퍼각이 30도 이상 60도 이하를 이룸) 및 제 2 실시예의 변형예(반도체층의 에지부(A)가 2단 이상의 계단 형태를 이룸)에 대해 설명한다.

[0086] 도 11a 내지 도 11i는 본 발명의 제 2 실시예에 따른 폴리실리콘의 반도체층을 갖는 액정표시장치용 어레이 기판의 스위칭 소자를 포함하는 하나의 화소영역에 대한 제조 단계별 공정 단면도이다.

[0087] 우선, 도 11a에 도시한 바와 같이, 투명한 절연기판(201) 상에 무기절연물질인 질화실리콘(SiN_x) 또는 산화실리콘(SiO_2)을 증착하여 버퍼층(205)을 형성한다. 상기 버퍼층(205)은 비정질 실리콘(a-Si)을 폴리실리콘으로 재결정화 할 경우, 레이저 조사 또는 열처리 시에 의해 발생하는 열로 인해 상기 기판(201) 내부에 존재하는 알칼리 이온, 예를 들면 칼륨 이온(K^+), 나트륨 이온(Na^+) 등이 발생할 수 있는데, 이러한 알칼리 이온에 의해 폴리실리콘으로 이루어진 반도체층의 막 특성이 저하되는 것을 방지하기 위함이다. 하지만, 상기 버퍼층(205)은 반드시 형성할 필요는 없으며 생략될 수 있다.

[0088] 다음, 상기 버퍼층(205) 위로 비정질 실리콘(a-Si)을 증착하여 비정질 실리콘층(미도시)을 전면으로 형성하고, 엑시머 레이저를 이용한 ELA(Excimer Laser Annealing)법 또는 SLS(Sequential lateral Solidification) 결정화법 또는 열처리법 또는 MILC(metal induced lateral crystallization)법 등의 결정화 공정을 진행하여 상기 비정질 실리콘층(미도시)을 폴리실리콘층(212)으로 결정화한다.

[0089] 이후, 상기 폴리실리콘층(212) 위로 포토레지스트를 전면으로 도포하여 포토레지스트층(미도시)을 형성하고, 상기 포토레지스트층(미도시)에 마스크를 이용한 노광을 실시한 후, 상기 노광된 포토레지스트층(미도시)을 현상함으로써 각 화소영역(P)의 스위칭 영역(TrA)에 대응하여 제 3 두께(t_{21}) 및 제 1 폭(w_{21})을 갖는 제 1 포토레지스트 패턴(281)을 형성한다.

[0090] 다음, 도 11b에 도시한 바와 같이, 상기 제 3 두께(t_{21}) 및 제 1 폭(w_{21})을 갖는 제 1 포토레지스트 패턴(281)을 식각 마스크로하여 제 1 드라이 에칭을 실시함으로써 상기 제 1 포토레지스트 패턴(281) 외부로 노출된 폴리실리콘층(도 11a의 212)을 제거함으로써 상기 제 1 포토레지스트 패턴(281)과 동일한 제 1 폭(w_{21})을 갖는 폴리실리콘의 반도체층(215)을 형성한다. 이때, 상기 반도체층(215)은 전체적으로 동일한 제 1 두께(t_{11})를 가지며 형성되어 진다.

[0091] 상기 폴리실리콘층(도 11a의 212)의 드라이 에칭에 관하여 간단히 설명하면, 상기 폴리실리콘층(도 11a의 212)의 라인 에칭은 통상적으로 HBr , Cl_2 , SF_6 , Br_2 가스 또는 이들 가스들이 2가지 또는 그 이상 혼합된 혼합가스로 채워진 진공의 챔버내에서 플라즈마(plasma) 처리함으로써 이루어지게 된다. 이 경우, 상기 폴리실리콘층(도

11a의 212)과 반응하는 상기 가스들과는 상기 제 1 포토레지스트 패턴(281)은 반응하지 않으므로 상기 제 1 드라이 에칭 전후에 있어 그 형태가 거의 변화가 없다

[0092] 다음, 도 11c에 도시한 바와 같이, 전술한 가스 및 플라즈마(plasma) 처리에 의한 제 1 드라이 에칭을 실시한 기관(201)을 동일한 챔버내에서 상기 가스를 O_2 로 바꾼 후, 플라즈마(plasma) 처리를 실시하는 제 1 애싱(ashing)을 진행함으로써 상기 제 3 두께(t21) 및 제 1 폭(w21)을 갖는 제 1 포토레지스트 패턴(281)에서 그 두께 및 폭이 모두 줄어든 형태로 제 4 두께(t22) 및 제 2 폭(w22)을 갖는 제 2 포토레지스트패턴(282)을 형성한다.

[0093] 이때, 상기 제 1 애싱(ashing)은 등방성을 가지며 진행됨으로써 상기 제 3 두께(t21) 및 제 1 폭(w21)을 갖는 제 1 포토레지스트 패턴(281)의 상부 및 측면을 동시에 제거시키게 되며 상기 O_2 의 농도를 일정하게 한 상태에서 애싱(ashing) 시간을 조절함으로써 그 제거되는 양(폭의 크기)을 결정할 수 있다.

[0094] 한편, 상기 제 1 애싱(ashing)을 통해 제 1 포토레지스트 패턴(281)의 폭과 두께가 줄어들어 제 4 두께(t22) 및 제 2 폭(w22)을 갖는 제 2 포토레지스트 패턴(282)이 형성됨으로써 상기 제 1 포토레지스트 패턴(281)에 의해 덮혀 있던 상기 반도체층(215)의 에지부(A)가 상기 제 2 포토레지스트 패턴(282) 외부로 노출되게 된다.

[0095] 다음, 도 11d에 도시한 바와 같이, 상기 제 4 두께(t22) 및 제 2 폭(w22)을 갖는 제 2 포토레지스트 패턴(282) 외부로 노출된 상기 반도체층(215)의 에지부(A)를 상기 챔버 내의 분위기를 O_2 에서 다시 HBr, Cl_2 , SF_6 , Br_2 가스 또는 이들 가스들의 혼합가스로 바꾸고 소정 시간(제 1 드라이 에칭 진행 시간보다는 짧은 시간)동안 제 2 드라이 에칭을 실시하여 그 일부를 제거함으로써 처음 형성된 제 1 두께(t11)보다 얇은 제 2 두께(t12)가 되도록 한다. 이때, 상기 제 2 드라이 에칭 시간을 적절히 조절함으로써 상기 제 2 두께(t12)가 상기 제 1 두께(t11)의 1/2정도가 되도록 하는 것이 바람직하다.

[0096] 이때, 상기 반도체층(215)의 에지부(A)의 두께를 줄이기 위해 진행하는 상기 제 2 드라이 에칭은 이방성 특성을 갖는 드라이 에칭인 것이 바람직하다. 등방성 특성을 갖는 드라이 에칭인 경우, 상기 노출된 반도체층 에지부(A)의 측면 또한 함께 제거되게 되는 바, 상기 반도체층(215)의 제 1 폭(w11) 또한 줄어들게 되어 상기 제 1 폭(w11)을 유지할 수 없게되는 문제가 발생하기 때문이다.

[0097] 다음, 도 11e에 도시한 바와 같이, 상기 제 2 두께(t12)를 갖는 에지부(A)와 제 1 두께(t11)를 갖는 중앙부(B)를 갖는 반도체층(215) 위로 남아있는 제 2 포토레지스트 패턴(도 11d의 282)을 제 2 애싱(ashing)(제 4 두께(t22)의 제 2 포토레지스트 패턴(도 11d의 282)이 완전히 제거되도록 충분한 시간동안 실시함) 또는 스트립(strip)을 진행하여 제거함으로써 본 발명의 제 2 실시예를 통해 제시한 에지부(A)와 중앙부(B)가 서로 다른 이원화된 두께를 갖는 반도체층(215)을 형성하게 되는 것이다.

[0098] 이 경우, 상기 제 2 애싱(ashing)을 실시하기 전, 상기 제 1 애싱(ashing)과 이방성의 제 2 드라이 에칭을 1회 더 반복하게 되면, 상기 제 2 실시예의 변형예(도 10 참조)에 의한 2단 또는 그 이상의 다단의 계단 형태를 갖는 에지부(A)를 갖는 반도체층(도 10의 315)을 형성할 수 있으며, 이를 수회 반복함으로써 2단 이상의 계단형태의 에지부를 갖는 반도체층(미도시)을 형성할 수도 있다.

[0099] 여기서 제 1 실시예(도 4, 5 참조)에 제시한 완만한 테이퍼각을 갖는 형태의 반도체층 형성에 대해서도 도 12a 내지 도 12c를 참조하여 설명한다.

[0100] 우선, 도 12a에 도시한 바와 같이, 폴리실리콘층(112) 위로 제 5 두께(t31) 및 제 3 폭(w31)을 갖는 포토레지스트 패턴(181)을 형성한다.

[0101] 다음, 도 12b, 12c에 도시한 바와 같이, 상기 포토레지스트 패턴(181) 및 그 외부로 노출된 폴리실리콘층(112)이 형성된 기관(101)을 진공의 챔버로 이동시킨 후, 상기 챔버내에 상기 폴리실리콘과 반응하는 가스 즉, HBr, Cl_2 , SF_6 , Br_2 가스 또는 이들 가스들이 2가지 이상 혼합된 혼합가스와 상기 포토레지스트 패턴(181)과 반응하는 O_2 를 소량 주입한 후, 플라즈마(plasma) 진행을 실시하는 드라이 에칭을 실시한다.

[0102] 이때, 상기 챔버 내부는 폴리실리콘층(112)과 반응하는 가스와 포토레지스트 패턴(181)과 반응하는 산소(O_2)가 소량 혼합된 분위기가 형성함으로써 실제적으로는 드라이 에칭만이 진행되는 것이 아니라, 애싱(ashing)까지 함께 진행되는 바, 상기 포토레지스트 패턴(181) 외부로 노출된 폴리실리콘층(112)이 제거됨과 동시에 상기 포토레지스트 패턴(181) 또는 그 상면과 측면이 소정폭 동시에 제거된다.

- [0103] 따라서, 시간이 지남에 따라 상기 포토레지스트 패턴(181)의 측면이 소정폭 점진적으로 제거되는 바, 상기 포토레지스트 패턴(181) 외부로 새롭게 노출되는 폴리실리콘층(112) 부분이 생기게 되며, 최초 드라이 에칭에 노출된 부분 즉 제거되어야 할 폴리실리콘층(112) 부분이 버퍼층(105) 상부에서 완전히 제거되는 시점에서는 시간이 지남에 따라 새롭게 상기 포토레지스트 패턴(181) 외부로 노출된 반도체층 부분은 상기 드라이 에칭에 충분히 노출되지 않았기 때문에 완전히 제거되지 않아 소정의 두께를 가지며 남아있게 되며, 상기 포토레지스트 패턴(181)의 측면이 점진적으로 제거되는 바, 새롭게 노출되는 반도체층(115) 부분 더욱 정확히는 반도체층(115)의 에지부(A)는 그 드라이 에칭 시간의 차이를 가짐에 따라 최외각부에서 중앙부(B)로 갈수록 점점 두꺼운 두께를 갖는 형태로 즉, 상기 버퍼층(105)의 표면에 대해 소정의 테이퍼각(θ_2)을 가지며 형성되게 된다.
- [0104] 이때, 상기 반도체층(115)의 에지부(A)가 상기 버퍼층(105) 표면과 이루는 테이퍼각(θ_2)은 30도 이상 60이하가 되도록 하는 것이 바람직하며, 이러한 반도체층(115) 에지부(A)의 소정의 테이퍼각(θ_2)의 크기는 폴리실리콘층(112)과 반응하는 가스와 혼합되는 산소(O_2)의 양을 조절함으로써 형성할 수 있다.
- [0105] 이후에는 다시 도 11f 내지 11i를 참조하여 상기 반도체층 및 그 이외의 구성요소의 형성방법에 대해 설명한다.
- [0106] 진술한 방법에서와 같이 중앙부(B)와 에지부(A)가 서로 다른 두께(도 11e의 t11, t12)를 갖는 반도체층(도 11e의 215) 또는 완전한 테이퍼각(도 12c의 θ_2)을 갖는 에지부(A)를 포함하는 반도체층(도 12c의 115)을 형성한 후, 도 11f에 도시한 바와같이, 상기 반도체층(215) 위로 전면예 무기절연물질 예를들면 산화실리콘(SiO_2) 또는 질화실리콘(SiN_x)을 증착함으로써 게이트 절연막(220)을 형성한다.
- [0107] 이 경우, 상기 게이트 절연막(220)은 증착에 의해 형성되는 특성상 종래에는 버퍼층과 상기 반도체층이 비교적 큰 단차를 가짐으로써 상기 단차를 이루는 반도체층의 에지부(A) 상부에서 타영역대비 그 두께가 얇아지는 반면, 본 발명의 제 2 실시예에서와 같이 상기 반도체층(215)의 에지부(A)의 제 2 두께(t12)를 중앙부(B)의 제 1 두께(t11, 500Å 내지 1000Å)대비 얇게 형성하거나 또는 제 1 실시예(도 12c 참조)에서와 같이 완전한 테이퍼각(θ_2 , 30도 이상 60도 이하)의 에지부(A)를 갖는 반도체층(도 12c의 115)을 형성한 경우, 버퍼층과 상기 반도체층 간의 점진적 단차로 인해 그 단차의 크기가 상기 게이트 절연막의 두께 대비 충분히 작게 형성됨(제 2 실시예 및 그 변형예의 경우)으로써, 또는 상기 게이트 절연막(220)을 이루는 물질 즉 산화실리콘(SiO_2) 또는 질화실리콘(SiN_x)의 스텝 커버리지 특성이 충분히 커버할 수 있는 정도(제 1 실시예의 경우)가 되어 그 두께(t13)에 있어 별 차이없이 매우 근소한 오차범위(게이트 절연막 두께의 10-15% 이내)내에서 형성되게 된다.
- [0108] 다음, 반도체층(215)과의 단차를 극복하여 전체적으로 적정 오차범위 내의 두께차를 가지며 비교적 일정한 두께(t13)를 가지며 형성된 게이트 절연막(220) 위로 금속물질을 증착하여 금속층(미도시)을 형성한다. 이때, 상기 금속층(미도시)은 상기 게이트 절연막(220) 상부에서 비교적 일정한 두께를 가지고 형성되게 된다. 이는 상기 게이트 절연막(220)이 그 하부의 두께를 달리하는 에지부(t12)를 갖는 반도체층(215)에 영향을 받아 그 자체가 완전한 테이퍼각을 가지며 형성됨으로써 그 상부에 형성되는 금속층(233) 역시 상기 게이트 절연막(233)에 형성된 완전한 단차를 극복하고 비교적 동일한 두께를 가지며 형성되는 것이다.
- [0109] 더욱이 금속물질의 경우 무기절연물질보다는 단차에 대한 스텝 커버리지가 우수함으로 더욱더 단차부에 대한 두께의 얇아짐없이 고른 두께로 형성되게 된다.
- [0110] 다음, 도 11g에 도시한 바와 같이, 상기 전체적으로 비교적 고른 두께를 가지며 형성된 금속층(미도시)을 마스크 공정을 진행하여 패터닝함으로써 상기 게이트 절연막(220) 위로 일방향으로 연장하는 게이트 배선(미도시)을 형성하고, 동시에 각 화소영역(P)별로 스위칭 영역(TrA)에 상기 게이트 배선(미도시)에서 분기한 게이트 전극(235)을 형성한다. 이때, 도면에 있어서는 상기 게이트 전극(235)이 상기 반도체층(215)의 에지부(A)에는 형성되지 않는 것처럼 보이지만, 상기 게이트 전극(235)을 기준으로 세로방향으로 절단한 도 7을 살펴보면 상기 게이트 전극(235) 또한 반도체층(215)의 에지부(A)에 대응하여 상기 게이트 절연막(220) 상부로 형성되고 있음을 알 수 있으며, 이 경우 상기 게이트 절연막(220)이 상기 반도체층(215)의 에지부(A)와 중앙부(B)에 대해 거의 동일한 두께를 가지며 형성된 것과 같이 단차가 세분화되어 작아지게 됨으로써 거의 동일한 두께로써 형성되어 지게 된다.
- [0111] 다음, 도 11h에 도시한 바와 같이, 상기 게이트 전극(235)을 도핑 마스크로 하여 상기 반도체층(215)에 고도즈량을 갖는 이온주입을 통한 n+ 또는 p+ 도핑을 실시함으로써 오믹콘택층(215b)을 형성한다. 이때, 상기 게이트 전극(235)에 의해 도핑이 이루어지지 않은 반도체층 영역은 액티브층(215a)을 형성하게 된다.

- [0112] 이때, n+도핑함으로써 n형 오믹콘택층(215b)을 형성 한 경우, 상기 게이트 전극(235) 하부의 액티브층(215a)과 상기 액티브층(215a) 양측면 각각의 오믹콘택층(215b) 사이에 저도즈량으로써 도핑된 LDD(lightly doped drain)(215c)층을 더욱 형성하는 것이 바람직하다.
- [0113] 이러한 LDD층(215c)의 형성은, 상기 게이트 전극(235)의 형성 시, 상기 게이트 전극(235)보다 소정폭 더 넓은 게이트 패턴을 형성한 후, 상기 더 넓은 폭의 게이트 패턴 상부에 포토레지스트 패턴이 남아있는 상태에서 상기 더 넓은 폭을 갖는 게이트 패턴 및 그 상부의 포토레지스트 패턴을 도핑 마스크로 하여 고농도의 n+도핑을 실시함으로서 상기 n형 오믹콘택층(215b)을 형성하고, 이후 등방성의 애싱(ashing)을 실시하여 상기 포토레지스트 패턴의 측면을 소정폭 제거함으로서 상기 넓은 폭을 갖는 게이트 패턴 양끝단 일부를 노출시키고, 상기 양측면의 소정폭이 이 제거되어 폭이 줄어든 포토레지스트 패턴 외부로 노출된 게이트 패턴을 에칭하여 제거함으로서 상기 게이트 전극(235)을 형성한 상태에서 저농도의 n-도핑을 실시함으로서 상기 액티브층(215a)과 오믹콘택층(215b) 사이에 상기 LDD층(215c)을 형성할 수 있다.
- [0114] 한편, 도면에 나타나지 않았지만, 다수의 화소영역(P)으로 구성되어 화상을 표시하는 표시영역 이외의 비표시영역에 구성되는 구동회로부에 있어 CMOS타입의 인버터를 구성하는 경우, n+ 및 p+ 도핑을 모두 실시해야 하는 바, 이 경우, n+도핑을 실시하는 경우, p+ 도핑되어 p타입의 오믹콘택층을 갖는 P형 박막트랜지스터가 형성되어야 하는 부분의 반도체층에는 포토레지스트 등으로 도핑마스크를 형성한 후, n+도핑을 실시하고, 반대로, p+도핑을 실시하는 경우, n형 박막트랜지스터가 형성되는 부분에는 포토레지스트 등으로 도핑 마스크를 형성한 후, p+ 도핑을 실시함으로써 n형 및 p형 오믹콘택층을 형성할 수 있다.
- [0115] 다음, 도 11i에 도시한 바와 같이, 상기 게이트 전극(235)과 게이트 배선(미도시) 위로 전면예 무기절연물질인 산화실리콘(SiO_2) 또는 질화실리콘(SiNx)을 증착하거나, 또는 유기절연물질인 벤조사이클로부텐(BCB) 또는 포토아크릴(photo acryl)을 도포하여 층간절연막(240)을 형성하고 이를 패터닝함으로써 상기 액티브층(215a)을 사이로 그 양측에 위치한 오믹콘택층(215b)을 각각 노출시키는 반도체층 콘택홀(245a, 245b)을 형성한다. 이때, 상기 층간절연막(240)의 에칭 시 그 하부의 게이트 절연막(220)까지 함께 에칭함으로써 상기 반도체층 콘택홀(245a, 245b)은 상기 오믹콘택층(215b)을 노출시키게 된다.
- [0116] 다음, 도 11j에 도시한 바와 같이, 상기 반도체층 콘택홀(245a, 245b)을 구비한 층간절연막(240) 위로 전면예 금속물질을 증착하고, 마스크 공정을 진행하여 패터닝함으로써, 상기 층간절연막(240) 위로 하부의 상기 게이트 배선(미도시)과 교차하며 화소영역(P)을 정의하는 데이터 배선(미도시)을 형성하고, 동시에, 각 화소영역(P)의 스위칭 영역(TrA)에는 상기 데이터 배선(미도시)에서 분기하여 상기 반도체층 콘택홀(245a)을 통해 상기 오믹콘택층(215b)과 접촉하는 소스 전극(250)과, 상기 소스 전극(250)과 이격하며 또 다른 반도체층 콘택홀(245b)을 통해 상기 오믹콘택층(215b)과 접촉하는 드레인 전극(253)을 형성한다.
- [0117] 다음, 도 11k에 도시한 바와 같이, 상기 데이터 배선(미도시)과 소스 및 드레인 전극(250, 253) 위로 전면예 무기절연물질인 질화실리콘(SiNx) 또는 산화실리콘(SiO_2)을 증착하거나 또는 유기절연물질인 벤조사이클로부텐(BCB) 또는 포토아크릴(photo acryl)을 도포함으로써 보호층(260)을 형성하고, 상기 보호층(260)을 마스크 공정을 진행하여 패터닝함으로써 스위칭 영역(TrA)에 있어서는 상기 드레인 전극(253)을 노출시키는 드레인 콘택홀(263)을 형성한다.
- [0118] 다음, 도 11l에 도시한 바와 같이, 상기 드레인 콘택홀(263)이 형성된 보호층(260) 위로 전면예 투명 도전성 물질인 인듐-틴-옥사이드(ITO) 또는 인듐-징크-옥사이드(IZO)를 전면예 증착하고 마스크 공정을 진행하여 패터닝함으로써 상기 드레인 콘택홀(263)을 통해 상기 드레인 전극(253)과 접촉하는 화소전극(270)을 형성함으로써 액정표시장치용 어레이 기판(201)을 완성한다.
- [0119]

발명의 효과

- [0120] 이와 같이, 본 발명의 실시예에 따른 폴리실리콘을 이용한 액정표시장치용 어레이 기판은 폴리실리콘의 반도체층을 그 에지부가 기판면에 대해 완만한 테이퍼각을 이루도록 형성하거나 또는 그 중앙부와 계단 형태의 이원화된 두께를 갖도록 형성함으로써 상기 반도체층의 에지부에서의 게이트 절연막 얇아짐에 의한 프린지 필드 강화를 억제하는 동시에 험프(hump) 발생을 억제함으로써 박막트랜지스터의 특성을 향상시키는 효과가 있다.

도면의 간단한 설명

- [0001] 도 1은 종래의 폴리실리콘 박막트랜지스터를 갖는 액정표시장치용 어레이 기판의 상기 박막트랜지스터를 포함하는 하나의 화소영역에 대한 단면도.

[0002] 도 2는 종래의 폴리실리콘 박막트랜지스터를 구비한 어레이 기판에 있어 상기 박막트랜지스터의 게이트 전극이 형성된 부분을 절단한 단면도.

[0003] 도 3은 종래의 폴리실리콘 박막트랜지스터를 구비한 어레이 기판의 게이트 전압 변화에 따른 드레인 전류의 변화를 도시한 트랜스퍼 커브 특성을 나타낸 그래프.

[0004] 도 4는 본 발명의 제 1 실시예에 따른 폴리실리콘 박막트랜지스터를 구비한 액정표시장치용 어레이 기판에 있어, 하나의 화소영역에 형성된 스위칭 소자인 박막트랜지스터를 각각 게이트 전극을 기준으로 가로방향(서로 이격하는 소스 및 드레인 전극이 배치된 방향과 나란하게 절단)으로 절단한 부분에 대한 단면도.

[0005] 도 5는 본 발명의 제 1 실시예에 따른 폴리실리콘 박막트랜지스터를 구비한 액정표시장치용 어레이 기판에 있어, 하나의 화소영역에 형성된 스위칭 소자인 박막트랜지스터를 각각 게이트 전극을 기준으로 세로방향(상기 소스 및 드레인 전극이 배치된 방향에 수직으로 절단)으로 절단한 부분에 대한 단면도.

[0006] 도 6은 본 발명의 제 2 실시예에 따른 폴리실리콘 박막트랜지스터를 구비한 액정표시장치용 어레이 기판에 있어, 하나의 화소영역에 형성된 스위칭 소자인 박막트랜지스터를 게이트 전극을 기준으로 가로방향으로 절단한 부분에 대한 단면도.

[0007] 도 7은 본 발명의 제 2 실시예에 따른 폴리실리콘 박막트랜지스터를 구비한 액정표시장치용 어레이 기판에 있어, 하나의 화소영역에 형성된 스위칭 소자인 박막트랜지스터를 게이트 전극을 기준으로 세로방향으로 절단한 부분에 대한 단면도.

[0008] 도 8은 본 발명의 제 2 실시예에 따른 구조를 갖는 반도체층을 실제 기판상에 형성 후 확대하여 찍은 SEM 사진.

[0009] 도 9는 본 발명의 제 2 실시예에 의한 액정표시장치용 어레이 기판에 있어, 게이트 전압 변화에 따른 드레인 전류의 변화를 도시한 트랜스퍼 커브특성을 나타낸 그래프.

[0010] 도 10은 본 발명의 제 2 실시예의 변형예에 따른 폴리실리콘 박막트랜지스터를 구비한 액정표시장치용 어레이 기판에 있어, 하나의 화소영역에 형성된 스위칭 소자인 박막트랜지스터를 게이트 전극을 기준으로 가로방향으로 절단한 부분에 대한 단면도.

[0011] 도 11a 내지 도 11l은 본 발명의 제 2 실시예에 따른 폴리실리콘 박막트랜지스터를 구비한 액정표시장치용 어레이 기판의 스위칭 소자를 포함하는 하나의 화소영역에 대한 제조 단계별 공정 단면도.

[0012] 도 12a 내지 12c는 본 발명의 제 1 실시예에 제시한 완만한 테이퍼각을 갖는 형태의 반도체층을 형성하는 단계를 도시한 제조 공정 단면도.

[0013] < 도면의 주요 부분에 대한 부호의 설명 >

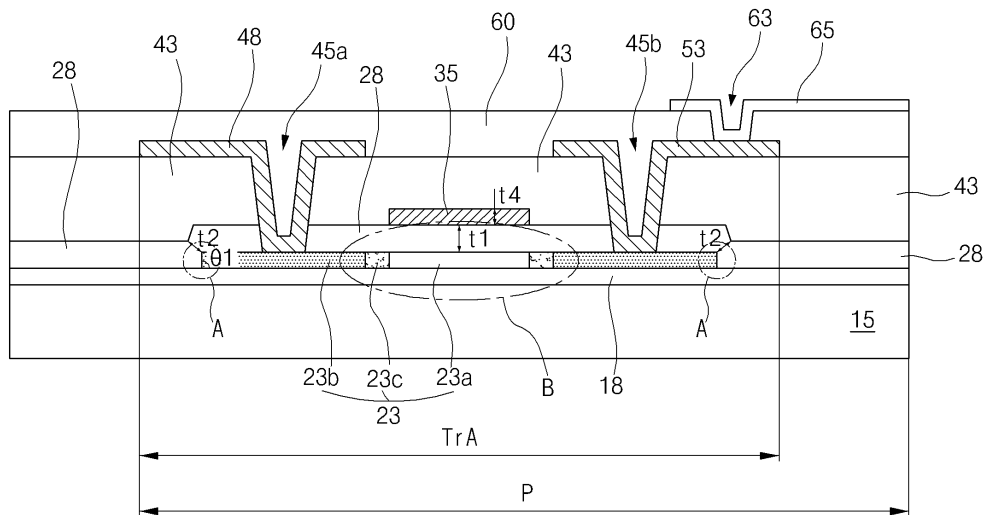
[0014]	201 : 기판	205 : 버퍼층
[0015]	215 : 반도체층	215a : 액티브층
[0016]	215b : (n형)오믹콘택층	215c : LDD층
[0017]	220 : 게이트 절연막	235 : 게이트 전극
[0018]	240 : 층간절연막	245a, 245b : 반도체층 콘택홀
[0019]	250 : 소스 전극	253 : 드레인 전극
[0020]	260 : 보호층	263 : 드레인 콘택홀
[0021]	270 : 화소전극	
[0022]	A : (반도체층의)에지부	B : (반도체층의)중앙부
[0023]	t ₁₁ : (반도체층 중앙부의) 제 1 두께	

[0024] t12 : (반도체층 에지부의) 제 2 두께

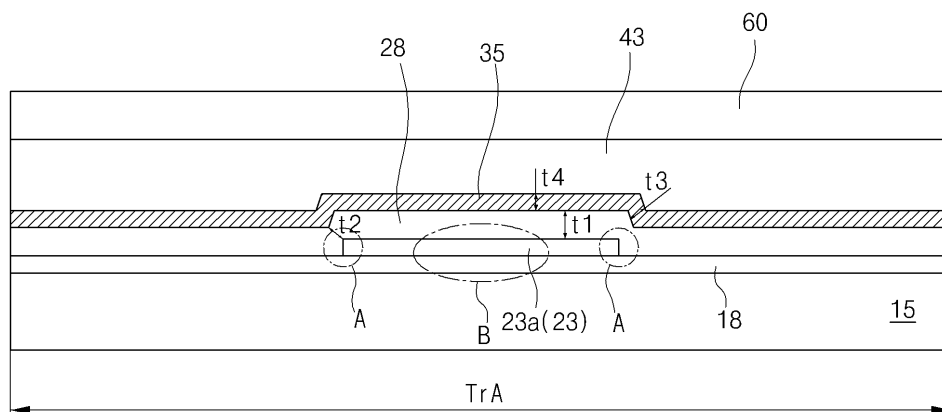
[0025] t13 : 게이트 절연막의 두께

도면

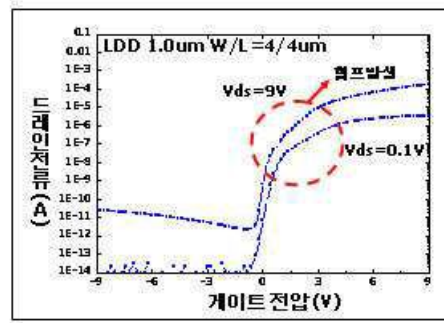
도면1



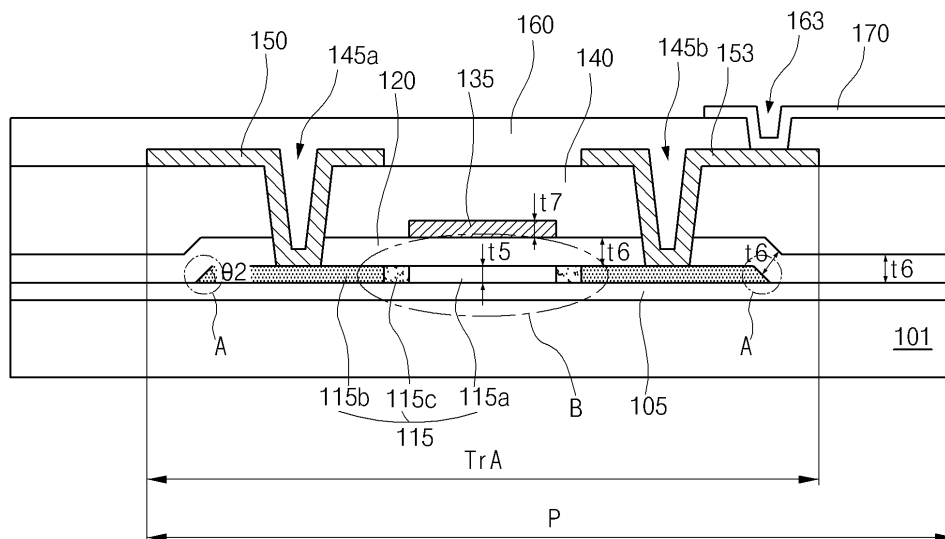
도면2



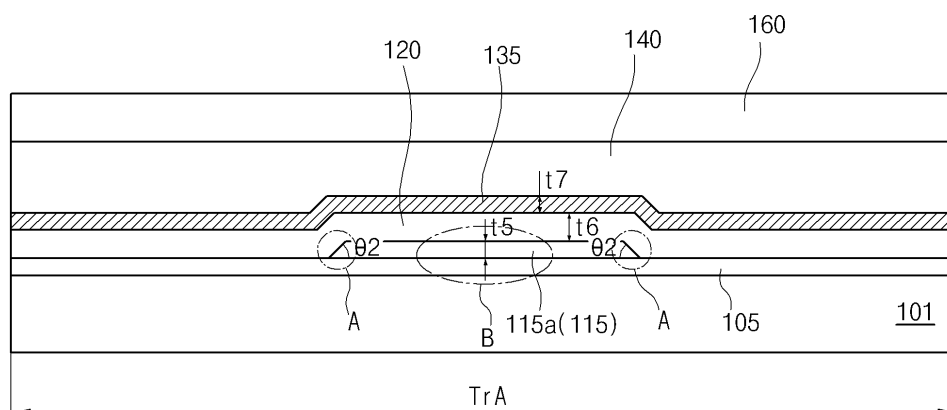
도면3



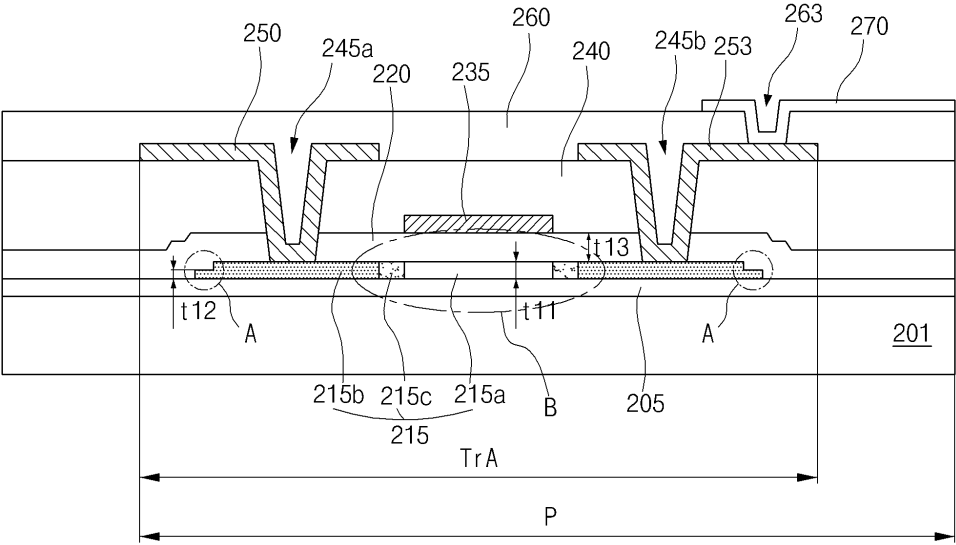
도면4



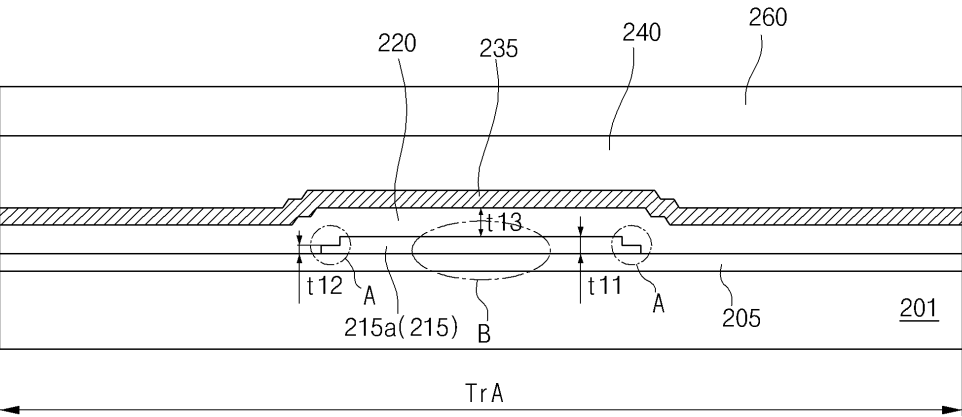
도면5



도면6



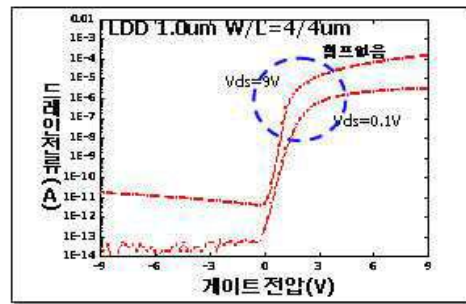
도면7



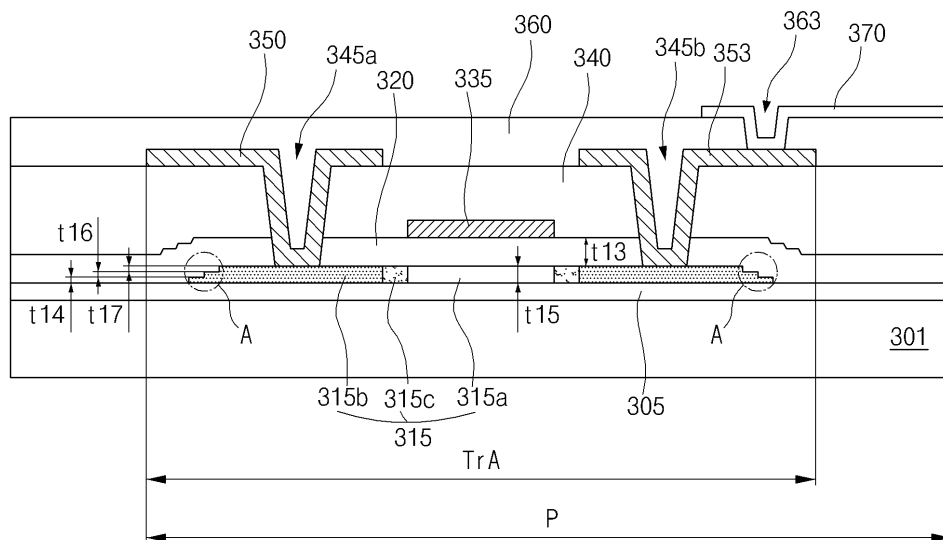
도면8



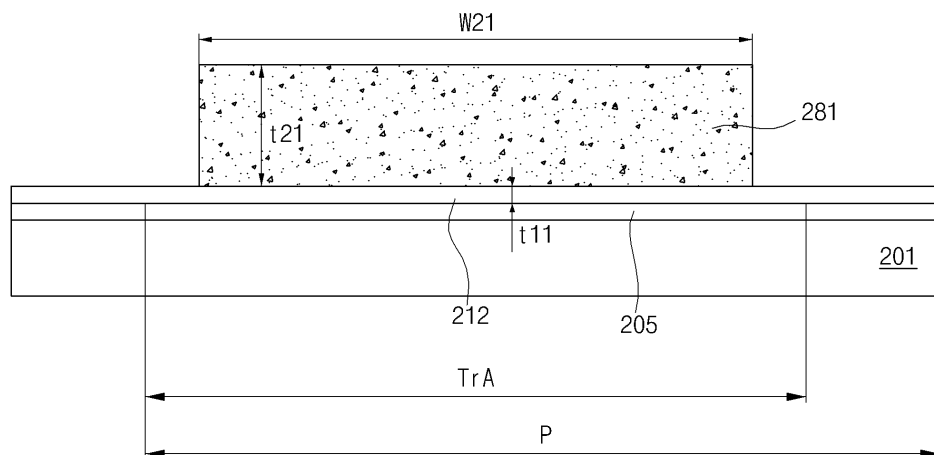
도면9



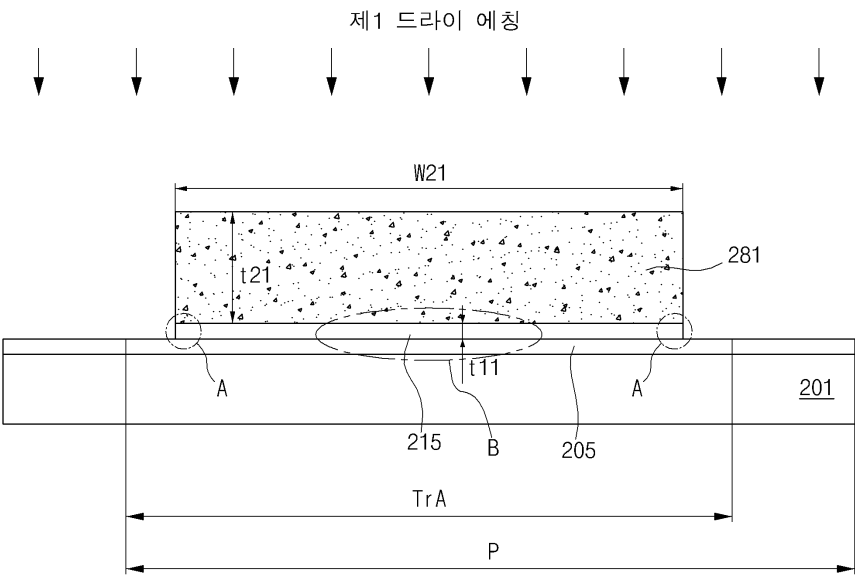
도면10



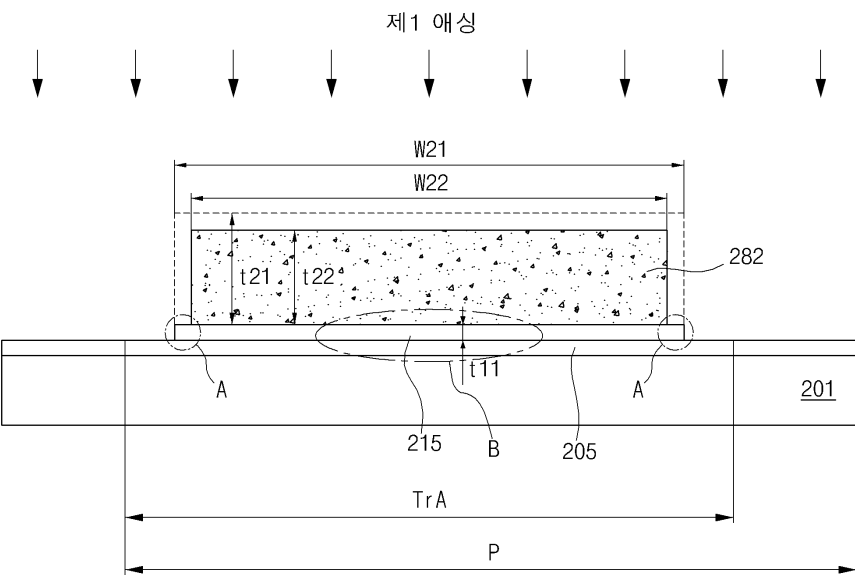
도면11a



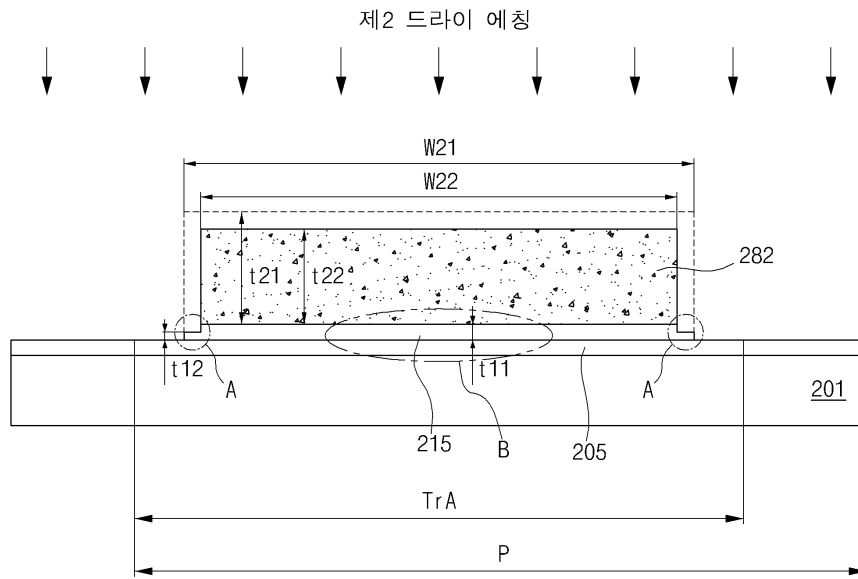
도면11b



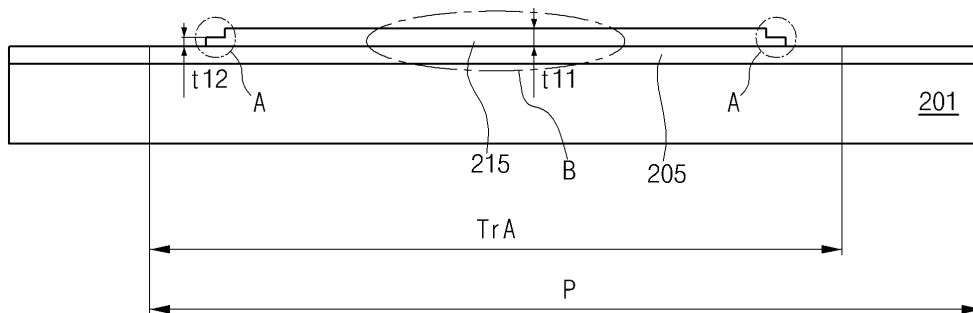
도면11c



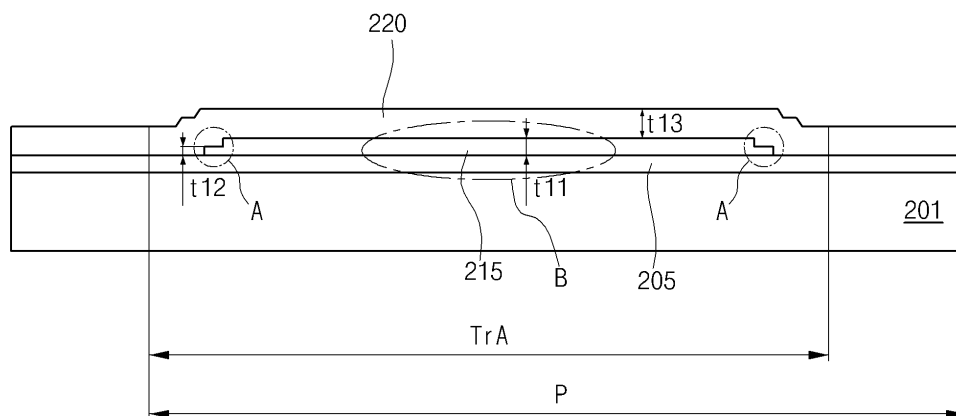
도면11d



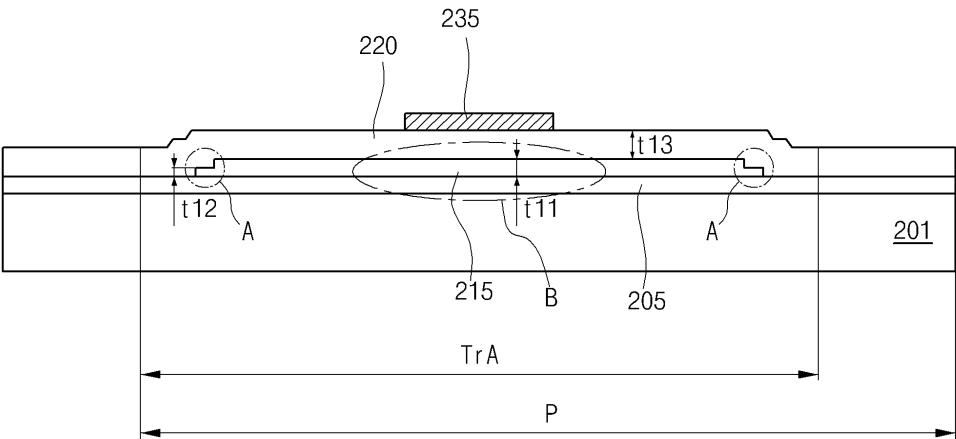
도면11e



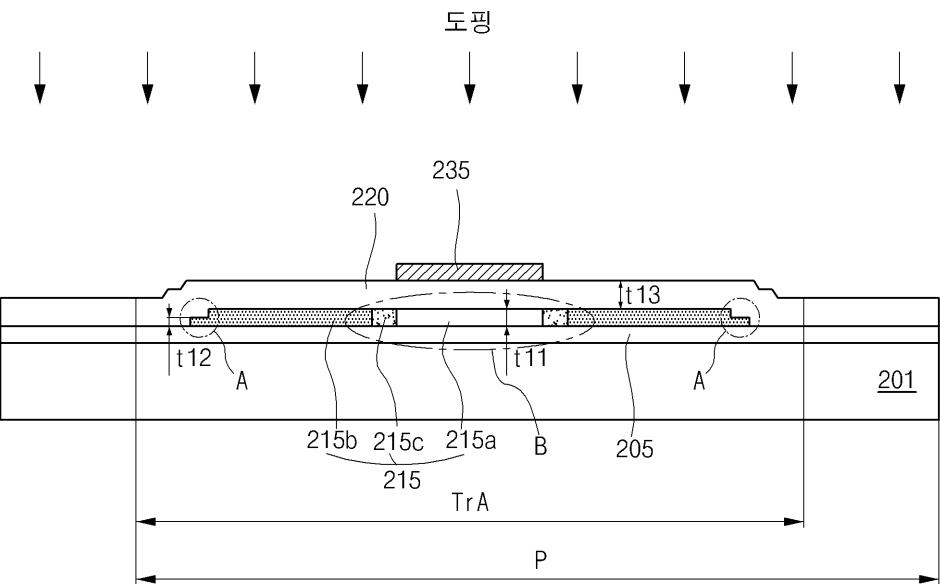
도면11f



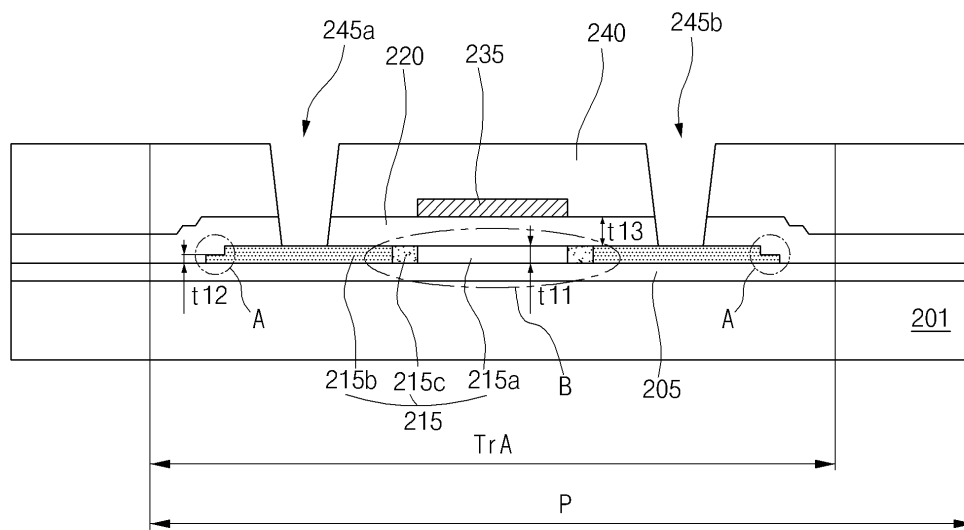
도면11g



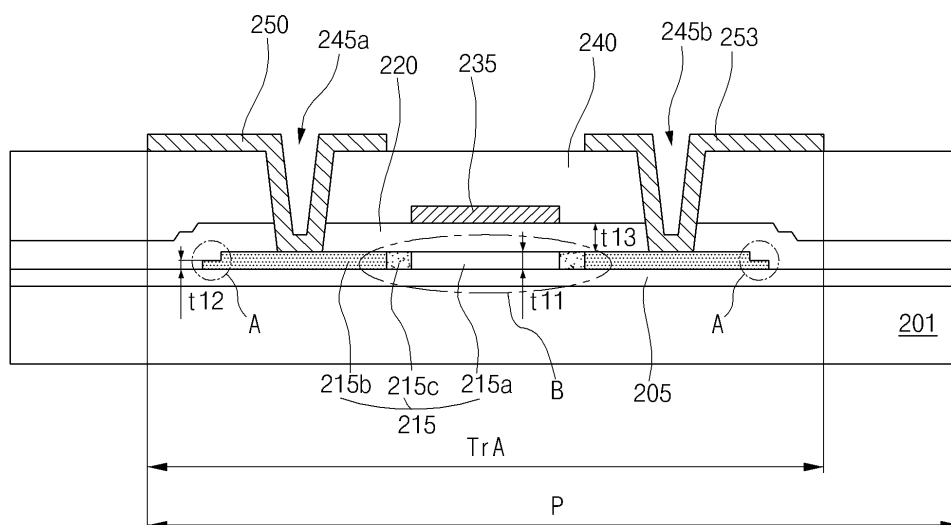
도면11h



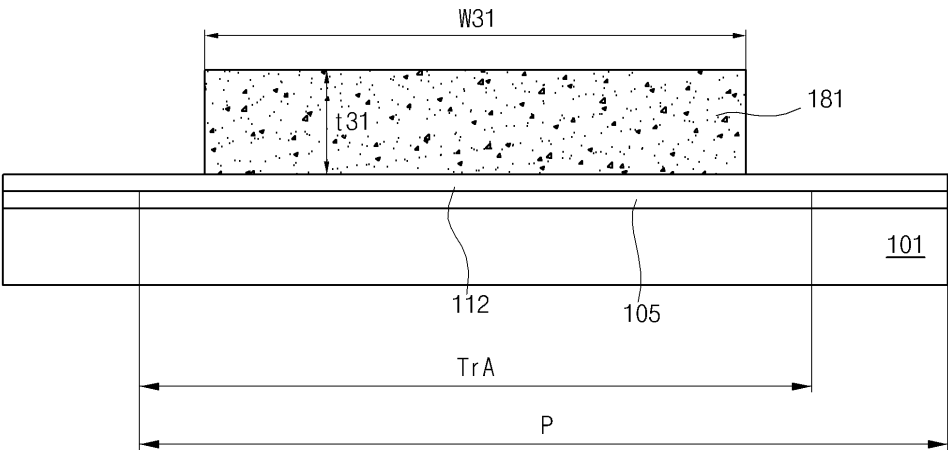
도면11i



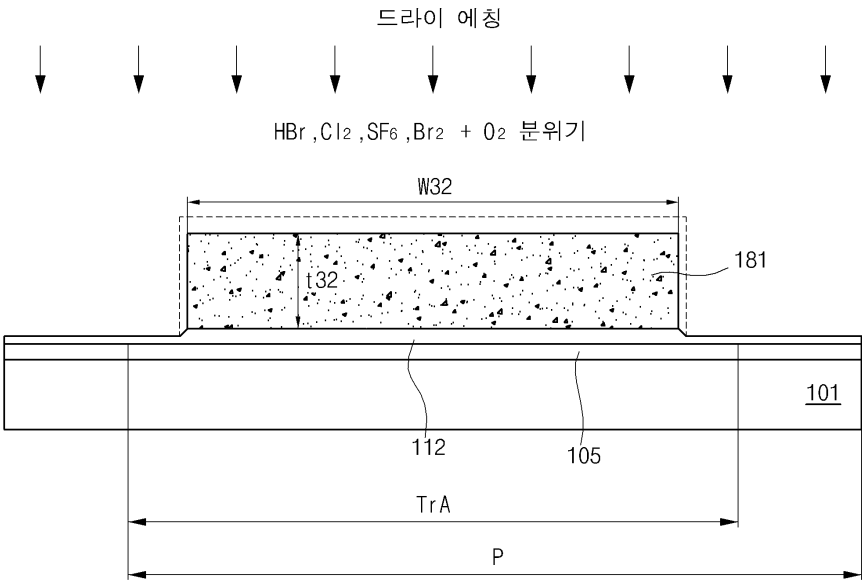
도면11j



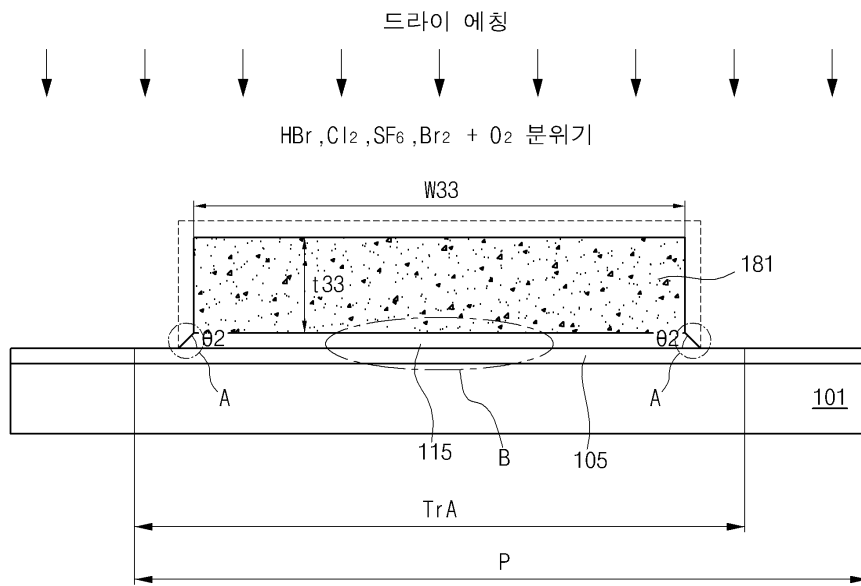
도면12a



도면12b



도면12c



专利名称(译)	标题：用于液晶显示装置的阵列基板及其制造方法		
公开(公告)号	KR101226974B1	公开(公告)日	2013-01-28
申请号	KR1020060040062	申请日	2006-05-03
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM SOO POOL 김수풀 YANG JOON YOUNG 양준영 OH JAE YOUNG 오재영		
发明人	김수풀 양준영 오재영		
IPC分类号	G02F1/136 G02F		
CPC分类号	H01L27/1214 H01L27/1288 H01L27/12		
其他公开文献	KR1020070107493A		
外部链接	Espacenet		

摘要(译)

液晶显示装置可以包括在基板上的半导体层，并且包括在沟道部分的两侧的沟道部分和欧姆接触部分，其中半导体层的边缘部分具有基本锥形形状的侧表面；覆盖半导体层的栅极绝缘层；栅极绝缘层上的栅电极，基本上对应于沟道部分；源极和漏极接触半导体层；和与漏电极接触的像素电极。

