



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년05월13일
(11) 등록번호 10-0957614
(24) 등록일자 2010년05월04일

(51) Int. Cl.

G02F 1/136 (2006.01)

(21) 출원번호 10-2005-0097475

(22) 출원일자 2005년10월17일

심사청구일자 2008년03월14일

(65) 공개번호 10-2007-0041877

(43) 공개일자 2007년04월20일

(56) 선행기술조사문헌

KR1020050066710 A*

KR1020030058066 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

이주복

경상북도 칠곡군 석적면 중리 141번지 부영 아파트113-1005

이재구

경북 구미시 구평동 부영 아파트 106동 1104호

(74) 대리인

특허법인네이트

전체 청구항 수 : 총 15 항

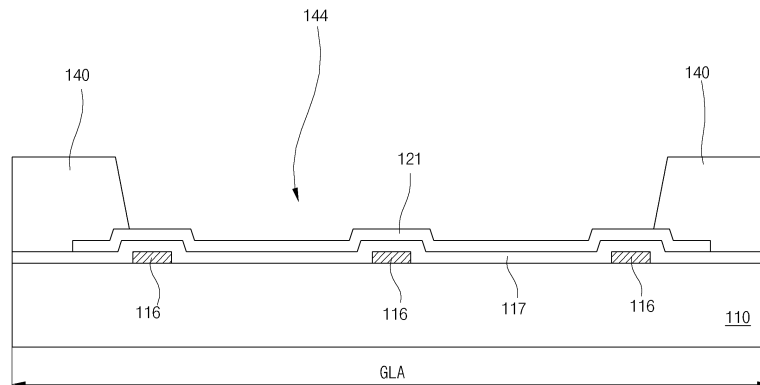
심사관 : 임동재

(54) 액정표시장치용 어레이 기판 및 그 제조 방법

(57) 요약

본 발명은 화상을 표시하는 표시영역 및 상기 표시영역 외측으로 게이트 링크부가 정의된 기판의 일면에 서로 교차하여 상기 표시영역에 다수의 화소영역을 정의하면서 형성된 다수의 게이트 배선 및 데이터 배선과; 상기 게이트 링크부에 상기 게이트 배선의 끝단과 연결되며 형성된 다수의 게이트 링크 배선과; 상기 게이트 배선과 데이터 배선의 사이에 형성된 게이트 절연막과; 상기 게이트 절연막 위로 상기 게이트 링크부에 상기 다수의 게이트 링크배선과 중첩하며 반도체물질로 형성된 다수의 더미패턴과; 상기 더미패턴 상부로 전면에 형성되며 상기 각 더미패턴을 노출시키는 다수의 홀을 구비한 보호층을 포함하는 액정표시장치용 어레이 기판을 제공함으로써 컬러 필터 기판과의 합작 시 게이트 링크부에 형성된 더미패턴에 의해 발생하는 쇼트를 효과적으로 방지할 수 있는 특징을 갖는다.

대표도 - 도7f



특허청구의 범위

청구항 1

화상을 표시하는 표시영역 및 상기 표시영역 외측으로 게이트 링크부를 포함하는 기관의 일면에 서로 교차하여 상기 표시영역에 형성된 다수의 게이트 배선 및 데이터 배선과;

상기 표시영역에 상기 다수의 각 게이트 및 데이터 배선이 교차하는 지점에 상기 게이트 배선 및 데이터 배선과 각각 연결되며 액티브층과 오믹콘택층으로 구성된 반도체층을 포함하여 형성된 박막트랜지스터와;

상기 게이트 링크부에 상기 다수의 게이트 배선의 끝단과 각각 연결되며 형성된 다수의 게이트 링크 배선과;

상기 다수의 게이트 배선과 데이터 배선의 사이로 전면에 형성된 게이트 절연막과;

상기 게이트 절연막 위로 상기 게이트 링크부에 상기 다수의 게이트 링크배선과 교차하는 형태로 중첩하며 상기 액티브층을 이루는 동일한 반도체물질로 형성된 다수의 더미패턴과;

상기 더미패턴 상부로 전면에 형성되며 상기 각 더미패턴을 노출시키는 다수의 홀을 구비한 보호층과;

상기 보호층 위로 상기 박막트랜지스터와 연결된 화소전극

을 포함하는 액정표시장치용 어레이 기관.

청구항 2

제 1 항에 있어서,

상기 반도체물질은 순수 비정질 실리콘인 액정표시장치용 어레이 기관.

청구항 3

제 1 항에 있어서,

상기 보호층은 유기절연물질로써 이루어진 액정표시장치용 어레이 기관.

청구항 4

제 1 항에 있어서,

상기 게이트 링크부에 형성된 다수의 홀은 그 크기가 상기 더미패턴의 면적보다 작으며, 상기 더미패턴에 대응하여 형성된 것이 특징인 액정표시장치용 어레이 기관.

청구항 5

제 1 항에 있어서,

상기 게이트 링크부에는 상기 다수의 홀이 형성된 보호층 위로 셀패턴이 형성된 액정표시장치용 어레이 기관.

청구항 6

삭제

청구항 7

제 1 항에 있어서,

상기 박막트랜지스터는 게이트 전극과, 상기 게이트 전극 위로 상기 게이트 절연막과, 상기 게이트 절연막 위로 순수 비정질 실리콘의 상기 액티브층과, 상기 액티브층 위로 불순물 비정질 실리콘의 서로 이격하는 오믹콘택층과, 상기 각 오믹콘택층 위로 서로 이격하는 소스 및 드레인 전극을 포함하는 액정표시장치용 어레이 기관.

청구항 8

제 7 항에 있어서,

상기 보호층은 상기 다수의 홀 이외에 상기 드레인 전극을 노출시키는 드레인 콘택홀을 더욱 구비한 액정표시장치용 어레이 기판.

청구항 9

제 7 항에 있어서,

상기 화소전극은 상기 드레인 콘택홀을 통해 상기 드레인 전극과 접촉하는 액정표시장치용 어레이 기판.

청구항 10

삭제

청구항 11

다수의 화소영역으로 이루어져 화상을 표시하는 표시영역 및 상기 표시영역 외측으로 게이트 링크부를 포함하는 기판의 일면에 일방향으로 다수의 게이트 배선과, 상기 게이트 링크부에 상기 다수의 각 게이트 배선의 일끝단과 연결된 다수의 게이트 링크 배선을 형성하는 단계와;

상기 다수의 게이트 배선 및 게이트 링크 배선 위로 전면에 게이트 절연막을 형성하는 단계와;

상기 게이트 절연막 위로 순수 비정질 실리콘층과, 불순물 비정질 실리콘층과, 금속물질층을 순차 형성하고, 이를 패터닝하여, 상기 다수의 각 게이트 배선과 교차하는 다수의 데이터 배선을 형성하고, 동시에 상기 게이트 링크부에 있어서는 상기 다수의 게이트 링크 배선과 교차하도록 중첩하는 순수 비정질 실리콘으로 이루어진 다수의 더미패턴을 형성하는 단계와;

상기 데이터 배선과 더미패턴 위로 전면에 상기 각 더미패턴에 대응하여 상기 더미패턴을 노출시키는 다수의 홀을 갖는 보호층을 형성하는 단계

를 포함하는 액정표시장치용 어레이 기판의 제조 방법.

청구항 12

제 11 항에 있어서,

상기 게이트 배선을 형성하는 단계는

상기 게이트 배선에서 각 화소영역으로 분기하는 게이트 전극을 형성하는 단계를 포함하는 액정표시장치용 어레이 기판의 제조 방법.

청구항 13

제 12 항에 있어서,

상기 데이터 배선 및 더미패턴을 형성하는 단계는

상기 각 화소영역에 상기 데이터 배선에서 분기한 소스 전극과, 상기 소스 전극에서 이격하는 드레인 전극과, 상기 이격한 소스 및 드레인 전극 사이에 순수 비정질 실리콘으로 이루어진 반도체층을 형성하는 단계를 포함하는 액정표시장치용 어레이 기판의 제조 방법.

청구항 14

제 13 항에 있어서,

상기 소스 및 드레인 전극과 반도체층을 포함하여 데이터 배선 및 더미패턴을 형성하는 단계는

상기 게이트 절연막 위로 순수 비정질 실리콘과, 불순물 비정질 실리콘과 금속물질을 연속하여 순차 증착하여

순수 비정질 실리콘층과, 불순물 비정질 실리콘층과, 금속물질층을 형성하는 단계와;

상기 금속물질층 위로 포토레지스트층을 형성하는 단계와;

상기 포토레지스트층 위로 상기 데이터 배선과, 소스 및 드레인 전극을 형성할 영역에는 각각 투과영역이, 상기 소스 및 드레인 전극 사이의 이격영역과, 더미패턴을 형성할 영역에는 반투과영역이, 그 외의 영역에는 차단영역이 대응하도록 마스크를 위치시키고, 상기 마스크를 통한 노광을 실시하는 단계와;

상기 노광된 포토레지스트층을 현상함으로써 상기 데이터 배선과, 소스 및 드레인 전극이 형성될 영역에 대응해 서는 두꺼운 제 1 두께를 갖는 제 1 포토레지스트 패턴을 형성하고, 상기 마스크의 반투과영역에 대응한 소스 및 드레인 전극 사이의 이격영역과, 더미패턴이 형성될 영역에는 상기 제 1 두께보다 얇은 제 2 두께의 제 2 포토레지스트 패턴을 형성하고, 그 외의 영역에 있어서는 상기 금속물질층을 노출시키는 단계와;

상기 노출된 금속물질층과, 그 하부의 불순물 비정질 실리콘층 및 순수 비정질 실리콘층을 순차적으로 식각하여 하부의 게이트 절연막을 노출시킴으로써 3중층 구조의 데이터 배선과, 상기 데이터 배선과 연결된 상태의 소스 드레인 패턴과, 다수의 3중층 구조의 패턴을 형성하는 단계와;

상기 데이터 배선과, 소스 드레인 패턴과, 다수의 3중층 구조의 패턴이 형성된 기판 상에 드라이 에칭을 실시함으로써 상기 제 2 포토레지스트 패턴을 제거하는 단계와;

상기 제 2 포토레지스트 패턴이 제거됨으로써 노출된 금속물질층과, 그 하부의 불순물 비정질 실리콘층을 순차 식각함으로써 서로 이격하는 소스 및 드레인 전극과, 상기 이격한 소스 및 드레인 전극 하부로 서로 이격하는 오믹콘택층과, 상기 서로 이격하는 오믹콘택층 사이로 노출되는 순수 비정질 실리콘의 반도체층과, 게이트 링크 부에 있어 순수 비정질 실리콘으로 이루어진 다수의 더미패턴을 형성하는 단계와;

상기 소스 및 드레인 전극과, 다수의 더미패턴이 형성된 기판상의 상기 제 1 포토레지스트 패턴을 제거하는 단계

를 포함하는 액정표시장치용 어레이 기판의 제조 방법.

청구항 15

제 13 항에 있어서,

상기 보호층 위로 각 화소영역별로 상기 드레인 전극과 접촉하는 화소전극을 형성하는 단계를 포함하는 액정표시장치용 어레이 기판의 제조 방법.

청구항 16

제 11 항에 있어서,

상기 게이트 링크부의 다수의 홀을 포함하는 보호층 위로 셀패턴을 형성하는 단계를 포함하는 액정표시장치용 어레이 기판의 제조 방법.

청구항 17

제 11 항에 있어서,

상기 보호층은 유기절연물질로써 형성되는 액정표시장치용 어레이 기판의 제조 방법.

청구항 18

삭제

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0013] 본 발명은 액정표시장치에 관한 것으로 더욱 상세히는 게이트 링크부에서의 쇼트 불량을 개선한 액정표시장치용 어레이 기판 및 그 제조 방법에 관한 것이다.
- [0014] 최근 정보화 사회로 시대가 급 발전함에 따라 박형화, 경량화, 저 소비전력화 등의 우수한 특성을 가지는 평판 표시 장치(flat panel display)의 필요성이 대두되었다.
- [0015] 이러한 평판 표시 장치는 스스로 빛을 발하느냐 그렇지 못하냐에 따라 나눌 수 있는데, 스스로 빛을 발하여 화상을 표시하는 것을 발광형 표시장치라 하고, 그렇지 못하고 외부의 광원을 이용하여 화상을 표시하는 것을 수광형 표시장치라고 한다. 발광형 표시장치로는 플라즈마 표시장치(plasma display panel)와 전계 방출 표시장치(field emission display), 전계 발광 표시 장치(electro luminescence display) 등이 있으며, 수광형 표시 장치로는 액정표시장치(liquid crystal display)가 있다.
- [0016] 이중 액정표시장치가 해상도, 컬러표시, 화질 등이 우수하여 노트북이나 데스크탑 모니터에 활발하게 적용되고 있다.
- [0017] 액정표시장치는 전극이 각각 형성되어 있는 두 기판을 두 전극이 형성되어 있는 면이 서로 대향하도록 배치하고, 두 기판 사이에 액정을 주입한 다음, 두 전극에 전압을 인가하여 생성되는 전기장에 의해 액정 분자를 움직여 빛의 투과율을 조절하여 화상을 표현하는 장치이다.
- [0018] 이러한 액정표시장치용 액정패널은 화소전극과 스위칭 소자인 박막 트랜지스터가 각 화소별로 형성되는 어레이 기판을 제조하는 공정과 상기 어레이 기판과 대향되어 공통전극 및 적, 녹, 청색의 컬러가 각 화소에 대응하여 형성되는 되어 있는 컬러필터 기판을 제조하는 공정과 상기 두 공정을 통해 제작된 어레이 기판과 컬러필터 기판 사이에 액정을 주입한 후, 합착하는 일련의 공정을 진행하여 완성된다.
- [0019] 도 1은 일반적인 액정표시장치용 어레이 기판의 개략적인 평면도이며, 도 2는 도 1을 절단선 II-II를 따라 절단한 어레이 기판 부분에 대한 단면도이다.
- [0020] 도시한 바와 같이, 액정표시장치용 어레이 기판(10)에 있어, 그 테두리에 형성된 비표시영역(NA)에는 외부 구동 회로와 연결되는 다수 개의 게이트 패드(42) 및 데이터 패드(미도시)가 형성되어 있고, 게이트 및 데이터 링크부(GPA, 미도시)에 있어서는 상기 각각의 게이트 패드(42) 및 데이터 패드(미도시)와 연결되며, 동시에 기판(10)의 중앙의 표시영역(AA)에 형성된 가로방향의 게이트 배선(12)과, 세로방향의 데이터 배선(22)과 각각 연결되는 게이트 및 데이터 링크배선(14, 미도시)이 형성되어 있으며, 또한, 표시영역(AA)에 있어서는 상기 게이트 배선(12) 및 데이터 배선(22)이 교차하는 지점에 박막트랜지스터(Tr)가 형성되어 각각의 구동이 가능한 다수의 화소영역(P)이 구비되어 있다.
- [0021] 또한, 상기 어레이 기판(10)에는 액정표시장치의 완성을 위해 추후 컬러필터 기판(미도시)과 접착을 위한 셀패턴(70)이 상기 비표시영역(NA) 중 게이트 링크부(GLA) 및 데이터 링크부(미도시)를 포함하여 테두리를 따라 끊임없이 이어지며 형성되어 있다.
- [0022] 이때, 상기 게이트 링크부(GLA)에 있어서는 상기 게이트 링크 배선(14)이 형성된 층 이외의 다른 층 더욱 정확히는 데이터 배선(22) 등이 형성되는 층에 상기 데이터 배선(22)을 형성한 동일한 물질로써 소정의 면적을 가지며 다수의 더미패턴(21)이 형성되어 있다. 이러한 더미패턴(21)은 그 상부로 형성되는 유기절연물질로 이루어진 보호층(도 2의 38)이 패터닝되어 식각될 경우, 더 이상 식각이 진행되는 것을 방지하기 위한 에치 스톱퍼(etch stopper) 역할을 하는 것이다.
- [0023] 이러한 에치 스톱퍼 역할을 하는 더미패턴(21)은 상기 게이트 링크부(GLA)에 다수가 규칙적으로 서로 소정간격 이격하며 형성되고 있다.
- [0024] 이렇게 게이트 링크부(GLA)에 다수의 더미패턴(21)을 형성하는 이유는 상기 보호층(38)을 유기절연물질로 형성하게 되면, 상기 보호층(38) 상부에 형성되어 컬러필터 기판(미도시)과 합착되도록 하며, 이러한 합착된 상태를 유지시키기 위해 형성하는 셀패턴(70)과의 접착력이 좋지 않기 때문에 상기 셀패턴(70)과 보호층(38)과의 접착력 강화를 위해 상기 보호층(38)에 다수의 홈(40)을 형성하기 때문이다.
- [0025] 따라서, 유기절연물질로 이루어진 보호층(38)에 다수의 홈(40)을 형성하기 위해 식각을 진행하게 되는데, 이렇

게 보호층(38)의 식각을 진행하게 되면 상기 보호층(38)의 두께 편차 또는 과식각으로 인해 종종 게이트 절연막(17)까지 함께 식각되어 하부의 게이트 링크 배선(14)을 노출시키게 되며, 이 경우, 상기 게이트 링크 배선(14)을 따라 부식이 발생하는 문제가 발생함으로 이를 방지하고자 에치 스톱퍼로서의 역할을 하는 더미패턴(21)을 상기 보호층(38) 하부에 형성하는 것이다.

[0026] 도 2를 참조하여 게이트 링크부(GLA)의 단면구조에 대해 조금 더 상세히 설명한다.

[0027] 게이트 링크부(GLA)에 있어서는, 기판(10)상에 다수의 게이트 링크 배선(14)이 서로 소정간격 이격하며 형성되어 있으며, 상기 게이트 링크 배선(14) 위로 전면에 무기절연물질로써 게이트 절연막(17)이 형성되어 있으며, 상기 게이트 절연막(17) 위로 다수의 더미패턴(21)이 형성되어 있다. 이때, 상기 더미패턴(21)을 자세히 살펴보면 더미패턴(21)의 중앙부에는 순수 및 불순물 비정질 실리콘으로써 이중층 구조의 반도체 패턴(21a, 21b)이, 상기 더미패턴(21)의 가장자리부에는 순수 및 불순물 비정질 실리콘의 이중층 구조의 반도체 패턴(21a, 21b) 상부로 금속물질패턴(21c)이 더욱 형성됨으로써 3중층 구조를 하고 있음을 알 수 있다.

[0028] 이렇게 더미패턴(21)이 전술한 바와 같이, 그 중앙부에는 이중층 구조를, 가장자리부에는 3중층 구조를 구성하게 된 것은 종래의 어레이 기판(10)을 제조 시에 마스크수 절감을 위해 박막트랜지스터(도 1의 Tr)를 구성하는 구성요소인 순수 비정질 실리콘의 반도체층과 불순물 비정질 실리콘의 오믹콘택층으로 이루어진 액티브층과, 그 상부에 소스 및 드레인 전극을 동시에 패터닝하게 되는데, 이 경우 순수 비정질 실리콘과 불순물 비정질 실리콘과 금속물질(더욱 정확히는 주로 몰리브덴(Mo))을 연속하여 증착하고, 이러한 3개층을 동시에 식각하여 반도체층과 오믹콘택층과, 데이터 배선과, 소스 및 드레인 전극을 동시에 형성하는 바, 이러한 액티브층 및 소스 및 드레인 전극과 동일한 물질로써 동일한 공정에 의해 상기 더미패턴이 형성되는 바, 상기 더미패턴(21) 또한 2, 3중층 구조가 되며, 이러한 상태에서 유기절연물질의 보호층(38)을 형성하고, 상기 보호층(38)에 식각을 진행시, 식각액에 반응하여 상기 더미패턴(21)을 구성하는 최상층부의 금속물질층(21c)이 상기 보호층(38)과 같이 식각됨으로서 전술한 형태가 되는 것이다. 만약, 과도식각이 진행되지 않았을 경우, 도면에 나타내지 않았지만, 상기 더미패턴의 최상층부의 금속물질층도 남아있게 된다.

[0029] 이때, 상기 게이트 링크부(GLA)에 대응하는 보호층(38)에 다수의 홈(40)을 형성할 시, 식각을 효과적으로 저지하기 위해서는 에치 스톱퍼 역할을 하는 상기 더미패턴(21)에 대응하여 상기 더미패턴(21)의 면적보다 작은 크기의 홈(40)을 갖도록 형성되도록 해야 하는 바, 상기 보호층(38) 내의 홈(40)이 형성되지 않는 더미패턴(21)의 가장자리 부분에는 금속물질패턴(21c)이 남게되는 것이다.

[0030] 하지만 전술한 구조를 갖는 더미패턴(21)을 게이트 링크부(GLA)에 형성한 어레이 기판(10)에 셀패턴(70)을 형성하고 컬러필터 기판(미도시)과 대향한 후, 합착을 진행하여 액정표시장치를 완성하게 되면, 상기 더미패턴(21)의 가장자리를 따라 남아있는 금속물질패턴(21c)과 그 하부의 게이트 링크 배선(14)이 전기적으로 도통되어 쇼트(short)가 발생하는 문제가 있다.

[0031] 쇼트가 발생하는 이유는 어레이 기판(10)과 컬러필터 기판(미도시)을 합착 시, 고온고압의 상태를 소정 시간 유지하며, 이 경우 가해진 압력에 의해 상기 게이트 절연막(17)에 미세하게 크랙(crack)이 발생하고, 이러한 크랙(crack)을 게이트 링크 배선(14)을 이루는 금속이 파고드는 힐락(hillock) 또는 확산(migration)이 발생함으로써 상기 더미패턴(21) 가장자리의 금속물질패턴(21c)과 접촉하게 되며, 동일한 더미패턴(21)에 대해 두 곳 이상에서 상기 게이트 링크 배선(14)과 상기 더미패턴(21) 가장자리의 금속물질패턴(21c)이 접촉하게 되기 때문이다.

발명이 이루고자 하는 기술적 과제

[0032] 본 발명은 전술한 바와 같은 문제를 해결하기 위한 것으로, 게이트 링크부에 셀패턴 접촉력을 향상시키기 위해 형성하는 더미패턴에 있어 그 형태를 4마스크를 이용한 어레이 기판 제조공정 추가없이 변경함으로써 합착 시, 게이트 링크 배선을 이루는 금속물질이 절연막 크랙(crack)을 통하여 확산(migration)되거나 또는 힐락(hillock)이 발생하더라도 쇼트(short)가 발생하지 않도록 함으로써 생산성을 향상시키는 것을 그 목적으로 하고 있습니다.

발명의 구성 및 작용

- [0033] 전술한 목적을 달성하기 위한 본 발명에 따른 액정표시장치용 어레이 기판은, 화상을 표시하는 표시영역 및 상기 표시영역 외측으로 게이트 링크부를 포함하는 기판의 일면에 서로 교차하여 상기 표시영역에 형성된 다수의 게이트 배선 및 데이터 배선과; 상기 표시영역에 상기 다수의 각 게이트 및 데이터 배선이 교차하는 지점에 상기 게이트 배선 및 데이터 배선과 각각 연결되며 액티브층과 오믹콘택층으로 구성된 반도체층을 포함하여 형성된 박막트랜지스터와; 상기 게이트 링크부에 상기 다수의 게이트 배선의 끝단과 각각 연결되며 형성된 다수의 게이트 링크 배선과; 상기 다수의 게이트 배선과 데이터 배선의 사이로 전면에 형성된 게이트 절연막과; 상기 게이트 절연막 위로 상기 게이트 링크부에 상기 다수의 게이트 링크배선과 교차하는 형태로 중첩하며 상기 액티브층을 이루는 동일한 반도체물질로 형성된 다수의 더미패턴과; 상기 더미패턴 상부로 전면에 형성되며 상기 각 더미패턴을 노출시키는 다수의 홀을 구비한 보호층과; 상기 보호층 위로 상기 박막트랜지스터와 연결된 화소전극을 포함한다.
- [0034] 삭제
- [0035] 이때, 상기 반도체물질은 순수 비정질 실리콘인 것이 특징이며, 상기 보호층은 유기절연물질로써 이루어진 것이 바람직하다.
- [0036] 또한, 상기 게이트 링크부에 형성된 다수의 홀은 그 크기가 상기 더미패턴의 면적보다 작으며, 상기 더미패턴에 대응하여 형성된 것이 특징이다.
- [0037] 또한, 상기 게이트 링크부에는 상기 다수의 홀이 형성된 보호층 위로 셀패턴이 형성된다.
- [0038] 또한, 상기 박막트랜지스터는 게이트 전극과, 상기 게이트 전극 위로 상기 게이트 절연막과, 상기 게이트 절연막 위로 순수 비정질 실리콘의 액티브층과, 상기 액티브층 위로 불순물 비정질 실리콘의 서로 이격하는 오믹콘택층과, 상기 각 오믹콘택층 위로 서로 이격하는 소스 및 드레인 전극을 포함하며, 이때, 상기 보호층은 상기 다수의 홀 이외에 상기 드레인 전극을 노출시키는 드레인 콘택홀을 구비하는 것이 특징이다.
- [0039] 또한, 상기 화소전극은 상기 드레인 콘택홀을 통해 상기 드레인 전극과 접촉하는 것이 특징이다.
- [0040] 본 발명에 따른 액정표시장치용 어레이 기판의 제조 방법은, 다수의 화소영역으로 이루어져 화상을 표시하는 표시영역 및 상기 표시영역 외측으로 게이트 링크부를 포함하는 기판의 일면에 일방향으로 다수의 게이트 배선과, 상기 게이트 링크부에 상기 다수의 각 게이트 배선의 일끝단과 연결된 다수의 게이트 링크 배선을 형성하는 단계와; 상기 다수의 게이트 배선 및 게이트 링크 배선 위로 전면에 게이트 절연막을 형성하는 단계와; 상기 게이트 절연막 위로 순수 비정질 실리콘층과, 불순물 비정질 실리콘층과, 금속물질층을 순차 형성하고, 이를 패터닝하여, 상기 다수의 각 게이트 배선과 교차하는 다수의 데이터 배선을 형성하고, 동시에 상기 게이트 링크부에 있어서는 상기 다수의 게이트 링크 배선과 교차하도록 중첩하는 순수 비정질 실리콘으로 이루어진 다수의 더미패턴을 형성하는 단계와; 상기 데이터 배선과 더미패턴 위로 전면에 상기 각 더미패턴에 대응하여 상기 더미패턴을 노출시키는 다수의 홀을 갖는 보호층을 형성하는 단계를 포함한다.
- [0041] 이때, 상기 게이트 배선을 형성하는 단계는 상기 게이트 배선에서 각 화소영역으로 분기하는 게이트 전극을 형성하는 단계를 포함하며, 상기 데이터 배선 및 더미패턴을 형성하는 단계는 상기 각 화소영역에 상기 데이터 배선에서 분기한 소스 전극과, 상기 소스 전극에서 이격하는 드레인 전극과, 상기 이격한 소스 및 드레인 전극 사이에 순수 비정질 실리콘으로 이루어진 반도체층을 형성하는 단계를 포함하며, 상기 소스 및 드레인 전극과 반도체층을 포함하여 데이터 배선 및 더미패턴을 형성하는 단계는 상기 게이트 절연막 위로 순수 비정질 실리콘과, 불순물 비정질 실리콘과 금속물질을 연속하여 순차 증착하여 순수 비정질 실리콘층과, 불순물 비정질 실리콘층과, 금속물질층을 형성하는 단계와; 상기 금속물질층 위로 포토레지스트층을 형성하는 단계와; 상기 포토레지스트층 위로 상기 데이터 배선과, 소스 및 드레인 전극을 형성할 영역에는 각각 투과영역이, 상기 소스 및 드레인 전극 사이의 이격영역과, 더미패턴을 형성할 영역에는 반투과영역이, 그 외의 영역에는 차단영역이 대응하도록 마스크를 위치시키고, 상기 마스크를 통한 노광을 실시하는 단계와; 상기 노광된 포토레지스트층을 현상함으로써 상기 데이터 배선과, 소스 및 드레인 전극이 형성될 영역에 대응해서는 두꺼운 제 1 두께를 갖는 제 1 포토레지스트 패턴을 형성하고, 상기 마스크의 반투과영역에 대응한 소스 및 드레인 전극 사이의 이격영역과, 더미패턴이 형성될 영역에는 상기 제 1 두께보다 얇은 제 2 두께의 제 2 포토레지스트 패턴을 형성하고, 그 외의 영역에 있어서는 상기 금속물질층을 노출시키는 단계와; 상기 노출된 금속물질층과, 그 하부의 불순물 비정질 실리콘층 및 순수 비정질 실리콘층을 순차적으로 식각하여 하부의 게이트 절연막을 노출시킴으로써 3 층층 구조의 데이터 배선과, 상기 데이터 배선과 연결된 상태의 소스 드레인 패턴과, 다수의 3층층 구조의 패턴

을 형성하는 단계와; 상기 데이터 배선과, 소스 드레인 패턴과, 다수의 3중층 구조의 패턴이 형성된 기판 상에 드라이 에칭을 실시함으로써 상기 제 2 포토레지스트 패턴을 제거하는 단계와; 상기 제 2 포토레지스트 패턴이 제거됨으로써 노출된 금속물질층과, 그 하부의 불순물 비정질 실리콘층을 순차 식각함으로써 서로 이격하는 소스 및 드레인 전극과, 상기 이격한 소스 및 드레인 전극 하부로 서로 이격하는 오믹콘택층과, 상기 서로 이격하는 오믹콘택층 사이로 노출되는 순수 비정질 실리콘의 반도체층과, 게이트 링크부에 있어 순수 비정질 실리콘으로 이루어진 다수의 더미패턴을 형성하는 단계와; 상기 소스 및 드레인 전극과, 다수의 더미패턴이 형성된 기판 상의 상기 제 1 포토레지스트 패턴을 제거하는 단계를 포함한다.

[0042] 또한, 상기 보호층 위로 각 화소영역별로 상기 드레인 전극과 접촉하는 화소전극을 형성하는 단계를 포함하며, 또한, 상기 게이트 링크부의 다수의 홈을 포함하는 보호층 위로 셀패턴을 형성하는 단계를 포함하는 것이 바람직하다.

[0043] 또한, 상기 보호층은 유기절연물질로써 형성되며, 상기 더미패턴은 단일층으로 형성되는 것이 특징이다.

[0044] 이하, 첨부한 도면을 참조하여, 본 발명에 따른 바람직한 실시예를 설명한다.

[0045] 도 3은 본 발명에 따른 액정표시장치용 어레이 기판의 개략적인 평면도 일부를 도시한 것이다.

[0046] 도시한 바와 같이, 본 발명에 따른 액정표시장치용 어레이 기판(110)은 중앙에 화상을 표시하는 화상 표시영역(AA)이 위치하고 있으며, 상기 표시영역(AA)에는 박막트랜지스터(Tr) 및 상기 박막트랜지스터(Tr)와 연결된 화소전극(145)을 갖는 다수의 화소영역(P)이 형성되어 있으며, 상기 화상 표시영역(AA)의 외각에 위치한 비표시영역(NA) 더욱 정확히는 게이트 패드부(GPA) 및 데이터 패드부(미도시)에는 외부 구동회로와 연결되는 다수 개의 게이트 패드(147) 및 데이터 패드(미도시)가 형성되어 있다.

[0047] 또한, 상기 화상 표시영역(AA)과 게이트 패드부(GPA) 및 데이터 패드부(미도시) 사이에 위치하는 게이트 및 데이터 링크부(GLA, 미도시)에 있어서는, 상기 각각의 게이트 패드(147) 및 데이터 패드(미도시)와 연결되며 화상 표시영역(AA)에 형성된 가로방향의 게이트 배선(112)과, 세로방향의 데이터 배선(125)과 각각 연결하는 게이트 및 데이터 링크배선(116, 미도시)이 형성되어 있다. 이때, 특히 게이트 링크부(GLA)에 있어서는 상기 다수의 게이트 링크 배선(116)과 중첩하며 반도체 물질 더욱 정확히는 순수 비정질 실리콘만으로 단일층으로 이루어진 에치 스톱퍼(etch stopper) 역할을 하는 다수의 더미패턴(121)이 형성되어 있다. 이러한 단일층 구조의 더미패턴(121)의 형성 방법에 대해서는 추후에 설명한다. 순수 비정질 실리콘은 금속물질 대비 거의 전기를 통하지 않아 절연물질에 가까우므로 상기 게이트 링크 배선(116)을 이루는 금속물질이 절연막내의 크랙(crack)을 통한 확산(migration) 또는 힐락(hillock)현상에 의해 상기 더미패턴(21)과 접촉한다 하여도 전기가 거의 통하지 않으므로 쇼트(short) 등의 문제는 발생하지 않게 되는 것이다.

[0048] 또한, 상기 더미패턴(121) 상부로는 상기 더미패턴(121)의 면적보다 작은 크기를 갖는 다수의 홈(144)을 갖는 보호층(미도시)이 형성되어 있으며, 상기 보호층(미도시) 위로 컬러필터 기판(미도시)과의 합착을 위한 셀패턴(150)이 형성되어 있다. 이때, 상기 셀패턴(150)은 컬러필터 기판(미도시)에 형성될 수도 있으며, 이 경우도 합착시에는 도면에 표시한 바와 같이 어레이 기판(110)과 접촉하게 됨으로 상기 어레이 기판(110)에 형성한 것처럼 도면에 나타난 것이다.

[0049] 다음, 도 4와, 도 5를 참조하여 본 발명에 따른 어레이 기판의 단면구조에 대해 좀 더 상세히 설명한다.

[0050] 도 4와 도 5는 각각 도 3을 절단선 IV-IV, V-V를 따라 절단한 단면도이며, 이때, 도 4는 화상 표시영역 내의 박막트랜지스터를 포함하는 하나의 화소영역을 절단한 단면도이며, 도 5는 더미패턴을 포함하는 게이트 링크부 일부를 절단한 단면도이다. 이때, 설명의 편의를 위해 화소영역내의 박막트랜지스터가 형성된 영역을 스위칭 영역이라 칭한다.

[0051] 도시한 바와 같이, 기판(110) 상에 화소영역(P) 내의 스위칭 영역(TrA)에는 제 1 금속물질로써 게이트 전극(115)이 형성되어 있으며, 일방향으로 연장하며 상기 게이트 전극(115)과 전기적으로 연결되며 게이트 배선(미도시)이 형성되어 있다.

[0052] 또한, 게이트 링크부(GLA)에 있어서는 상기 게이트 배선(미도시)과 일끝단이 연결되며 상기 게이트 배선(미도시)을 형성한 동일한 물질로써 게이트 링크 배선(116)이 형성되어 있다.

[0053] 상기 게이트 전극(115)과 게이트 링크 배선(116) 위로 전면에 무기절연물질로써 게이트 절연막(117)이 형성되어

있으며, 상기 게이트 절연막(117) 위로 스위칭 영역(TrA)에 있어서는 순수 비정질 실리콘의 반도체층(120a)과, 상기 반도체층(120a) 위로 불순물 비정질 실리콘의 오믹콘택층(120b)이 상기 게이트 전극(115) 상에서 서로 이격하며 형성되어 있으며, 상기 각 오믹콘택층(120b) 위로 금속물질 예를들면 몰리브덴(Mo)으로써 서로 이격하는 소스 및 드레인 전극(128, 130)이 형성되어 있다. 이때, 상기 소스 및 드레인 전극(128, 130) 사이로 반도체층(120a)이 노출되며 형성되고 있다.

[0054] 또한, 상기 게이트 절연막(117) 위로는 하부의 게이트 배선(미도시)과 교차하며 데이터 배선(125)이 형성되어 있다. 이때, 상기 데이터 배선(125)은 본 발명의 제조 특성상 그 하부에 스위칭 영역(TrA)의 액티브층(120)을 이루는 순수 비정질 실리콘과 불순물 비정질 실리콘으로서 순수 비정질 실리콘 패턴(125a)과 불순물 비정질 실리콘 패턴(125b)의 이중층 구조의 반도체 패턴(125a, 125b)이 상기 더욱 구비되고 있으며, 상기 소스 및 드레인 전극(128, 130)을 형성한 동일한 금속물질로써 형성된 금속물질패턴(125c)과 더불어 3중층 구조로써 형성되어 있음을 알 수 있다.

[0055] 또한, 게이트 링크부(GLA)에 있어서는 상기 게이트 절연막(117) 위로 순수 비정질 실리콘으로써 단일층 구조로 이루어지며, 소정 면적을 갖는 다수의 더미패턴(121)이 형성되어 있다.

[0056] 다음, 상기 소스 및 드레인 전극(128, 130)과 게이트 링크 배선(116) 위로 유기절연물질 예를들면 벤조사이클로부텐(BCB) 또는 포토아크릴(photo acryl)로 이루어진 보호층(140)이 전면에 형성되어 있다. 이때, 상기 보호층(140)은 각 화소영역(P)에 있어서는 상기 드레인 전극(130) 또는 상기 드레인 전극(130) 하부의 오믹콘택층(120b)을 노출시키는 드레인 콘택홀(143)을 가지며, 게이트 링크부(GLA)에 있어서는 상기 각 더미패턴(121)에 대응하여 상기 더미패턴(121)의 면적보다 작은 크기를 갖는 다수의 홈(144)이 형성되고 있으며, 상기 각 홈(144)에 대응하여 상기 더미패턴(121)이 노출되고 있다.

[0057] 다음, 상기 유기절연물질의 보호층(140) 위로는 투명 도전성 물질로써 각 화소영역(P)별로 상기 드레인 콘택홀(143)을 통해 상기 드레인 전극(130)의 상면 또는 측면과 접촉하는 화소전극(145)이 형성되고 있다. 도면에 있어서는 상기 화소전극(145)이 드레인 전극(130)의 상면과 접촉하고 있는 것을 도시하였지만, 상기 보호층에 대해 과도 식각(over etch)이 진행될 경우, 상기 드레인 콘택홀(143)에 대응되는 부분의 드레인 전극(130)이 제거되어 하부의 오믹콘택층(120b)을 노출시킬 수 있으며, 이 경우 상기 화소전극(145)은 상기 드레인 전극(130)의 측면과, 노출된 오믹콘택층(120b)와 동시에 접촉하며 형성될 수도 있다.

[0058] 전술한 바와 같은 구조를 갖는 어레이 기판(110)은 게이트 링크부(GLA)에 있어, 컬러필터 기판(미도시)과의 합착 시, 압력에 의해 게이트 절연막(117) 내에 크랙(crack)이 발생하고 상기 크랙(crack)을 통해 상기 게이트 링크 배선(116)을 형성하는 금속물질이 확산(migration)되거나 또는 힐락(hillock)이 발생한다 하더라도 도전성을 갖는 물질 즉 금속물질로 이루어진 부분이 상기 더미패턴에는 존재하지 않음으로 인접한 게이트 링크 배선(116)간 쇼트(short)가 발생하지 않는 구조가 됨을 알 수 있다.

[0059] 이후에는 본 발명에 따른 액정표시장치용 어레이 기판의 제조 방법에 대해 설명한다.

[0060] 도 6a 내지 도 6g는 도 3을 절단선 IV-IV를 따라 절단한 부분에 대한 제조 단계에 따른 공정 단면도이며, 도 7a 내지 도 7g는 도 3을 절단선 V-V를 따라 절단한 부분에 대한 제조 단계에 따른 공정 단면도이다.

[0061] 우선, 도 6a와 도 7a에 도시한 바와 같이, 투명한 절연 기판(110) 상에 제 1 금속물질을 증착하여 금속층(미도시)을 형성한 후, 그 위로 감광 특성을 갖는 포토레지스트를 전면에 도포하고, 상기 포토레지스트를 마스크를 이용하여 노광을 실시하고, 이를 현상한 후, 상기 현상된 포토레지스트 외부로 노출된 금속층(미도시)을 식각하고, 상기 포토레지스트를 스트립(strip)하는 일련의 단계를 포함하는 마스크 공정을 진행하여 상기 금속층(미도시)을 패터닝함으로써 일방향으로 연장하는 다수의 게이트 배선(미도시)을 형성하고, 동시에 각 화소영역(P) 내의 스위칭 영역(TrA)에는 상기 게이트 배선에서 분기한 게이트 전극(115)을 형성하고, 더불어 게이트 링크부(GLA)에 있어서는 상기 각 게이트 배선(미도시)의 일끝단과 연결되는 다수의 게이트 링크 배선(116)을 형성한다(제 1 마스크 공정).

[0062] 다음, 도 6b와 도 7b에 도시한 바와 같이, 상기 게이트 배선(미도시)과 게이트 전극(115)과 게이트 링크 배선(116) 위로 무기절연물질 예를들면 산화실리콘(SiO_2) 또는 질화실리콘(SiNx)을 전면에 증착하여 게이트 절연막(117)을 형성하고, 연속하여 상기 게이트 절연막(117) 위로 순수 비정질 실리콘과 불순물 비정질 실리콘 및 제 2 금속물질을 연속 증착하여 순수 비정질 실리콘층(118)과, 불순물 비정질 실리콘층(119)과 금속물질층(122)을 형성한다. 이때, 상기 제 2 금속물질은 몰리브덴(Mo)인 것이 바람직하다.

- [0063] 다음, 도 6c와 도 7c에 도시한 바와 같이, 상기 금속물질층(122) 위로 포토레지스트를 도포하여 포토레지스트층(180)을 형성하고, 빛을 100% 투과시키는 투과영역(TA)과, 빛을 100% 차단하는 차단영역(BA) 및 빛의 투과량을 0% 내지 100% 사이에서 조절할 수 있는 반투과영역(HTA)을 포함하는 마스크(191)를 상기 포토레지스트층(180) 위로 위치시킨 후, 상기 마스크(191)를 통한 노광을 실시한다.
- [0064] 이때, 상기 포토레지스트층(180)을 형성한 포토레지스트가 빛을 받으면, 현상 시 남게되는 네가티브 타입(negative type)인 경우, 상기 어레이 기판(110) 상의 데이터 배선(미도시)과, 상기 스위칭 영역(TrA) 중 소스 및 드레인 전극(미도시)이 형성되어야 할 부분에 대응해서는 마스크(191)의 투과영역(TA)이, 상기 스위칭 영역(TrA)의 상기 게이트 전극(115)과 중첩하며, 상기 소스 및 드레인 전극(미도시) 사이로 노출되는 영역(이를 채널영역(ch)이라 함) 및 상기 게이트 링크부(GLA)에 있어서는 소정면적을 갖는 더미패턴이 형성되는 영역에 대응해서 상기 마스크(191)의 반투과영역(HTA)이, 그 외의 영역에 대해서는 상기 마스크(191)의 차단영역(BA)이 대응되도록 상기 마스크(191)를 위치시킨 후, 노광을 실시한다. 이때, 상기 포토레지스트가 포지티브 타입(positive tape)인 경우, 상기 마스크(191) 상의 투과영역(TA)과 차단영역(BA)의 상기 어레이 기판(110)에 대응되는 위치를 바꾸어 대응되도록 한 후, 노광을 실시하면 상기 네가티브 타입(negative type)의 포토레지스트를 이용한 것과 동일한 결과를 얻을 수 있다.
- [0065] 다음, 도 6d와 도 7d에 도시한 바와 같이, 전술한 바와 위치시킨 마스크(도 6c와 도 7c의 191)를 통한 노광을 실시한 후, 상기 노광된 포토레지스트층(180)을 현상하면, 상기 마스크(도 6c와 도 7c의 191)의 투과영역(도 6c와 도 7c의 TA)에 대응된 영역에는 두꺼운 제 1 두께(t1)를 갖는 제 1 포토레지스트 패턴(180a)이 남게되고, 상기 마스크(도 6c와 도 7c의 191)의 반투과영역(도 6c와 도 7c의 HTA)에 대응된 부분은 상기 제 1 두께(t1)보다 얇은 제 2 두께(t2)를 갖는 제 2 포토레지스트 패턴(180b)이 남게되고, 상기 마스크(도 6c와 도 7c의 191)의 차단영역(도 6c와 도 7c의 BA)에 대응된 포토레지스트층(도 6c와 도 7c의 180)은 모두 제거되어 하부의 금속물질층(도 7c의 122)을 노출시키게 된다.
- [0066] 다음, 상기 제 1 및 제 2 포토레지스트 패턴(180a, 180b) 외부로 노출된 금속물질층(도 6c와 도 7c의 122)과 그 하부의 불순물 비정질 실리콘층(도 6c와 도 7c의 119) 및 순수 비정질 실리콘층(도 6c와 도 7c의 118)을 순차적으로 식각함으로써 상기 게이트 절연막(117) 위로 상기 게이트 배선(미도시)과 교차하여 각 화소영역(P)을 정의하며, 동일한 모양으로 패터닝된 순수 비정질 실리콘 패턴(125a)과 불순물 비정질 실리콘 패턴(125b)과 제 1 금속패턴(125c)의 3중층 구조를 갖는 데이터 배선(125)을 형성하고, 동시에 스위칭 영역(TrA)에 있어서는, 상기 데이터 배선(125)과 연결된 상태에서 3중층 구조의 소스 드레인 패턴(120a, 127b, 127c)을 형성하고, 게이트 링크부(GLA)에 있어서는 제 2 포토레지스트 패턴(180b) 하부로 소정면적을 가지며, 하층으로부터 상층으로 순수 비정질 실리콘과 불순물 비정질 실리콘과 금속물질로 이루어진 다수의 3중층 구조 패턴(121)을 형성한다.
- [0067] 다음, 도 6e와 도 7e에 도시한 바와 같이, 상기 데이터 배선(125)과 소스 드레인 패턴(127) 및 3중층 구조 패턴(121)을 형성한 기판(110)에 이방성 특성의 드라이 에칭 공정을 진행함으로써 상기 제 2 두께의 포토레지스트 패턴(도 6d와 도 7d의 180b)을 제거하여 그 하부의 금속물질층(121c, 127c)을 노출시킨다. 이때, 드라이 에칭에 의해 상기 제 1 두께의 포토레지스트 패턴(180a) 또한 그 두께가 얇아지지만, 상기 드라이 에칭 진행 완료 후에도 여전히 소정의 두께를 가지며 여전히 기판(110) 상에 남아있게 된다.
- [0068] 다음, 상기 드라이 에칭에 의해 제 2 포토레지스트 패턴(도 6d와 도 7d의 180b)이 제거됨으로써 노출된 금속물질층(121c, 127c)과 그 하부의 불순물 비정질 실리콘층(121b, 127c)을 순차적으로 식각하여 제거함으로써 스위칭 영역(TrA)에 있어서는 서로 이격된 소스 및 드레인 전극(128, 130)과 그 하부로 불순물 비정질 실리콘의 오믹콘택층(120b)을 형성하고, 상기 소스 및 드레인 전극(128, 130) 사이로 이격된 채널영역(ch)에는 순수 비정질 실리콘의 반도체층(120a)을 노출시키며, 상기 게이트 링크부(GLA)에 있어서는 순수 비정질 실리콘의 단층구조를 갖는 다수의 더미패턴(121)을 형성한다. (제 2 마스크 공정)
- [0069] 다음, 도 6f와 도 7f에 도시한 바와 같이, 상기 데이터 배선(125)과 소스 및 드레인 전극(128, 130) 및 다수의 더미패턴(121) 위로 전면에 유기절연물질인 벤조사이클로부텐(BCB) 또는 포토아크릴(photo)을 코팅하여 보호층(140)을 형성하고, 이후, 상기 보호층(140)에 제 3 마스크 공정을 진행하여 패터닝함으로써 각 스위칭 영역(TrA)에 있어서는 하부의 상기 드레인 전극(130)의 상면 일부 또는 상기 드레인 전극(130) 하부의 오믹콘택층(120b)을 노출시키는 드레인 콘택홀(143)을 형성하고, 동시에 게이트 링크부(GLA)에 있어서는 하부에 위치한 각 더미패턴(121)에 대응하여 상기 더미패턴(121)의 면적보다 작은 크기를 가지며 상기 각 더미패턴(121)의 일부를 노출시키는 다수의 홈(144)을 형성한다. 이때, 상기 보호층(140)은 드레인 전극(130)이 노출되도록 충분히 식각을 진행하여야 하며, 이렇게 보호층(140)의 과도식각을 진행하여도 게이트 링크부(GLA)에 있어서는 상기 순수

비정질 실리콘으로 이루어진 단층 구조의 더미패턴(121)이 에치 스톱퍼로서 작용하므로 상기 더미패턴(121) 하 부로는 더 이상 식각되지 않으며, 이 경우 스위칭 영역(TrA)에 있어서는 드레인 전극(130)이 식각될 수 있지만 상기 드레인 전극(130) 하부에는 불순물 비정질 실리콘의 오믹콘택층(120b)이 형성되고 있는 바, 과도식각 된다 하여도 상기 오믹콘택층(120b)이 에치 스톱퍼로서 작용을 하므로 상기 드레인 콘택홀(143) 또한 더 깊게 형성되지 않는다.

[0070] 다음, 도 6g와 도 7g에 도시한 바와 같이, 상기 드레인 전극(130)의 상면 또는 측면을 노출시키는 드레인 콘택홀(143)과 더미패턴(121)을 노출시키는 다수의 홈(144)을 갖는 보호층(140) 위로 투명 도전성 물질 예를들면 인듐-틴-옥사이드(ITO) 또는 인듐-징크-옥사이드(IZO)를 전면 증착하고 이를 제 4 마스크 공정을 진행하여 패턴닝함으로써 각 화소영역(P)마다 상기 드레인 콘택홀(143)을 통해 상기 드레인 전극(130)의 상면 또는 측면과 접촉하는 화소전극(145)을 형성함으로써 어레이 기관(110)을 완성한다.

[0071] 이때, 도면에는 나타나지 않았지만, 상기 어레이 기관(110)의 게이트 링크부(GLA)를 포함하는 비표시영역의 테두리를 따라 셀패턴(150)을 형성하는 단계를 더욱 실시할 수도 있다.

[0072] 이후, 전술한 바와같이, 어레이 기관과 일반적인 제조 방법에 의해 완성된 컬러필터 기관을 서로 대향시킨 후, 액정을 개재한 후, 합착하여 액정표시장치를 완성하게 된다.

발명의 효과

[0073] 전술한 바와 같이 제작된 본 발명에 따른 액정표시장치용 어레이 기관은 컬러필터 기관과 합착 시, 게이트 링크부에 있어 힐락(hillock)이 발생한다 하더라도 게이트 절연막과 보호층 사이에 금속성 물질이 형성되지 않는 구조를 이루게 되는 바, 쇼트를 방지하는 효과가 있다.

[0074] 또한, 보호층의 식각시 에치 스톱퍼 역할을 하는 더미패턴을 형성함으로써 과식각에 의한 게이트 링크 배선의 노출을 방지하며, 보호층 내에 다수의 홈을 형성함으로써 셀패턴과의 접착력을 향상시키는 효과가 있다.

[0075] 또한, 4마스크 공정에 따라 어레이 기관을 제조함에 있어 새로운 공정을 추가하지 않고 순수 비정질 실리콘만의 단층구조를 갖는 더미패턴을 게이트 링크부에 형성함으로써 종래와 동일한 수준의 제조 단계를 유지할 수 있는 장점이 있다.

도면의 간단한 설명

[0001] 도 1은 일반적인 액정표시장치의 개략적인 평면도.

[0002] 도 2는 도 1을 절단선 II-II를 따라 절단한 어레이 기관 부분에 대한 단면도.

[0003] 도 3은 본 발명에 따른 액정표시장치용 어레이 기관의 일부를 도시한 개략적인 평면도.

[0004] 도 4는 도 3을 절단선 IV-IV를 따라 절단한 단면도.

[0005] 도 5는 도 3을 절단선 V-V를 따라 절단한 단면도.

[0006] 도 6a 내지 도 6g는 도 3을 절단선 IV-IV를 따라 절단한 부분에 대한 제조 단계에 따른 공정 단면도

[0007] 도 7a 내지 도 7g는 도 3을 절단선 V-V를 따라 절단한 부분에 대한 제조 단계에 따른 공정 단면도.

[0008] <도면의 주요부분에 대한 간단한 설명>

[0009] 110 : 기관 116: 게이트 링크 배선

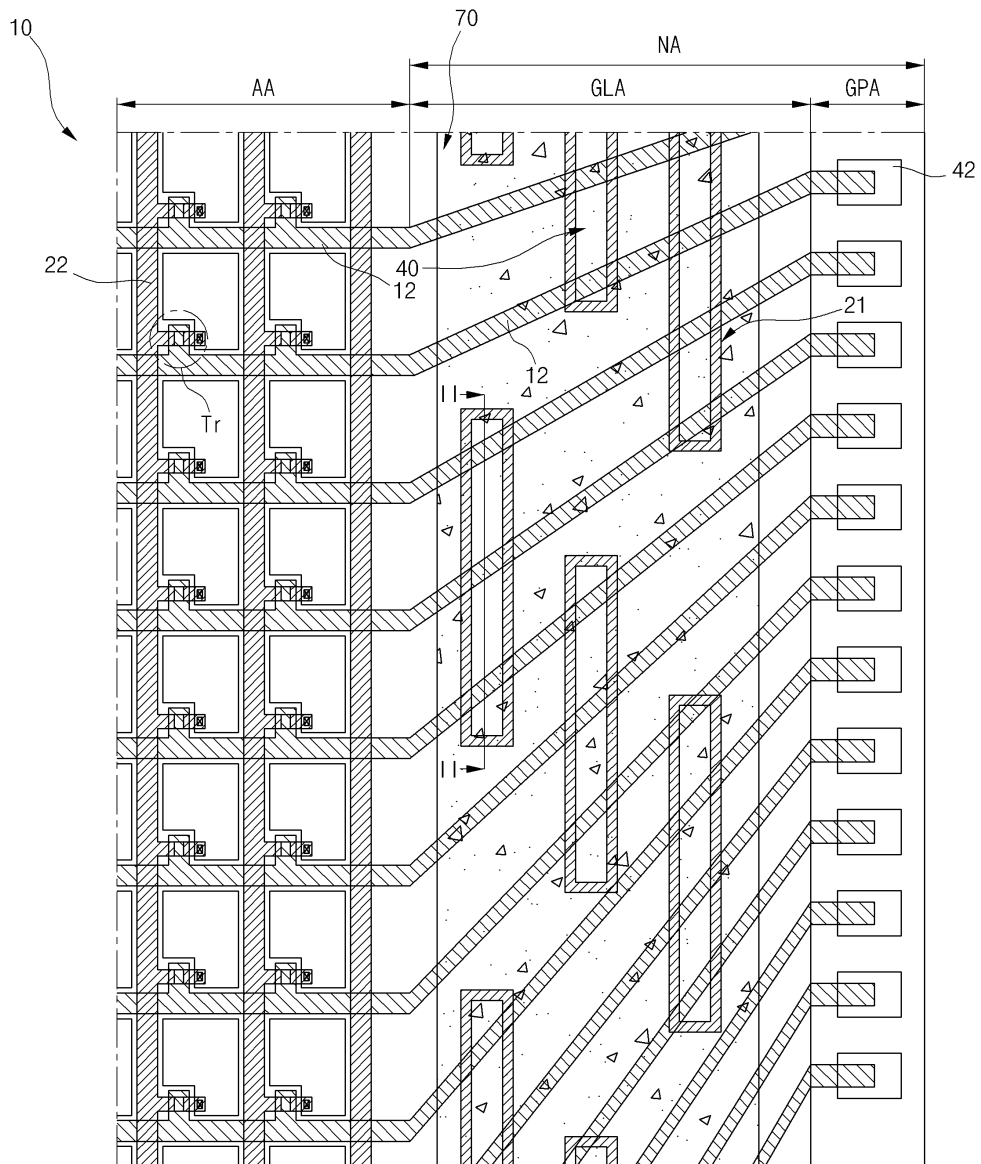
[0010] 117 : 게이트 절연막 121 : 더미패턴

[0011] 140 : 보호층 144 : 홈

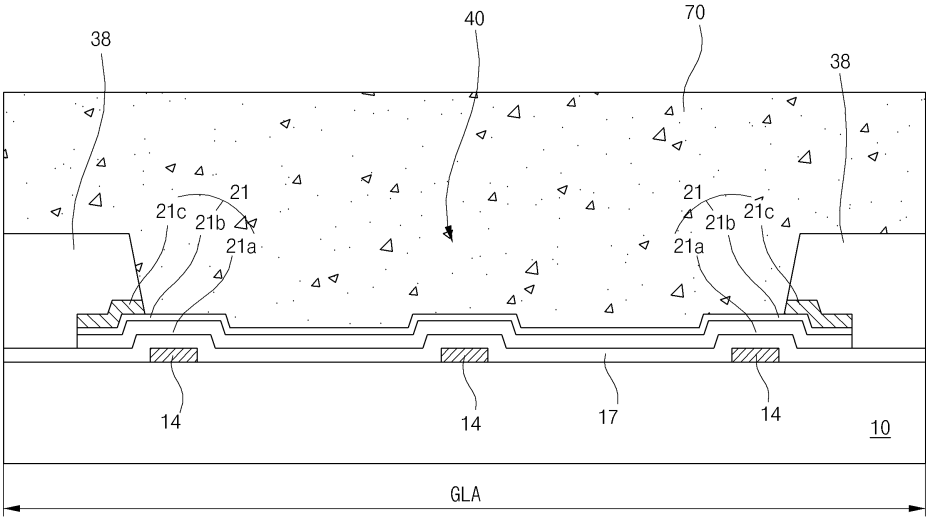
[0012] GLA : 게이트 링크부

도면

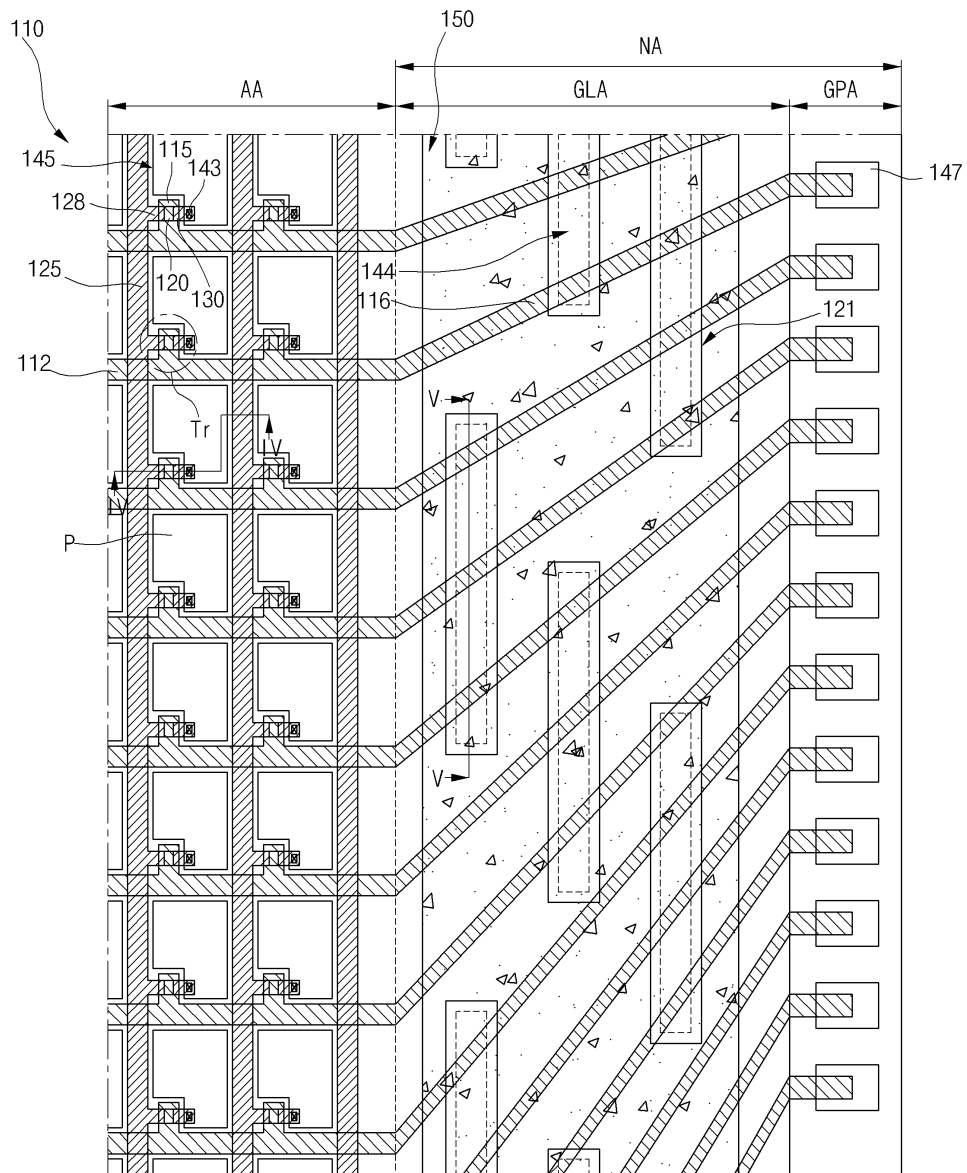
도면1



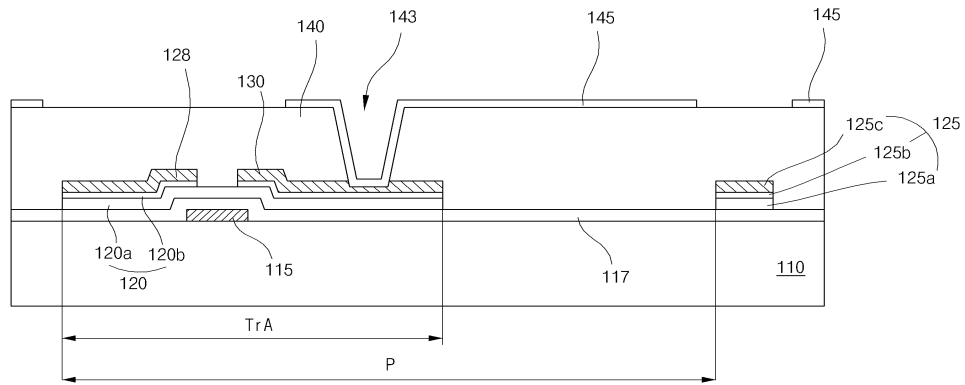
도면2



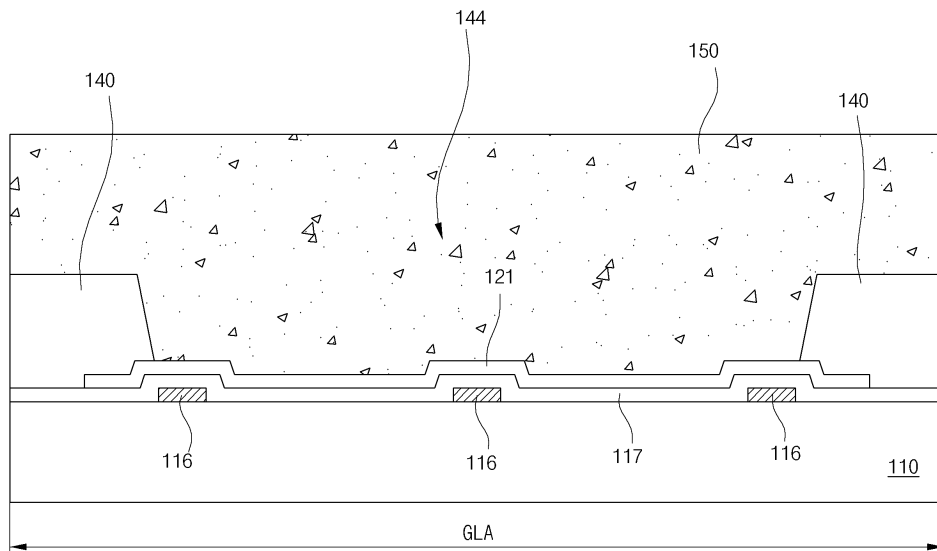
도면3



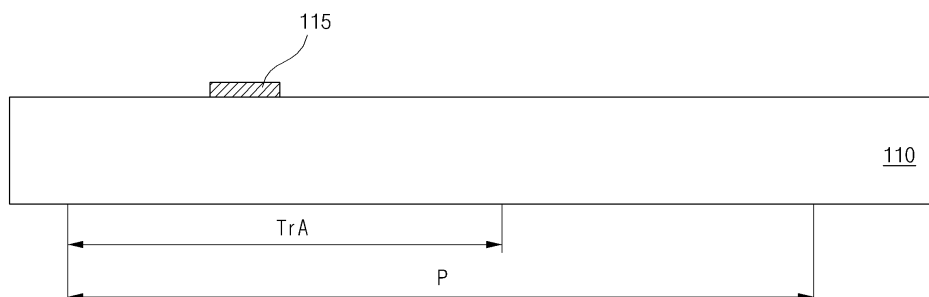
도면4



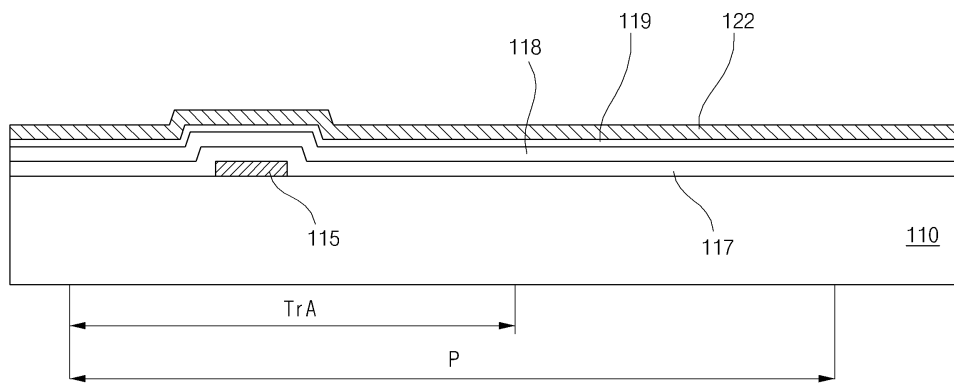
도면5



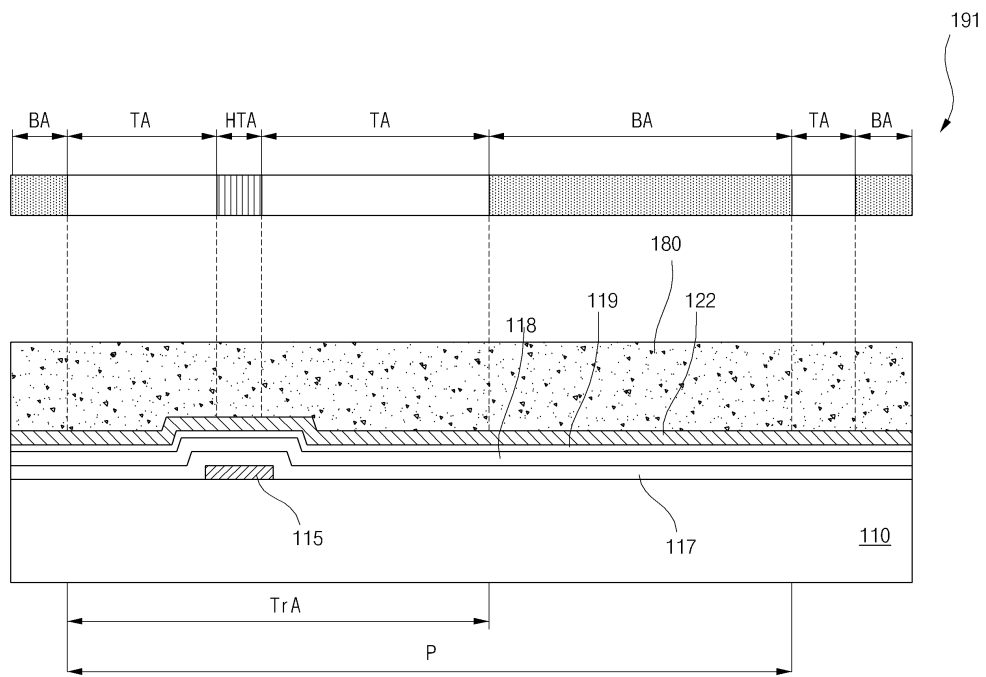
도면6a



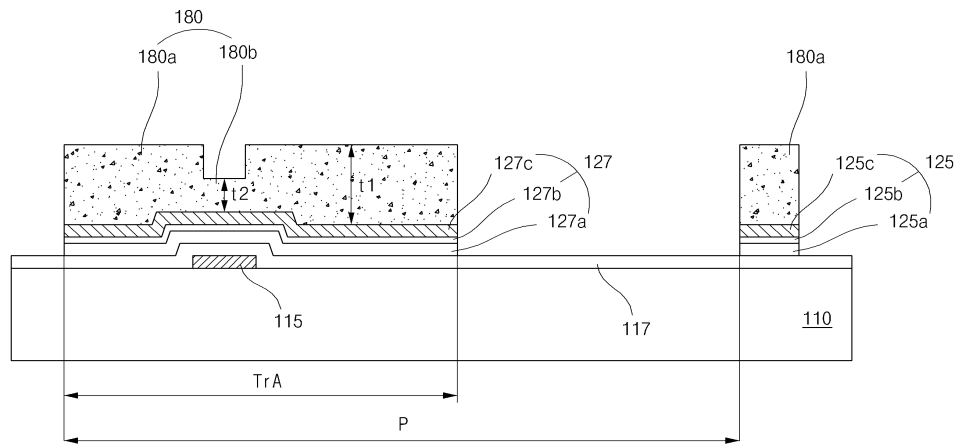
도면6b



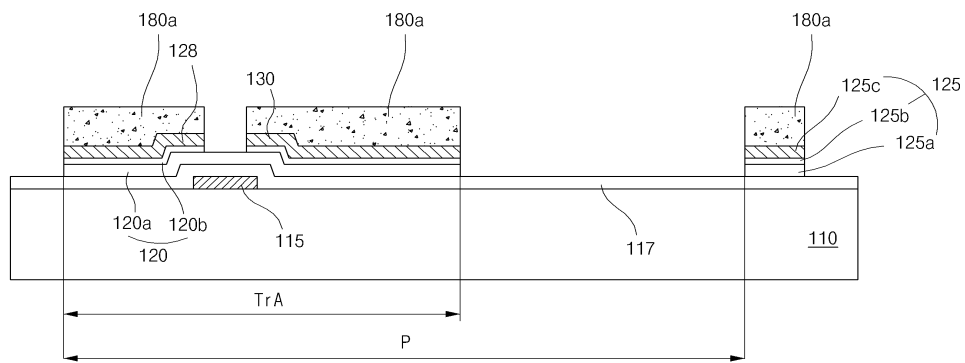
도면6c



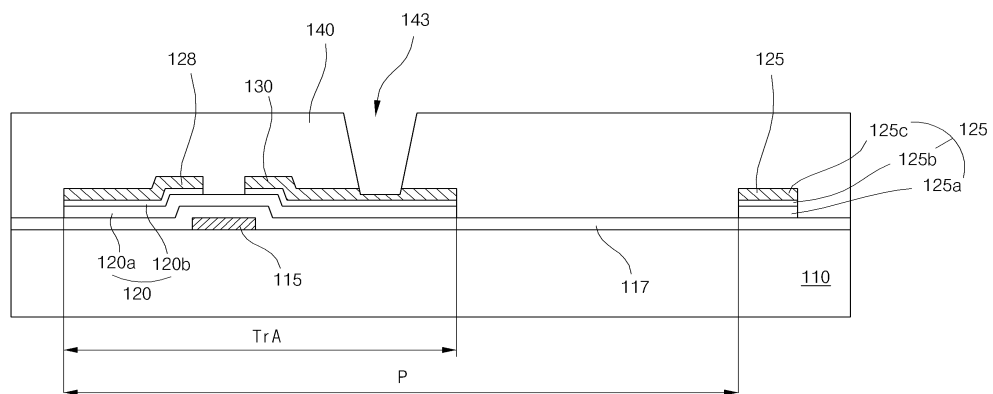
도면6d



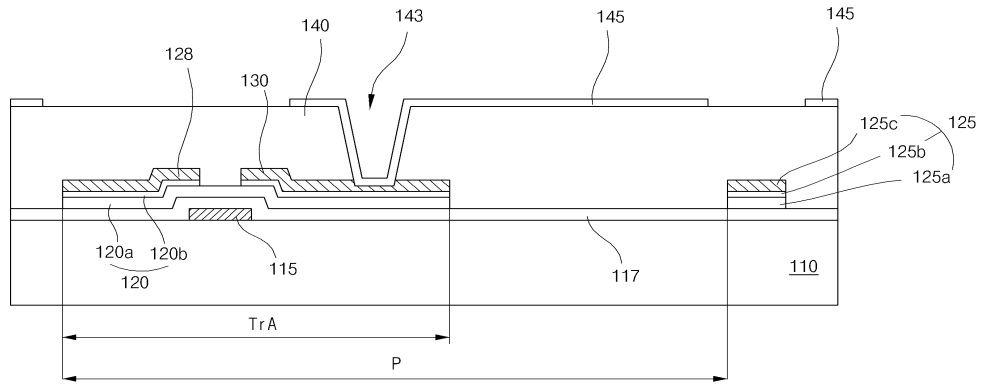
도면6e



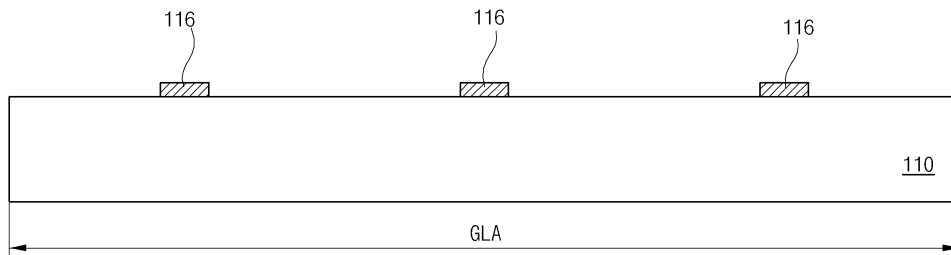
도면6f



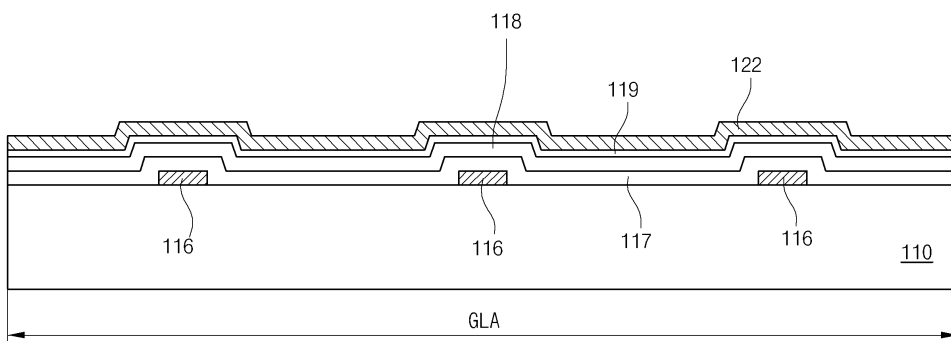
도면6g



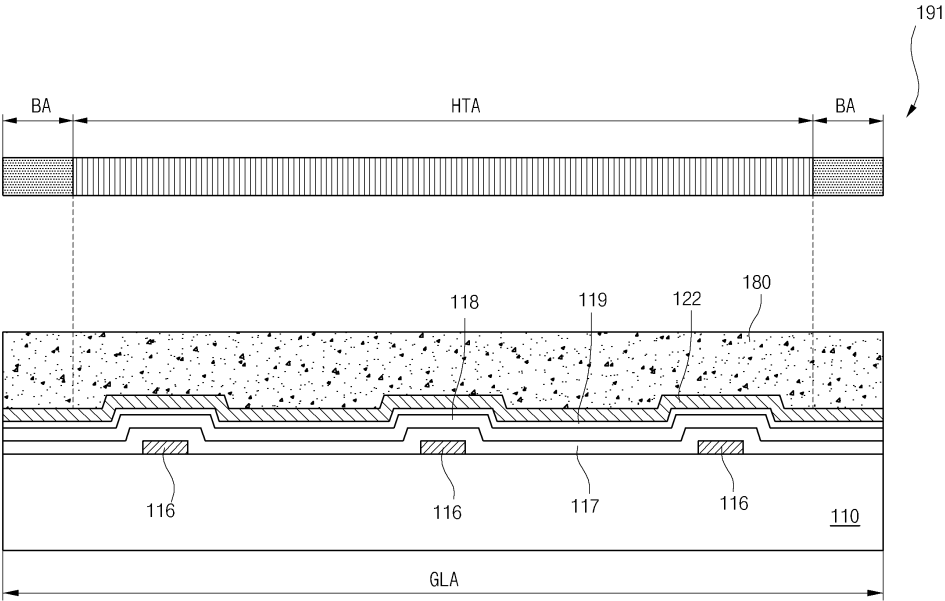
도면7a



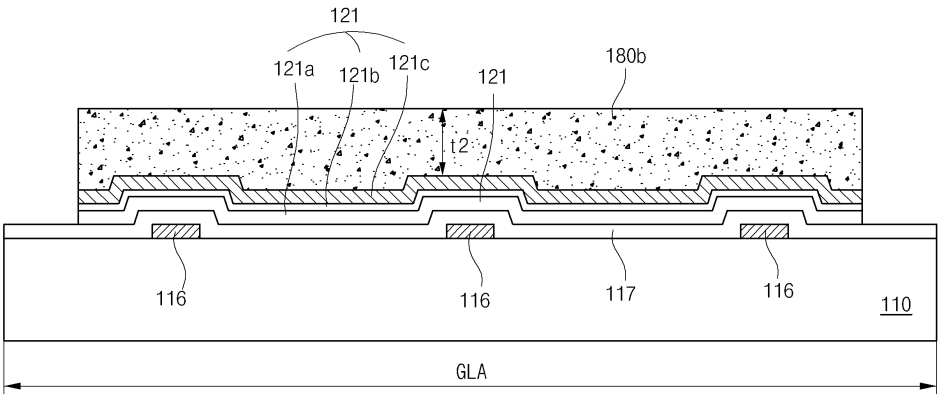
도면7b



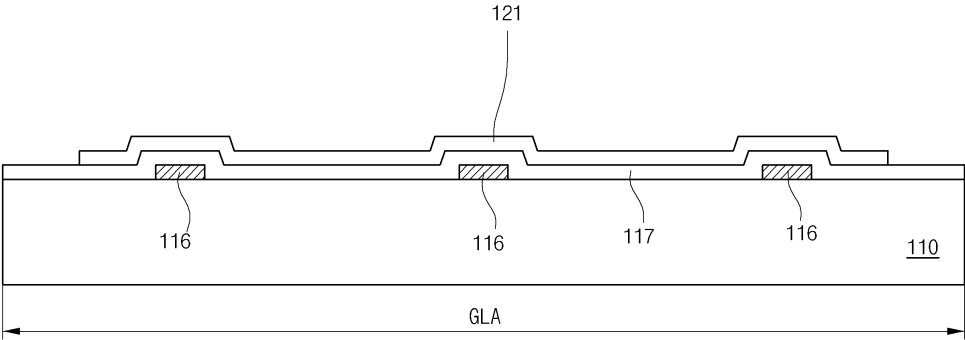
도면7c



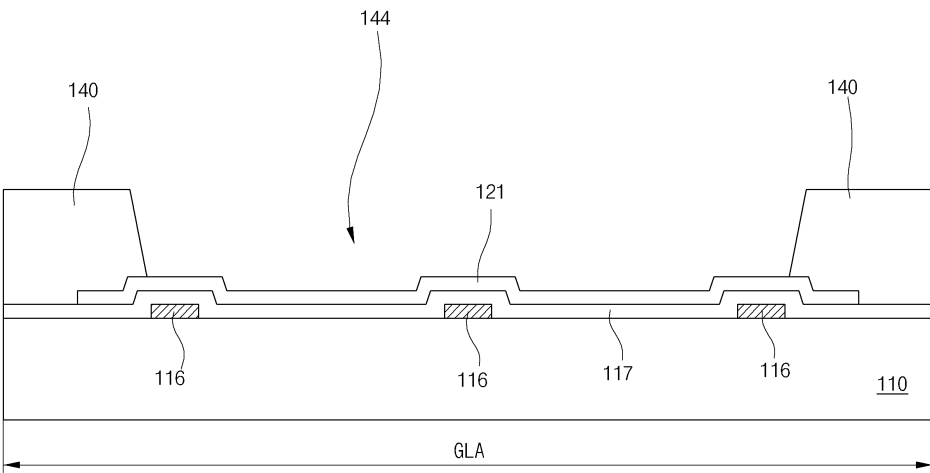
도면7d



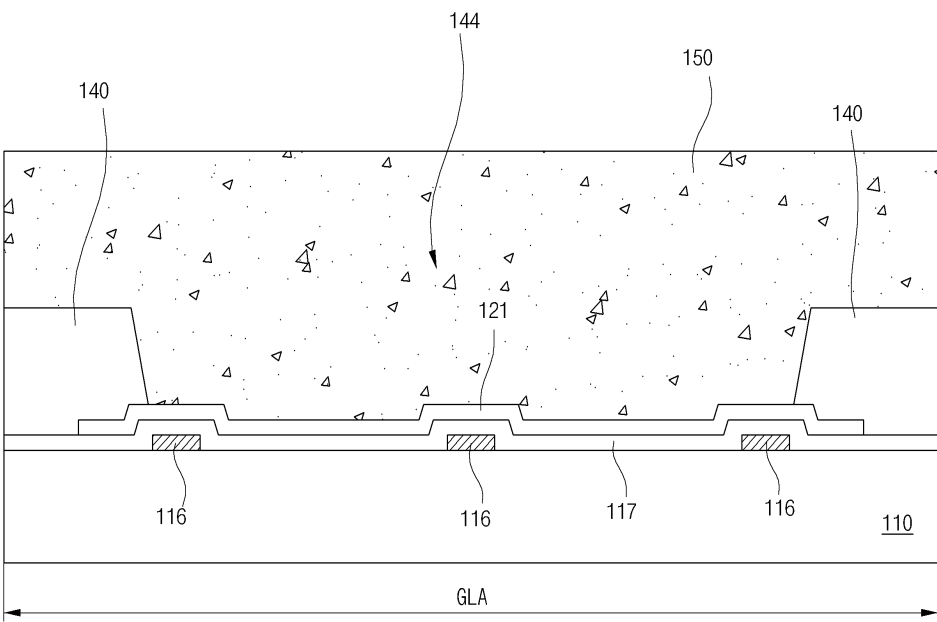
도면7e



도면7f



도면7g



专利名称(译)	用于液晶显示装置的阵列基板及其制造方法		
公开(公告)号	KR100957614B1	公开(公告)日	2010-05-13
申请号	KR1020050097475	申请日	2005-10-17
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE JU BOK 이주복 LEE JAE GU 이재구		
发明人	이주복 이재구		
IPC分类号	G02F1/136		
CPC分类号	H01L27/1214 G02F1/133345 G02F1/1339 G02F1/1345 H01L27/1288		
其他公开文献	KR1020070041877A		
外部链接	Espacenet		

摘要(译)

本发明是在显示区域和显示区域，所述多条栅极连线相互交叉在所述基板的一个表面限定，而在显示区域和用于显示图像和数据线限定的多个像素区形成栅极连接部到外部；它连接到栅极布线到栅极连接部分和形成的多个栅布线和连接的端部；栅极绝缘栅极线和数据线之间形成膜；该门多个虚设图案与多个栅极连接配线重叠并且由绝缘膜上的半导体材料形成；并且保护层形成在虚设图案的整个表面上并且具有暴露各个虚设图案的多个孔，从而当滤色器基板附着到滤色器基板时提供形成在栅极连接部分上的虚设图案。可以有效地防止由短路引起的短路。

