



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2009년11월05일
(11) 등록번호 10-0924751
(24) 등록일자 2009년10월27일

(51) Int. Cl.

G02F 1/1335 (2006.01)

(21) 출원번호 10-2002-0076724

(22) 출원일자 2002년12월04일

심사청구일자 2007년10월15일

(65) 공개번호 10-2004-0048757

(43) 공개일자 2004년06월10일

(56) 선행기술조사문헌

JP07072473 A

JP2002236286 A

KR1019990034037 A

JP2002350832 A

전체 청구항 수 : 총 9 항

(73) 특허권자

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

김웅권

경기도군포시산본동1145세종아파트640-1204

김세준

서울특별시용산구동빙고동32-15

이중희

서울특별시강남구논현2동277-11103호

(74) 대리인

특허법인네이트

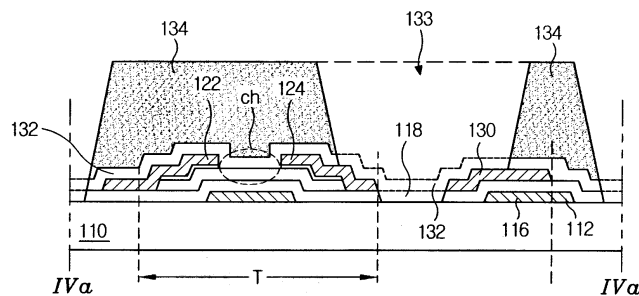
심사관 : 김효욱

(54) 액정표시장치 및 그 제조방법

(57) 요약

본 발명에서는, 본 발명에 따른 COT 액정표시장치 및 그 제조방법에 의하면, 컬러필터 소자와 어레이 소자를 동일 기판에 형성하기 때문에 합착 마진을 최소화하고 개구율을 향상시킬 수 있으며, 별도의 콘택홀 공정없이 블랙 매트릭스를 마스크로 이용한 식각 공정이 가능하기 때문에 공정 단순화를 통한 생산 수율 향상이 가능하고, 또한, 본 발명에서는 블랙매트릭스용 보호층인 제 2 보호층을 추가로 형성하는 실시예를 포함하여, 공정 안정화를 높일 수 있고, 제 2 보호층을 포함하는 구조에서 화소 영역내 절연층 등을 그대로 유지하고 콘택홀 방식으로 투명 도전층과 금속 배선을 연결시키는 방식에 의하면, 컬러필터 공정에서 블랙매트릭스와의 단차를 줄일 수 있어 평탄화 특성을 가질 수 있는 장점을 가진다.

대표도 - 도4f



특허청구의 범위

청구항 1

기관 상에 제 1 금속물질을 이용하여, 게이트 전극 및 제 1 캐패시터 전극을 가지며, 제 1 방향으로 위치하는 게이트 배선과, 상기 게이트 배선의 일끝단에 위치하는 게이트 패드를 형성하는 단계와;

상기 게이트 배선 및 게이트 패드를 덮는 영역에 제 1 절연물질, 반도체 물질을 차례대로 형성한 다음, 상기 제 1 절연물질을 게이트 절연막으로 삼고, 상기 반도체 물질을 반도체층으로 패터닝(patterning)하는 단계와;

상기 반도체층을 덮는 영역에 제 2 금속물질을 이용하여, 반도체층 상부에서 서로 이격되는 소스 전극 및 드레인 전극과, 상기 소스 전극과 일체형 패턴이며, 상기 제 1 방향과 교차되는 제 2 방향으로 위치하는 데이터 배선과, 상기 데이터 배선의 일끝단에 위치하는 데이터 패드와, 상기 제 1 캐패시터 전극을 덮는 위치에 아일랜드 패턴(island pattern)을 이루는 제 2 캐패시터 전극을 형성하는 단계와;

상기 게이트 전극, 반도체층, 소스 전극 및 드레인 전극은 박막트랜지스터를 이루고, 상기 박막트랜지스터를 덮는 위치에 제 2 절연물질을 이용하여 제 1 보호층을 형성하는 단계와;

상기 제 1 보호층 상부에 위치하며, 상기 게이트 배선 및 데이터 배선이 교차되는 영역으로 정의되는 화소 영역 및 상기 드레인 전극 및 제 2 캐패시터 전극을 일부 노출시키는 오픈부를 가지는 블랙매트릭스를 형성하는 단계와;

상기 블랙매트릭스 및 상기 오픈부에 위치하는 드레인 전극 및 제 2 캐패시터 전극을 마스크로 이용하여, 노출된 제 1 보호층 및 게이트 절연막을 일괄식각하는 단계와;

상기 블랙매트릭스를 덮는 영역에 위치하며, 상기 일괄식각 단계를 통해 노출된 드레인 전극 및 제 2 캐패시터 전극, 게이트 패드 및 데이터 패드와 접촉되게 제 1 투명 도전층을 형성하는 단계와;

상기 제 1 투명 도전층 상부에, 상기 블랙매트릭스를 컬러별 경계부로 하여 오픈부에 적, 녹, 청 컬러필터를 차례대로 형성하는 단계와;

상기 적, 녹, 청 컬러필터는 컬러필터층을 이루고, 상기 컬러필터층을 덮는 영역에서, 상기 제 1 투명 도전층과 접촉되게 제 2 투명 도전층을 형성하고, 화소 영역별로 제 1, 2 투명 도전층을 패터닝하여 화소 전극을 형성하고, 게이트 패드부에서 제 1, 2 투명 도전층을 패터닝하여 게이트패드 전극을 형성하며, 데이터 패드부에서 제 1, 2 투명 도전층을 패터닝하여 데이터패드 전극을 형성하는 단계

를 포함하는 COT(Color Filter on Thin Film Transistor) 액정표시장치용 기관의 제조방법.

청구항 2

기관 상에 제 1 금속물질을 이용하여, 게이트 전극 및 제 1 캐패시터 전극을 가지며, 제 1 방향으로 위치하는 게이트 배선과, 상기 게이트 배선의 일끝단에 위치하는 게이트 패드를 형성하는 단계와;

상기 게이트 배선 및 게이트 패드를 덮는 영역에 제 1 절연물질, 반도체 물질을 차례대로 형성한 다음, 상기 제 1 절연물질을 게이트 절연막으로 삼고, 상기 반도체 물질을 반도체층으로 패터닝하는 단계와;

상기 반도체층을 덮는 영역에 제 2 금속물질을 이용하여, 반도체층 상부에서 서로 이격되는 소스 전극 및 드레인 전극과, 상기 소스 전극과 일체형 패턴이며, 상기 제 1 방향과 교차되는 제 2 방향으로 위치하는 데이터 배선과, 상기 데이터 배선의 일끝단에 위치하는 데이터 패드와, 상기 제 1 캐패시터 전극을 덮는 위치에 아일랜드 패턴을 이루는 제 2 캐패시터 전극을 형성하는 단계와;

상기 게이트 전극, 반도체층, 소스 전극 및 드레인 전극은 박막트랜지스터를 이루고, 상기 박막트랜지스터를 덮는 위치에 제 2 절연물질을 이용하여 제 1 보호층을 형성하는 단계와;

상기 제 1 보호층 상부에 위치하며, 상기 게이트 배선 및 데이터 배선이 교차되는 영역으로 정의되는 화소 영역, 상기 드레인 전극 및 제 2 캐패시터 전극을 일부 노출시키는 오픈부를 가지는 블랙매트릭스를 형성하는 단계와;

상기 블랙매트릭스 및 상기 오픈부에 위치하는 드레인 전극 및 제 2 캐패시터 전극을 마스크로 이용하여, 노출된 제 1 보호층을 선택적으로 식각하는 단계와;

상기 게이트 패드를 덮는 제 1 보호층 및 게이트 절연막에 게이트 패드를 일부 노출시키는 게이트패드 콘택홀 및 상기 데이터 패드를 덮는 제 1 보호층에 데이터 패드를 일부 노출시키는 데이터패드 콘택홀을 형성하는 단계와;

상기 블랙매트릭스를 덮는 영역에 위치하며, 상기 식각 단계를 통해 노출된 드레인 전극 및 제 2 캐패시터 전극과 접촉되고, 상기 게이트패드 콘택홀 및 데이터패드 콘택홀을 통해 게이트 패드 및 데이터 패드와 연결되는 제 1 투명 도전층을 형성하는 단계와;

상기 제 1 투명 도전층 상부에, 상기 블랙매트릭스를 컬러별 경계부로 하여 오픈부에 적, 녹, 청 컬러필터를 차례대로 형성하는 단계와;

상기 적, 녹, 청 컬러필터는 컬러필터층을 이루고, 상기 컬러필터층을 덮는 영역에서, 상기 제 1 투명 도전층과 접촉되게 제 2 투명 도전층을 형성하고, 화소 영역별로 제 1, 2 투명 도전층을 패터닝하여 화소 전극을 형성하고, 게이트 패드부에서 제 1, 2 투명 도전층을 패터닝하여 게이트패드 전극을 형성하며, 데이터 패드부에서 제 1, 2 투명 도전층을 패터닝하여 데이터패드 전극을 형성하는 단계

를 포함하는 COT 액정표시장치용 기관의 제조방법.

청구항 3

기관 상에 제 1 금속물질을 이용하여, 게이트 전극 및 제 1 캐패시터 전극을 가지며, 제 1 방향으로 위치하는 게이트 배선과, 상기 게이트 배선의 일끝단에 위치하는 게이트 패드를 형성하는 단계와;

상기 게이트배선 및 게이트 패드를 덮는 영역에 제 1 절연물질, 반도체 물질을 차례대로 형성한 다음, 상기 제 1 절연물질을 게이트 절연막으로 삼고, 상기 반도체 물질을 반도체층으로 패터닝하는 단계와;

상기 반도체층을 덮는 영역에 제 2 금속물질을 이용하여, 반도체층 상부에서 서로 이격되는 소스 전극 및 드레인 전극과, 상기 소스 전극과 일체형 패터이며, 상기 제 1 방향과 교차되는 제 2 방향으로 위치하는 데이터 배선과, 상기 데이터 배선의 일끝단에 위치하는 데이터 패드와, 상기 제 1 캐패시터 전극을 덮는 위치에 아일랜드 패터를 이루는 제 2 캐패시터 전극을 형성하는 단계와;

상기 게이트 전극, 반도체층, 소스 전극 및 드레인 전극은 박막트랜지스터를 이루고, 상기 박막트랜지스터를 덮는 위치에 제 2 절연물질을 이용하여 제 1 보호층을 형성하는 단계와;

상기 제 1 보호층 상부에 위치하며, 상기 게이트 배선 및 데이터 배선이 교차되는 영역으로 정의되는 화소 영역, 상기 드레인 전극 및 제 2 캐패시터 전극을 일부 노출시키는 오픈부를 가지는 블랙매트릭스를 형성하는 단계와;

상기 블랙매트릭스를 덮는 기관 전면에 제 2 보호층을 형성하는 단계와;

상기 블랙매트릭스의 오픈부 영역에서 드레인 전극 및 제 2 캐패시터 전극과 중첩되지 않는 영역 상의 제 2 보호층, 제 1 보호층, 게이트 절연막을 일괄식각하고, 상기 게이트 패드부의 제 2 보호층, 제 1 보호층, 게이트 절연막에 게이트 패드를 일부 노출시키는 게이트패드 콘택홀을 형성하고, 상기 데이터 패드부의 제 2 보호층, 제 1 보호층에 데이터 패드를 일부 노출시키는 데이터패드 콘택홀을 형성하는 단계와;

상기 제 2 보호층을 덮는 영역에 위치하며, 상기 식각 단계를 통해 노출된 드레인 전극 및 제 2 캐패시터 전극과 접촉되고, 상기 게이트패드 콘택홀 및 데이터패드 콘택홀을 통해 게이트 패드 및 데이터 패드와 연결되는 제 1 투명 도전층을 형성하는 단계와;

상기 제 1 투명 도전층 상부에, 상기 블랙매트릭스를 컬러별 경계부로 하여 오픈부에 적, 녹, 청 컬러필터를 차례대로 형성하는 단계와;

상기 적, 녹, 청 컬러필터는 컬러필터층을 이루고, 상기 컬러필터층을 덮는 영역에서, 상기 제 1 투명 도전층과 접촉되게 제 2 투명 도전층을 형성하고, 화소 영역별로 제 1, 2 투명 도전층을 패터닝하여 화소 전극을 형성하고, 게이트 패드부에서 제 1, 2 투명 도전층을 패터닝하여 게이트패드 전극을 형성하며, 데이터 패드부에서 제 1, 2 투명 도전층을 패터닝하여 데이터패드 전극을 형성하는 단계

를 포함하는 COT 액정표시장치용 기관의 제조방법.

청구항 4

기관 상에 제 1 금속물질을 이용하여, 게이트 전극 및 제 1 캐패시터 전극을 가지며, 제 1 방향으로 위치하는 게이트 배선과, 상기 게이트 배선의 일끝단에 위치하는 게이트 패드를 형성하는 단계와;

상기 게이트 배선 및 게이트 패드를 덮는 영역에 제 1 절연물질, 반도체 물질을 차례대로 형성한 다음, 상기 제 1 절연물질을 게이트 절연막으로 삼고, 상기 반도체 물질을 반도체층으로 패터닝하는 단계와;

상기 반도체층을 덮는 영역에 제 2 금속물질을 이용하여, 반도체층 상부에서 서로 이격되는 소스 전극 및 드레인 전극과, 상기 소스 전극과 일체형 패턴이며, 상기 제 1 방향과 교차되는 제 2 방향으로 위치하는 데이터 배선과, 상기 데이터 배선의 일끝단에 위치하는 데이터 패드와, 상기 제 1 캐패시터 전극을 덮는 위치에 아일랜드 패턴을 이루는 제 2 캐패시터 전극을 형성하는 단계와;

상기 게이트 전극, 반도체층, 소스 전극 및 드레인 전극은 박막트랜지스터를 이루고, 상기 박막트랜지스터를 덮는 위치에 제 2 절연물질을 이용하여 제 1 보호층을 형성하는 단계와;

상기 제 1 보호층 상부에 위치하며, 상기 게이트 배선 및 데이터 배선이 교차되는 영역으로 정의되는 화소 영역, 상기 드레인 전극 및 제 2 캐패시터 전극을 일부 노출시키는 오픈부를 가지는 블랙매트릭스를 형성하는 단계와;

상기 블랙매트릭스를 덮는 기관 전면에 제 2 보호층을 형성하는 단계와;

상기 드레인 전극, 제 2 캐패시터 전극, 게이트 패드, 데이터 패드를 각각 일부 노출시키는 드레인 콘택홀, 캐패시터 콘택홀, 게이트패드 콘택홀, 데이터패드 콘택홀을 형성하는 단계와;

상기 제 2 보호층을 덮는 영역에 위치하며, 상기 드레인 콘택홀, 캐패시터 콘택홀, 게이트패드 콘택홀, 데이터패드 콘택홀을 통해 드레인 전극, 제 2 캐패시터 전극, 게이트 패드, 데이터 패드와 연결되는 제 1 투명 도전층을 형성하는 단계와;

상기 제 1 투명 도전층 상부에, 상기 블랙매트릭스를 컬러별 경계부로 하여 오픈부에 적, 녹, 청 컬러필터를 차례대로 형성하는 단계와;

상기 적, 녹, 청 컬러필터는 컬러필터층을 이루고, 상기 컬러필터층을 덮는 영역에서, 상기 제 1 투명 도전층과 접촉되게 제 2 투명 도전층을 형성하고, 화소 영역별로 제 1, 2 투명 도전층을 패터닝하여 화소 전극을 형성하고, 게이트 패드부에서 제 1, 2 투명 도전층을 패터닝하여 게이트패드 전극을 형성하며, 데이터 패드부에서 제 1, 2 투명 도전층을 패터닝하여 데이터패드 전극을 형성하는 단계

를 포함하는 COT 액정표시장치용 기관의 제조방법.

청구항 5

제 1 항 내지 제 4 항 중 어느 하나의 항에 있어서,

상기 반도체층은, 비정질 실리콘 물질로 이루어진 액티브층과, 불순물 비정질 실리콘으로 이루어진 오믹콘택층으로 이루어지며, 상기 소스 전극 및 드레인 전극을 형성하는 단계에서는, 상기 소스 전극 및 드레인 전극을 마스크로 이용하여, 상기 소스 전극 및 드레인 전극 사이 구간에 노출된 오믹콘택층을 제거하여, 상기 노출된 액티브층 영역을 채널로 구성하는 단계를 포함하는 COT 액정표시장치용 기관의 제조방법.

청구항 6

제 1 항 또는 제 3 항 중 어느 하나의 항에 있어서,

상기 제 1 투명 도전층은 화소 영역 내에서, 상기 기관면 상에 직접 형성되는 COT 액정표시장치용 기관의 제조방법.

청구항 7

제 2 항에 있어서,

상기 제 1 투명 도전층은 화소 영역 내에서, 상기 게이트 절연막 상에 직접 형성되는 COT 액정표시장치용 기관의 제조방법.

청구항 8

제 1 항 또는 제 3 항 중 어느 하나의 항에 있어서,

상기 제 1 보호층을 이루는 물질은 무기 절연물질에서 선택되는 COT 액정표시장치용 기관의 제조방법.

청구항 9

제 2 항에 있어서,

상기 제 1 보호층은 게이트 절연막보다 저온에서 형성하는 것을 특징으로 하는 COT 액정표시장치용 기관의 제조방법.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <17> 본 발명은 액정표시장치에 관한 것이며, 특히 박막트랜지스터가 형성된 기관 상에 컬러필터층을 동시에 형성하는 구조의 COT(Color Filter on Thin Film Transistor)구조 액정표시장치 및 그 제조방법에 관한 것이다.
- <18> 일반적으로, 액정표시장치는 액정분자의 광학적 이방성과 복굴절 특성을 이용하여 화상을 표현하는 것으로, 전계가 인가되면 액정의 배열이 달라지고 달라진 액정의 배열 방향에 따라 빛이 투과되는 특성 또한 달라진다.
- <19> 일반적으로, 액정표시장치는 전계 생성 전극이 각각 형성되어 있는 두 기관을 두 전극이 형성되어 있는 면이 마주 대하도록 배치하고 두 기관 사이에 액정 물질을 주입한 다음, 두 전극에 전압을 인가하여 생성되는 전기장에 의해 액정 분자를 움직이게 함으로써, 이에 따라 달라지는 빛의 투과율에 의해 화상을 표현하는 장치이다.
- <20> 도 1은 일반적인 액정표시장치를 개략적으로 나타낸 도면이다.
- <21> 도시한 바와 같이, 일반적인 컬러 액정표시장치(11)는 서브 컬러필터(8)와 각 서브 컬러필터(8)사이에 구성된 블랙매트릭스(6)를 포함하는 컬러필터층(7)과 상기 컬러필터(8)의 상부에 증착된 공통전극(18)이 형성된 제 2 기관(5)과, 화소영역(P)이 정의되고 화소영역에는 화소전극(17)과 스위칭소자(T)가 구성되며, 화소영역(P)의 주변으로 어레이배선이 형성된 제 1 기관(22)과, 제 2 기관(5)과 제 1 기관(22) 사이에는 액정(14)이 충전되어 있다.
- <22> 상기 제 1 기관(22)은 어레이기관(array substrate)이라고도 하며, 스위칭 소자인 박막트랜지스터(T)가 매트릭스형태(matrix type)로 위치하고, 이러한 다수의 박막트랜지스터(TFT)를 교차하여 지나가는 게이트배선(13)과 데이터배선(15)이 형성된다.
- <23> 이때, 상기 화소영역(P)은 상기 게이트배선(13)과 데이터배선(15)이 교차하여 정의되는 영역이며, 상기 화소영역(P)상에는 전술한 바와 같이 투명한 화소전극(17)이 형성된다.
- <24> 상기 화소전극(17)은 ITO(indium-tin-oxide)와 같이 빛의 투과율이 비교적 뛰어난 투명 도전성금속을 사용한다.
- <25> 상기 화소전극(17)과 병렬로 연결된 스토리지 캐패시터(C_{ST})가 게이트 배선(13)의 상부에 구성되며, 스토리지 캐패시터(C_{ST})의 제 1 전극으로 게이트 배선(13)의 일부를 사용하고, 제 2 전극으로 소스 및 드레인 전극과 동일층 동일물질로 형성된 아일랜드 형상의 소스/드레인 금속층(30)을 사용한다.
- <26> 이때, 상기 소스/드레인 금속층(30)은 화소전극(17)과 접촉되어 화소전극의 신호를 받도록 구성된다.
- <27> 전술한 바와 같이 제 2 기관(5)과 제 1 기관(22)을 합착하여 액정패널을 제작하는 경우에는, 제 2 기관(5)과 제 1 기관(22)의 합착 오차에 의한 빛샘 불량 등이 발생할 확률이 매우 높다.
- <28> 이하, 도 2를 참조하여 설명한다.
- <29> 도 2는 도 1의 II-II를 따라 절단한 단면도이다.
- <30> 앞서 설명한 바와 같이, 어레이기관인 제 1 기관(22)과 컬러필터 기관인 제 2 기관(5)이 이격되어 구성되고, 제 1 및 제 2 기관(22,5)의 사이에는 액정층(14)이 위치한다.

- <31> 제 1 기판(22)의 상부에는 게이트 전극(32)과 액티브층(34)과 소스 전극(36)과 드레인 전극(38)을 포함하는 박막트랜지스터(T)와, 상기 박막트랜지스터(T)의 상부에는 이를 보호하는 보호막(40)이 구성된다.
- <32> 화소영역(P)에는 상기 박막트랜지스터(T)의 드레인 전극(38)과 접촉하는 투명 화소전극(17)이 구성되고, 화소전극(17)과 병렬로 연결된 스토리지 캐패시터(C_{ST})가 게이트 배선(13)의 상부에 구성된다.
- <33> 상기 제 2 기판(5)에는 상기 게이트 배선(13)과 데이터 배선(15)과 박막트랜지스터(T)에 대응하여 블랙매트릭스(6)가 구성되고, 제 1 기판(22)의 화소영역(P)에 대응하여 컬러필터(8)가 구성된다.
- <34> 이때, 일반적인 제 1 기판(22)의 구성은 수직 크로스토크(cross talk)를 방지하기 위해 데이터 배선(15)과 화소전극(17)을 일정 간격(IIIa) 이격 하여 구성하게 되고, 게이트 배선(13)과 화소 전극(17) 또한 일정간격(IIIb) 이격하여 구성하게 된다.
- <35> 데이터 배선(15) 및 게이트 배선(13)과 화소 전극(17) 사이의 이격된 공간(A,B)은 빛샘 현상이 발생하는 영역이기 때문에, 제 2 기판(5)에 구성한 블랙 매트릭스(black matrix)(6)가 이 부분을 가려주는 역할을 하게 된다.
- <36> 또한, 상기 박막트랜지스터(T)의 상부에 구성된 블랙매트릭스(6)는 외부에서 조사된 빛이 보호막(40)을 지나 액티브층(34)에 영향을 주지 않도록 하기 위해 빛을 차단하는 역할을 하게 된다.
- <37> 그런데, 상기 제 2 기판(5)과 제 1 기판(22)을 합착하는 공정 중 합착 오차(mis-align)가 발생하는 경우가 있는데, 이를 감안하여 상기 블랙매트릭스(6)를 설계할 때 일정한 값의 마진(margin)을 두고 설계하기 때문에 그만큼 개구율이 저하된다.
- <38> 또한, 마진을 넘어서는 합착오차가 발생할 경우, 빛샘 영역(IIIa, IIIb)이 블랙매트릭스(6)에 모두 가려지지 않는 빛샘 불량이 발생하는 경우가 종종 있다.
- <39> 이러한 경우에는 상기 빛샘이 외부로 나타나기 때문에 화질이 저하되는 문제가 있다.

발명이 이루고자 하는 기술적 과제

- <40> 본 발명은 상기 문제점을 해결하기 위하여, 합착 마진을 최소화하여 투과율을 높일 수 있는 구조의 액정표시장치를 제공하는 것을 목적으로 한다.
- <41> 이를 위하여, 본 발명에서는 박막트랜지스터가 형성된 기판 상에 컬러필터 소자를 함께 형성하는 방식의 COT 액정표시장치를 제공하고자 한다.
- <42> 본 발명의 또 다른 목적에서는, 공정단순화 구조를 가지는 COT 액정표시장치를 제공하는 것이다.

발명의 구성 및 작용

- <43> 상기 목적을 달성하기 위하여, 본 발명의 제 1 특징에서는 기판 상에 제 1 금속물질을 이용하여, 게이트 전극 및 제 1 캐패시터 전극을 가지며, 제 1 방향으로 위치하는 게이트 배선과, 상기 게이트 배선의 일끝단에 위치하는 게이트 패드를 형성하는 단계와; 상기 게이트 배선 및 게이트 패드를 덮는 영역에 제 1 절연물질, 반도체 물질을 차례대로 형성한 다음, 상기 제 1 절연물질을 게이트 절연막으로 삼고, 상기 반도체 물질을 반도체층으로 패터닝(patterning)하는 단계와; 상기 반도체층을 덮는 영역에 제 2 금속물질을 이용하여, 반도체층 상부에서 서로 이격되는 소스 전극 및 드레인 전극과, 상기 소스 전극과 일체형 패턴이며, 상기 제 1 방향과 교차되는 제 2 방향으로 위치하는 데이터 배선과, 상기 데이터 배선의 일끝단에 위치하는 데이터 패드와, 상기 제 1 캐패시터 전극을 덮는 위치에 아일랜드 패턴(island pattern)을 이루는 제 2 캐패시터 전극을 형성하는 단계와; 상기 게이트 전극, 반도체층, 소스 전극 및 드레인 전극은 박막트랜지스터를 이루고, 상기 박막트랜지스터를 덮는 위치에 제 2 절연물질을 이용하여 제 1 보호층을 형성하는 단계와; 상기 제 1 보호층 상부에 위치하며, 상기 게이트 배선 및 데이터 배선이 교차되는 영역으로 정의되는 화소 영역 및 상기 드레인 전극 및 제 2 캐패시터 전극을 일부 노출시키는 오픈부를 가지는 블랙매트릭스를 형성하는 단계와; 상기 블랙매트릭스 및 상기 오픈부에 위치하는 드레인 전극 및 제 2 캐패시터 전극을 마스크로 이용하여, 노출된 제 1 보호층 및 게이트 절연막을 일괄 식각하는 단계와; 상기 블랙매트릭스를 덮는 영역에 위치하며, 상기 일괄식각 단계를 통해 노출된 드레인 전극 및 제 2 캐패시터 전극, 게이트 패드 및 데이터 패드와 접촉되게 제 1 투명 도전층을 형성하는 단계와; 상기 제 1 투명 도전층 상부에, 상기 블랙매트릭스를 컬러별 경계부로 하여 오픈부에 적, 녹, 청 컬러필터를 차례대로

형성하는 단계와; 상기 적, 녹, 청 컬러필터는 컬러필터층을 이루고, 상기 컬러필터층을 덮는 영역에서, 상기 제 1 투명 도전층과 접촉되게 제 2 투명 도전층을 형성하고, 화소 영역별로 제 1, 2 투명 도전층을 패터닝하여 화소 전극을 형성하고, 게이트 패드부에서 제 1, 2 투명 도전층을 패터닝하여 게이트패드 전극을 형성하며, 데이터 패드부에서 제 1, 2 투명 도전층을 패터닝하여 데이터패드 전극을 형성하는 단계를 포함하는 COT(Color Filter on Thin Film Transistor) 액정표시장치용 기판의 제조방법을 제공한다.

<44> 본 발명의 제 2 특징에서는, 기판 상에 제 1 금속물질을 이용하여, 게이트 전극 및 제 1 캐패시터 전극을 가지며, 제 1 방향으로 위치하는 게이트 배선과, 상기 게이트 배선의 일끝단에 위치하는 게이트 패드를 형성하는 단계와; 상기 게이트 배선 및 게이트 패드를 덮는 영역에 제 1 절연물질, 반도체 물질을 차례대로 형성한 다음, 상기 제 1 절연물질을 게이트 절연막으로 삼고, 상기 반도체 물질을 반도체층으로 패터닝하는 단계와; 상기 반도체층을 덮는 영역에 제 2 금속물질을 이용하여, 반도체층 상부에서 서로 이격되는 소스 전극 및 드레인 전극과, 상기 소스 전극과 일체형 패턴이며, 상기 제 1 방향과 교차되는 제 2 방향으로 위치하는 데이터 배선과, 상기 데이터 배선의 일끝단에 위치하는 데이터 패드와, 상기 제 1 캐패시터 전극을 덮는 위치에 아일랜드 패턴을 이루는 제 2 캐패시터 전극을 형성하는 단계와; 상기 게이트 전극, 반도체층, 소스 전극 및 드레인 전극은 박막 트랜지스터를 이루고, 상기 박막트랜지스터를 덮는 위치에 제 2 절연물질을 이용하여 제 1 보호층을 형성하는 단계와; 상기 제 1 보호층 상부에 위치하며, 상기 게이트 배선 및 데이터 배선이 교차되는 영역으로 정의되는 화소 영역, 상기 드레인 전극 및 제 2 캐패시터 전극을 일부 노출시키는 오픈부를 가지는 블랙매트릭스를 형성하는 단계와; 상기 블랙매트릭스 및 상기 오픈부에 위치하는 드레인 전극 및 제 2 캐패시터 전극을 마스크로 이용하여, 노출된 제 1 보호층을 선택적으로 식각하는 단계와; 상기 게이트 패드를 덮는 제 1 보호층 및 게이트 절연막에 게이트 패드를 일부 노출시키는 게이트패드 콘택홀 및 상기 데이터 패드를 덮는 제 1 보호층에 데이터 패드를 일부 노출시키는 데이터패드 콘택홀을 형성하는 단계와; 상기 블랙매트릭스를 덮는 영역에 위치하며, 상기 식각 단계를 통해 노출된 드레인 전극 및 제 2 캐패시터 전극과 접촉되고, 상기 게이트패드 콘택홀 및 데이터패드 콘택홀을 통해 게이트 패드 및 데이터 패드와 연결되는 제 1 투명 도전층을 형성하는 단계와; 상기 제 1 투명 도전층 상부에, 상기 블랙매트릭스를 컬러별 경계부로 하여 오픈부에 적, 녹, 청 컬러필터를 차례대로 형성하는 단계와; 상기 적, 녹, 청 컬러필터는 컬러필터층을 이루고, 상기 컬러필터층을 덮는 영역에서, 상기 제 1 투명 도전층과 접촉되게 제 2 투명 도전층을 형성하고, 화소 영역별로 제 1, 2 투명 도전층을 패터닝하여 화소 전극을 형성하고, 게이트 패드부에서 제 1, 2 투명 도전층을 패터닝하여 게이트패드 전극을 형성하며, 데이터 패드부에서 제 1, 2 투명 도전층을 패터닝하여 데이터패드 전극을 형성하는 단계를 포함하는 COT 액정표시장치용 기판의 제조방법을 제공한다.

<45> 본 발명의 제 3 특징에서는, 기판 상에 제 1 금속물질을 이용하여, 게이트 전극 및 제 1 캐패시터 전극을 가지며, 제 1 방향으로 위치하는 게이트 배선과, 상기 게이트 배선의 일끝단에 위치하는 게이트 패드를 형성하는 단계와; 상기 게이트 배선 및 게이트 패드를 덮는 영역에 제 1 절연물질, 반도체 물질을 차례대로 형성한 다음, 상기 제 1 절연물질을 게이트 절연막으로 삼고, 상기 반도체 물질을 반도체층으로 패터닝하는 단계와; 상기 반도체층을 덮는 영역에 제 2 금속물질을 이용하여, 반도체층 상부에서 서로 이격되는 소스 전극 및 드레인 전극과, 상기 소스 전극과 일체형 패턴이며, 상기 제 1 방향과 교차되는 제 2 방향으로 위치하는 데이터 배선과, 상기 데이터 배선의 일끝단에 위치하는 데이터 패드와, 상기 제 1 캐패시터 전극을 덮는 위치에 아일랜드 패턴을 이루는 제 2 캐패시터 전극을 형성하는 단계와; 상기 게이트 전극, 반도체층, 소스 전극 및 드레인 전극은 박막 트랜지스터를 이루고, 상기 박막트랜지스터를 덮는 위치에 제 2 절연물질을 이용하여 제 1 보호층을 형성하는 단계와; 상기 제 1 보호층 상부에 위치하며, 상기 게이트 배선 및 데이터 배선이 교차되는 영역으로 정의되는 화소 영역, 상기 드레인 전극 및 제 2 캐패시터 전극을 일부 노출시키는 오픈부를 가지는 블랙매트릭스를 형성하는 단계와; 상기 블랙매트릭스를 덮는 기판 전면에 제 2 보호층을 형성하는 단계와; 상기 블랙매트릭스의 오픈부 영역에서 드레인 전극 및 제 2 캐패시터 전극과 중첩되지 않는 영역 상의 제 2 보호층, 제 1 보호층, 게이트 절연막을 일괄식각하고, 상기 게이트 패드부의 제 2 보호층, 제 1 보호층, 게이트 절연막에 게이트 패드를 일부 노출시키는 게이트패드 콘택홀을 형성하고, 상기 데이터 패드부의 제 2 보호층, 제 1 보호층에 데이터 패드를 일부 노출시키는 데이터패드 콘택홀을 형성하는 단계와; 상기 제 2 보호층을 덮는 영역에 위치하며, 상기 식각 단계를 통해 노출된 드레인 전극 및 제 2 캐패시터 전극과 접촉되고, 상기 게이트패드 콘택홀 및 데이터패드 콘택홀을 통해 게이트 패드 및 데이터 패드와 연결되는 제 1 투명 도전층을 형성하는 단계와; 상기 제 1 투명 도전층 상부에, 상기 블랙매트릭스를 컬러별 경계부로 하여 오픈부에 적, 녹, 청 컬러필터를 차례대로 형성하는 단계와; 상기 적, 녹, 청 컬러필터는 컬러필터층을 이루고, 상기 컬러필터층을 덮는 영역에서, 상기 제 1 투명 도전층과 접촉되게 제 2 투명 도전층을 형성하고, 화소 영역별로 제 1, 2 투명 도전층을 패터닝하여 화소 전극을 형성하고, 게이트 패드부에서 제 1, 2 투명 도전층을 패터닝하여 게이트패드 전극을 형성하며, 데이터

패드부에서 제 1, 2 투명 도전층을 패터닝하여 데이터패드 전극을 형성하는 단계를 포함하는 COT 액정표시장치용 기관의 제조방법을 제공한다.

- <46> 본 발명의 제 4 특징에서는, 기관 상에 제 1 금속물질을 이용하여, 게이트 전극 및 제 1 캐패시터 전극을 가지며, 제 1 방향으로 위치하는 게이트 배선과, 상기 게이트 배선의 일끝단에 위치하는 게이트 패드를 형성하는 단계와; 상기 게이트 배선 및 게이트 패드를 덮는 영역에 제 1 절연물질, 반도체 물질을 차례대로 형성한 다음, 상기 제 1 절연물질을 게이트 절연막으로 삼고, 상기 반도체 물질을 반도체층으로 패터닝하는 단계와; 상기 반도체층을 덮는 영역에 제 2 금속물질을 이용하여, 반도체층 상부에서 서로 이격되는 소스 전극 및 드레인 전극과, 상기 소스 전극과 일체형 패터닝되며, 상기 제 1 방향과 교차되는 제 2 방향으로 위치하는 데이터 배선과, 상기 데이터 배선의 일끝단에 위치하는 데이터 패드와, 상기 제 1 캐패시터 전극을 덮는 위치에 아일랜드 패터를 이루는 제 2 캐패시터 전극을 형성하는 단계와; 상기 게이트 전극, 반도체층, 소스 전극 및 드레인 전극은 박막 트랜지스터를 이루고, 상기 박막트랜지스터를 덮는 위치에 제 2 절연물질을 이용하여 제 1 보호층을 형성하는 단계와; 상기 제 1 보호층 상부에 위치하며, 상기 게이트 배선 및 데이터 배선이 교차되는 영역으로 정의되는 화소 영역, 상기 드레인 전극 및 제 2 캐패시터 전극을 일부 노출시키는 오픈부를 가지는 블랙매트릭스를 형성하는 단계와; 상기 블랙매트릭스를 덮는 기관 전면에 제 2 보호층을 형성하는 단계와; 상기 드레인 전극, 제 2 캐패시터 전극, 게이트 패드, 데이터 패드를 각각 일부 노출시키는 드레인 콘택홀, 캐패시터 콘택홀, 게이트패드 콘택홀, 데이터패드 콘택홀을 형성하는 단계와; 상기 제 2 보호층을 덮는 영역에 위치하며, 상기 드레인 콘택홀, 캐패시터 콘택홀, 게이트패드 콘택홀, 데이터패드 콘택홀을 통해 드레인 전극, 제 2 캐패시터 전극, 게이트 패드, 데이터 패드와 연결되는 제 1 투명 도전층을 형성하는 단계와; 상기 제 1 투명 도전층 상부에, 상기 블랙매트릭스를 컬러별 경계부로 하여 오픈부에 적, 녹, 청 컬러필터를 차례대로 형성하는 단계와; 상기 적, 녹, 청 컬러필터는 컬러필터층을 이루고, 상기 컬러필터층을 덮는 영역에서, 상기 제 1 투명 도전층과 접촉되게 제 2 투명 도전층을 형성하고, 화소 영역별로 제 1, 2 투명 도전층을 패터닝하여 화소 전극을 형성하고, 게이트패드부에서 제 1, 2 투명 도전층을 패터닝하여 게이트패드 전극을 형성하며, 데이터패드부에서 제 1, 2 투명 도전층을 패터닝하여 데이터패드 전극을 형성하는 단계를 포함하는 COT 액정표시장치용 기관의 제조방법을 제공한다.
- <47> 본 발명의 제 1 내지 4 특징에 따른 상기 반도체층은, 비정질 실리콘 물질로 이루어진 액티브층과, 불순물 비정질 실리콘으로 이루어진 오믹콘택층으로 이루어지며, 상기 소스 전극 및 드레인 전극을 형성하는 단계에서는, 상기 소스 전극 및 드레인 전극을 마스크로 이용하여, 상기 소스 전극 및 드레인 전극 사이 구간에 노출된 오믹콘택층을 제거하여, 상기 노출된 액티브층 영역을 채널로 구성하는 단계를 포함한다.
- <48> 본 발명의 제 1 내지 4 특징에 따른 상기 제 1 투명 도전층은 화소 영역 내에서, 상기 기관면 상에 직접 형성되고, 상기 제 1 투명 도전층은 화소 영역 내에서, 상기 게이트 절연막 상에 직접 형성되고, 상기 제 1 보호층을 이루는 물질은 무기 절연물질에서 선택되며, 상기 제 1 보호층은 게이트 절연막보다 저온에서 형성하는 것을 특징으로 한다.
- <49> 이하, 본 발명에 따른 바람직한 실시예를 도면을 참조하여 상세히 설명한다.
- <50> 도 3은 본 발명에 따른 COT 액정표시장치에 대한 평면도로서, 고개구율 구조를 일예로 하여 도시하였고, 별도의 콘택홀없이 측면접촉방식으로 투명 도전층을 구성하는 예를 중심으로 설명한다.
- <51> 도시한 바와 같이, 제 1 방향으로 게이트 배선(112)이 형성되어 있고, 제 1 방향과 교차되는 제 2 방향으로 데이터 배선(126)이 형성되어 있으며, 게이트 배선(112) 및 데이터 배선(126)이 교차되는 영역은 화소 영역(P)으로 정의된다.
- <52> 상기 게이트 배선(112) 및 데이터 배선(126)의 일끝단에는 각각 게이트 패드(117) 및 데이터 패드(128)가 형성되어 있다.
- <53> 상기 게이트 배선(112) 및 데이터 배선(126)이 교차되는 지점에는 박막트랜지스터(T)가 형성되어 있고, 박막트랜지스터(T)와 연결되어 화소 전극(142)이 형성되어 있다.
- <54> 상기 박막트랜지스터(T)에는, 상기 게이트 배선(112)에서 분기된 게이트 전극(114)과, 상기 데이터 배선(126)에서 분기된 소스 전극(122)과, 상기 소스 전극(122)과 일정간격 이격된 드레인 전극(124)으로 이루어진다.
- <55> 상기 화소 전극(142)은 전단 게이트 배선(112)과 일부 중첩되게 구성되고, 상기 화소 전극(142)과 중첩되는 게

이트 배선(112) 영역은 제 1 캐패시터 전극(116)을 이루고, 제 1 캐패시터 전극(116)을 덮는 영역에는, 상기 데이터 배선(126)과 동일 물질로 이루어진 제 2 캐패시터 전극(130)이 형성되어 있고, 상기 제 2 캐패시터 전극(130)은 화소 전극(142)과 전기적으로 연결구성되어 있어, 상기 제 1, 2 캐패시터 전극(116, 130) 및 화소 전극(142)이 중첩된 영역은 스토리지 캐패시터(C_{ST})를 이룬다.

<56> 그리고, 도면에서 빗금친 영역은 블랙매트릭스(134) 형성부에 해당되며, 상기 블랙매트릭스(134)는 게이트 배선(112) 및 데이터 배선(126) 그리고, 박막트랜지스터(T)를 덮는 영역 및 화소 전극(142)을 테두리부를 덮는 영역에 위치하고, 화소 영역(P)의 메인 영역을 노출시키는 오픈부(133)를 가진다.

<57> 이때, 상기 오픈부(133)는 제 2 캐패시터 전극(130) 및 드레인 전극(124)을 일부 노출시키는 영역범위를 가짐에 따라, 상기 화소 전극(142)은 드레인 전극(124) 및 제 2 캐패시터 전극(130)과 별도의 콘택홀없이 측면접촉 방식으로 직접적으로 연결되는 것을 특징으로 한다.

<58> 그리고, 상기 게이트 패드(117) 및 데이터 패드(128)을 덮는 영역에는 게이트 패드전극(144) 및 데이터 패드전극(146)이 형성되어 있다.

<59> 그러나, COT 구조에서는 블랙매트릭스(134)를 화소 전극(142)과 동일 기판에 형성함에 따라, 기존의 액정표시장치에서보다 블랙매트릭스(134)와 화소 전극(142) 간의 합착 마진은 최소화된다.

<60> 이하, 상기 COT 액정표시장치의 박막트랜지스터부, 화소 영역부, 스토리지 캐패시터부, 게이트 패드부, 데이터 패드부에 대한 단면 적층 구조를 제조 공정별로 도면을 참조하여 상세히 설명한다.

<61> -- 제 1 실시예 --

<62> 도 4a 내지 4i, 도 5a 내지 5i, 도 6a 내지 6i는 본 발명의 제 1 실시예에 따른 COT 액정표시장치용 기판에 대한 제조 공정을 단계별로 나타낸 단면도로서, 도 4a 내지 4i는 상기 도 3의 절단선 IVa-IVa, 도 5a 내지 5i는 상기 도 3의 절단선 IVb-IVb, 도 6a 내지 6i는 상기 도 3의 절단선 IVc-IVc에 따라 절단된 단면을 도시한 단면도이다.

<63> 도 4a, 5a, 6a에서는, 기판(110) 상에 제 1 금속물질을 증착한 다음, 감광성 물질을 이용한 노광, 현상 공정을 포함하는 사진식각공정(photolithography)으로 정의되는 마스크 공정인 제 1 마스크 공정에 의해 게이트 전극(114), 제 1 캐패시터 전극(116) 및 게이트 배선(112), 게이트 패드(117)를 형성하는 단계이다.

<64> 상기 도 3에 도시한 바와 같이, 상기 게이트 전극(114) 및 제 1 캐패시터 전극(116)은 게이트 배선(112)에서 각각 분기된 패턴이고, 상기 게이트 패드(117)는 게이트 배선(112)의 일끝단에 위치하는 패턴에 해당된다.

<65> 도 4b, 5b, 6b에서는, 상기 게이트 전극(114), 제 1 캐패시터 전극(116) 및 게이트 배선(112), 게이트 패드(117)를 덮는 영역에 제 1 절연물질, 비정질 실리콘 물질, 불순물 비정질 실리콘 물질을 차례대로 증착한 다음, 제 1 절연물질을 게이트 절연막(118)으로 형성하고, 제 2 마스크 공정에 의해 비정질 실리콘 물질, 불순물 비정질 실리콘 물질을 게이트 전극(114) 영역을 덮는 위치에서 액티브층(120a), 오믹콘택층(120b)으로 차례대로 형성하는 단계이다.

<66> 상기 액티브층(120a), 오믹콘택층(120b)은 반도체층(120)을 이룬다.

<67> 도 4c, 5c, 6c에서는, 상기 반도체층(120)을 덮는 위치에 제 2 금속물질을 증착하고, 제 3 마스크 공정에 의해, 반도체층(120) 상부에서 서로 일정간격 이격되는 소스 전극(122) 및 드레인 전극(124)과, 상기 소스 전극(122)과 연결되며, 전술한 제 1 방향과 교차되는 제 2 방향으로 데이터 배선(126)을 형성하는 단계이다.

<68> 이 단계에서는, 상기 데이터 배선(126)의 일끝단에 위치하는 데이터 패드(128)를 형성하는 단계와, 상기 제 1 캐패시터 전극(116)과 중첩된 위치에서 아일랜드(island) 패턴으로 이루어진 제 2 캐패시터 전극(130)을 형성하는 단계를 포함한다.

<69> 상기 게이트 패드(117) 및 데이터 패드(128)는 비표시 영역에 위치한다.

<70> 상기 게이트 전극(114), 반도체층(120), 소스 전극(122) 및 드레인 전극(124)은 박막트랜지스터(T)를 이룬다.

<71> 이 단계에서는, 상기 소스 전극(122) 및 드레인 전극(124) 사이 구간에 위치하는 오믹콘택층(120b)을 제거하여, 노출된 액티브층(120a) 영역을 채널(ch)로 구성하는 단계를 포함한다.

- <72> 상기 채널(ch) 제조 공정은 별도의 마스크 공정없이, 상기 소스 전극(122) 및 드레인 전극(124)을 마스크로 이용하여 식각처리하는 공정에 의해 이루어진다.
- <73> 도 3d, 4d, 5d, 6d에서는, 상기 소스 전극(122) 및 드레인 전극(124), 데이터 배선(126), 제 2 캐패시터 전극(130)을 덮는 영역에 제 2 절연물질을 이용하여 제 1 보호층(132)을 형성하는 단계이다.
- <74> 상기 제 1 보호층(132)은 블랙매트릭스(미도시)와 박막트랜지스터(T) 사이에 발생될 수 있는 접촉불량을 방지하는 기능을 하는 것으로, 무기 절연물질에서 선택되는 것이 바람직하며, 더욱 바람직하게는 실리콘 질화막(SiNx)으로 하는 것이다.
- <75> 도 4e, 5e, 6e에서는, 상기 제 1 보호층(132) 상부에 광차단성 물질을 형성한 다음, 제 4 마스크 공정에 의해 게이트 배선(112) 및 데이터 배선(126)부(게이트 패드(117) 및 데이터 패드(128) 제외), 그리고 박막트랜지스터(T)부를 덮으며, 서브픽셀 영역(P)에서 오픈부(133)를 가지는 블랙매트릭스(134)를 형성하는 단계이다.
- <76> 상기 블랙매트릭스(134)를 이루는 물질은 불투명한 유기물질에서 선택되는 것이 바람직하며, 상기 블랙매트릭스(134)는 광차단 역할과 함께 박막트랜지스터(T)용 보호막 역할을 겸한다.
- <77> 상기 블랙매트릭스(134)의 오픈부(133)는 드레인 전극(124) 및 제 2 캐패시터 전극(130)을 각각 일부 노출시키는 영역에서 형성되는 것을 특징으로 한다.
- <78> 도 4f, 5f, 6f에서는, 상기 블랙매트릭스(134) 및 노출된 드레인 전극(124) 및 제 2 캐패시터 전극(130) 패턴을 마스크로 이용하여, 노출된 제 1 보호층(132), 게이트 절연막(118)을 일괄식각하는 단계이다.
- <79> 이 단계에서, 상기 드레인 전극(124) 및 제 2 캐패시터 전극(130)의 일부 영역이 노출되게 된다.
- <80> 도 4g, 5g, 6g에서는, 상기 블랙매트릭스(134)를 덮는 영역에 제 1 투명 도전성 물질로 이루어진 제 1 투명 도전층(136)을 형성하는 단계이다.
- <81> 상기 제 1 투명 도전층(136)은 컬러필터(미도시)를 패터닝하는 약액이 하부의 게이트 절연막(118)을 침투하여, 게이트 배선(112) 및 게이트 전극(114)에 손상을 가하는 것을 방지하는 역할을 한다.
- <82> 이 단계에서, 상기 제 1 투명 도전층(136)은, 일괄식각 공정을 통해 노출된 드레인 전극(124) 및 제 2 캐패시터 전극(130) 영역과 직접적으로 접촉되는 것을 특징으로 하며, 상기 제 1 투명 도전층(136)은 블랙매트릭스(134)의 측면 단차부를 포함하는 영역에 형성되는 것이 중요하다.
- <83> 상기 제 1 투명 도전층(136)은 서브픽셀 영역(P)에서, 제 1 기판(110)의 베이스 기판과 접촉되게 형성된다.
- <84> 도 4h, 5h, 6h에서는, 상기 블랙매트릭스(134)를 컬러별 경계부로 하여 블랙매트릭스(134)의 오픈부(133)에 컬러필터(138)를 형성하는 단계이다.
- <85> 도면으로 제시하지는 않았지만, 상기 컬러필터(138)의 제조 단계에서는 제 5 내지 7 마스크 공정에 의해 적, 녹, 청 컬러필터를 차례대로 형성하는 단계를 거쳐 컬러필터(138)를 형성하게 된다.
- <86> 도 4i, 5i, 6i에서는, 상기 컬러필터층(138)의 상부에 제 2 투명 도전성 물질로 이루어진 제 2 투명 도전층(140)을 형성하는 단계와, 제 8 마스크 공정에 의해 서브픽셀 단위로 제 1, 2 투명 도전층(136, 140)으로 이루어진 화소 전극(142)을 형성하는 단계이다. 또한, 이 단계에서는 게이트 패드(117)부에서 패터닝된 제 1, 2 투명 도전층(136, 140)은 게이트패드 전극(144)을 이루고, 데이터 패드(128)부에서 패터닝된 제 1, 2 투명 도전층(136, 140)은 데이터패드 전극(146)을 이룬다.
- <87> 이하, 제 2 내지 4 실시예는 상기 실시예 1의 도 4a 내지 4d, 도 5a 내지 5d, 도 6a 내지 6d와 동일한 제조 공정을 가지므로, 그외 제조 공정에 대해서 설명한다.
- <88> -- 제 2 실시예 --
- <89> 도 7a 내지 7f, 도 8a 내지 8f, 도 9a 내지 9f는 본 발명의 제 2 실시예에 따른 COT 액정표시장치의 제조 공정을 단계별로 나타낸 단면도로서, 상기 실시예 1의 공정과 연계되어 본 실시예의 특징적인 공정을 중심으로 도시하였다. 또한, 설명의 편의상 마스크 공정수에 대한 설명은 생략한다.
- <90> 도 7a, 8a, 9a는, 게이트 패드(217)를 덮는 제 1 보호층(232) 및 게이트 절연막(218)에, 게이트 패드(217)를

일부 노출시킬 수 있는 게이트패드 콘택홀(219)을 형성하는 단계이다.

- <91> 본 실시예는 제 1 보호층만을 선택적으로 식각하는 방법으로, 데이터 금속물질로 이루어진 패턴과 투명 도전층을 직접 연결시키는 제조방법에 관한 것이므로, 게이트패드 콘택홀 공정이 별도로 요구되며, 본 단계는 제 1 투명 도전층을 형성하기 전 어느 단계에서 형성해도 무방하다.
- <92> 도 7b, 8b, 9b는, 상기 제 1 보호층(232) 상부에 광차단성 물질을 형성한 다음, 게이트 배선(212) 및 데이터 배선(226)부(게이트 패드(217) 및 데이터 패드(228) 제외), 박막트랜지스터부를 덮으며, 서브픽셀 영역(P)에서 오픈부(233)를 가지는 블랙매트릭스(234)를 형성하는 단계이다.
- <93> 이때, 상기 블랙매트릭스(234)의 오픈부(233)는 드레인 전극(224) 및 제 2 캐패시터 전극(230)을 각각 일부 노출시키는 영역에서 형성되는 것을 특징으로 한다.
- <94> 도 7c, 8c, 9c는, 상기 블랙매트릭스(234) 및 노출된 드레인 전극(224) 및 제 2 캐패시터 전극(230) 패턴을 마스크로 이용하여, 노출된 제 1 보호층(232)만을 선택적으로 식각하는 단계이다.
- <95> 이때, 상기 제 1 보호층(232)만을 선택적으로 식각하기 위해서는, 식각 선택비 조절이 중요한데, 한 예로 동일 절연물질을 이용하여 게이트 절연막(218) 및 제 1 보호층(232)을 형성하더라도, 제 1 보호층(232)을 게이트 절연막(218)보다 낮은 증착온도에서 증착하게 되면, 게이트 절연막(218)보다 식각속도가 빨라져 선택식각하는 것이 가능하다.
- <96> 그리고, 상기 게이트 절연막(218)을 서로 다른 물질 한 예로, 실리콘 질화막/실리콘 산화막(SiNx/SiOx) 또는 실리콘 질화막/기타산화막(SiNx/AlOx , TaOx , TiOx)의 적층구조로 사용하는 경우, 상기 실시예 1 구조를 따르나, 이중 일부가 남는 구조 적용이 가능하다.
- <97> 도 7d, 8d, 9d는 상기 블랙매트릭스(234)를 덮는 영역에 제 1 투명 도전성 물질로 이루어진 제 1 투명 도전층(236)을 형성하는 단계이다.
- <98> 이 단계에서, 상기 제 1 투명 도전층(236)은, 상기 식각 공정을 통해 노출된 드레인 전극(224) 및 제 2 캐패시터 전극(230) 그리고, 데이터 패드(228)과는 별도의 콘택홀없이 직접적으로 연결 측면 접촉방식으로 연결되고, 게이트 패드(217)과는 게이트패드 콘택홀(219)을 통해 연결되는 것을 특징으로 한다.
- <99> 상기 제 1 투명 도전층(236)은 서브픽셀 영역(P) 상에서 게이트 절연막(218) 상부에 형성된다.
- <100> 도 7e, 8e, 9e에서는, 상기 블랙매트릭스(234)를 컬러별 경계부로 하여, 제 1 투명 도전층(236)을 상부면으로 하는 블랙매트릭스(234)의 오픈부(233)에 컬러필터층(238)을 형성하는 단계이다.
- <101> 도 7f, 8f, 9f에서는, 상기 컬러필터층(238)의 상부에 제 2 투명 도전층(240)을 형성하는 단계와, 서브픽셀 단위로 제 1, 2 투명 도전층(236, 240)으로 이루어진 화소 전극(242)을 형성하는 단계이다.
- <102> 또한, 이 단계에서는 게이트 패드(217)부에서 패터닝된 제 1, 2 투명 도전층(236, 240)은 게이트패드 전극(244)을 이루고, 데이터 패드(228)부에서 패터닝된 제 1, 2 투명 도전층(236, 240)은 데이터패드 전극(246)을 이룬다.
- <103> -- 제 3 실시예 --
- <104> 도 10a 내지 10e, 도 11a 내지 11e, 도 12a 내지 12e는 본 발명의 제 3 실시예에 따른 COT 액정표시장치의 제조 공정을 단계별로 나타낸 단면도로서, 도 10a, 11a, 12a는, 상기 블랙매트릭스(334)를 덮는 영역에 제 3 절연물질을 이용하여 제 2 보호층(335)을 형성하는 단계이고, 도 10b, 11b, 12b에서는 화소 영역(P) 및 게이트 패드(317) 및 데이터 패드(328)를 각각 일부 노출시키는 오픈부(333), 게이트패드 콘택홀(319), 데이터패드 콘택홀(329)을 형성하는 단계이다.
- <105> 상기 제 1, 2 실시예에서는 블랙매트릭스 및 노출된 드레인 전극 및 제 2 캐패시터 전극을 마스크로 이용하여 별도의 콘택홀 공정없이 오픈부 및 패드 전극 전면 노출을 시켰으나, 본 실시예에서는 제 2 보호층(335)이 형성된 기판 상에 오픈부를 형성해야 하므로 마스크 공정이 포함되며, 이때 블랙매트릭스(334)와 중첩되지 않은 드레인 전극(324) 및 제 2 캐패시터 전극(330) 영역은 자체적으로 마스크 역할을 하게 되어, 드레인 전극(324) 및 제 2 캐패시터 전극(330)과 중첩되지 않은 화소 영역(P)에서는 제 1, 2 보호층(332, 335) 및 게이트 절연막(318)이 일괄식각된다.

- <106> 도 10c, 11c, 12c는, 상기 제 2 보호층(335)을 덮는 기판 전면에서 제 1 투명 도전성 물질로 이루어진 제 1 투명 도전층(336)을 형성하는 단계이다.
- <107> 상기 제 1 투명 도전층(336)은, 상기 도 10b 단계를 통해 노출된 드레인 전극(324) 및 제 2 캐패시터 전극(330)과 별도의 콘택홀없이 직접적으로 연결된다.
- <108> 이 단계에서, 상기 제 1 투명 도전층(336)은 블랙매트릭스(334)의 측면 단차부를 포함하는 영역에 형성되는 것이 중요하고, 게이트 패드(317)부에서는 게이트패드 콘택홀(319)을 통해 게이트 패드(317)와 연결되고, 데이터패드(328)부에서는 데이터패드 콘택홀(329)을 통해 데이터패드(328)와 연결되는 것을 특징으로 한다.
- <109> 도 10d, 11d, 12d는, 상기 블랙매트릭스(334)를 컬러별 경계부로 하여, 제 1 투명 도전층(336)을 상부면으로 하는 블랙매트릭스(334)의 오픈부에 컬러필터층(338)을 형성하는 단계이다.
- <110> 도 10e, 11e, 12e는, 상기 컬러필터층(338)의 상부에 제 2 투명 도전성 물질로 이루어진 제 2 투명 도전층(340)을 형성하는 단계와, 마스크 공정에 의해 서브픽셀 단위로 제 1, 2 투명 도전층(336, 340)으로 이루어진 화소 전극(342)을 형성하는 단계이다.
- <111> 또한, 이 단계에서는 게이트 패드(317)부에서 패터닝된 제 1, 2 투명 도전층(336, 340)은 게이트패드 전극(344)을 이루고, 데이터패드(328)부에서 패터닝된 제 1, 2 투명 도전층(336, 340)은 데이터패드 전극(346)을 이룬다.
- <112> --제 4 실시예--
- <113> 본 실시예는, 컬러필터 공정에서 블랙매트릭스와와 단차를 줄이기 위해 콘택홀을 형성하는 실시예이다.
- <114> 도 13a 내지 13e, 도 14a 내지 14e, 도 15a 내지 15e는 본 발명의 제 4 실시예에 따른 COT 액정표시장치의 제조 공정을 단계별로 나타낸 단면도이다.
- <115> 도 13a, 14a, 15a는, 상기 블랙매트릭스(434)를 덮는 영역에서 제 3 절연물질을 이용하여 제 2 보호층(435)을 형성하는 단계이고, 도 13b, 14b, 15b는, 상기 드레인 전극(424)을 일부 노출시키는 드레인 콘택홀(437) 및 제 2 캐패시터 전극(430)을 형성하기 위한 캐패시터 콘택홀(439) 그리고, 게이트 패드(417)를 노출시키는 게이트패드 콘택홀(419) 및 데이터패드(428)를 노출시키는 데이터패드 콘택홀(429)을 형성하는 단계이다.
- <116> 본 실시예의 콘택홀 제조 공정은, 화소 영역 내 게이트 절연막(418), 제 1, 2 보호층(432, 435)을 그대로 남겨두어, 컬러필터(미도시)와 블랙매트릭스(434) 간의 단차를 줄여 평탄화 특성을 높이고자 하는 목적을 가진다.
- <117> 도 13c, 14c, 15c는, 상기 제 2 보호층(435)을 덮는 영역에서 제 1 투명 도전성 물질로 이루어진 제 1 투명 도전층(436)을 형성하는 단계이며, 상기 제 1 투명 도전층(436)은, 제 1, 2 보호층(436, 440)에 형성된 드레인 콘택홀(437)을 통해 드레인 전극(424)과 연결되어 있고, 캐패시터 콘택홀(439)을 통해 제 2 캐패시터 전극(430)과 연결되며, 게이트패드 콘택홀(419)을 통해 게이트 패드(417)와 연결되고, 데이터패드 콘택홀(429)을 통해 데이터패드(428)와 연결된다.
- <118> 이 단계에서, 상기 제 1 투명 도전층(436)은 블랙매트릭스(434)의 측면 단차부를 포함하는 영역에 형성되는 것이 중요하다.
- <119> 도 13d, 14d, 15d는, 상기 블랙매트릭스(434)를 컬러별 경계부로 하여, 오픈부(433)에 컬러필터층(438)을 형성하는 단계이다.
- <120> 도 13e, 14e, 15e는, 상기 컬러필터층(438)의 상부에 제 2 투명 도전성 물질로 이루어진 제 2 투명 도전층(440)을 형성하는 단계와, 제 1, 2 투명 도전층(436, 440)으로 이루어진 화소 전극(442)을 형성하는 단계이다. 또한, 이 단계에서는 게이트 패드부를 덮는 제 1, 2 투명 도전층(436, 440)을 패터닝하여 게이트패드 전극(442)을 형성하는 단계와, 데이터패드부를 덮는 제 1, 2 투명 도전층(436, 440)을 패터닝하여 데이터패드 전극(446)을 형성하는 단계를 포함한다.
- <121> 그러나, 본 발명은 상기 실시예들로 한정되지 않고, 본 발명의 취지를 벗어나지 않는 한도 내에서 다양하게 변경하여 실시할 수 있다.

발명의 효과

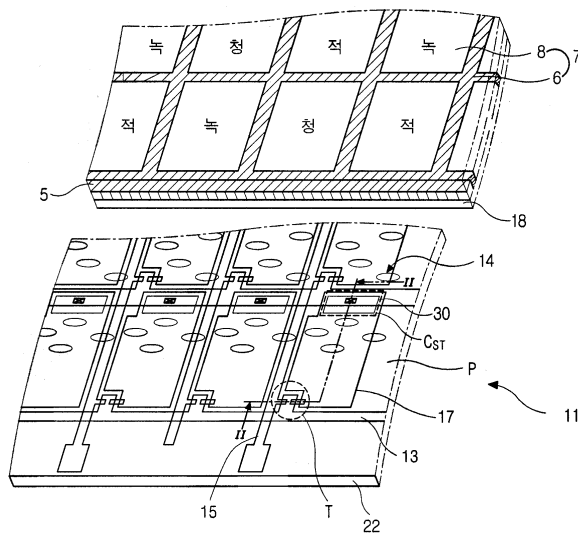
- <122> 이와 같이, 본 발명에 따른 COT 액정표시장치 및 그 제조방법에 의하면, 컬러필터 소자와 어레이 소자를 동일 기판에 형성하기 때문에 합착 마진을 최소화하고 개구율을 향상시킬 수 있으며, 별도의 콘택홀 공정없이 블랙매트릭스를 마스크로 이용한 식각 공정이 가능하기 때문에 공정 단순화를 통한 생산 수율 향상이 가능하다.
- <123> 또한, 본 발명에서는 블랙매트릭스용 보호층인 제 2 보호층을 추가로 형성하는 실시예를 포함하여, 공정 안정화를 높일 수 있고, 제 2 보호층을 포함하는 구조에서 화소 영역내 절연층 등을 그대로 유지하고 콘택홀 방식으로 투명 도전층과 금속 배선을 연결시키는 방식에 의하면, 컬러필터 공정에서 블랙매트릭스와의 단차를 줄일 수 있어 평탄화 특성을 가질 수 있다.

도면의 간단한 설명

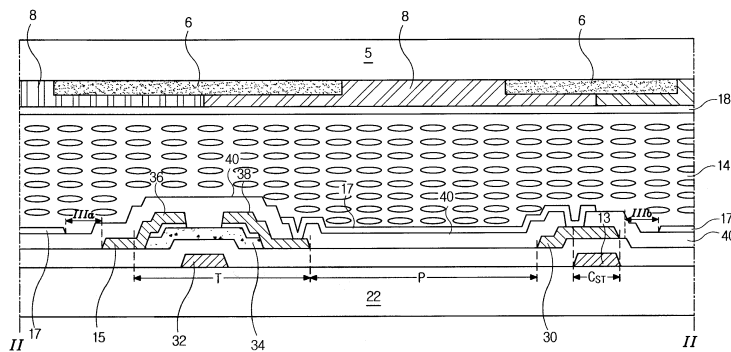
- [illegible]

도면

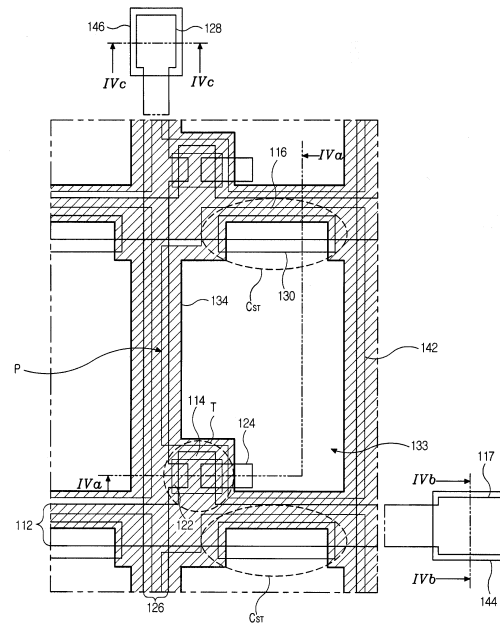
도면1



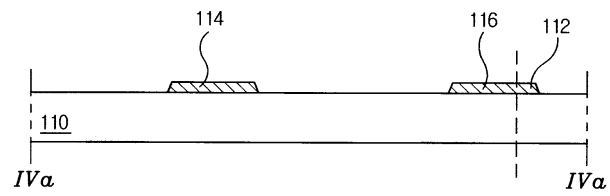
도면2



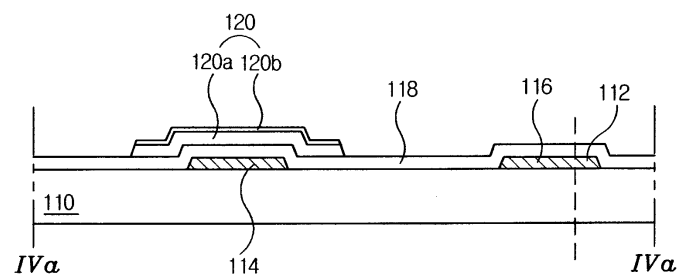
도면3



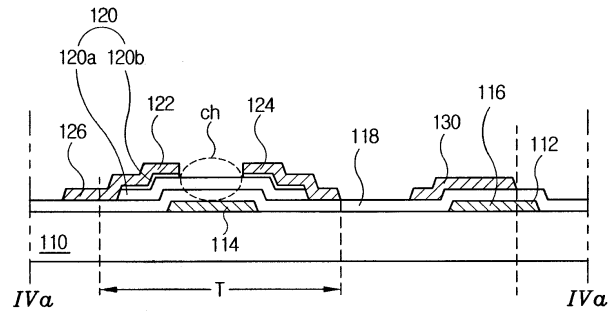
도면4a



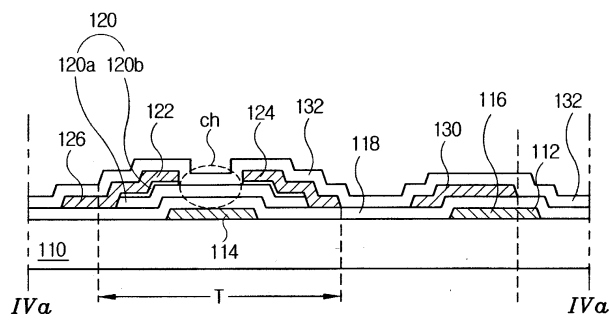
도면4b



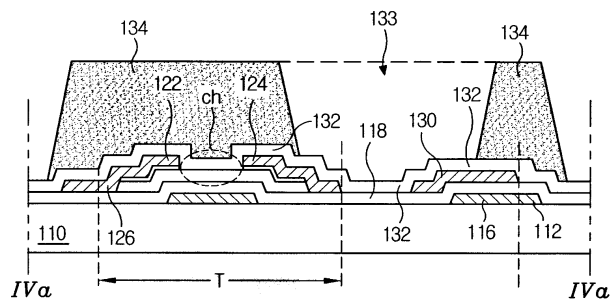
도면4c



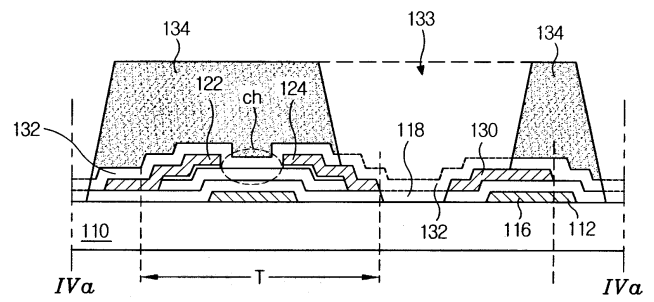
도면4d



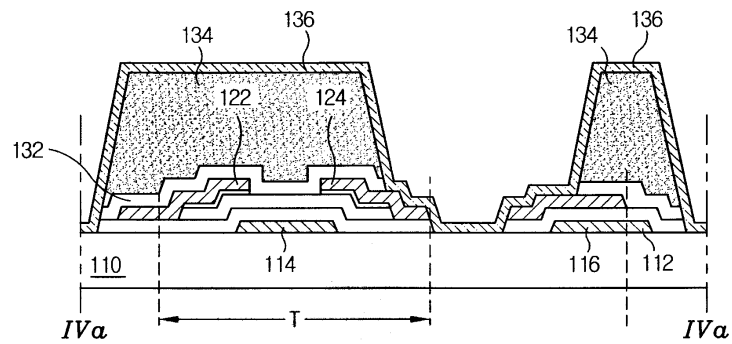
도면4e



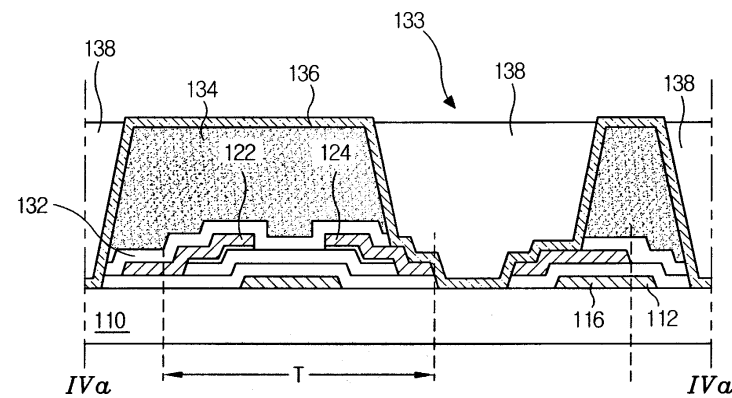
도면4f



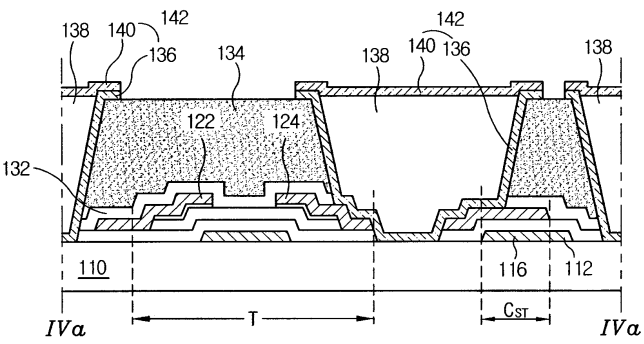
도면4g



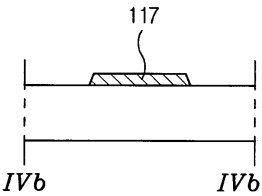
도면4h



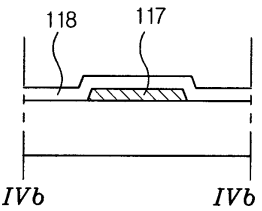
도면4i



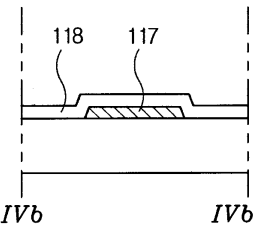
도면5a



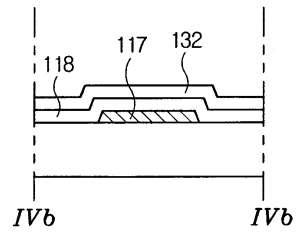
도면5b



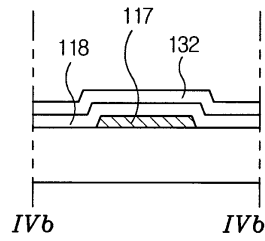
도면5c



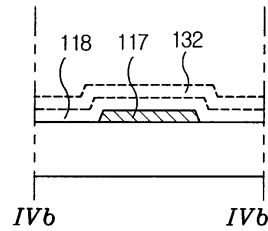
도면5d



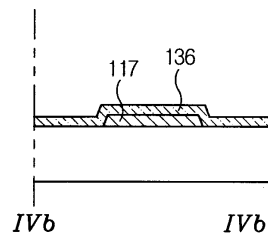
도면5e



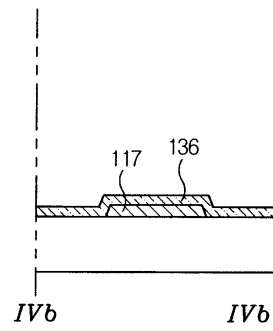
도면5f



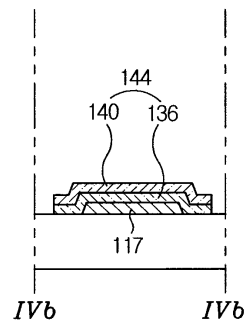
도면5g



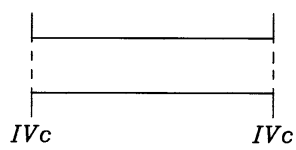
도면5h



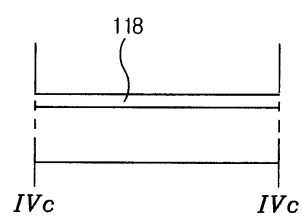
도면5i



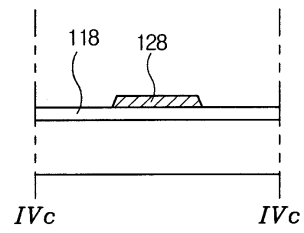
도면6a



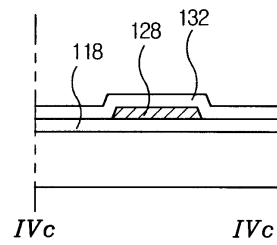
도면6b



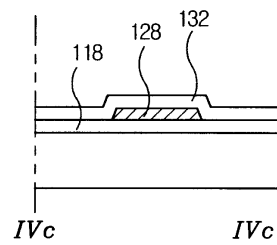
도면6c



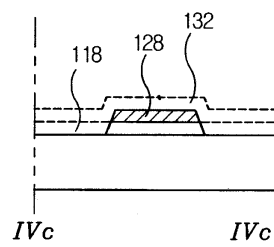
도면6d



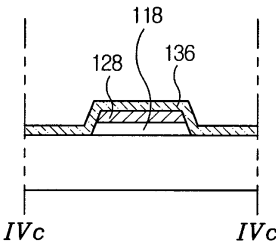
도면6e



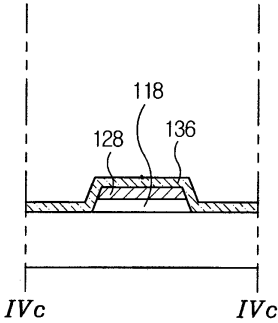
도면6f



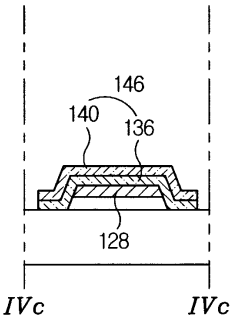
도면6g



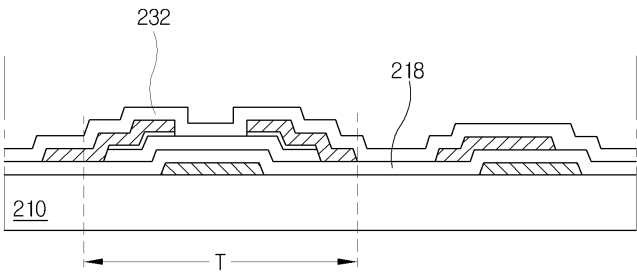
도면6h



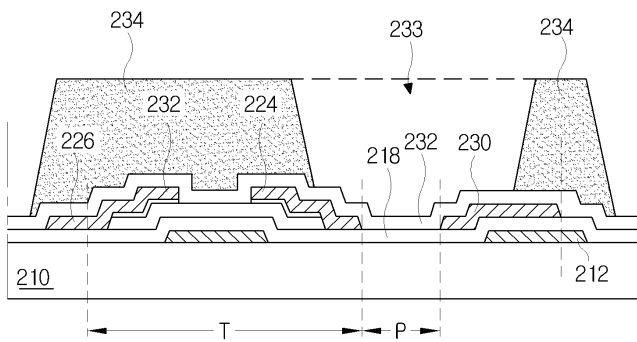
도면6i



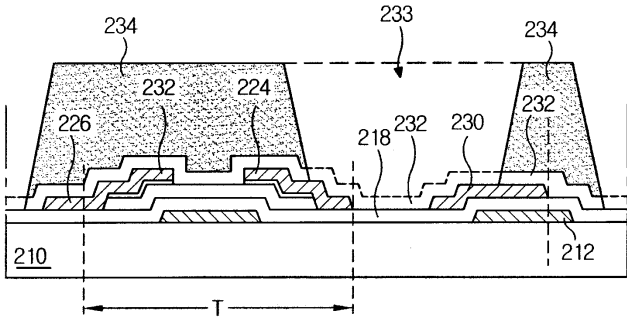
도면7a



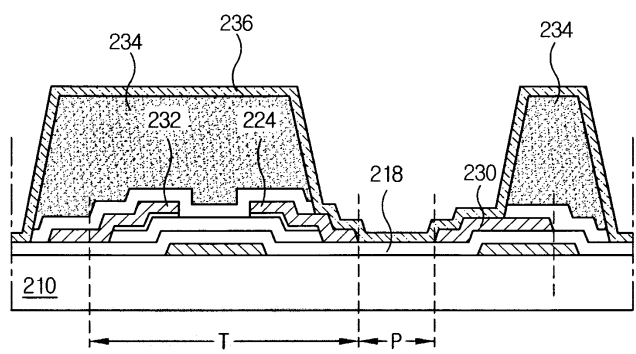
도면7b



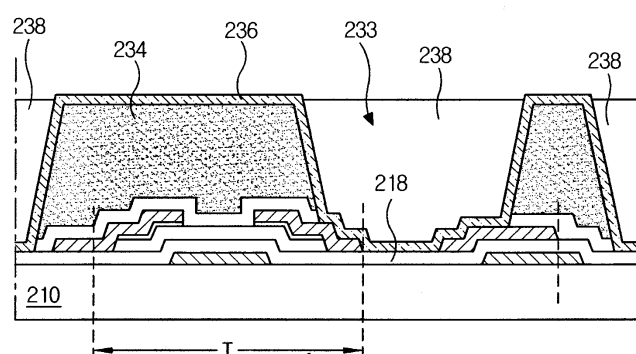
도면7c



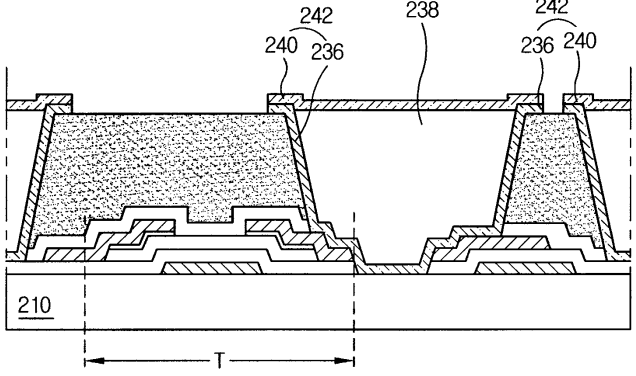
도면7d



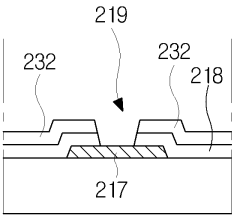
도면7e



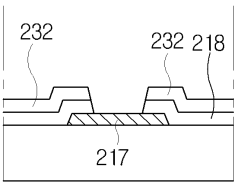
도면7f



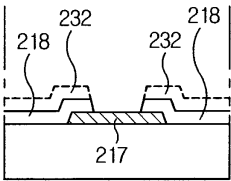
도면8a



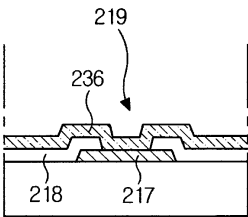
도면8b



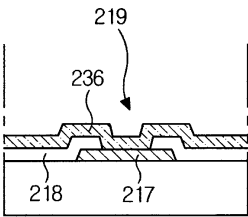
도면8c



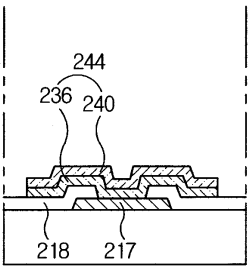
도면8d



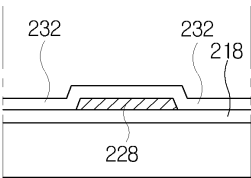
도면8e



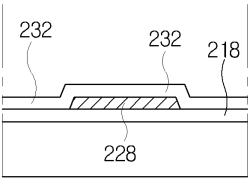
도면8f



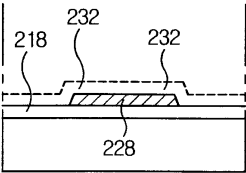
도면9a



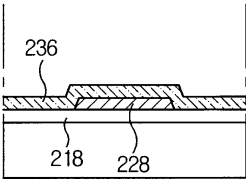
도면9b



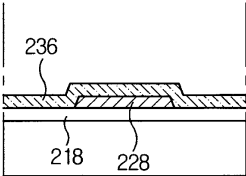
도면9c



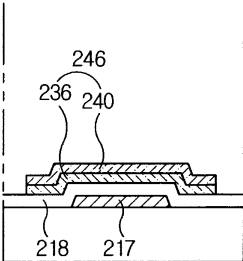
도면9d



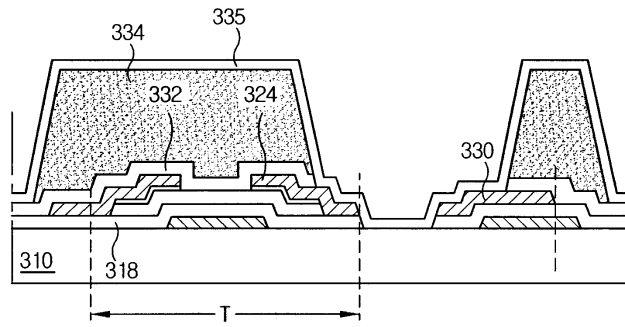
도면9e



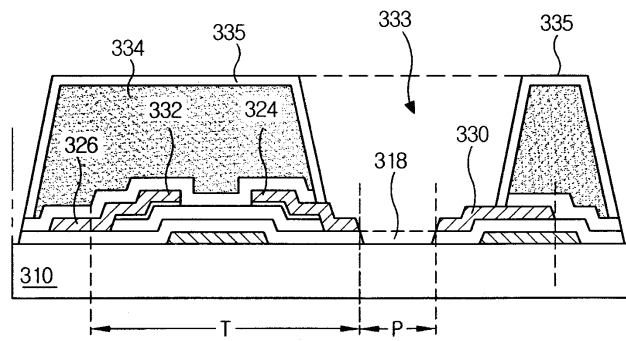
도면9f



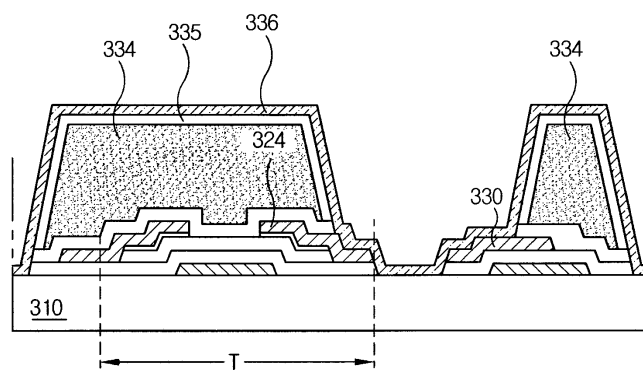
도면10a



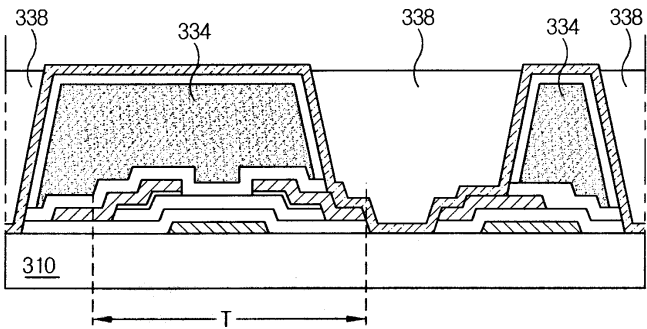
도면10b



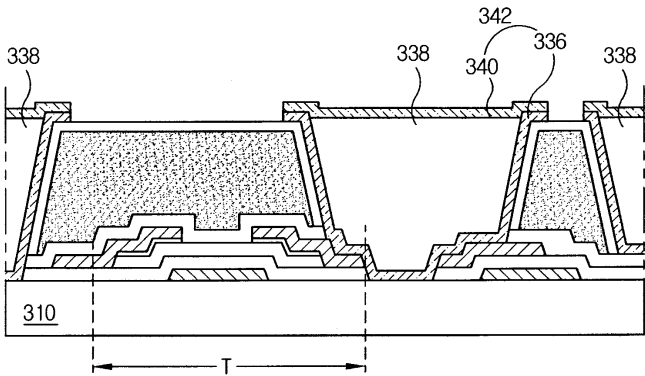
도면10c



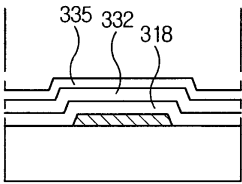
도면10d



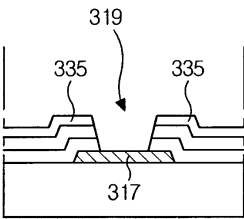
도면10e



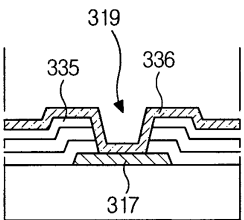
도면11a



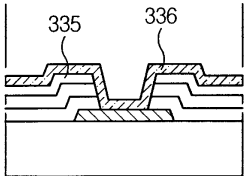
도면11b



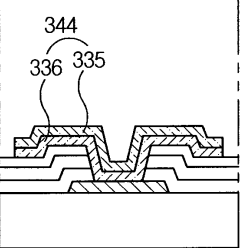
도면11c



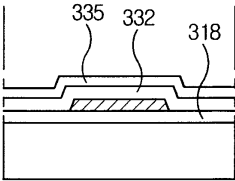
도면11d



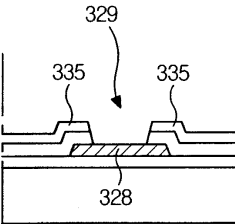
도면11e



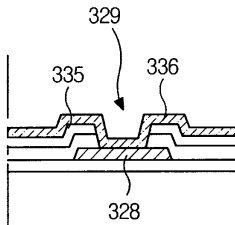
도면12a



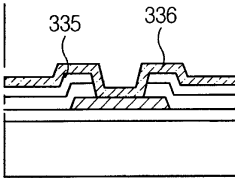
도면12b



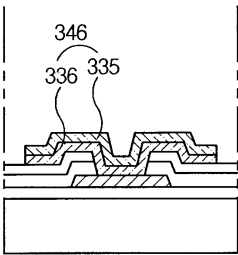
도면12c



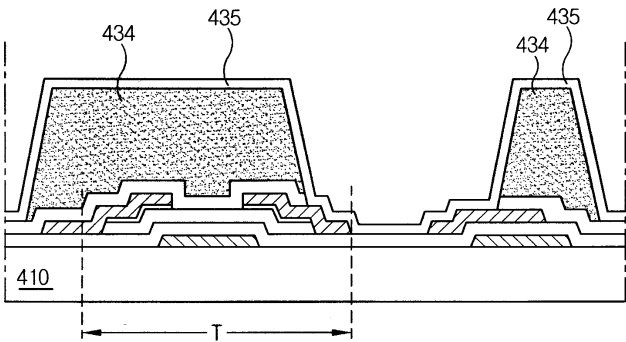
도면12d



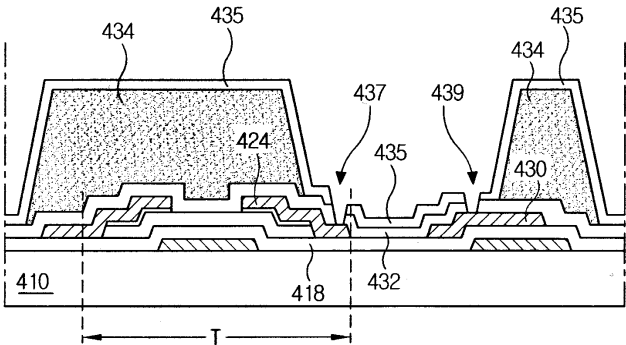
도면12e



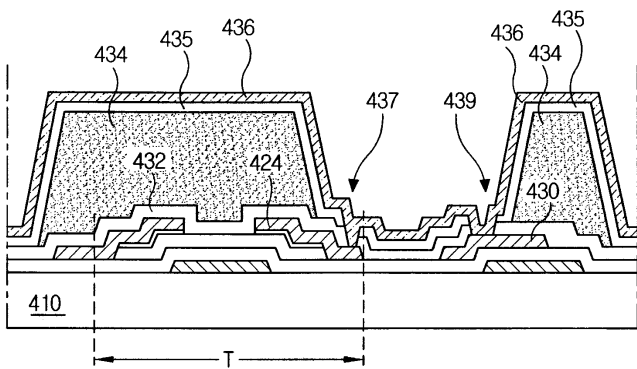
도면13a



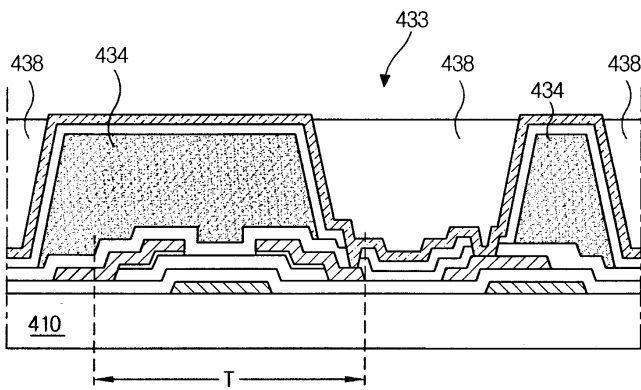
도면13b



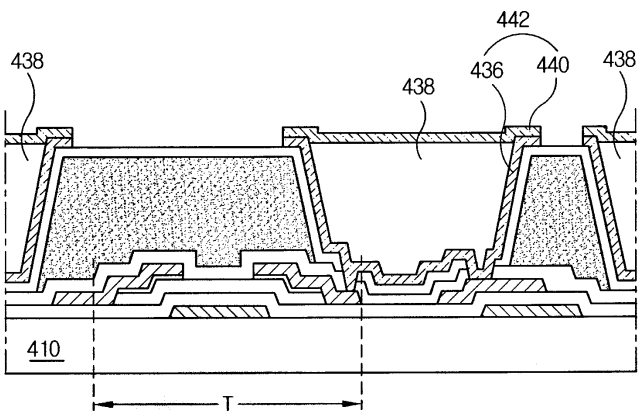
도면13c



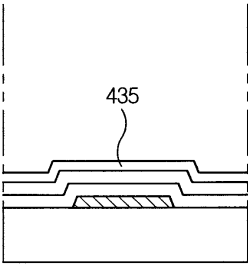
도면13d



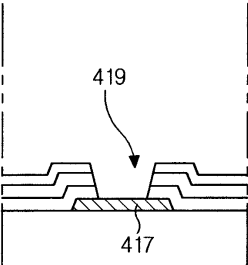
도면13e



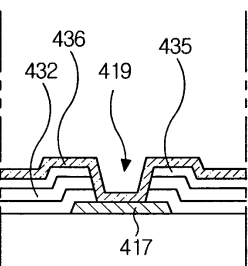
도면14a



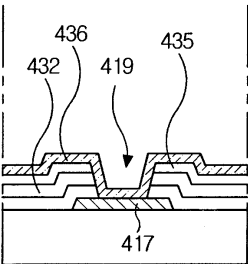
도면14b



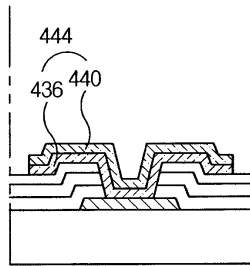
도면14c



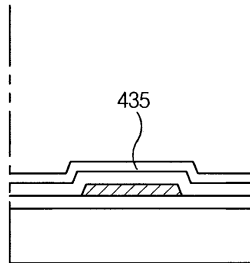
도면14d



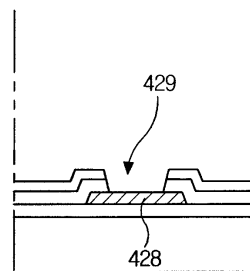
도면14e



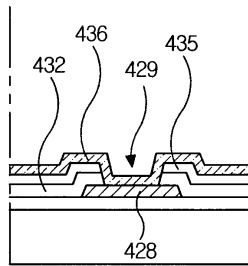
도면15a



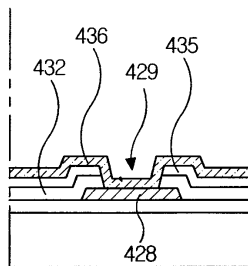
도면15b



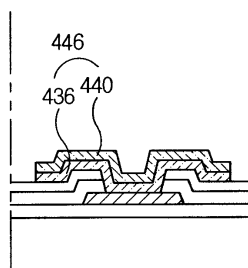
도면15c



도면15d



도면15e



专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	KR100924751B1	公开(公告)日	2009-11-05
申请号	KR1020020076724	申请日	2002-12-04
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM WOONGKWON 김웅권 KIM SEJUNE 김세준 LEE JONGHWAE 이종회		
发明人	김웅권 김세준 이종회		
IPC分类号	G02F1/1335		
其他公开文献	KR1020040048757A		
外部链接	Espacenet		

摘要(译)

根据本发明，由于滤色器元件和阵列元件形成在同一基板上，因此根据本发明的COT液晶显示装置及其制造方法可以使内聚裕度最小化并改善孔径比，由于使用黑色矩阵作为掩模的蚀刻工艺是可能的，因此可以通过简化工艺来提高产量。此外，在本发明中，第二保护层是黑色矩阵的保护层，根据在包括第二保护层的结构中保持像素区域中的绝缘层并通过接触孔方法连接透明导电层和金属布线的方法，并且可以获得平坦化特性。

