



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2009년09월14일
(11) 등록번호 10-0916605
(24) 등록일자 2009년09월02일

(51) Int. Cl.
G02F 1/136 (2006.01)
(21) 출원번호 10-2003-0014282
(22) 출원일자 2003년03월07일
심사청구일자 2008년02월26일
(65) 공개번호 10-2004-0079475
(43) 공개일자 2004년09월16일
(56) 선행기술조사문헌
KR1019990001859 A*
KR1020000018887 A*
KR1020010064411 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
엘지디스플레이 주식회사
서울 영등포구 여의도동 20번지
(72) 발명자
이수웅
경상북도구미시구평동429번지부영아파트206동701호
(74) 대리인
특허법인네이트

전체 청구항 수 : 총 11 항

심사관 : 임동재

(54) 액정표시장치용 어레이기판과 그 제조방법

(57) 요약

본 발명은 액정표시장치에 관한 것으로 특히, 박막트랜지스터인 스위칭 소자와 이를 포함하는 액정표시장치용 어레이기판의 구성에 관한 것이다.

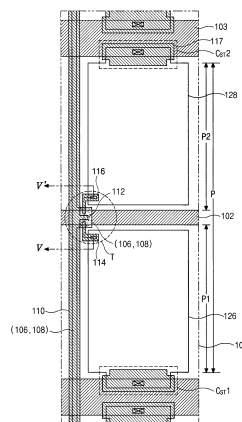
본 발명에 따른 액정표시장치용 어레이기판은 단일화소를 각각 1/2영역으로 나누고, 분리된 영역의 중앙에 박막트랜지스터를 구성함에 있어서, 박막트랜지스터는 게이트 전극(게이트 배선)과, 액티브층과, 소스 전극과, 소스 전극을 중심으로 상.하로 대향하여 위치한 제 1 드레인 전극과 제 2 드레인 전극을 포함한다.

상기 드레인 전극은 상기 게이트 전극 상부에서 소스 전극을 중심으로 상/하로 각각 막대 형상으로 구성되며 이때, 액티브채널은 "L"또는 "U"형상으로 각각 두 개씩 형성된다.

전술한 바와 같은 구성의 특징은 상기 드레인 전극을 패터닝하는 공정 중, 상기 소스 전극을 중심으로 상.하 방향의 정렬오차가 발생할 경우, 상호 보완적인 관계에 의해 드레인 전극과 게이트 전극의 겹침면적이 변동하지 않는다는 것이다.

이로 인해, 기생용량의 변동도 없으므로 고화질의 액정표시장치를 제작할 수 있는 장점이 있다.

대표도 - 도4



특허청구의 범위

청구항 1

기관상에 일 방향으로 연장 형성된 다수의 공통 배선과;

상기 공통 배선과는 수직하게 교차하여 화소영역을 정의하며, 서로 평행하게 이격된 다수의 데이터 배선과;

상기 기관 상에 상기 게이트 배선과 나란하게 연장하여 상기 화소영역의 중앙부를 관통하며 형성됨으로써 상기 화소영역을 제 1 영역과 제 2 영역으로 분리시키는 게이트 배선과;

상기 게이트 배선과 데이터 배선의 교차지점에 위치하며, 상기 게이트 배선의 상부에 구성된 반도체층과, 상기 데이터 배선에서 게이트 배선의 상부로 연장된 소스 전극과, 평면적으로 상기 소스 전극의 상부와 하부에 서로 대향되는 방향으로 구성된 동일한 형상의 제 1 드레인 전극과 제 2 드레인 전극을 포함하는 박막트랜지스터와;

상기 공통배선과 중첩하며 상기 공통배선 상에서 서로 이격하며 상기 제 1 영역 및 제 2 영역으로 각각 연장 형성된 섬형상의 제 1 및 제 2 금속패턴과;

상기 제 1 드레인 전극 및 상기 제 1 금속패턴과 접촉하며 상기 화소영역 내의 상기 제 1 영역에 형성된 제 1 화소전극과, 상기 제 2 드레인 전극 및 상기 제 2 금속패턴과 접촉하며 상기 화소영역 내의 상기 제 2 영역에 형성된 제 2 화소전극으로 구성된 투명 화소전극

을 포함하며, 상기 제 1 및 제 2 금속패턴과 이들과 각각 중첩하는 상기 공통배선은 스토리지 커패시터를 이루는 것이 특징인 액정표시장치용 어레이기판.

청구항 2

제 1 항에 있어서,

상기 소스 전극과 제 1 및 제 2 드레인 전극은 각각 수직한 방향으로 이격되어 구성된 막대 형상인 액정표시장치용 어레이기판.

청구항 3

제 2 항에 있어서,

상기 소스 전극과 제 1 및 제 2 드레인 전극의 이격된 공간으로 노출된 상기 액티브층은 각각 서로 대향되는 "L"형상인 액정표시장치용 어레이기판.

청구항 4

제 1 항에 있어서,

상기 소스 전극은 상기 데이터 배선으로부터 "ㄱ"형상으로 연장되고, 상기 제 1 및 제 2 드레인 전극은 평면적으로 상기 소스 전극의 상부와 하부에 이하는 이격되어 막대형상으로 구성된 액정표시장치용 어레이기판.

청구항 5

제 4 항에 있어서,

상기 소스 전극과 제 1 및 제 2 드레인 전극의 이격된 공간으로 노출된 상기 액티브층은 각각 서로 대향되는 "U"형상인 액정표시장치용 어레이기판.

청구항 6

삭제

청구항 7

제 1 영역과 제 2 영역을 포함하는 화소영역이 정의된 기관 상에 상기 제 1 및 제 2 영역의 경계에 게이트 배선과, 다수의 게이트 배선과는 평행하게 이격 되어 엇갈려 구성된 다수의 공통배선을 형성하는 단계와;

상기 공통 배선과 수직하게 교차하여 상기 화소영역을 정의하며, 서로 평행하게 이격된 다수의 데이터 배선을

형성하는 단계와;

상기 게이트 배선과 데이터 배선의 교차지점에 상기 게이트 배선의 상부에 구성된 액티브층과, 상기 데이터 배선에서 게이트 배선의 상부로 연장된 소스 전극과, 평면적으로 상기 소스 전극의 상부와 하부에 서로 대향되는 방향으로 구성된 동일한 형상의 제 1 드레인 전극과 제 2 드레인 전극을 포함하는 박막트랜지스터를 형성하며, 상기 공통배선과 중첩하며 상기 공통배선 상에서 서로 이격하며 상기 제 1 영역 및 제 2 영역으로 각각 연장 형성된 섬형상의 제 1 및 제 2 금속패턴을 형성하는 단계와;

상기 제 1 영역에 상기 제 1 드레인 전극 및 상기 제 1 금속패턴과 접촉하는 제 1 화소전극과, 상기 제 2 영역에 상기 제 2 드레인 전극 및 상기 제 2 금속패턴과 접촉하는 제 2 화소전극으로 구성된 투명 화소전극을 형성하는 단계

를 포함하며, 상기 제 1 및 제 2 금속패턴과 이들과 각각 중첩하는 상기 공통배선은 스토리지 커패시터를 이루는 것이 특징인 액정표시장치용 어레이기판 제조방법.

청구항 8

제 7 항에 있어서,

상기 소스 전극과 제 1 및 제 2 드레인 전극은 각각 이격되어 수직한 방향으로 구성된 막대 형상인 액정표시장치용 어레이기판 제조방법.

청구항 9

제 8 항에 있어서,

상기 소스 전극과 제 1 및 제 2 드레인 전극의 이격된 공간으로 노출된 상기 액티브층은 각각 서로 대향되는 "L"형상인 액정표시장치용 어레이기판 제조방법.

청구항 10

제 7 항에 있어서,

상기 소스 전극은 상기 데이터 배선으로부터 "┐"형상으로 연장되고, 상기 제 1 및 제 2 드레인 전극은 평면적으로 상기 소스 전극의 상부와 하부에 이하는 이격되어 막대형상으로 형성된 액정표시장치용 어레이기판 제조방법.

청구항 11

제 8 항에 있어서,

상기 소스 전극과 제 1 및 제 2 드레인 전극의 이격된 공간으로 노출된 상기 액티브층은 각각 서로 대향되는 "U"형상인 액정표시장치용 어레이기판 제조방법.

청구항 12

제 7 항에 있어서,

상기 화소전극은 인듐-틴-옥사이드(ITO)와 인듐-징크-옥사이드(IZO)를 포함하는 투명한 도전성 금속 그룹 중 선택된 하나로 형성된 액정표시장치용 어레이기판 제조방법.

청구항 13

삭제

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <15> 본 발명은 액정표시장치에 관한 것으로 특히, 액정표시장치용 어레이기판에 구성되는 박막트랜지스터의 구성과 이를 포함한 액정표시장치용 어레이기판의 제조방법에 관한 것이다.
- <16> 이하, 도면을 참조하여 일반적인 액정표시장치를 구성하는 액정패널의 구성과 그 동작특성에 대해 설명한다.
- <17> 도 1은 일반적인 액정표시패널의 구성을 개략적으로 도시한 분해 사시도이다.
- <18> 도시한 바와 같이, 액정패널(11)은 다수의 서브 컬러필터(7)와 상기 각 컬러필터(7)사이에 구성된 블랙매트릭스(6)와 상기 컬러필터와 블랙매트릭스 상부에 증착된 공통전극(18)이 형성된 상부기판(5)과, 화소영역(P)과 화소영역 상에 형성된 화소전극(17)과 스위칭소자(T)와 어레이배선이 형성된 하부기판(10)으로 구성되며, 상기 상부기판(5)과 하부기판(10) 사이에는 액정(9)이 충전되어 있다.
- <19> 상기 하부기판(10)은 어레이기판(array substrate)이라고도 하며, 스위칭 소자인 박막트랜지스터(T)가 매트릭스 형태(matrix type)로 위치하고, 이러한 다수의 박막트랜지스터(TFT)를 교차하여 지나가는 게이트배선(14)과 데이터배선(22)이 형성된다.
- <20> 이때, 상기 화소영역(P)은 상기 게이트배선(14)과 데이터배선(22)이 교차하여 정의되는 영역이며, 상기 화소영역(P)상에는 투명한 화소전극(17)이 형성된다.
- <21> 상기 화소전극(17)과 공통전극(18)은 인듐-틴-옥사이드(indium-tin-oxide : ITO)와 같이 빛의 투과율이 비교적 뛰어난 투명 도전성금속을 사용한다.
- <22> 도시하지는 않았지만, 상기 액정패널(11)의 하부에는 백라이트를 구성하며, 상기 백라이트는 전원이 인가되면 언제나 켜져 있는 상태이다.
- <23> 상기 게이트 배선(14)을 통해 박막트랜지스터(T)의 게이트 전극에 주사신호가 인가되면, 상기 박막트랜지스터(T)의 채널이 열리게 되고, 상기 데이터 배선(22)에서 박막트랜지스터(T)를 거쳐 상기 화소전극(17)으로 입력된다.
- <24> 상기 화소전극에 입력된 신호에 따라 화소전극과 상기 공통전극의 사이에 전계가 분포하게 되며, 전계의 세기에 따라 상기 액정(9)의 배열방향이 달라진다.
- <25> 이때, 상기 액정(9)의 배열 방향에 따라 상기 백라이트(미도시)에서 조사된 빛의 출사량이 달라지게 되며, 이로 인해 관찰자는 상기 데이터 신호를 화상으로 관찰하게 된다.
- <26> 이때, 상기 박막트랜지스터에서 발생하는 기생용량은 액정패널의 화질을 결정하는 매우 중요한 요소이다.
- <27> 이하, 도 2를 참조하여 자세히 설명한다.
- <28> 도 2는 종래에 따른 액정표시장치용 어레이기판의 한 화소에 대한 구성을 개략적으로 도시한 평면도이다.
- <29> 도시한 바와 같이, 기판(50)상에 일 방향으로 게이트 배선(52)이 구성되고 이와는 수직한 방향으로 데이터 배선(54)이 구성된다. 게이트 배선(52)과 데이터 배선(54)이 교차하여 정의되는 영역을 화소(sub pixel)(P)라 한다.
- <30> 상기 게이트 배선(52)과 데이터 배선(54)의 교차지점에는 박막트랜지스터(T)가 구성된다.
- <31> 상기 박막트랜지스터(T)는 게이트 배선(52)과 연결된 게이트전극(56)과, 게이트 전극(56) 상부에 반도체층(58)이 구성되며, 상기 반도체층(58)의 상부에는 상기 데이터 배선(54)과 연결된 소스 전극(60)과 이와는 소정간격 이격된 드레인 전극(62)으로 구성된다.
- <32> 상기 화소(P)에는 상기 박막트랜지스터(T)의 드레인 전극(62)과 연결된 투명한 화소전극(70)이 구성된다.
- <33> 상기 게이트 배선(52)의 상부에는 스토리지 캐패시터(C_{st})가 구성되는데, 게이트 배선(52)의 일부를 제 1 전극으로 하고 제 1 전극의 상부에 상기 화소 전극(70)과 접촉하는 아일랜드 형상의 금속패턴(64)을 제 2 전극으로 한다.
- <34> 이때, 도시하지는 않았지만 상기 제 1 전극(52)과 제 2 전극(64)은 절연막(미도시)을 사이에 두고 구성된다.
- <35> (경우에 따라 스토리지 캐패시터의 구성은 다양하게 변형할 수 있다.)
- <36> 전술한 구성에서, 상기 액정패널은 상기 게이트배선(52)에 접속된 게이트 전극(56)에 주사신호(게이트전압)를

인가하여 박막트랜지스터를 온 상태(ON state)로 하고, 상기 주사신호에 의해 동기 되어 드레인 전극(62)으로부터 진폭이 변조된 영상신호가 화소에 전달되면, 상기 전달된 신호에 의해 상기 화소전극 상에 분포한 액정(도 1의 9)이 분극하여 재배열하게 된다.

<37> 만약, 게이트배선(52)이 선택되지 않으면 오프상태(off state)가 되고, 박막트랜지스터(T)를 통하여 화소영역(P)에 축적된 전하가 오프상태에서 박막트랜지스터(T) 및 액정(도 1의 9)에 상기 데이터전압이 계속 방전하게 된다.

<38> 이러한 현상을 방지하기 위해, 상기 스토리지 캐패시터(C_{st})는 상기 화소전극(70)에 병렬로 연결하여 사용하게 되며, 상기 스토리지 캐패시터는 방전된 전하를 보충하여 데이터전압을 유지하는 역할을 하게 된다.

<39> 전술한 어레이기판의 구성 중 상기 박막트랜지스터의 동작특성은 액티브층(58)을 흐르는 전자의 이동도(mobility)를 높임으로써 개선할 수 있으며, 이러한 이동도는 동일한 재질일 경우 상기 소스전극(source electrode)과 드레인 전극(drain electrode)간의 폭(width)(즉, 액티브채널의 폭)과 거리(length)(액티브채널의 길이)에 영향을 받으며, 상기 액티브채널의 폭이 좁고 채널의 길이가 길수록 전자의 이동도는 저하된다.

<40> 또한, 상기 드레인 전극에 입력된 영상신호는 상기 박막트랜지스터(T)의 단자간(즉, 드레인 전극과 게이트 전극) 기생용량(parasitic capacitance)에 의해 영향을 받아 변동한다.

<41> 상기 박막트랜지스터(T)의 단자(드레인전극과 게이트전극)간 기생용량성분은 상기 게이트 전극(56)과 소스 전극(60)이 겹쳐지는 부분과 상기 게이트 전극(56)과 드레인 전극(62)이 겹쳐지는 부분에서 발생하며 특히, 상기 게이트 전극(56)과 소스 전극(60)사이의 캐패시터에 축적되는 용량을 C_{gs} 라 하고, 상기 게이트 전극(56)과 상기 드레인 전극(62)이 겹쳐지는 부분에서 발생하는 기생용량을 C_{gd} 라 한다.

<42> 이때, 상기 C_{gd} 성분은 상기 반도체영역이 포화상태 일 때, 상기 패널의 전하는 상기 드레인 전극(62)쪽으로 집중되기 때문에 상기 C_{gd} 성분이 커지게 된다.

<43> 상기 액티브채널에서의 전자 이동도에 의한 박막트랜지스터의 동작특성과, 상기 박막트랜지스터 기생용량(C_{gd})에 대해 이하, 도 3을 참조하여 설명한다.

<44> 도 3은 도 2중 박막트랜지스터가 구성된 영역을 확대한 확대 평면도이다.

<45> 박막트랜지스터(T)를 구성하는 게이트 전극(56)과 소스 전극(60) 및 드레인 전극(62)과, 상기 게이트 전극(56)과 소스전극 및 드레인 전극(60, 62)과 동시에 겹쳐 구성되는 액티브층(58)에 있어서, 전자가 이동하는 액티브채널(상기 소스 전극 및 드레인 전극 사이에 노출된 액티브층)에서의 이동도는 상기 소스 전극(60)과 드레인 전극(62) 사이의 거리(length)(L)와 폭(width)(W)에 관련된다.

<46> 즉, 이하 식 (1)은 상기 액티브층에 흐르는 신호전류(I_d)값을 구하는 식이다.(도면 참조)

$$I_d = \frac{W}{L} \mu_{FE} C_o [(V_g - V_{th})V_d - \frac{1}{2} V_d^2] \quad \text{----- (1)}$$

<48> 상기 식 (1)에서, I_d : 액티브채널에 흐르는 드레인전류, W: 채널의 폭, L: 채널의 길이, V_g : 게이트 전압, V_{th} : 문턱전압, V_d : 드레인전압을 나타낸다.

<49> 전술한 식에서 드레인 전류는 박막트랜지스터가 구동할 경우 채널에 흐르는 온 커런트(on current)에 해당하며, 상기 온 커런트는 채널(channel)의 길이(length)(L)에 반비례하고 채널의 폭(width)(W)에 비례함을 알 수 있다.

<50> 따라서, 채널의 폭이 크고 채널의 길이가 짧으면 구동소자의 동작특성이 더욱 개선될 수 있다.

<51> 상기 박막트랜지스터(T)의 구성에서, 상기 게이트 전극(56)에 입력되는 게이트전압이 온 상태(on state)에서 데이터 배선(54)을 통해 흐르는 신호전압은 상기 드레인 전극(62)을 통해서 상기 액정 캐패시터(LC capacitor) 및 스토리지 캐패시터(storage capacitor)(도 2의 C_{st})에 인가된다.

<52> 이때 인가된 신호전압은 게이트전압이 오프(off)된 후에도 계속 유지된다.

- <53> 그러나 상기 게이트 전극(56)과 드레인 전극(62) 사이의 기생용량(C_{gd})때문에 화소전압은 ΔV_p 만큼의 전압이동(voltage shift)이 발생한다.
- <54> 이를 일반적으로 레벨이동전압(level shift voltage)또는 킥백전압(kickback voltage)이라 한다.
- <55> 이러한 킥백전압 ΔV_p 은 기생용량에 의해 교류 구동하는 단자전압 $V_{p(t)}$ (21)에 발생하는 직류전압 오프셋(voltage offset)(ΔV)이다.
- <56> 이러한 오프셋은 아래와 같은 식 (2)에 의해 표현될 수 있다.
- $$\Delta V_P = \frac{C_{gd}}{C_{gd} + C_{lc} + C_{st}} \cdot \Delta(V_g - V_d) \quad \text{----- (2)}$$
- <57>
- <58> 여기서, C_{lc} : 액정의 캐패시터 용량, C_{st} : 스토리지 캐패시턴스, V_g : 게이트 전압, V_d : 드레인 전압, C_{gd} : 게이트전극과 드레인전극의 겹침면적에서 발생하는 기생용량.
- <59> 이러한 오프셋 전압은 액정 디스플레이에 있어서 패널의 깜빡임(flicker)과 이미지 고착(image sticking)과 화면밝기의 불균일성 등의 좋지 않은 효과를 일으킨다. 따라서, 화질불량을 유발하는 문제가 있다.
- <60> 따라서, 이러한 문제를 해결하기 위해 종래에는 상기 ΔV_p 값을 보정하기 위한 기준전압을 인가하는 방식으로 이를 해결하여 하였다.
- <61> 그러나, 문제는 보정대상이 되는 기생 용량값이 일정하지 않다는데 있다.
- <62> 기준전압은 정해진 기생 용량값만을 보정대상으로 하기 때문에 기생 용량값이 변하게 되면 이는 보정의 대상이 되지 못한다.
- <63> 기생 용량값의 변화는 상기 소스 및 드레인 전극을 패터닝하는 공정 시 발생하는 정렬 오차에 있다.
- <64> 특히, 정렬 오차에 의한 기생용량의 변동이 심한 경우는 상기 소스 및 드레인 전극(60,62)의 정렬오차가 좌/우 방향으로 발생하였을 경우이다.
- <65> 도시한 바와 같이, 게이트 전극(56)이 상/하로 길게 분포하기 때문에 소스 및 드레인 전극을 형성할 때, 상/하 방향으로 정렬오차가 발생하여도 상기 게이트 전극(56)과 소스 및 드레인 전극(60,62)과의 겹침 면적에는 변함이 없기 때문이다.
- <66> 그러나, 소스 및 드레인 전극(60,62)의 정렬오차가 좌/우 방향으로 발생하였을 경우, 상기 게이트 전극(52)과 소스 및 드레인 전극(60,62)의 겹침면적은 변동되며 이로 인한 기생용량 또한 변동된다.
- <67> 결과적으로, 이러한 기생용량의 변동은 기관에 얼룩과 같은 불량을 유발하게 되는 문제가 있다.

발명이 이루고자 하는 기술적 과제

- <68> 본 발명은 전술한 바와 같은 문제를 해결하기 위한 목적으로 안출된 것으로,
- <69> 본 발명에 따른 액정표시장치용 박막트랜지스터 어레이기관은 한 화소를 1/2의 영역으로 분리하고 각 분리된 영역의 중앙에 박막트랜지스터를 구성함에 있어서, 박막트랜지스터는 게이트 배선의 상부에 막대 형상의 소스 전극을 구성하고, 소스 전극을 중심으로 대향되는 방향으로 막대 형상의 제 1 드레인 전극과 제 2 드레인 전극을 구성한다.
- <70> 이러한 구성에서, 상기 소스 전극은 상/하/좌/우 방향으로 정렬오차가 발생하더라도 기생용량의 변동이 없으며, 상기 드레인 전극은 상/하 정렬오차가 발생할 경우, 두 개의 드레인 전극이 상호 보완적이기 관계로 구성되었기 때문에 기생 용량의 변동이 없다.
- <71> 따라서, 기생용량의 변동에 의한 얼룩 불량을 방지할 수 있으므로 고화질의 액정표시장치를 제작할 수 있는 장점이 있다.

발명의 구성 및 작용

- <72> 기술한 목적을 달성하기 위한 본 발명에 따른 액정표시장치용 어레이기판은 기판상에 일 방향으로 연장 형성된 다수의 공통 배선과; 상기 공통 배선과는 수직하게 교차하여 화소영역을 정의하며, 서로 평행하게 이격된 다수의 데이터 배선과; 상기 기판 상에 상기 게이트 배선과 나란하게 연장하여 상기 화소영역의 중앙부를 관통하며 형성됨으로써 상기 화소영역을 제 1 영역과 제 2 영역으로 분리시키는 게이트 배선과; 상기 게이트 배선과 데이터 배선의 교차지점에 위치하며, 상기 게이트 배선의 상부에 구성된 반도체층과, 상기 데이터 배선에서 게이트 배선의 상부로 연장된 소스 전극과, 평면적으로 상기 소스 전극의 상부와 하부에 서로 대향되는 방향으로 구성된 동일한 형상의 제 1 드레인 전극과 제 2 드레인 전극을 포함하는 박막트랜지스터와; 상기 공통배선과 중첩하며 상기 공통배선 상에서 서로 이격하며 상기 제 1 영역 및 제 2 영역으로 각각 연장 형성된 섬형상의 제 1 및 제 2 금속패턴과; 상기 제 1 드레인 전극 및 상기 제 1 금속패턴과 접촉하며 상기 화소영역 내의 상기 제 1 영역에 형성된 제 1 화소전극과, 상기 제 2 드레인 전극 및 상기 제 2 금속패턴과 접촉하며 상기 화소영역 내의 상기 제 2 영역에 형성된 제 2 화소전극으로 구성된 투명 화소전극을 포함하며, 상기 제 1 및 제 2 금속패턴과 이들과 각각 중첩하는 상기 공통배선은 스토리지 커패시터를 이루는 것이 특징이다.
- <73> 상기 소스 전극과 제 1 및 제 2 드레인 전극의 이격된 공간으로 노출된 상기 액티브층은 각각 서로 대향되는 "L"형상인 것을 특징으로 한다.
- <74> 상기 소스 전극은 상기 데이터 배선으로부터 "┐"형상으로 연장되고, 상기 제 1 및 제 2 드레인 전극은 평면적으로 상기 소스 전극의 상부와 하부에 이하는 이격되어 막대형상으로 구성하는 것을 특징으로 한다.
- <75> 상기 소스 전극과 제 1 및 제 2 드레인 전극의 이격된 공간으로 노출된 상기 액티브층은 각각 서로 대향되는 "U"형상인 것을 특징으로 한다.
- <76> 삭제
- <77> 본 발명의 특징에 따른 액정표시장치용 어레이기판 제조방법은, 제 1 영역과 제 2 영역을 포함하는 화소영역이 정의된 기판 상에 상기 제 1 및 제 2 영역의 경계에 게이트 배선과, 다수의 게이트 배선과는 평행하게 이격되어 엇갈려 구성된 다수의 공통배선을 형성하는 단계와; 상기 공통 배선과 수직하게 교차하여 상기 화소영역을 정의하며, 서로 평행하게 이격된 다수의 데이터 배선을 형성하는 단계와; 상기 게이트 배선과 데이터 배선의 교차지점에 상기 게이트 배선의 상부에 구성된 액티브층과, 상기 데이터 배선에서 게이트 배선의 상부로 연장된 소스 전극과, 평면적으로 상기 소스 전극의 상부와 하부에 서로 대향되는 방향으로 구성된 동일한 형상의 제 1 드레인 전극과 제 2 드레인 전극을 포함하는 박막트랜지스터를 형성하며, 상기 공통배선과 중첩하며 상기 공통배선 상에서 서로 이격하며 상기 제 1 영역 및 제 2 영역으로 각각 연장 형성된 섬형상의 제 1 및 제 2 금속패턴을 형성하는 단계와; 상기 제 1 영역에 상기 제 1 드레인 전극 및 상기 제 1 금속패턴과 접촉하는 제 1 화소전극과, 상기 제 2 영역에 상기 제 2 드레인 전극 및 상기 제 2 금속패턴과 접촉하는 제 2 화소전극으로 구성된 투명 화소전극을 형성하는 단계를 포함하며, 상기 제 1 및 제 2 금속패턴과 이들과 각각 중첩하는 상기 공통배선은 스토리지 커패시터를 이루는 것이 특징이다.
- <78> 상기 소스 전극과 제 1 및 제 2 드레인 전극은 각각 이격되어 수직한 방향으로 구성된다.
- <79> 상기 소스 전극과 제 1 및 제 2 드레인 전극의 이격된 공간으로 노출된 상기 액티브층은 각각 서로 대향되는 "L"형상이다.
- <80> 상기 화소전극은 인듐-틴-옥사이드(ITO)와 인듐-징크-옥사이드(IZO)를 포함하는 투명한 도전성 금속 그룹 중 선택된 하나로 형성한다.
- <81> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명한다.
- <82> -- 제 1 실시예 --
- <83> 본 발명에 따른 제 1 실시예의 특징은 게이트 전극의 상부에 막대 형상의 소스 전극을 구성하고, 소스 전극을 중심으로 상부와 하부에 이하는 수직하게 이격된 막대 형상의 제 1 드레인 전극과 제 2 드레인 전극을 형성하는 것이다.

- <84> 이하, 도 4와 도 5를 참조하여 본 발명의 제 1 실시예의 구성을 설명한다.
- <85> 도 4는 본 발명의 제 1 실시예에 따른 액정표시장치용 어레이기판의 한 화소를 개략적으로 도시한 평면도이고, 도 5는 도 4의 구성 중 박막트랜지스터부를 확대한 평면도이다.
- <86> 도 4 및 도 5에 도시한 바와 같이, 기판(100)상에 화소(P)를 정의하고, 화소(P)의 중앙부를 지나 일 방향으로 연장된 게이트 배선(102)과 이와는 수직하게 교차하는 데이터 배선(110)을 형성한다.
- <87> 동시에, 상기 데이터 배선(110)과 수직하게 교차하면서 상기 게이트 배선(102)과는 평행하게 이격 되도록 공통 배선(117)을 형성한다.
- <88> 이때, 상기 화소(P)는 상기 게이트 배선(102)에 의해 하나의 화소(P)가 제 1 영역(P1)과 제 2 영역(P2)으로 나뉘어 진다.
- <89> 상기 게이트 배선(102)과 데이터 배선(110)의 교차지점에는 박막트랜지스터(T)를 구성하는데, 상기 박막트랜지스터(T)는 상기 게이트배선(102)의 일부를 전극으로 사용한 게이트 전극과, 상기 데이터 배선(110)에서 게이트 배선(102)의 상부로 연장된 소스 전극(112)과, 상기 소스 전극(112)을 중심으로 상하로 대향되도록 구성되고 상기 게이트 배선(102)과 겹쳐지는 부분이 막대 형상인 제 1 및 제 2 드레인 전극(114,116)을 구성한다.
- <90> 상기 제 1 및 제 2 드레인 전극(114,116)과 상기 소스 전극(112)과 상기 데이터 배선(110)의 하부에는 일체화된 반도체층(액티브층과 오믹 콘택층이 구성됨)(106,108)을 구성한다.
- <91> 상기 화소(P)의 제 1 영역(P1)과 제 2 영역(P2)에는 서로 독립적인 제 1 화소전극(126)과 제 2 화소전극(128)을 각각 구성한다.
- <92> 이때, 상기 제 1 화소전극(126)은 상기 제 1 드레인 전극(114)과 접촉하도록 구성하고, 상기 제 2 화소전극(128)은 상기 제 2 드레인 전극(116)과 접촉하도록 구성한다.
- <93> 상기 게이트 배선(102)을 중심으로 상,하에 구성된 공통배선(103)의 상부에는 각각 제 1 스토리지 캐패시터(C_{st1})와 제 2 스토리지 캐패시터(C_{st2})를 구성하는데, 제 1 스토리지 캐패시터(C_{st1})는 공통배선(103)을 제 1 전극(제 1 스토리지 전극)으로 하고, 제 1 전극의 상부에 아일랜드 형상으로 위치하고 상기 제 1 화소전극(126)과 접촉하는 금속패턴(112)을 제 2 전극(제 1 스토리지전극)으로 한다.
- <94> 상기 제 2 스토리지 캐패시터(C_{st2})는 공통배선(103)을 제 1 전극으로 하고, 제 1 전극의 상부에 아일랜드 형상으로 위치하고 상기 제 2 화소전극(128)과 접촉하는 금속패턴(117)을 제 2 전극으로 한다.
- <95> 전술한 구성에서, 상기 제 1 드레인 전극(114)과 제 2 드레인 전극(116)은 상기 게이트 배선(102)의 상부를 지나는 데이터 배선(110)의 일부와 이에 연결된 소스 전극(112)과 함께 "L"형상의 채널을 형성한다.
- <96> 이러한 구성은 종래에 비해 액티브 채널(CH1,CH2)이 두 개 존재하는 것과 같으며 각각 채널의 길이(소스 전극과 드레인 전극 사이의 길이)이를 작게 하고 폭은 더욱 넓어지는 형상이다. 따라서 박막트랜지스터(T)의 동작 특성을 개선할 수 있는 장점이 있다.
- <97> 또한, 이러한 박막트랜지스터(T)형상의 특징적인 점은 상기 제 1 및 제 2 드레인 전극(114,116)을 형성할 때, 상/하 방향 정렬 오차가 발생하였을 경우, 상기 게이트 배선(102)과 상기 제 1 드레인 전극(114)과 제 2 드레인 전극(116)의 겹침 면적이 달라지기는 하지만 이는 상호 보완적인 결과가 되기 때문에, 박막트랜지스터(T) 전체로 보면 기생용량의 변동은 없다는 것이다.
- <98> 따라서, 고화질을 구현할 수 있는 장점이 있다.
- <99> 이하, 도면을 참조하여 전술한 바와 같은 평면 구성을 가지는 본 발명에 따른 액정표시장치용 어레이기판의 제조공정을 설명한다.
- <100> 도 6a 내지 도 6e는 도 4의 V-V`를 따라 절단하여, 본 발명의 공정순서에 따라 도시한 공정 단면도이다.
- <101> 도 6a에 도시한 바와 같이, 기판(100)상에 다수의 화소(P)와 각 화소(P)마다 스위칭부(T)를 정의하고, 상기 스위칭부(S)를 지나 화소(P)의 중앙을 가로지르는 게이트 배선(102)과 이와 평행하게 이격된 공통배선(도 4의 103)을 형성한다.
- <102> 상기 게이트 배선(102)중 상기 스위칭부(S)를 지나는 일부는 게이트 전극으로 활용되며, 일반적으로 상기 게이트 배선(102)은 알루미늄(Al)또는 알루미늄 합금(예를 들면 AlNd)으로 구성된 층을 하부층으로 이중 금속층으로

형성한다.

- <103> 도 6b에 도시한 바와 같이, 상기 게이트 배선(102) 및 공통배선(도 4의 103)이 형성된 기판(100)의 전면에 질화 실리콘(SiN_x)과 산화 실리콘(SiO_2)을 포함하는 무기절연물질 그룹 중 선택된 하나 또는 경우에 따라서는 벤조사이클로부텐(BCB)과 아크릴(acryl)계 수지(resin)를 포함하는 유기절연물질 그룹 중 선택된 하나를 도포하여 제 1 절연막인 게이트 절연막(104)을 형성한다.
- <104> 다음으로, 상기 스위칭부(S)에 위치한 게이트 배선(102)상의 게이트 절연막(104)상에 비정질 실리콘(a-Si:H)과 불순물이 포함된 비정질 실리콘(n+a-Si:H)을 순차적으로 증착하고 패터하여, 액티브층(106)과 오믹 콘택층(108)을 형성한다.
- <105> 상기 액티브층(106)과 오믹 콘택층(108)은 상기 게이트 배선(102)의 상부로부터, 이후 공정에서 형성될 데이터 배선(미도시)의 하부 영역으로 연장하여 형성한다.
- <106> 다음으로 도 6c에 도시한 바와 같이, 상기 액티브층(106)과 오믹 콘택층(108)이 형성된 기판(100)의 전면에 크롬(Cr), 몰리브덴(Mo), 텅스텐(W), 티타늄(Ti), 구리(Cu)등을 포함하는 도전성 금속그룹 중 선택된 하나를 증착하고 패터하여, 상기 게이트 배선(102)과 수직하게 교차하는 데이터 배선(110)을 형성하고, 교차지점의 데이터 배선(110)에서 게이트 배선(102)의 상부로 연장된 막대 형상의 소스 전극(112)을 형성한다.
- <107> 상기 소스 전극(112)의 상부와 하부에서 소스 전극(112)과는 소정간격 이격된 막대 형상의 제 1 드레인 전극(114)과 제 2 드레인 전극(116)을 형성한다.(게이트 배선에 걸쳐진 부분이 막대 형상임)
- <108> 동시에, 상기 공통배선(도 4의 103)의 상부에 아일랜드 형상의 금속패턴(도 4의 117)을 형성한다.
- <109> 이때, 상기 데이터 배선(110)의 하부에 위치하는 액티브층(108)과 오믹 콘택층(106)이 위치하게 되며, 이는 상기 데이터 배선(110)의 부착특성을 개선하는 기능을 하게 된다.
- <110> 연속하여, 상기 소스 전극(112)과 제 1 및 제 2 드레인 전극(114,116)사이로 노출된 오믹 콘택층(108)을 제거하는 공정을 진행한다.
- <111> 결과적으로, 상기 소스 전극(112)과 상기 제 1 및 제 2 드레인 전극(114,116)과의 이격간격 사이로 하부의 액티브층(108)이 노출되며, 노출된 부분은 캐리어가 흐르는 액티브 채널(CH1,CH2)로서의 기능을 하게 된다.
- <112> 이때, 상기 액티브 채널(CH1,CH2)은 상기 소스 전극(112)을 중심으로 상하로 두 개가 구성되며 각각은 서로 대향되는 "L"형상으로 구성된다.
- <113> 다음으로, 도 6d에 도시한 바와 같이, 상기 데이터 배선(110)과 소스 전극(112)과, 소스 전극(112)과 소정간격 이격된 제 1 및 제 2 드레인 전극(114,116)을 형성한 기판(100)의 전면에 벤조사이클로부텐(BCB)과 아크릴(acryl)계 수지(resin)를 포함하는 투명한 유기절연물질 그룹 중 선택된 하나를 도포하고 패터하여, 상기 제 1 및 제 2 드레인 전극(114,116)의 일부를 각각 노출하는 제 1 드레인 콘택홀(122)과 제 2 드레인 콘택홀(124)을 포함하는 보호막(126)을 형성한다.
- <114> 다음으로, 도 6e에 도시한 바와 같이, 상기 보호막(126)이 형성된 기판(100)의 전면에 인듐-틴-옥사이드(ITO)와 인듐-징크-옥사이드(IZO)를 포함하는 투명한 도전성 금속그룹 중 선택된 하나를 증착하고 패터하여, 상기 제 1 드레인 전극(114)과 접촉하는 제 1 화소전극(126)과, 상기 제 2 드레인 전극(116)과 접촉하는 제 2 화소 전극(128)을 형성한다.
- <115> 전술한 바와 같은 공정을 통해 본 발의 제 1 실시예에 따른 액정표시장치용 어레이기판을 제작할 수 있다.
- <116> 본 발명의 제 1 실시예의 특징을 다시한번 살펴보면 첫째, 하나의 박막트랜지스터에 "L"형상의 두 개의 채널을 가지고 있어, 종래에 비해 캐리어의 흐름이 원활하므로 동작특성을 개선할 수 있다.
- <117> 둘째, 게이트 배선의 상부에서 구성된 막대 형상의 소스 전극 상.하에 이하는 수직하게 이격된 막대 형상의 제 1 드레인 전극과 제 2 드레인 전극으로 구성되므로, 상하 방향으로 정렬오차가 발생하더라도 상기 게이트 전극과 제 1 및 제 2 드레인 전극의 겹침면적의 합은 동일하다.
- <118> 이하, 제 2 실시예를 통해 상기 제 1 실시예의 변형예를 설명한다.
- <119> -- 제 2 실시예 --

- <120> 본 발명의 제 2 실시예의 특징은 액티브 채널의 폭을 더욱 확보하기 위해, 상기 액티브 채널을 "U" 형상으로 구성하는 것을 특징으로 한다.
- <121> 도 7은 본 발명의 제 2 실시예에 따른 액정표시장치용 어레이기판의 한 화소를 개략적으로 도시한 평면도이고, 도 8은 도 7의 구성 중 박막트랜지스터 부분을 확대한 평면도이다.
- <122> 기판(200)상에 화소(P)를 정의하고, 화소(P)의 가운데를 지나 일 방향으로 연장된 게이트 배선(202)과 이와는 수직하게 교차하는 데이터 배선(210)을 형성한다.
- <123> 동시에, 상기 게이트 배선(202)과 평행하게 이격하고 상기 데이터 배선(210)과는 수직하게 교차하는 공통 배선(203)을 형성한다.
- <124> 이때, 상기 화소(P)는 상기 게이트 배선(202)에 의해 하나의 화소(P)가 제 1 영역(P1)과 제 2 영역(P2)으로 나뉘어 진다.
- <125> 상기 게이트 배선(202)과 데이터 배선(210)의 교차지점에는 박막트랜지스터(T)를 구성하는데, 상기 박막트랜지스터(T)는 상기 게이트배선(202)의 일부를 전극으로 사용한 게이트 전극과, 상기 데이터 배선(210)에서 게이트 배선(202)의 상부로 "ㄱ" 형상으로 연장된 소스 전극(212)과, 상기 소스 전극(212)을 중심으로 상하로 대향되도록 구성되고 상기 게이트 배선(202)과 겹쳐지는 부분이 막대 형상인 제 1 및 제 2 드레인 전극(212,214)을 구성한다.
- <126> 상기 제 1 및 제 2 드레인 전극(212,214)과 상기 소스 전극(212)과 상기 데이터 배선(210)의 하부에는 일체화된 반도체층(액티브층과 오믹 콘택층이 구성됨)(206,208)을 구성한다.
- <127> 상기 화소(P)의 제 1 영역(P1)과 제 2 영역(P2)에는 서로 독립적인 제 1 화소전극(226)과 제 2 화소전극(228)을 각각 구성한다.
- <128> 이때, 상기 제 1 화소전극(226)은 상기 제 1 드레인 전극(214)과 접촉하도록 구성하고, 상기 제 2 화소전극(228)은 상기 제 2 드레인 전극(216)과 접촉하도록 구성한다.
- <129> 상기 게이트 배선(202)을 중심으로 상,하에 구성된 공통배선(203)의 상부에는 각각 제 1 스토리지 캐패시터(C_{st1})와 제 2 스토리지 캐패시터(C_{st2})를 구성하는데, 제 1 스토리지 캐패시터(C_{st1})는 공통배선(203)을 제 1 전극(제 1 스토리지 전극)으로 하고, 제 1 전극의 상부에 아일랜드 형상으로 위치하고 상기 제 1 화소전극(226)과 접촉하는 금속패턴(212)을 제 2 전극(제 1 스토리지전극)으로 한다.
- <130> 상기 제 2 스토리지 캐패시터(C_{st2})는 공통배선(203)을 제 1 전극으로 하고, 제 1 전극의 상부에 아일랜드 형상으로 위치하고 상기 제 2 화소전극(228)과 접촉하는 금속패턴(217)을 제 2 전극으로 한다.
- <131> 전술한 구성에서, 상기 제 1 드레인 전극(214)과 제 2 드레인 전극(216)은 상기 게이트 배선(202)의 상부를 지나는 데이터 배선(210)의 일부와 이에 연결된 소스 전극(212)과 함께 "U"형상의 채널을 형성한다.
- <132> 이러한 구성은 종래에 비해 액티브 채널(CH1,CH2)이 두 개 존재하는 것과 같으며 각각 채널의 길이(소스 전극과 드레인 전극 사이의 길이)이를 작게 하고 폭은 상기 제 1 실시예의 "L"형상에 비해 더욱 넓어진 형상이다. 따라서 박막트랜지스터(T)의 동작 특성을 개선할 수 있는 장점이 있다.
- <133> 또한, 이러한 박막트랜지스터(T)형상의 특징적인 점은 상기 제 1 및 제 2 드레인 전극(214,216)을 형성할 때, 상/하 방향 정렬 오차가 발생하였을 경우, 상기 게이트 배선(202)과 상기 제 1 드레인 전극(214)과 제 2 드레인 전극(216)의 겹침 면적이 달라지기는 하지만 이는 상호 보완적인 결과가 되기 때문에, 박막트랜지스터(T) 전체로 보면 기생용량의 변동은 없게 된다.
- <134> 전술한 바와 같은 공정을 통해 본 발명의 제 2 실시예에 따른 액정표시장치용 어레이기판을 제작할 수 있다.

발명의 효과

- <135> 본 발명의 효과는 아래와 같다.
- <136> 첫째, 스위칭 소자는 두개의 채널을 가지고 있으므로 동작특성이 개선되는 효과가 있다.
- <137> 둘째, 게이트 전극 상부에서 드레인 전극은 소스 전극을 중심으로 상하로 서로 대향되는 막대 형상으로 구성되

므로, 상하 방향으로 정렬오차가 발생하더라도 상호 보완적이기 때문에 상기 게이트 전극과 드레인 전극의 겹침 면적은 동일하다.

<138> 따라서, 기생용량의 변동이 없으므로 고화질의 액정표시장치를 제작할 수 있는 효과가 있다.

도면의 간단한 설명

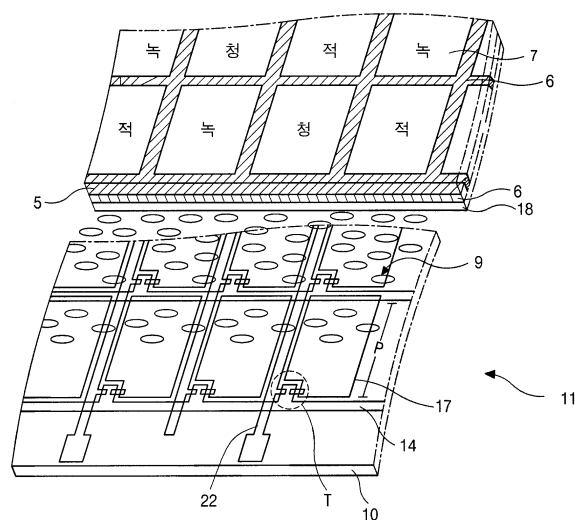
- <1> 도 1은 일반적인 액정표시장치를 개략적으로 도시한 도면이고,
- <2> 도 2는 종래에 따른 액정표시장치용 어레이기판의 한 화소를 도시한 확대 평면도이고,
- <3> 도 3은 도 2의 구성 중 박막트랜지스터부를 확대한 평면도이고,
- <4> 도 4는 본 발명의 실시예에 따른 박막트랜지스터 어레이기판의 한 화소를 개략적으로 도시한 평면도이고,
- <5> 도 5는 도 4의 구성 중 박막트랜지스터 어레이부를 확대한 평면도이고,
- <6> 도 6a 내지 도 6e는 도 4의 V-V`를 따라 절단하여, 본 발명의 공정순서에 따라 도시한 공정 단면도이고,
- <7> 도 7은 본 발명의 제 2 실시예에 따른 박막트랜지스터 어레이기판의 한 화소를 개략적으로 도시한 평면도이다.

<8> <도면의 주요부분에 대한 부호의 설명>

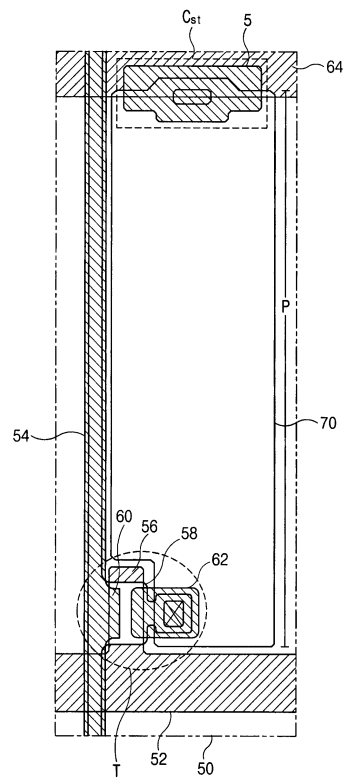
- <9> 100 : 제 1 기판 102 : 게이트 배선
- <10> 103 : 공통 배선 106, 108 : 반도체층(액티브층, 오믹 콘택층)
- <11> 110 : 데이터 배선 112 : 소스 전극
- <12> 114 : 제 1 드레인 전극 116 : 제 2 드레인 전극
- <13> 117 : 제 2 스토리지 전극 126 : 제 1 화소 전극
- <14> 128 : 제 2 화소 전극

도면

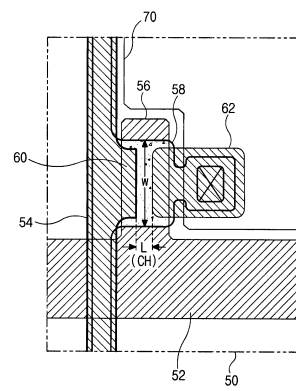
도면1



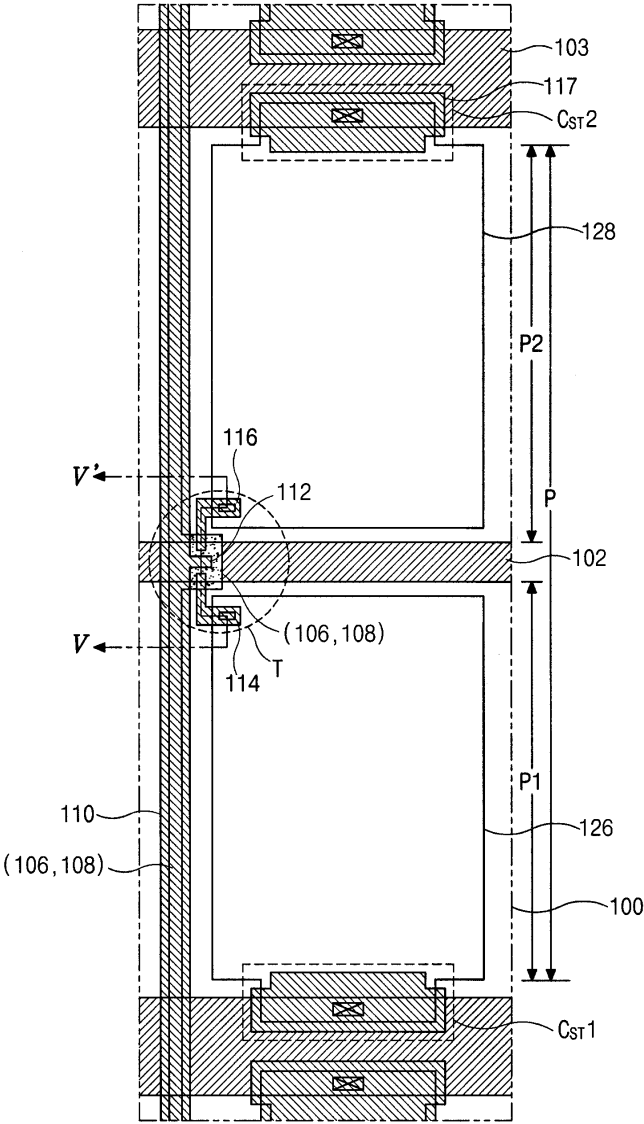
도면2



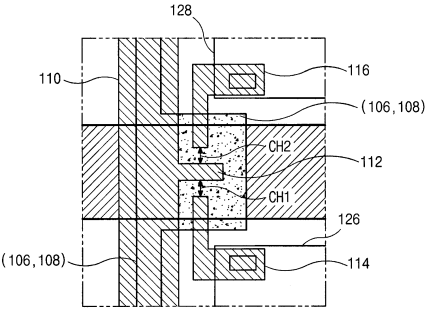
도면3



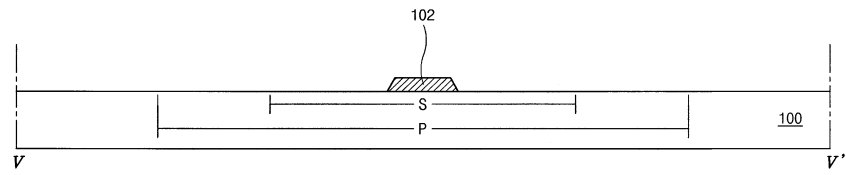
도면4



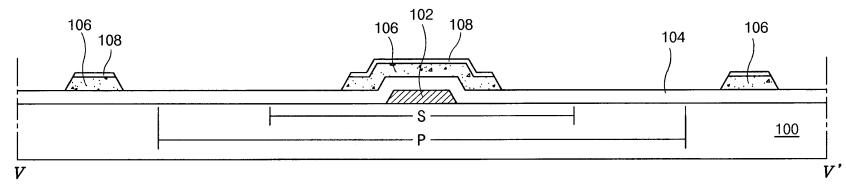
도면5



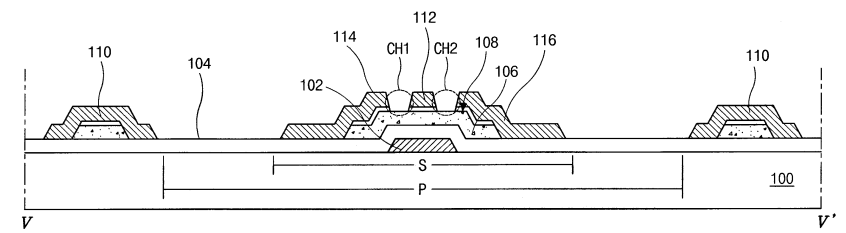
도면6a



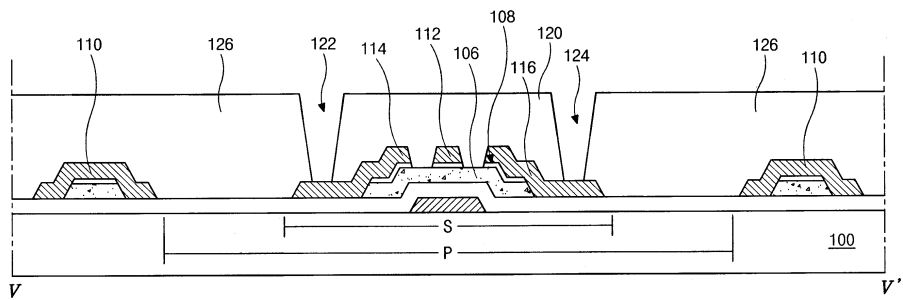
도면6b



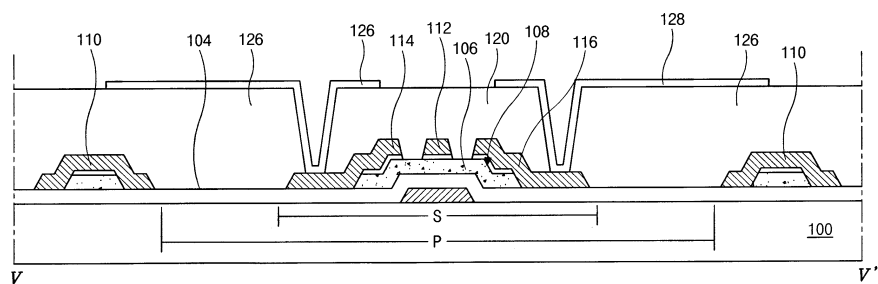
도면6c



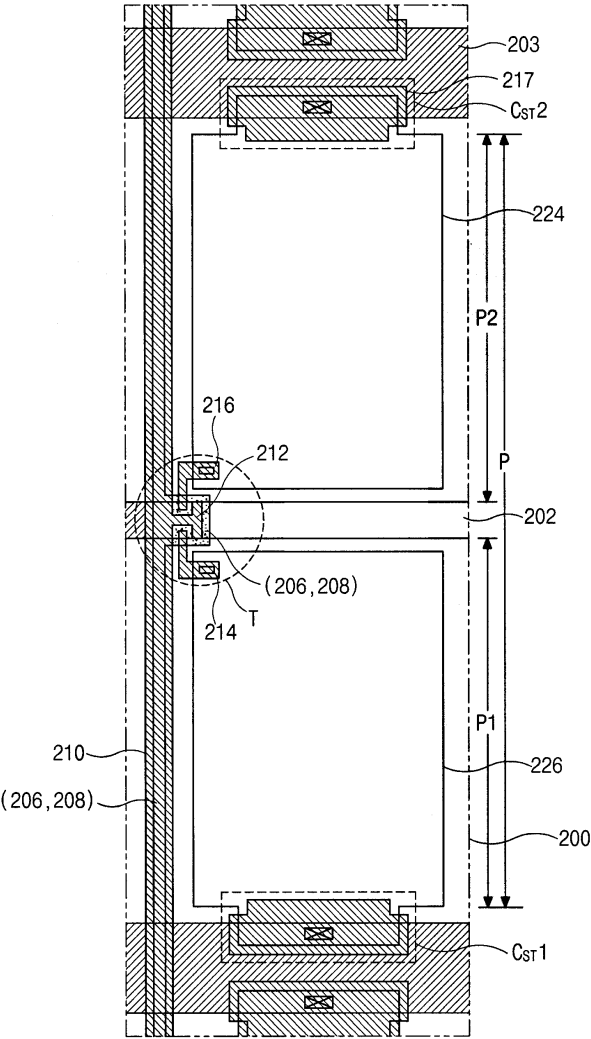
도면6d



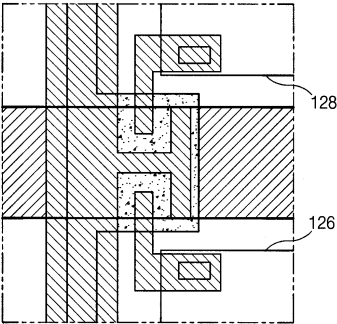
도면6e



도면7



도면8



专利名称(译)	用于液晶显示装置的阵列基板及其制造方法		
公开(公告)号	KR100916605B1	公开(公告)日	2009-09-14
申请号	KR1020030014282	申请日	2003-03-07
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE SUWOONG		
发明人	LEE,SUWOONG		
IPC分类号	G02F1/136		
其他公开文献	KR1020040079475A		
外部链接	Espacenet		

摘要(译)

本发明涉及液晶显示器，尤其涉及薄膜晶体管，开关元件和包括该开关元件的液晶显示器阵列基板的结构。根据本发明的用于液晶显示器的阵列基板包括第一漏电极，该第一漏电极将单个像素分成相应的1/2区域，并且将薄膜晶体管组织在分离区域的中心并且面对周围。栅电极（栅极布线），具有有源层，源电极，源电极到顶部和底部，薄膜晶体管位于其中，第二漏电极。在漏电极中是栅电极上部，有源沟道分别成对地形成成为“L”或“U”形状，同时由相应的棒状的源电极的相/周围构成。在如上所述的配置的特性对漏电极进行图案化的过程中，当在源电极周围产生上下方向的对准误差时，栅电极和漏电极的重叠区域不会随着每个的互补而改变。其他关系。因此，由于寄生电容没有变化，因此具有制造高清晰度的液晶显示器的优点。

