



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2008년11월10일  
(11) 등록번호 10-0867307  
(24) 등록일자 2008년10월31일

(51) Int. Cl.

G02F 1/1345 (2006.01) G02F 1/13 (2006.01)

(21) 출원번호 10-2007-0119489  
(22) 출원일자 2007년11월22일  
심사청구일자 2007년11월22일  
(65) 공개번호 10-2008-0046603  
(43) 공개일자 2008년05월27일

(30) 우선권주장

JP-P-2006-00315152 2006년11월22일 일본(JP)

(56) 선행기술조사문헌  
KR1020050004411 A  
KR100234940 B1  
JP2005274932 A

전체 청구항 수 : 총 14 항

(73) 특허권자

가시오게산키 가부시키가이샤

일본국 도쿄도 시부야구 혼마치 1쵸메 6반 2고

(72) 발명자

이시이 히로미츠

일본국 도쿄도 하무라시 사카에쵸 3쵸메 2반 1고

가시오게산키가부시키가이샤 하무라기쥬츠센터내  
나카무라 야요이

일본국 도쿄도 하무라시 사카에쵸 3쵸메 2반 1고

가시오게산키가부시키가이샤 하무라기쥬츠센터내

(74) 대리인

김문종, 손은진

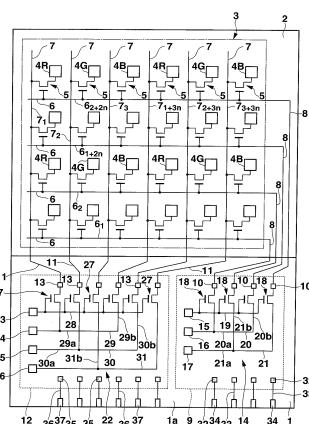
심사관 : 김지강

(54) 액정표시장치

(57) 요 약

본 발명은 액정표시장치에 관한 것으로서, 본 발명의 액정표시장치는 기판(1)과, 복수의 화소전극(4, 4R, 4G, 4B)과, 복수의 스위칭용 박막 트랜지스터(5)와, 복수의 주사라인(6)과, 복수의 데이터라인(7)을 갖는다. 또, 상기 기판(1)의 비표시영역 내에는 주사라인용 정전기 보호겸 테스트용 회로(14) 및 데이터라인용 정전기 보호겸 테스트용 회로(22)의 적어도 한쪽이 형성되어 있다. 상기 주사라인용 정전기 보호겸 테스트용 회로(14)는 상기 주사라인(6)에 접속되고, 발생하는 정전기에 의해 도통하는 보호소자(18)를 포함하는 정전기 보호회로 및 상기 주사라인(6)의 도통 상태를 검사하기 위한 검사회로를 구비하며, 상기 데이터라인용 정전기 보호겸 테스트용 회로(22)는 상기 데이터라인(7)에 접속되고, 발생하는 정전기에 의해 도통하는 보호소자(27)를 포함하는 정전기 보호회로 및 상기 데이터라인(7)의 도통 상태를 검사하기 위한 검사회로를 구비하고 있는 것을 특징으로 한다.

대 표 도 - 도1



## 특허청구의 범위

### 청구항 1

표시영역과 비표시영역을 갖는 기판과,  
상기 기판상에 배열된 복수의 표시용 전극과,  
상기 각 표시용 전극에 접속되고 제어용 전극과 데이터용 전극을 갖는 복수의 스위칭 소자와,  
상기 각 스위칭 소자의 제어용 전극에 접속된 복수의 주사라인과,  
상기 각 스위칭 소자의 데이터용 전극에 접속된 복수의 데이터라인과,  
상기 주사라인에 접속되고, 상시는 비도통 상태로 되며, 발생하는 정전기에 의해 도통 상태로 되는 보호소자를 포함하는 정전기 보호회로 및 상기 스위칭 소자를 통하여 상기 주사라인의 도통 상태를 검사하는 검사회로를 구비한 주사라인용 정전기 보호겸 테스트용 회로를 구비하고,  
상기 주사라인용 정전기 보호겸 테스트용 회로는 상기 기판의 비표시영역 내에 설치되어 있는 것을 특징으로 하는 액정표시장치.

### 청구항 2

제 1 항에 있어서,  
상기 기판상에 설치된 상기 주사라인용 정전기 보호겸 테스트용 회로는 주사라인 구동용 드라이버가 탑재되는 주사라인 구동용 드라이버 탑재영역 내에 설치되는 것을 특징으로 하는 액정표시장치.

### 청구항 3

제 2 항에 있어서,  
상기 주사라인 구동용 드라이버 탑재영역 내에 주사라인 구동용 드라이버 칩이 접속되는 복수의 주사용 출력단자 및 복수의 주사용 입력단자가 설치되어 있는 것을 특징으로 하는 액정표시장치.

### 청구항 4

제 1 항에 있어서,  
상기 주사라인용 정전기 보호겸 테스트용 회로는 한쪽의 소스·드레인 전극을 상기 각 주사라인에 접속된 주사라인용 정전기 보호겸 테스트용 박막 트랜지스터와, 상기 각 주사라인용 정전기 보호겸 테스트용 박막 트랜지스터의 게이트 전극에 제 1 주사라인 테스트용 드로잉선을 통하여 접속된 제 1 주사라인용 테스트단자와, 상기 각 주사라인용 정전기 보호겸 테스트용 박막 트랜지스터의 다른쪽의 소스·드레인 전극에 다른 주사라인 테스트용 드로잉선을 통하여 접속된 다른 주사라인용 테스트단자를 갖는 것을 특징으로 하는 액정표시장치.

### 청구항 5

제 4 항에 있어서,  
주사라인 구동용 드라이버 탑재영역 내에 주사라인 구동용 드라이버 칩이 접속되는 복수의 주사용 출력단자 및 복수의 주사용 입력단자가 설치되고, 상기 주사라인 및 상기 주사라인용 정전기 보호겸 테스트용 박막 트랜지스터의 한쪽의 소스·드레인 전극은 상기 주사라인 구동용 드라이버 탑재영역 내에 설치된 주사용 출력단자에 접속되어 있는 것을 특징으로 하는 액정표시장치.

### 청구항 6

제 4 항에 있어서,  
상기 다른 주사라인 테스트용 드로잉선은 제 2, 제 3 주사라인 테스트용 드로잉선으로 이루어지고, 상기 다른 주사라인용 테스트단자는 제 2, 제 3 주사라인용 테스트단자로 이루어지며, 상기 주사라인 중 한쪽측에서부터 세어서 흘수번제의 주사라인은 그것에 대응하는 상기 주사라인용 정전기 보호겸 테스트용 박막 트랜지스터 및 상기 제 2 주사라인 테스트용 드로잉선을 통하여 상기 제 2 주사라인용 테스트단자에 접속되고, 상기 주사라인

중 한쪽측에서부터 세어서 짹수번째의 주사라인은 그것에 대응하는 상기 주사라인용 정전기 보호겸 테스트용 박막 트랜지스터 및 상기 제 3 주사라인 테스트용 드로잉선을 통하여 상기 제 3 주사라인용 테스트단자에 접속되어 있는 것을 특징으로 하는 액정표시장치.

#### 청구항 7

청구항 7은(는) 설정등록료 납부시 포기되었습니다.

제 6 항에 있어서,

상기 제 2, 제 3 주사라인 테스트용 드로잉선은 동일 층 위에 서로 교차하지 않도록 배치되어 있는 것을 특징으로 하는 액정표시장치.

#### 청구항 8

청구항 8은(는) 설정등록료 납부시 포기되었습니다.

제 5 항에 있어서,

모든 상기 주사라인용 정전기 보호겸 테스트용 박막 트랜지스터의 다른쪽의 소스·드레인 전극은 1개의 상기 주사라인 테스트용 드로잉선을 통하여 1개의 상기 주사라인용 테스트단자에 접속되어 있는 것을 특징으로 하는 액정표시장치.

#### 청구항 9

청구항 9은(는) 설정등록료 납부시 포기되었습니다.

제 4 항에 있어서,

상기 기판상의 상기 주사라인 구동용 드라이버 탑재영역상에 주사라인 구동용 드라이버가 탑재되고, 실구동 중에, 상기 주사라인 구동용 드라이버로부터 상기 제 1 주사라인용 테스트단자에 전압  $V_{gl}$ 이 공급되도록 되어 있는 것을 특징으로 하는 액정표시장치.

#### 청구항 10

제 1 항에 있어서,

상기 기판상의 상기 비표시영역에, 상기 데이터라인에 접속되고, 상시는 오프상태로 되며, 발생하는 정전기에 의해 도통하는 정전기 보호회로 및 상기 데이터라인의 도통 상태 및 상기 표시용 전극의 점등상태를 검사하는 검사회로를 구비한 데이터라인용 정전기 보호겸 테스트용 회로가 설치되어 있는 것을 특징으로 하는 액정표시장치.

#### 청구항 11

제 1 항에 있어서,

상기 기판상에 설치된 상기 데이터라인용 정전기 보호겸 테스트용 회로는 데이터라인 구동용 드라이버가 탑재되는 데이터라인 구동용 드라이버 탑재영역 내에 설치되는 것을 특징으로 하는 액정표시장치.

#### 청구항 12

제 11 항에 있어서,

상기 데이터라인 구동용 드라이버 탑재영역 내에 데이터라인 구동용 드라이버 칩이 접속되는 복수의 데이터용 출력단자 및 복수의 데이터용 입력단자가 설치되어 있는 것을 특징으로 하는 액정표시장치.

#### 청구항 13

표시영역과 비표시영역을 갖는 기판과,

상기 기판상에 배열된 복수의 표시용 전극과,

상기 각 표시용 전극에 접속되고, 제어용 전극과 데이터용 전극을 갖는 복수의 스위칭 소자와,

상기 각 스위칭 소자의 제어용 전극에 접속된 복수의 주사라인과,

상기 각 스위칭 소자의 데이터용 전극에 접속된 복수의 데이터라인과,

상기 데이터라인에 접속되고, 상시는 비도통 상태로 되며, 발생하는 정전기에 의해 도통 상태로 되는 보호소자를 포함하는 정전기 보호회로 및 상기 스위칭 소자를 통하여 상기 데이터라인의 도통 상태를 검사하는 검사 회로를 구비한 데이터라인용 정전기 보호겸 테스트용 회로를 구비하고, 상기 데이터라인용 정전기 보호겸 테스트용 회로는 상기 기판의 비표시영역 내에 설치되어 있는 것을 특징으로 하는 액정표시장치.

#### 청구항 14

제 13 항에 있어서,

상기 기판상에 설치된 상기 데이터라인용 정전기 보호겸 테스트용 회로는 데이터라인 구동용 드라이버가 탑재되는 데이터라인 구동용 드라이버 탑재영역 내에 설치되는 것을 특징으로 하는 액정표시장치.

#### 청구항 15

청구항 15은(는) 설정등록료 납부시 포기되었습니다.

제 14 항에 있어서,

상기 데이터라인 구동용 드라이버 탑재영역 내에 데이터라인 구동용 드라이버 칩이 접속되는 복수의 데이터용 출력단자 및 복수의 데이터용 입력단자가 설치되어 있는 것을 특징으로 하는 액정표시장치.

#### 청구항 16

청구항 16은(는) 설정등록료 납부시 포기되었습니다.

제 13 항에 있어서,

상기 데이터라인용 정전기 보호겸 테스트용 회로는 한쪽의 소스·드레인 전극을 상기 각 데이터라인에 접속된 데이터라인용 정전기 보호겸 테스트용 박막 트랜지스터와, 상기 각 데이터라인용 정전기 보호겸 테스트용 박막 트랜지스터의 게이트 전극에 제 1 데이터라인 테스트용 드로잉선을 통하여 접속된 제 1 데이터라인용 테스트단자와, 상기 각 데이터라인용 정전기 보호겸 테스트용 박막 트랜지스터의 다른쪽의 소스·드레인 전극에 다른 데이터라인 테스트용 드로잉선을 통하여 접속된 다른 데이터라인용 테스트단자를 갖는 것을 특징으로 하는 액정표시장치.

#### 청구항 17

청구항 17은(는) 설정등록료 납부시 포기되었습니다.

제 16 항에 있어서,

상기 데이터라인 구동용 드라이버 탑재영역 내에 데이터라인 구동용 드라이버 칩이 접속되는 복수의 데이터용 출력단자 및 복수의 데이터용 입력단자가 설치되고, 상기 데이터라인 및 상기 데이터라인용 정전기 보호겸 테스트용 박막 트랜지스터의 한쪽의 소스·드레인 전극은 상기 기판상의 상기 데이터라인 구동용 드라이버 탑재영역 내에 설치된 상기 데이터용 출력단자에 접속되어 있는 것을 특징으로 하는 액정표시장치.

#### 청구항 18

청구항 18은(는) 설정등록료 납부시 포기되었습니다.

제 16 항에 있어서,

상기 다른 데이터라인 테스트용 드로잉선은 제 2~제 4 데이터라인 테스트용 드로잉선으로 이루어지고, 상기 다른 데이터라인용 테스트단자는 제 2~제 4 데이터라인용 테스트단자로 이루어지며, 상기 데이터라인 중 제 1 색 표시용의 데이터라인은 그것에 대응하는 상기 데이터라인용 정전기 보호겸 테스트용 박막 트랜지스터 및 상기 제 2 데이터라인 테스트용 드로잉선을 통하여 상기 제 2 데이터라인용 테스트단자에 접속되고, 상기 데이터라인 중 제 2 색 표시용의 데이터라인은 그것에 대응하는 상기 데이터라인용 정전기 보호겸 테스트용 박막 트랜지스터 및 상기 제 3 데이터라인 테스트용 드로잉선을 통하여 상기 제 3 데이터라인용 테스트단자에 접속되며, 상기

데이터라인 중 제 3 색 표시용의 데이터라인은 그것에 대응하는 상기 데이터라인용 정전기 보호겸 테스트용 박막 트랜지스터 및 상기 제 4 데이터라인 테스트용 드로잉선을 통하여 상기 제 4 데이터라인용 테스트단자에 접속되어 있는 것을 특징으로 하는 액정표시장치.

### 청구항 19

청구항 19은(는) 설정등록료 납부시 포기되었습니다.

제 16 항에 있어서,

모든 상기 데이터라인용 정전기 보호겸 테스트용 박막 트랜지스터의 다른쪽의 소스·드레인 전극은 1개의 상기 데이터라인 테스트용 드로잉선을 통하여 1개의 상기 데이터라인용 테스트단자에 접속되어 있는 것을 특징으로 하는 액정표시장치.

### 청구항 20

청구항 20은(는) 설정등록료 납부시 포기되었습니다.

제 16 항에 있어서,

상기 기판상의 상기 데이터라인 구동용 드라이버 탑재영역상에 데이터라인 구동용 드라이버가 탑재되고, 실구동 중에, 상기 데이터라인 구동용 드라이버로부터 상기 제 1 데이터라인용 테스트단자에 전압  $V_{gl}$ 이 공급되도록 되어 있는 것을 특징으로 하는 액정표시장치.

### 청구항 21

표시영역과 비표시영역이 책정된 기판과,

상기 기판상에 배열된 복수의 표시용 전극과,

상기 각 표시용 전극에 접속되고, 게이트 전극과 소스·드레인 전극을 갖는 복수의 스위칭용 박막 트랜지스터와,

상기 각 스위칭용 박막 트랜지스터의 게이트 전극에 접속된 복수의 주사라인과,

상기 각 스위칭용 박막 트랜지스터의 소스·드레인 전극에 접속된 복수의 데이터라인과,

상기 주사라인에 접속되고, 발생하는 정전기에 의해 도통하는 보호소자를 포함하는 정전기 보호회로 및 상기 주사라인의 도통 상태를 검사하는 검사회로를 구비한 주사라인용 정전기 보호겸 테스트용 회로와,

상기 데이터라인에 접속되고, 발생하는 정전기에 의해 도통하는 보호소자를 포함하는 정전기 보호회로 및 상기 데이터라인의 도통 상태를 검사하는 검사회로를 구비한 데이터라인용 정전기 보호겸 테스트용 회로를 구비하며,

상기 주사라인용 정전기 보호겸 테스트용 회로 및 데이터라인용 정전기 보호겸 테스트용 회로는 상기 기판의 비표시영역 내에 설치되어 있는 것을 특징으로 하는 액정표시장치.

### 청구항 22

표시영역과 비표시영역이 책정된 기판과,

상기 기판상에 배열된 복수의 표시용 전극과,

상기 각 표시용 전극에 접속되고, 게이트 전극과 소스·드레인 전극을 갖는 복수의 스위칭용 박막 트랜지스터와,

상기 각 스위칭용 박막 트랜지스터의 게이트 전극에 접속된 복수의 주사라인과,

상기 각 스위칭용 박막 트랜지스터의 소스·드레인 전극에 접속된 복수의 데이터라인과,

상기 기판의 비표시영역 내에 형성되고, 주사라인용 정전기 보호겸 테스트용 회로 및 데이터라인용 정전기 보호겸 테스트용 회로의 적어도 한쪽을 갖고,

상기 주사라인용 정전기 보호겸 테스트용 회로는 상기 주사라인에 접속되며, 발생하는 정전기에 의해 도통하는 보호소자를 포함하는 정전기 보호회로 및 상기 주사라인의 도통 상태를 검사하기 위한 검사회로를 구비하고,

상기 데이터라인용 정전기 보호겸 테스트용 회로는 상기 데이터라인에 접속되며, 발생하는 정전기에 의해 도통하는 보호소자를 포함하는 정전기 보호회로 및 상기 데이터라인의 도통 상태를 검사하기 위한 검사회로를 구비하고 있는 것을 특징으로 하는 액정표시장치.

### 청구항 23

표시영역과, 상기 표시영역의 외부에 배치되고 주사라인 구동용 드라이버 탑재영역 및 데이터라인 구동용 드라이버 탑재영역을 갖는 기판과,

상기 기판상에 복수열×복수행으로 배열된 복수의 표시용 전극과,

상기 각 표시용 전극에 접속되고, 게이트 전극과 소스·드레인 전극을 갖는 복수의 스위칭용 박막 트랜지스터와,

상기 각 스위칭용 박막 트랜지스터의 게이트 전극에 접속된 복수행의 주사라인과,

상기 각 스위칭용 박막 트랜지스터의 게이트 전극에 접속된 복수열의 데이터라인과,

상기 각 주사라인에 접속되어 있고, 상기 주사라인을 접속하는 드로잉선과, 상기 주사라인과 상기 드로잉선의 사이에 배열된 주사라인용 정전기 보호겸 테스트용 박막 트랜지스터와, 주사라인용 정전기 보호겸 테스트용 박막 트랜지스터의 게이트 전극에 구동전압을 공급하기 위한 주사라인용 테스트단자를 포함하는 주사라인용 정전기 보호겸 테스트용 회로와,

상기 각 데이터라인에 접속되어 있고, 상기 데이터라인을 접속하는 드로잉선과, 상기 데이터라인과 상기 드로잉선의 사이에 배열된 데이터라인용 정전기 보호겸 테스트용 박막 트랜지스터와, 상기 데이터라인용 정전기 보호겸 테스트용 박막 트랜지스터의 게이트 전극에 구동전압을 공급하기 위한 데이터라인용 테스트단자를 포함하는 데이터라인용 정전기 보호겸 테스트용 회로를 구비하는 것을 특징으로 하는 액정표시장치.

## 명세서

### 발명의 상세한 설명

#### 기술 분야

<1> 이 발명은 액정표시장치에 관한 것으로, 더욱 상세하게는, 정전기 보호회로 및 테스트용 회로를 구비한 액정표시장치에 관한 것이다.

#### 배경 기술

<2> 종래의 액티브 매트릭스형의 액정표시장치는 정전기에 기인하는 스위칭용 박막 트랜지스터의 특성 시프트나 절연파괴 등의 불량을 방지할 필요가 있다. 특개 2005-93459호 공보에는, 이와 같은 정전기 보호회로를 갖는 액정표시장치가 개시되어 있다. 상기 선행문헌에 있어서, 정전기 보호회로는 매트릭스형상으로 설치된 복수의 주사라인과 복수의 데이터라인의 각 교점 근방에 화소전극 및 해당 화소전극에 접속된 스위칭용 박막 트랜지스터가 설치된 표시영역의 외측에, 주사라인용 정전기 보호라인 및 해당 주사라인용 정전기 보호라인과 각 주사라인의 사이에 설치된 주사라인용 정전기 보호용 박막 트랜지스터와, 데이터라인용 정전기 보호라인 및 해당 데이터라인용 정전기 보호라인과 각 데이터라인의 사이에 설치된 데이터라인용 정전기 보호용 박막 트랜지스터에 의해 구성되어 있다.

#### 발명의 내용

#### 해결 하고자하는 과제

<3> 그러나, 상기 종래의 액정표시장치에서는, 표시영역의 외측에 주사라인용 정전기 보호라인 및 주사라인용 정전기 보호용 박막 트랜지스터와 데이터라인용 정전기 보호라인 및 데이터라인용 정전기 보호용 박막 트랜지스터를 설치하고 있으므로, 이들의 배치영역을 확보하기 위해, 액자 사이즈가 커져 버린다는 문제가 있었다. 여기에서, 액자 사이즈란, 환연하면, 액정표시장치의 표시패널에 있어서의 비표시영역의 사이즈인 것이며, 액정표시장치의 표시패널에 있어서의 표시영역을 제외하는 영역은 회화를 수납하는 액자형상인 것이기 때문에 이와 같이 불려진다.

<4> 또, 종래의 이와 같은 액정표시장치에 있어서, 선 결합 등의 검사를 실행하는 경우에는 표시영역의 외측에서 주사라인용 정전기 보호용 박막 트랜지스터 및 데이터라인용 정전기 보호용 박막 트랜지스터의 각 배치영역의 반대측에 테스트단자를 설치하는 것을 생각할 수 있다. 그 경우, 주사라인 및 데이터라인을 선택적으로 구동하는 데는 테스트단자와 각 주사라인 및 각 데이터라인의 사이에 주사라인용 테스트용 박막 트랜지스터 및 데이터라인용 테스트용 박막 트랜지스터를 배치할 필요가 있으며, 이들의 배치영역을 확보하기 위해, 액자 면적이 보다 한층 커져 버린다는 문제가 있다.

<5> 그래서, 이 발명은 액자 면적을 작게 할 수 있는 액정표시장치를 제공하는 것으로 한다.

### 과제 해결수단

<6> 본 발명의 표시장치는, 표시영역(3)과 비표시영역이 책정된 기판(1)과, 상기 기판(1) 상에 배열된 복수의 화소전극(4, 4R, 4G, 4B)과, 상기 각 표시용 전극(4, 4R, 4G, 4B)에 접속되고 제어용 전극과 데이터용 전극을 갖는 복수의 스위칭용 박막 트랜지스터(5)와, 상기 각 스위칭용 박막 트랜지스터(5)의 게이트 전극에 접속된 복수의 주사라인(6)과, 상기 각 스위칭용 박막 트랜지스터(5)의 소스·드레인 전극에 접속된 복수의 데이터라인(7)을 갖는다. 또, 상기 기판(1)의 비표시영역 내에 형성되고, 주사라인용 정전기 보호겸 테스트용 회로(14) 및 데이터라인용 정전기 보호겸 테스트용 회로(22)의 적어도 한쪽을 갖는다. 상기 주사라인용 정전기 보호겸 테스트용 회로(14)는 상기 주사라인(6)에 접속되고, 발생하는 정전기에 의해 도통하는 보호소자(18)를 포함하는 정전기 보호회로 및 상기 주사라인(6)의 도통 상태를 검사하기 위한 검사회로를 구비하며, 상기 데이터라인용 정전기 보호겸 테스트용 회로(22)는 상기 데이터라인(7)에 접속되고, 발생하는 정전기에 의해 도통하는 보호소자(27)를 포함하는 정전기 보호회로 및 상기 데이터라인(7)의 도통 상태를 검사하기 위한 검사회로를 구비하고 있다.

### 효과

<7> 청구항 제 1 항에 기재한 발명에 따르면, 기판상의 비표시영역 내에 주사라인용 정전기 보호겸 테스트용 회로를 설치하고 있으므로, 주사라인용 정전기 보호겸 테스트용 회로를 배치하기 위한 그것 전용의 배치영역이 불필요해지고, 그에 따라 액자 면적을 작게 할 수 있다.

<8> 청구항 제 13 항에 기재한 발명에 따르면, 기판상의 비표시영역 내에 데이터라인용 정전기 보호겸 테스트용 회로를 설치하고 있으므로, 데이터라인용 정전기 보호겸 테스트용 회로를 배치하기 위한 그것 전용의 배치영역이 불필요해지고, 그에 따라 액자 면적을 작게 할 수 있다.

### 발명의 실시를 위한 구체적인 내용

<9> (제 1 실시형태)

<10> 도 1은 이 발명의 제 1 실시형태로서의 액정표시장치의 주요부의 등가회로적 평면도를 나타낸다. 이 액정표시장치는 액티브기판(1)과 해당 액티브기판(1)의 위쪽에 위치하는 대향기판(2)이 대략 사각형 틀형상의 시일재(도시하지 않음)를 통하여 서로 붙여지고, 시일재의 내측에 있어서의 양 기판(1, 2)간에 액정(도시하지 않음)이 봉입된 것으로 이루어져 있다. 이 경우, 액티브기판(1)의 하면부는 대향기판(2)으로부터 돌출되어 있다. 이하, 이 돌출된 부분을 돌출부(1a)라고 한다. 또, 도 1에 있어서, 일점쇄선으로 둘러싸여진 사각형상의 영역은 표시영역(3)으로 되어 있다.

<11> 액티브기판(1) 상의 표시영역(3)에는, 매트릭스형상으로 배치된 복수의 적, 녹, 청의 각 색 표시용의 화소전극(표시용 전극)(4R, 4G, 4B)과, 각 화소전극(4R, 4G, 4B)에 접속된 한쪽의 소스·드레인 전극을 갖는 스위칭용 박막 트랜지스터(5)와, 행방향으로 연장되고 각 스위칭용 박막 트랜지스터(5)의 게이트 전극(제어용 전극)에 주사신호를 공급하기 위한 주사라인(6)과, 각 스위칭용 박막 트랜지스터(5)의 다른쪽의 소스·드레인 전극(데이터용 전극)에 데이터 신호를 공급하기 위한 데이터라인(7)이 설치되어 있다.

<12> 여기에서, 도 1에 있어서, 화소전극(4R, 4G, 4B)은 겨우 4개×6개만 도시하고 있는 것은 도면의 명확화를 위한 것이며, 실제로는 수백개×수백개 혹은 그 이상의 개수가 배열되어 있다. 이 경우, 적색 표시용의 화소전극(4R)은 제(1+3n)열(n은 0을 포함하는 플러스의 정수)에 배치되고, 녹색 표시용의 화소전극(4G)은 제(2+3n)열에 배치되며, 청색 표시용의 화소전극(4B)은 제(3+3n)열에 배치되어 있다.

<13> 주사라인(6)의 우단부는 표시영역(3)의 우측 및 하측에 설치된 주사용 드로잉선(8)을 통하여 액티브기판(1)의 돌출부(1a) 상의 우측의 점선으로 나타내는 주사라인 구동용 드라이버 탑재영역(9) 내의 상측에 설치된 주사용 출력단자(10)에 접속되어 있다. 데이터라인(7)의 하단부는 표시영역(3)의 하측에 설치된 데이터용 드로잉선

(11)을 통하여 액티브기판(1)의 돌출부(1a) 상의 좌측의 점선으로 나타내는 데이터라인 구동용 드라이버 탑재영역(12) 내의 상측에 설치된 데이터용 출력단자(13)에 접속되어 있다.

<14> 주사라인 구동용 드라이버 탑재영역(9) 내에는 주사라인용 정전기 보호겸 테스트용 회로(14)가 설치되어 있다. 즉, 주사라인 구동용 드라이버 탑재영역(9) 내의 좌측에는 제 1, 제 2, 제 3 주사라인용 테스트단자(15, 16, 17)가 설치되어 있다. 주사라인 구동용 드라이버 탑재영역(9) 내에 있어서 각 주사용 출력단자(10)의 하측에는 주사라인용 정전기 보호겸 테스트용 박막 트랜지스터(18)가 설치되어 있다. 주사라인용 정전기 보호겸 테스트용 박막 트랜지스터(18)의 한쪽의 소스·드레인 전극은 그 상측의 주사용 출력단자(10)에 접속되어 있다. 주사라인용 정전기 보호겸 테스트용 박막 트랜지스터(보호소자)(18)의 게이트 전극은 제 1 주사라인 테스트용 드로잉선(19)을 통하여 제 1 주사라인용 테스트단자(15)에 접속되어 있다.

<15> 도 1에 있어서, 주사라인용 정전기 보호겸 테스트용 회로(14)의 좌측에서부터 세어서 홀수번째의 주사라인용 정전기 보호겸 테스트용 박막 트랜지스터(18)의 다른쪽의 소스·드레인 전극은 제 2 주사라인 테스트용 드로잉선(20)을 통하여 제 2 주사라인용 테스트단자(16)에 접속되어 있다. 주사라인용 정전기 보호겸 테스트용 회로(14)의 좌측에서부터 세어서 짝수번째의 주사라인용 정전기 보호겸 테스트용 박막 트랜지스터(18)의 다른쪽의 소스·드레인 전극은 제 3 주사라인 테스트용 드로잉선(21)을 통하여 제 3 주사라인용 테스트단자(17)에 접속되어 있다.

<16> 데이터라인 구동용 드라이버 탑재영역(12) 내에는 데이터라인용 정전기 보호겸 테스트용 회로(22)가 설치되어 있다. 즉, 데이터라인 구동용 드라이버 탑재영역(12) 내의 좌측에는 제 1~제 4 데이터라인용 테스트단자(23~26)가 설치되어 있다. 데이터라인 구동용 드라이버 탑재영역(12) 내에 있어서 각 데이터용 출력단자(13)의 하측에는 데이터라인용 정전기 보호겸 테스트용 박막 트랜지스터(보호소자)(27)가 설치되어 있다. 데이터라인용 정전기 보호겸 테스트용 박막 트랜지스터(27)의 한쪽의 소스·드레인 전극은 그 상측의 데이터용 출력단자(13)에 접속되어 있다. 데이터라인용 정전기 보호겸 테스트용 박막 트랜지스터(27)의 게이트 전극은 제 1 데이터라인 테스트용 드로잉선(28)을 통하여 제 1 데이터라인용 테스트단자(23)에 접속되어 있다.

<17> 도 1에 있어서, 데이터라인용 정전기 보호겸 테스트용 회로(22)의 좌측에서부터 세어서 (1+3n)번째의 데이터라인용 정전기 보호겸 테스트용 박막 트랜지스터(27)의 다른쪽의 소스·드레인 전극은 제 2 데이터라인 테스트용 드로잉선(29)을 통하여 제 2 데이터라인용 테스트단자(24)에 접속되어 있다. 데이터라인용 정전기 보호겸 테스트용 회로(22)의 좌측에서부터 세어서 (2+3n)번째의 데이터라인용 정전기 보호겸 테스트용 박막 트랜지스터(27)의 다른쪽의 소스·드레인 전극은 제 3 데이터라인 테스트용 드로잉선(30)을 통하여 제 3 데이터라인용 테스트단자(25)에 접속되어 있다. 데이터라인용 정전기 보호겸 테스트용 회로(22)의 좌측에서부터 세어서 (3+3n)번째의 데이터라인용 정전기 보호겸 테스트용 박막 트랜지스터(27)의 다른쪽의 소스·드레인 전극은 제 4 데이터라인 테스트용 드로잉선(31)을 통하여 제 4 데이터라인용 테스트단자(26)에 접속되어 있다.

<18> 주사라인 구동용 드라이버 탑재영역(9) 내의 하측에는 주사용 입력단자(32)가 설치되어 있다. 주사용 입력단자(32)는 그 하측에 설치된 주사용 드로잉선(33)을 통하여 그 하측에 설치된 주사용 외부접속단자(34)에 접속되어 있다. 데이터라인 구동용 드라이버 탑재영역(12) 내의 하측에는 데이터용 입력단자(35)가 설치되어 있다. 데이터용 입력단자(35)는 그 하측에 설치된 데이터용 드로잉선(36)을 통하여 그 하측에 설치된 데이터용 외부접속단자(37)에 접속되어 있다.

<19> 또한 도면의 명확화를 위해서, 도 1에서는 생략하고 있지만, 도 11에 도시되는 바와 같이, 액티브기판(1)의 주사라인 구동용 드라이버 탑재영역(9) 상에는 주사라인 구동 회로부를 내장하는 주사라인 구동용 드라이버 칩(101)이 탑재되어 있다. 주사라인 구동용 드라이버 칩(101)의 외부전극은 땜납 볼(101a)에 의해, 주사용 출력단자(10), 제 1~제 3 주사라인용 테스트단자(15~17) 및 주사용 입력단자(32)에 COG(Chip On Glass)법에 의해 본딩되어 있다. 본딩방법은 납땜에 의하지 않고, 이방성 도전 접착재 등 다른 접합재에 의한 방법이라도 괜찮다.

<20> 또, 액티브기판(1)의 데이터라인 구동용 드라이버 탑재영역(12) 상에는 데이터라인 구동 회로부를 내장하는 데이터라인 구동용 드라이버 칩(102)이 탑재되어 있다. 데이터라인 구동용 드라이버 칩(102)의 외부전극은 땜납 볼(102a)에 의해 데이터용 출력단자(13), 제 1~제 4 데이터라인용 테스트단자(23~26) 및 데이터용 입력단자(35)에 COG법에 의해 본딩되어 있다. 이 경우도, 본딩방법은 납땜에 의한 방법에 따르지 않고, 이방성 도전 접착재 등 다른 접합재에 의한 방법이라도 괜찮다. 또, 상기에 있어서, 주사라인 구동용 드라이버 칩과 데이터라인 구동용 드라이버 칩은 각각 디스크리트가 아닌, 양자가 일체화된 원칩이어도 괜찮다.

<21> 다음으로, 이 액정표시장치의 일부의 구체적인 구조에 대해서 설명한다. 우선, 도 2는 도 1에 나타내는 스위칭 용 박막 트랜지스터(5) 및 화소전극(4 (4R, 4G, 4B))의 부분 단면도를 나타낸다. 유리 등으로 이루어지는 액티브기판(1)의 상면의 소정 부분에는 크롬 등으로 이루어지는 게이트 전극(41), 해당 게이트 전극(41)에 접속된 주사라인(6) 및 해당 주사라인(6)에 접속된 주사용 드로잉선(8)(도 1 참조)이 설치되어 있다.

<22> 게이트 전극(41) 및 주사라인(6) 등을 포함하는 액티브기판(1)의 상면에는 질화실리콘으로 이루어지는 게이트 절연막(42)이 설치되어 있다. 게이트 전극(41) 상에 있어서의 게이트 절연막(42)의 상면의 소정 부분에는 전성 비정질실리콘으로 이루어지는 반도체 박막(43)이 설치되어 있다. 반도체 박막(43)의 상면 대략 중앙부에는 질화실리콘으로 이루어지는 채널 보호막(44)이 설치되어 있다.

<23> 채널 보호막(44)의 상면 양측 및 그 양측에 있어서의 반도체 박막(43)의 상면에는 n형 비정질실리콘으로 이루어지는 오믹컨택트층(45, 46)이 설치되어 있다. 한쪽의 오믹컨택트층(45)의 상면 및 그 근방의 게이트 절연막(42)의 상면의 소정 부분에는 크롬 등으로 이루어지는 한쪽의 소스·드레인 전극(47)이 설치되어 있다. 다른쪽의 오믹컨택트층(46)의 상면 및 게이트 절연막(42)의 상면의 소정 부분에는 크롬 등으로 이루어지는 다른쪽의 소스·드레인 전극(48), 해당 다른쪽의 소스·드레인 전극(48)에 접속된 데이터라인(7) 및 해당 데이터라인(7)에 접속된 데이터용 드로잉선(11)(도 1 참조)이 설치되어 있다.

<24> 여기에서, 스위칭용 박막 트랜지스터(5)는 게이트 전극(41), 게이트 절연막(42), 반도체 박막(43), 채널 보호막(44), 오믹컨택트층(45, 46) 및 소스·드레인 전극(47, 48)에 의해 구성되어 있다.

<25> 스위칭용 박막 트랜지스터(5) 및 데이터라인(7) 등을 포함하는 게이트 절연막(42)의 상면에는 질화실리콘으로 이루어지는 오버코트막(49)이 설치되어 있다. 오버코트막(49)의 상면의 소정 부분에는 ITO 등의 투명도전재료로 이루어지는 화소전극(4)이 설치되어 있다. 화소전극(4)은 오버코트막(49)의 소정 부분에 설치된 컨택트홀(50)을 통하여 한쪽의 소스·드레인 전극(47)에 접속되어 있다.

<26> 다음으로, 도 3은 도 1에 나타내는 주사라인 구동용 드라이버 탑재영역(9) 내의 좌측에서부터 세어서 홀수번째의 주사용 출력단자(10) 및 그것에 접속된 주사라인용 정전기 보호겸 테스트용 박막 트랜지스터(18) 등의 부분 단면도를 나타낸다. 주사라인용 정전기 보호겸 테스트용 박막 트랜지스터(18)는 도 2에 나타내는 스위칭용 박막 트랜지스터(5)와 대략 같은 구조이며, 게이트 전극(41), 게이트 절연막(42), 반도체 박막(43), 채널 보호막(44), 오믹컨택트층(45, 46) 및 소스·드레인 전극(47, 48)으로 이루어져 있다.

<27> 주사용 출력단자(10)는 액티브기판(1)의 상면에 설치된 크롬 등으로 이루어지는 하층 금속층(10a)과, 게이트 절연막(42)에 설치된 컨택트홀(51)을 통하여 노출된 하층 금속층(10a)의 상면 및 그 주위에 있어서의 게이트 절연막(42)의 상면에 설치된 크롬 등으로 이루어지는 상층 금속층(10b)의 2층 구조로 되어 있고, 오버코트막(49)에 설치된 개구부(52)를 통하여 노출되어 있다.

<28> 제 1 주사라인용 테스트단자(15)는 액티브기판(1)의 상면에 설치된 크롬 등의 금속층으로 이루어지고, 게이트 절연막(42) 및 오버코트막(49)에 설치된 개구부(53, 54)를 통하여 노출되어 있다. 제 2 주사라인용 테스트단자(16)는 액티브기판(1)의 상면에 설치된 크롬 등의 금속층으로 이루어지고, 게이트 절연막(42) 및 오버코트막(49)에 설치된 개구부(55, 56)를 통하여 노출되어 있다.

<29> 제 2 주사라인 테스트용 드로잉선(20)은 액티브기판(1)의 상면에 설치된 크롬 등으로 이루어지는 하층 드로잉선(20a)(도 1에 있어서 행방향으로 연장되는 선)과, 게이트 절연막(42)의 상면에 설치된 크롬 등으로 이루어지는 상층 드로잉선(20b)(도 1에 있어서 열방향으로 연장되는 선)으로 이루어지고, 상층 드로잉선(20b)의 일단부는 게이트 절연막(42)에 설치된 컨택트홀(57)을 통하여 하층 드로잉선(20a)에 접속되어 있다.

<30> 그리고, 주사용 출력단자(10)의 하층 금속층(10b)은 액티브기판(1)의 상면에 설치된 크롬 등으로 이루어지는 주사용 드로잉선(8)에 접속되어 있다. 주사라인용 정전기 보호겸 테스트용 박막 트랜지스터(18)의 게이트 전극(41)은 액티브기판(1)의 상면에 설치된 크롬 등으로 이루어지는 제 1 주사라인 테스트용 드로잉선(19)을 통하여 제 1 주사라인용 테스트단자(15)에 접속되고, 한쪽의 소스·드레인 전극(47)은 주사용 출력단자(10)의 상층 금속층(10b)에 접속되며, 다른쪽의 소스·드레인 전극(48)은 상층 드로잉선(20b) 및 하층 드로잉선(20a)으로 이루어지는 제 2 주사라인 테스트용 드로잉선(20)을 통하여 제 2 주사라인용 테스트단자(16)에 접속되어 있다.

<31> 다음으로, 도 4는 도 1에 나타내는 주사라인 구동용 드라이버 탑재영역(9) 내의 좌측에서부터 세어서 짹수번째의 주사용 출력단자(10) 및 그것에 접속된 주사라인용 정전기 보호겸 테스트용 박막 트랜지스터(18) 등의 부분 단면도를 나타낸다. 도 4에 있어서, 도 3에 나타내는 경우와 다른 점에 대해서만 설명하면, 제 3 주사라인용

테스트단자(17)는 게이트 절연막(42)의 상면에 설치된 크롬 등의 금속층으로 이루어져 있다. 그리고, 주사라인용 정전기 보호겸 테스트용 박막 트랜지스터(18)의 다른쪽의 소스·드레인 전극(48)은 게이트 절연막(42)의 상면에 설치된 크롬 등으로 이루어지는 제3주사라인 테스트용 드로잉선(21)을 통하여 제3주사라인용 테스트단자(17)에 접속되어 있다.

<32> 이 경우, 제3주사라인 테스트용 드로잉선(21)은 도1에 있어서 행방향으로 연장되는 부분(21a)도 열방향으로 연장되는 부분(21b)도 게이트 절연막(42)의 바로 위에 형성되어 있으며, 이 중, 열방향으로 연장되는 부분(21b)은 제2주사라인 테스트용 드로잉선(20) 중 도1에 있어서 행방향으로 연장되는 부분(하층 드로잉선(20a))과 교차하지만, 그 사이에 게이트 절연막(42)이 개재되어 있기 때문에 쇼트하는 일은 없다.

<33> 다음으로, 도5는 도1에 나타내는 데이터라인 구동용 드라이버 탑재영역(12) 내의 좌측에서부터 세어서 (1+3n)번쩨의 데이터용 출력단자(13) 및 그것에 접속된 데이터라인용 정전기 보호겸 테스트용 박막 트랜지스터(27) 등의 부분 단면도를 나타낸다. 데이터라인용 정전기 보호겸 테스트용 박막 트랜지스터(27)는 도2에 나타내는 스위칭용 박막 트랜지스터(5)와 대략 같은 구조이며, 게이트 전극(41), 게이트 절연막(42), 반도체 박막(43), 채널 보호막(44), 오믹컨택트층(45, 46) 및 소스·드레인 전극(47, 48)으로 이루어져 있다.

<34> 데이터용 출력단자(13)는 게이트 절연막(42)의 상면에 설치된 크롬 등의 금속층으로 이루어지고, 오버코트막(49)에 설치된 개구부(61)를 통하여 노출되어 있다. 제1데이터라인용 테스트단자(23)는 액티브기판(1)의 상면에 설치된 크롬 등의 금속층으로 이루어지고, 게이트 절연막(42) 및 오버코트막(49)에 설치된 개구부(62, 63)을 통하여 노출되어 있다. 제2데이터라인용 테스트단자(24)는 액티브기판(1)의 상면에 설치된 크롬 등의 금속층으로 이루어지고, 게이트 절연막(42) 및 오버코트막(49)에 설치된 개구부(64, 65)를 통하여 노출되어 있다.

<35> 제2데이터라인 테스트용 드로잉선(29)은 액티브기판(1)의 상면에 설치된 크롬 등으로 이루어지는 하층 드로잉선(29a)(도1에 있어서 행방향으로 연장되는 선)과, 게이트 절연막(42)의 상면에 설치된 크롬 등으로 이루어지는 상층 드로잉선(29b)(도1에 있어서 열방향으로 연장되는 선)으로 이루어지며, 상층 드로잉선(29b)의 일단부는 게이트 절연막(42)에 설치된 컨택트홀(66)을 통하여 하층 드로잉선(29a)에 접속되어 있다.

<36> 그리고, 데이터용 출력단자(13)는 액티브기판(1)의 상면에 설치된 크롬 등으로 이루어지는 데이터용 드로잉선(11)에 접속되어 있다. 데이터라인용 정전기 보호겸 테스트용 박막 트랜지스터(27)의 게이트 전극(41)은 액티브기판(1)의 상면에 설치된 크롬 등으로 이루어지는 제1데이터라인 테스트용 드로잉선(28)을 통하여 제1데이터라인용 테스트단자(23)에 접속되고, 한쪽의 소스·드레인 전극(47)은 데이터용 출력단자(13)에 접속되며, 다른쪽의 소스·드레인 전극(48)은 상층 드로잉선(29b) 및 하층 드로잉선(29a)으로 이루어지는 제2데이터라인 테스트용 드로잉선(29)을 통하여 제2데이터라인용 테스트단자(24)에 접속되어 있다.

<37> 다음으로, 도6은 도1에 나타내는 데이터라인 구동용 드라이버 탑재영역(12) 내의 좌측에서부터 세어서 (2+3n)번쩨의 데이터용 출력단자(13) 및 그것에 접속된 데이터라인용 정전기 보호겸 테스트용 박막 트랜지스터(27) 등의 부분 단면도를 나타낸다. 도6에 있어서, 도5에 나타내는 경우와 다른 점에 대해서만 설명하면, 제3데이터라인용 테스트단자(25)는 액티브기판(1)의 상면에 설치된 크롬 등의 금속층으로 이루어지고, 게이트 절연막(42) 및 오버코트막(49)에 설치된 개구부(67, 68)를 통하여 노출되어 있다.

<38> 제3데이터라인 테스트용 드로잉선(30)은 액티브기판(1)의 상면에 설치된 크롬 등으로 이루어지는 하층 드로잉선(30a)(도1에 있어서 행방향으로 연장되는 선)과, 게이트 절연막(42)의 상면에 설치된 크롬 등으로 이루어지는 상층 드로잉선(30b)(도1에 있어서 열방향으로 연장되는 선)으로 이루어지며, 상층 드로잉선(30b)의 일단부는 게이트 절연막(42)에 설치된 컨택트홀(69)을 통하여 하층 드로잉선(30a)에 접속되어 있다.

<39> 그리고, 데이터라인용 정전기 보호겸 테스트용 박막 트랜지스터(27)의 다른쪽의 소스·드레인 전극(48)은 상층 드로잉선(30b) 및 하층 드로잉선(30a)으로 이루어지는 제3데이터라인 테스트용 드로잉선(30)을 통하여 제3데이터라인용 테스트단자(25)에 접속되어 있다. 이 경우, 제3데이터라인 테스트용 드로잉선(30) 중, 도1에 있어서 열방향으로 연장되는 부분(상층 드로잉선(30b))은 제2데이터라인 테스트용 드로잉선(29) 중, 도1에 있어서 행방향으로 연장되는 부분(하층 드로잉선(29a))과 교차하지만, 그 사이에 게이트 절연막(42)이 개재되어 있기 때문에 쇼트하는 일은 없다.

<40> 다음으로, 도7은 도1에 나타내는 데이터라인 구동용 드라이버 탑재영역(12) 내의 좌측에서부터 세어서 (3+3n)번쩨의 데이터용 출력단자(13) 및 그것에 접속된 데이터라인용 정전기 보호겸 테스트용 박막 트랜지스터(27) 등의 부분 단면도를 나타낸다. 도7에 있어서, 도5에 나타내는 경우와 다른 점에 대해서만 설명하면, 제4데이터라인

이터라인용 테스트단자(26)는 게이트 절연막(42)의 상면에 설치된 크롬 등의 금속층으로 이루어지고, 오버코트 막(49)에 설치된 개구부(70)를 통하여 노출되어 있다. 제 4 데이터라인 테스트용 드로잉선(31)은 게이트 절연막(42)의 상면에 설치된 크롬 등의 금속층으로 되어 있다.

<41> 그리고, 데이터라인용 정전기 보호겸 테스트용 박막 트랜지스터(27)의 다른쪽의 소스·드레인 전극(48)은 제 4 데이터라인 테스트용 드로잉선(31)을 통하여 제 4 데이터라인용 테스트단자(26)에 접속되어 있다. 이 경우, 제 4 데이터라인 테스트용 드로잉선(31) 중, 도 1에 있어서 열방향으로 연장되는 부분(31b)은 제 2 데이터라인 테스트용 드로잉선(29) 중, 도 1에 있어서 행방향으로 연장되는 부분(하층 드로잉선(29a)) 및 제 3 데이터라인 테스트용 드로잉선(30) 중, 도 1에 있어서 행방향으로 연장되는 부분(하층 드로잉선(30a))과 교차하지만, 그 사이에 게이트 절연막(42)이 개재되어 있기 때문에 쇼트하는 일은 없다.

<42> 다음으로, 상기 구성의 액정표시장치에 있어서, 액티브기판(1)의 제조공정 중에 있어서의 정전기 보호 동작에 대해서 설명한다. 실험결과에 따르면, 상기 구성의 액정표시장치에 있어서는 플러스의 정전기가 침입하며, 마이너스의 정전기가 침입하는 일은 없었다. 이 상황을 근거로 해서, 정전기에 대한 보호대책은 플러스의 정전기가 침입하는 경우에 대해서 강구했다. 이 때문에, 이하의 동작은 플러스의 정전기가 침입한 경우에 대해서 설명한다. 또, 액티브기판(1)의 제조공정 중에 있어서는, 제 1 주사라인용 테스트단자(15) 및 제 1 데이터라인용 테스트단자(23)에는 테스트용 프로브(도시하지 않음)가 접속되어 있지 않다. 이 때문에, 주사라인용 정전기 보호겸 테스트용 박막 트랜지스터(18) 및 데이터라인용 정전기 보호겸 테스트용 박막 트랜지스터(27)는 플로팅(비도통) 상태로 되어 있다.

<43> 그런데, 도 1에 있어서 하측에서부터 세어서 홀수번째의 주사라인( $6_{1+2n}$ ) 중, 어느 1개의 주사라인( $6_1$ )에 외부로부터 어떠한 이유에 의해 플러스의 정전기가 침입했다고 한다. 그러면, 해당 주사라인( $6_1$ )에 주사용 드로잉선(8) 및 주사용 출력단자(10)를 통하여 접속된 주사라인용 정전기 보호겸 테스트용 박막 트랜지스터(18)가 온(도통) 상태로 되며, 해당 주사라인( $6_1$ )으로부터 전류가 그것에 접속된 주사라인용 정전기 보호겸 테스트용 박막 트랜지스터(18)를 통하여 제 2 주사라인 테스트용 드로잉선(20)으로 흐르고, 제 2 주사라인 테스트용 드로잉선(20)이 고전위로 된다.

<44> 제 2 주사라인 테스트용 드로잉선(20)이 고전위가 되면, 도 1에 있어서 하측에서부터 세어서 홀수번째의 주사라인( $6_{1+2n}$ ) 중, 다른 모든 주사라인( $6_{1+2n}$ )에 접속된 주사라인용 정전기 보호겸 테스트용 박막 트랜지스터(18)가 도통 상태로 되고, 제 2 주사라인 테스트용 드로잉선(20)으로부터 전류가 주사라인용 정전기 보호겸 테스트용 박막 트랜지스터(18)를 통하여 다른 모든 주사라인( $6_{1+2n}$ )으로 흐르고, 도 1에 있어서 하측에서부터 세어서 홀수번째의 주사라인( $6_{1+2n}$ )의 모든 것이 동전위로 된다. 이에 따라, 홀수번째의 주사라인( $6_{1+2n}$ )에 접속된 각 스위칭용 박막 트랜지스터(5)에 인가되는 전하가 완화되고, 각 스위칭용 박막 트랜지스터(5) 및 각 절연막의 특성 변동이나 파괴를 방지할 수 있다.

<45> 도 1에 있어서 하측에서부터 세어서 짹수번째의 주사라인( $6_{2+2n}$ ) 중, 어느 1개의 주사라인( $6_2$ )에 외부로부터 어떠한 이유에 의해 플러스의 정전기가 침입한 경우에는, 상기와 마찬가지의 정전기 보호 동작에 의해, 제 3 주사라인 테스트용 드로잉선(21)이 고전위가 되고, 도 1에 있어서 하측에서부터 세어서 짹수번째의 주사라인( $6_{2+2n}$ )의 모든 것이 동전위로 된다. 이에 따라, 짹수번째의 주사라인( $6_{2+2n}$ )에 접속된 각 스위칭용 박막 트랜지스터(5)에 인가되는 전하가 완화된다. 이렇게 해서, 주사라인(6)에 외부로부터 어떠한 이유에 의해 플러스의 정전기가 침입해도, 스위칭용 박막 트랜지스터(5) 및 각 절연막의 정전기에 기인하는 특성 변동이나 파괴 등의 불량이 방지된다.

<46> 한편, 도 1에 있어서 좌측에서부터 세어서  $(1+3n)$ 번째의 적색 표시용의 데이터라인( $7_{1+3n}$ ) 중 어느 1개의 데이터라인( $7_1$ )에 외부로부터 어떠한 이유에 의해 플러스의 정전기가 침입했다고 한다. 그러면, 해당 데이터라인( $7_1$ )에 접속된 데이터라인용 정전기 보호겸 테스트용 박막 트랜지스터(27)가 도통 상태로 되고, 해당 데이터라인( $7_1$ )으로부터 전류가 그것에 접속된 데이터라인용 정전기 보호겸 테스트용 박막 트랜지스터(27)를 통하여 제 2 데이터라인 테스트용 드로잉선(29)으로 흐르며, 제 2 데이터라인 테스트용 드로잉선(29)이 고전위로 된다.

<47> 제 2 데이터라인 테스트용 드로잉선(29)이 고전위가 되면, 적색 표시용의 데이터라인(7) 중 다른 모든 데이터라인( $7_{7+3n}$ )에 접속된 데이터라인용 정전기 보호겸 테스트용 박막 트랜지스터(27)가 도통 상태로 되고, 제 2 데이터라인 테스트용 드로잉선(29)이 고전위가 되면, 적색 표시용의 데이터라인(7) 중 다른 모든 데이터라인( $7_{7+3n}$ )에 접속된 데이터라인용 정전기 보호겸 테스트용 박막 트랜지스터(27)가 도통 상태로 되고, 제 2 데이터라인 테스트용 드로잉선(29)이 고전위로 된다.

터라인 테스트용 드로잉선(29)으로부터 전류가 데이터라인용 정전기 보호겸 테스트용 박막 트랜지스터(27)를 통하여 해당 나머지의 데이터라인( $7_{1+3n}$ )으로 흐르고, 적색 표시용의 데이터라인( $7_{1+3n}$ ) 모두가 동전위로 된다.

<48> 도 1에 있어서 좌측에서부터 세어서 ( $2+3n$ )번째 (또는 ( $3+3n$ )번째)의 녹색 표시용(또는 청색 표시용)의 데이터라인( $7_{2+3n}$ ( $7_{3+3n}$ ))중 어느 1개의 데이터라인( $7_2$ ( $7_3$ ))에 외부로부터 어떠한 이유에 의해 플러스의 정전기가 침입한 경우에는, 상기와 마찬가지의 정전기 보호 동작에 의해, 제 3 데이터라인 테스트용 드로잉선(30)(또는 제 4 데이터라인 테스트용 드로잉선(31))이 고전위가 되고, 녹색 표시용(또는 청색 표시용)의 데이터라인( $7$ ) 모두가 동전위로 된다. 이렇게 해서, 데이터라인( $7_{2+3n}$ ( $7_{3+3n}$ ))에 외부로부터 어떠한 이유에 의해 플러스의 정전기가 침입해도, 스위칭용 박막 트랜지스터(5) 및 각 절연막의 정전기에 기인하는 특성 변동이나 파괴 등의 불량이 방지된다.

<49> 다음으로, 상기 구성의 액정표시장치의 점등검사방법에 대해서 설명한다. 우선, 모든 테스트단자(15~17, 23~26)에 검사장치에 접속된 테스트용 프로브(도시하지 않음)를 접촉시킨다. 그리고, 제 1에, 예를 들면, 제 2 주사라인용 테스트단자(16)에 구동전압을 공급하고, 또한, 제 2~제 4 데이터라인용 테스트단자(24~26)에 구동전압을 공급한 상태에서, 제 1 주사라인용 테스트단자(15) 및 제 1 데이터라인용 테스트단자(23)에 게이트 전압을 공급하면, 도 1에 있어서, 하측에서부터 세어서 홀수번째의 행의 화소전극(4R, 4G, 4B)에 대응하는 화소가 점등한다. 이 때, 서로 인접하는 주사라인(6)간에서 쇼트가 발생하고 있는 경우에는, 이 쇼트가 발생하고 있는 부분에 대응하는 하측에서부터 세어서 짹수번째의 행의 화소전극(4R, 4G, 4B)에 대응하는 화소가 점등하고, 서로 인접하는 주사라인(6)간의 쇼트 불량이 검출된다. 또, 이때, 하측에서부터 세어서 홀수번째의 어느 행의 화소전극(4R, 4G, 4B)의 적어도 일부가 점등하지 않는 경우에는, 이것에 대응하는 행의 주사라인(6)이 단선하고 있게 되고, 주사라인(6)의 단선 불량이 검출된다. 마찬가지로 구동전압을 제 2 주사라인용 테스트단자(16)에 공급하지 않고, 제 2 주사라인용 테스트단자(17)에 공급함으로써, 하측에서부터 세어서 짹수번째의 행이 서로 인접하는 주사라인(6)과 쇼트하고 있는지 아닌지 및 하측에서부터 세어서 짹수번째의 행의 주사라인(6)이 단선하고 있는지 아닌지를 검출할 수 있다.

<50> 제 2에, 예를 들면, 제 1, 제 2 주사라인용 테스트단자(16, 17)에 구동전압을 공급하고, 또한, 제 2 데이터라인용 테스트단자(24)에 구동전압을 공급한 상태에 있어서, 제 1 주사라인용 테스트단자(15) 및 제 1 데이터라인용 테스트단자(23)에 게이트 전압을 공급하면, 모든 적색 표시용의 화소전극(4R)에 대응하는 화소가 점등한다. 이 때, 서로 인접하는 데이터라인(7) 간에서 쇼트가 발생하고 있는 경우에는, 이 쇼트가 발생하고 있는 부분에 대응하는 녹색 표시용의 화소전극(4G) 혹은 청색 표시용의 화소전극(4B)에 대응하는 화소가 점등하며, 서로 인접하는 데이터라인(7) 간의 쇼트 불량이 검출된다. 또, 이때, 어느 열의 적색 표시용의 화소전극(4R)의 적어도 일부가 점등하지 않는 경우에는, 이것에 대응하는 데이터라인( $7_{1+3n}$ )이 단선하고 있게 되고, 데이터라인( $7_{1+3n}$ )의 단선 불량이 검출된다. 녹색 표시용의 화소전극(4G) 및 청색 표시용의 화소전극(4B)에 대해서도, 구동전압을 제 2 데이터라인용 테스트단자(24)에 공급하지 않고, 제 2 데이터라인용 테스트단자(25 또는 26)에 공급함으로써, 적색 표시용의 화소전극(4R)과 마찬가지로 서로 인접한 데이터라인 간 (7)의 쇼트 및 해당 표시색의 표시용의 화소전극(4)이 접속된 데이터라인( $7_{2+3n}$  또는  $7_{3+3n}$ )의 단선 불량을 검출할 수 있다.

<51> 그런데, 이 액정표시장치에서는, 도 1에 나타내는 바와 같이, 액티브기판(1)상의 표시영역(3)의 외측의 돌출부(1a) 상의 주사라인 구동용 드라이버 탑재영역(9) 내에, 주사라인용 정전기 보호겸 테스트용 회로(14), 즉, 주사라인용 정전기 보호겸 테스트용 박막 트랜지스터(18), 제 1~제 3 주사라인 테스트용 드로잉선(19~21) 및 제 1~제 3 주사라인용 테스트단자(15~17)를 설치하고 있으므로, 이들을 배치하기 위한 그들 전용의 배치영역이 불필요해지고, 그것에 따라서 액자 면적을 작게 할 수 있다.

<52> 또, 이 액정표시장치에서는, 도 1에 나타내는 바와 같이, 액티브기판 상(1)의 표시영역(3)의 외측의 돌출부(1a) 상의 데이터라인 구동용 드라이버 탑재영역(12) 내에, 데이터라인용 정전기 보호겸 테스트용 회로(22), 즉, 데이터라인용 정전기 보호겸 테스트용 박막 트랜지스터(27), 제 1~제 4 데이터라인 테스트용 드로잉선(28~31) 및 제 1~제 4 데이터라인용 테스트단자(23~26)를 설치하고 있으므로, 이들을 배치하기 위한 그것 전용의 배치영역이 불필요해지며, 그것에 따라서 액자 면적을 작게 할 수 있다.

<53> 다음으로, 이 액정표시장치에 있어서, 주사라인 구동용 드라이버 탑재영역(9) 상에 주사라인 구동용 드라이버(도시하지 않음)를 탑재하고, 데이터라인 구동용 드라이버 탑재영역(12) 상에 데이터라인 구동용 드라이버(도시하지 않음)를 페이스 다운·본딩 등 적당한 방법에 의해 COG 실장하고, 실구동을 실행하는 경우의 일부에 대해서 설명한다. 이 경우, 주사라인 구동용 드라이버의 외부전극은 땜납, 이방도전성 재료, 금속 공정(共晶) 등

적절한 접속재료에 의해, 각각, 대응하는 주사용 출력단자(10), 제 1~제 3 주사라인용 테스트단자(15~17) 및 주사용 입력단자(32)에 접속되고, 데이터라인 구동용 드라이버의 외부전극은, 각각, 대응하는 데이터용 출력단자(13), 제 1~제 4 데이터라인용 테스트단자(23~26) 및 데이터용 입력단자(35)에 접속되어 있다.

<54> 그리고, 비선택 상태의 주사라인(6)에 주사라인 구동용 드라이버로부터 주사용 출력단자(10)를 통하여 전압  $V_{gl}$ (예를 들면,  $V_{gl}=-20\sim-15V$ )이 공급되어 있는 경우에는, 제 1 주사라인용 테스트단자(15)에도 주사라인 구동용 드라이버로부터 전압  $V_{gl}$ 이 공급되고, 모든 주사라인용 정전기 보호겸 테스트용 박막 트랜지스터(18)는 오프 상태로 훌딩되어 있다. 또, 제 2, 제 3 주사라인용 테스트단자(16, 17)에도 주사라인 구동용 드라이버로부터 전압  $V_{gl}$ 이 공급되며, 주사라인용 정전기 보호겸 테스트용 박막 트랜지스터(18)의 다른쪽의 소스·드레인 전극의 전위는  $V_{gl}$ 로 훌딩되어 있다.

<55> 이 상태에서, 주사라인 구동용 드라이버로부터, 주사용 출력단자(10) 및 주사용 드로잉선(8)을 통하여 전압  $V_{gh}$ 이 차례차례 공급되고, 각 주사라인(6) 주사된다.

<56> 그런데, 실구동 중에서는, 스위칭용 박막 트랜지스터(5)가 온 상태로 되는 시간은 그저 일순간이며, 대부분의 시간은 오프 상태이다. 따라서, 비선택 상태의 주사라인(6)에는 대부분의 시간 전압  $V_{gl}$ 이 공급되어 있다. 이 결과, 제 1 주사라인용 테스트단자(15)를 통하여 주사라인용 정전기 보호겸 테스트용 박막 트랜지스터(18)의 게이트 전극에 공급되는 전압  $V_{gl}$ 은 비선택 상태의 주사라인(6)에 공급되는 전압  $V_{gl}$ 과 마찬가지로 되고, 주사라인용 정전기 보호겸 테스트용 박막 트랜지스터(18)로부터의 리크전류를 저감할 수 있다.

<57> 또, 제 2, 제 3 주사라인용 테스트단자(16, 17)를 통하여 주사라인용 정전기 보호겸 테스트용 박막 트랜지스터(18)의 다른쪽의 소스·드레인 전극에 공급되는 전압  $V_{gl}$ 은 비선택 상태의 주사라인(6)에 접속된 주사용 출력단자(10)를 통하여 주사라인용 정전기 보호겸 테스트용 박막 트랜지스터(18)의 한쪽의 소스·드레인 전극에 공급되는 전압  $V_{gl}$ 과 같고, 주사라인용 정전기 보호겸 테스트용 박막 트랜지스터(18)로부터의 리크전류를 저감할 수 있다. 또한 제 2, 제 3 주사라인용 테스트단자(16, 17)에 공급되는 전압은 GND 전위 또는 그것 미만의 마이너스 전위라고 해도 좋다.

<58> 한편, 제 1 데이터라인용 테스트단자(23)에는 데이터라인 구동용 드라이버로부터 전압  $V_{gl}$ 이 공급되고, 모든 데이터라인용 정전기 보호겸 테스트용 박막 트랜지스터(27)는 오프 상태로 훌딩되어 있다. 또, 제 2~제 4 데이터라인용 테스트단자(24~26)에는 데이터라인 구동용 드라이버로부터 그 베이스 전압(LSI-GND로 한다)이 공급되며, 제 2~제 4 데이터라인 테스트용 드로잉선(29~31)의 전위는 LSI-GND로 훌딩되어 있다.

<59> 이 상태에서 데이터라인 구동용 드라이버로부터, 화상데이터가 주사라인(6)의 주사 타이밍에 동기하여 출력되고, 데이터용 출력단자(13) 및 데이터용 드로잉선(11)을 통하여 각 데이터라인(7)에 공급된다.

<60> 이 경우, 모든 데이터라인용 정전기 보호겸 테스트용 박막 트랜지스터(27)가 오프 상태로 훌딩되어 있으면, 데이터라인(7)끼리는 고저항으로 분리되고, 데이터라인(7)에 데이터용 출력단자(13)를 통하여 공급되는 데이터신호가 서로 간섭하지 않도록 할 수 있으며, 또 데이터라인용 정전기 보호겸 테스트용 박막 트랜지스터(27)로부터의 리크전류를 저감할 수 있다.

<61> 여기에서, 도 5 및 도 6에 나타내는 바와 같이, 제 2, 제 3 데이터라인 테스트용 드로잉선(29, 30)은 상층 드로잉선(29b, 30b)의 일단부가 컨택트홀(66, 69)을 통하여 하층 드로잉선(29a, 30a)에 접속된 구조이며, 컨택트홀(66, 69)의 부분이 오버코트막(49)에 의해서 덮여져 있다. 그런데, 컨택트홀(66, 69)의 부분에 있어서의 오버코트막(49)에는 결함이 발생하기 쉽다.

<62> 한편, 컨택트홀(66, 69)의 부분에 있어서의 오버코트막(49) 상은 데이터라인 구동용 드라이버에 의해서 덮여지므로, 컨택트홀(66, 69)의 부분에 있어서의 오버코트막(49)에 결함이 있고, 또한, 컨택트홀(66, 69)의 부분에 있어서의 상층 드로잉선(29b, 30b)과 데이터라인 구동용 드라이버의 사이에 전위차가 있으면, 이온의 이동에 의해, 컨택트홀(66, 69)의 부분에 있어서의 상층 드로잉선(29b, 30b)이 부식하는 원인으로 된다.

<63> 이것에 대해, 제 2~제 4 데이터라인용 테스트단자(24~26)에는 데이터라인 구동용 드라이버로부터 전압 LSI-GND가 공급되고, 제 2~제 4 데이터라인 테스트용 드로잉선(29~31)의 전위가 LSI-GND로 훌딩되어 있으면, 컨택트홀(66, 69)의 부분에 있어서의 상층 드로잉선(29b, 30b)과 데이터라인 구동용 드라이버의 사이에 전위차가 생기지 않으므로, 컨택트홀(66, 69)의 부분에 있어서의 오버코트막(49)에 결함이 있어도 상기와 같은 드로잉선의 부식이 발생하지 않도록 할 수 있다.

<64> 그런데, 도 3에 나타내는 바와 같이, 제 2 주사라인용 테스트단자(16)를 액티브기판(1)의 상면에 설치하면, 제

2 주사라인 테스트용 드로잉선(20)은 액티브기판(1)의 상면에 설치된 하층 드로잉선(20a)의 일단부를, 게이트 절연막(42)에 설치된 컨택트홀(57)을 통하여 게이트 절연막(42)의 상면에 설치된 하층 드로잉선(20a)에 접속시킨 구조로 할 필요가 있다. 따라서, 컨택트홀(57)이 필요하게 된다. 다음으로 설명하는 제 2 실시형태는 컨택트홀(57)을 필요로 하지 않는 것이다.

<65> (제 2 실시형태)

<66> 도 8은 이 발명의 제 2 실시형태로서의 액정표시장치의 주사라인 구동용 드라이버 탑재영역(9)의 부분의 등가회로적 평면도를 나타내고, 도 9는 동일 제 2 실시형태로서의 액정표시장치의 도 3과 같은 단면도를 나타낸다. 이 액정표시장치에서는, 우선, 도 8에 나타내는 바와 같이, 제 2 주사라인용 테스트단자(16)는 제 1 주사라인용 테스트단자(15)의 상측에 배치되고, 제 2 주사라인 테스트용 드로잉선(20) 중 행방향으로 연장되는 공통된 부분은 주사라인 구동용 드라이버 탑재영역(9)의 위쪽측, 즉, 주사용 출력단자(10)측에 배치되어 있다.

<67> 또한 도 8에 있어서, 주사라인용 정전기 보호겸 테스트용 박막 트랜지스터(18)는 지그재그형상으로 배치하고 있지만, 이것은 좌측에서부터 세어서 짹수번째의 주사라인용 정전기 보호겸 테스트용 박막 트랜지스터(18)와 그 상측의 제 2 주사라인 테스트용 드로잉선(20)의 일부를 도면상 명확하게 하기 위함이다. 따라서, 주사라인용 정전기 보호겸 테스트용 박막 트랜지스터(18)는 도 8에 나타내는 바와 같이, 지그재그형상으로 배치해도 괜찮지만, 도 1에 나타내는 바와 같이, 동일 직선상에 배치하는 것이 바람직하다.

<68> 다음으로, 도 9에 나타내는 바와 같이, 제 2 주사라인용 테스트단자(16)는 게이트 절연막(42)의 상면에 설치된 크롬 등의 금속층으로 이루어지고, 오버코트막(49)에 설치된 컨택트홀(56)을 통하여 노출되어 있다. 그리고, 주사라인용 정전기 보호겸 테스트용 박막 트랜지스터(18)의 다른쪽의 소스·드레인 전극(19)은 게이트 절연막(42)의 상면에 설치된 크롬 등으로 이루어지는 제 2 주사라인 테스트용 드로잉선(20)을 통하여 제 2 주사라인용 테스트단자(16)에 접속되어 있다. 따라서, 도 3에 나타내는 컨택트홀(57)은 불필요해진다.

<69> 또한 도 10에 나타내는 바와 같이, 제 2 주사라인용 테스트단자(16)는 제 1 주사라인용 테스트단자(15)와 제 3 주사라인용 테스트단자(17)의 사이에 배치하고, 제 2 주사라인 테스트용 드로잉선(20)은 제 1 주사라인용 테스트단자(15)의 좌측을 통과하도록 배치하고, 제 2 주사라인 테스트용 드로잉선(20) 중 행방향으로 연장되는 공통된 부분은 주사라인 구동용 드라이버 탑재영역(9) 내에 있어서 주사용 출력단자(10)의 상측에 배치해도 괜찮다.

<70> (그 외의 실시형태)

<71> 도 1에서는, 주사라인 구동용 드라이버 탑재영역(9)에 있어서, 주사라인용 정전기 보호겸 테스트용 박막 트랜지스터(18)를 좌측에서부터 세어서 홀수번째와 짹수번째로 나누고 있지만, 이것은, 상기한 바와 같이, 서로 인접하는 주사라인(6)간의 쇼트 불량을 검출할 수 있도록 하기 위함이다. 이와 같은 쇼트검사를 실행하지 않은 경우에는, 모든 주사라인용 정전기 보호겸 테스트용 박막 트랜지스터(18)의 다른쪽의 소스·드레인 전극을 제 3 주사라인 테스트용 드로잉선(21)을 통하여 제 3 주사라인용 테스트단자(17)에 접속하고, 제 2 주사라인 테스트용 드로잉선(20) 및 제 2 주사라인용 테스트단자(16)를 생략해도 괜찮다.

<72> 이와 같이 한 경우에는, 어느 1개의 주사라인(6)에 정전기가 침입했을 때의 전하 분산처를 나머지의 모든 주사라인(6)으로 할 수 있으므로, 정전기 내성을 향상할 수 있다. 또, 도 3에 나타내는 컨택트홀(57)이 불필요해지므로, 이와 같은 컨택트홀에 기인하는 드로잉선의 부식이 발생하지 않도록 할 수 있다.

<73> 또, 도 1에서는, 데이터라인 구동용 드라이버 탑재영역(12)에 있어서, 데이터라인 테스트용 박막 트랜지스터(18)를 적, 녹, 청의 각 색 표시용으로 나누고 있지만, 이것은, 상술한 바와 같이, 적, 녹, 청의 각 색별로 검사할 수 있도록 하기 위함이다. 이와 같은 각 색별의 검사를 실행하지 않는 경우에는, 또는 1개의 데이터라인(6)에 스위칭용 박막 트랜지스터(5)를 통하여 복수색의 화소전극이 접속되어 있는 경우에는, 모든 데이터라인용 정전기 보호겸 테스트용 박막 트랜지스터(27)의 다른쪽의 소스·드레인 전극을 제 4 데이터라인 테스트용 드로잉선(31)을 통하여 제 4 데이터라인용 테스트단자(26)에 접속하고, 제 2, 제 3 데이터라인 테스트용 드로잉선(29, 30) 및 제 2, 제 3 데이터라인용 테스트단자(23, 24)를 생략해도 괜찮다.

<74> 이와 같이 한 경우에는, 어느 1개의 데이터라인(7)에 정전기가 침입했을 때의 전하 분산처를 나머지의 모든 데이터라인(6)으로 할 수 있으므로, 정전기 내성을 향상할 수 있다. 또, 도 5 및 도 6에 나타내는 컨택트홀(66, 69)이 불필요해지므로, 이러한 컨택트홀에 기인하는 드로잉선의 부식이 발생하지 않도록 할 수 있다. 이 경우, 실구동 중에 있어서 제 4 데이터라인용 테스트단자(26)에 공급하는 전압은 LSI-GND 전위 외에, Vsig 중심 또는 Vcom 중심의 전위로 해도 좋다. 실구동 중에 있어서 제 4 데이터라인용 테스트단자(26)에 공급하는 전압을 Vsig 중심 또는 Vcom 중심의 전위로 한 경우에는, 데이터라인용 정전기 보호겸 테스트용 박막 트랜지스터(27)의

양 소스·드레인 전극간의 전위차가 작아지므로, 리크전류를 보다 한층 저감할 수 있다.

<75> 또, 도 1에서는, 주사라인 구동용 드라이버 탑재영역(9)과 데이터라인 구동용 드라이버 탑재영역(12)을 분리하고 있지만, 주사라인 구동용 드라이버와 데이터라인 구동용 드라이버를 1칩화한 것이 시판되어 있고, 이와 같은 1칩 드라이버를 이용하는 경우에는, 주사라인 구동용 드라이버 탑재영역과 데이터라인 구동용 드라이버 탑재영역은 연속해서 형성해도 좋다.

<76> 또, 도 1에서는, 주사라인 구동용 드라이버 탑재영역(9)과 데이터라인 구동용 드라이버 탑재영역(12)을 액티브 기판(1)의 한 변인 돌출부(1a)에 형성한 것으로 하고 있지만, 액티브기판의 복수의 변을 돌출부로 하고, 각 돌출부에 주사라인 구동용 드라이버 탑재영역과 데이터라인 구동용 드라이버 탑재영역을 형성하도록 해도 괜찮다.

### 도면의 간단한 설명

<77> 도 1은 이 발명의 제 1 실시형태로서의 액정표시장치의 주요부의 등가회로적 평면도.

<78> 도 2는 도 1에 나타내는 스위칭용 박막 트랜지스터 및 화소전극의 부분 단면도.

<79> 도 3은 도 1에 나타내는 주사라인 구동용 드라이버 탑재영역 내의 좌측에서부터 세어서 홀수번째의 주사용 출력단자 및 그것에 접속된 주사라인 테스트용 박막 트랜지스터 등의 부분 단면도.

<80> 도 4는 도 1에 나타내는 주사라인 구동용 드라이버 탑재영역 내의 좌측에서부터 세어서 짝수번째의 주사용 출력단자 및 그것에 접속된 주사라인 테스트용 박막 트랜지스터 등의 부분 단면도.

<81> 도 5는 도 1에 나타내는 데이터라인 구동용 드라이버 탑재영역 내의 좌측에서부터 세어서  $(1+3n)$ 번째의 데이터용 출력단자 및 그것에 접속된 데이터라인 테스트용 박막 트랜지스터 등의 부분 단면도.

<82> 도 6은 도 1에 나타내는 데이터라인 구동용 드라이버 탑재영역 내의 좌측에서부터 세어서  $(2+3n)$ 번째의 데이터용 출력단자 및 그것에 접속된 데이터라인 테스트용 박막 트랜지스터 등의 부분 단면도.

<83> 도 7은 도 1에 나타내는 데이터라인 구동용 드라이버 탑재영역 내의 좌측에서부터 세어서  $(3+3n)$ 번째의 데이터용 출력단자 및 그것에 접속된 데이터라인 테스트용 박막 트랜지스터 등의 부분 단면도.

<84> 도 8은 이 발명의 제 2 실시형태로서의 액정표시장치의 주사라인 구동용 드라이버 탑재영역의 부분의 등가회로적 평면도.

<85> 도 9는 동일 제 2 실시형태로서의 액정표시장치의 도 3과 같은 단면도.

<86> 도 10은 도 8에 나타내는 경우의 변형예를 설명하기 위해 나타내는 바와 같은 등가회로적 평면도.

<87> 도 11은 도 1에 나타내는 액정표시장치를 정면 앞쪽에서 본 측면도이다.

<88> ※도면의 주요부분에 대한 부호의 설명

<89> 1: 액티브기판

<90> 2: 대향기판

<91> 3: 표시영역

<92> 4, 4R, 4G, 4B: 화소전극

<93> 5: 스위칭용 박막 트랜지스터

<94> 6: 주사라인

<95> 7: 데이터라인

<96> 8: 주사용 드로잉선

<97> 9: 주사라인 구동용 드라이버 탑재영역

<98> 10: 주사용 출력단자

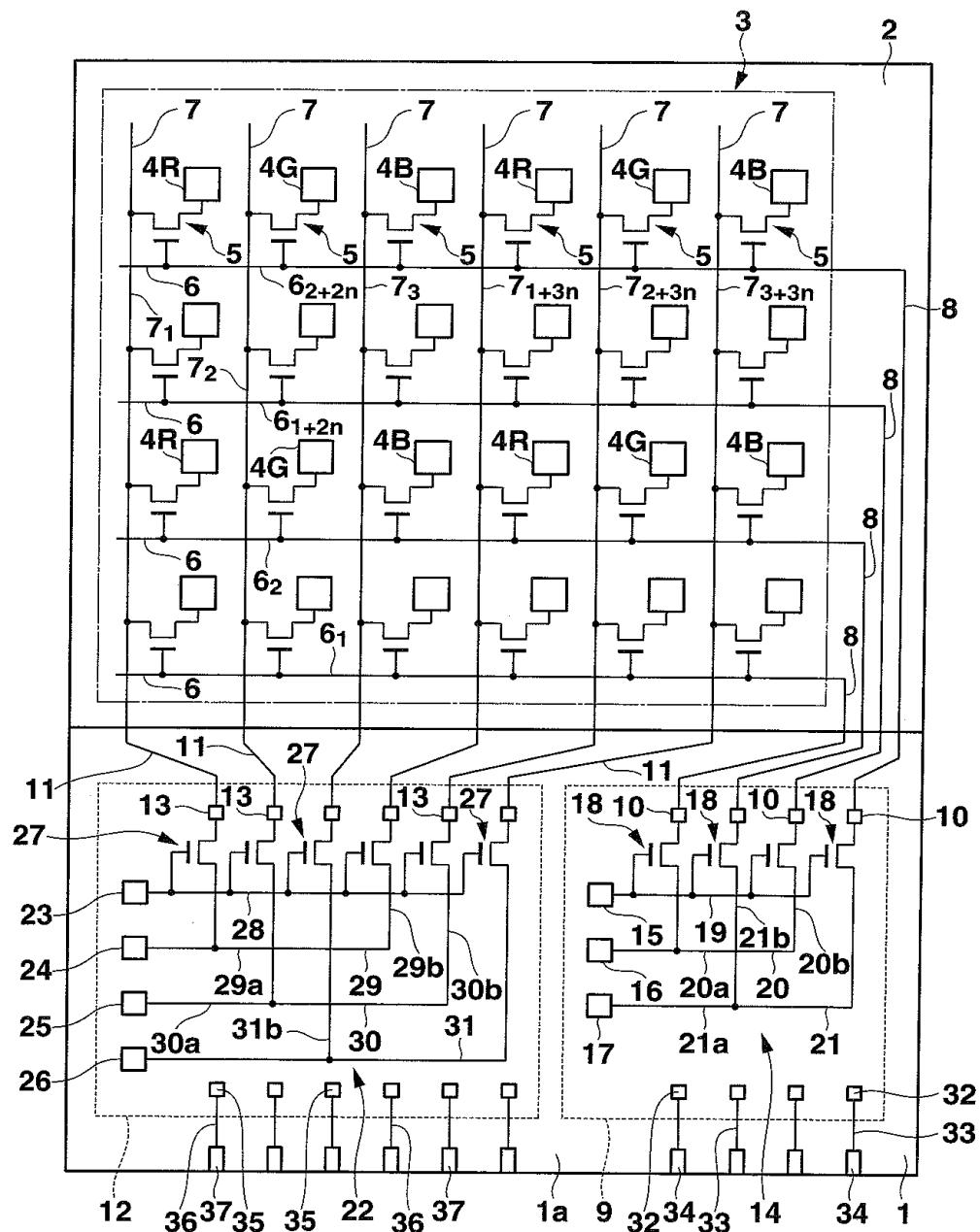
<99> 11: 데이터용 드로잉선

<100> 12: 데이터라인 구동용 드라이버 탑재영역

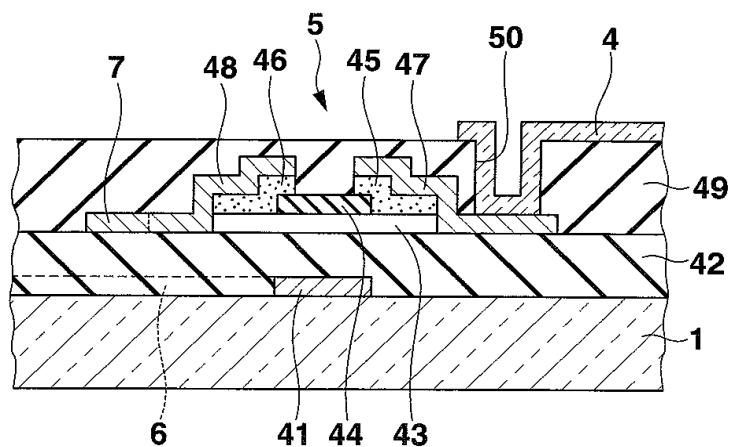
- <101> 13: 데이터용 출력단자
- <102> 14: 주사라인용 정전기 보호겸 테스트용 회로
- <103> 15~17: 제 1~제 3 주사라인용 테스트단자
- <104> 18: 주사라인용 정전기 보호겸 테스트용 박막 트랜지스터
- <105> 19~21: 제 1~제 3 주사라인 테스트용 드로잉선
- <106> 22: 데이터라인용 정전기 보호겸 테스트용 회로
- <107> 23~26: 제 1~제 4 데이터라인용 테스트단자
- <108> 27: 데이터라인용 정전기 보호겸 테스트용 박막 트랜지스터
- <109> 28~31: 제 1~제 4 데이터라인 테스트용 드로잉선

도면

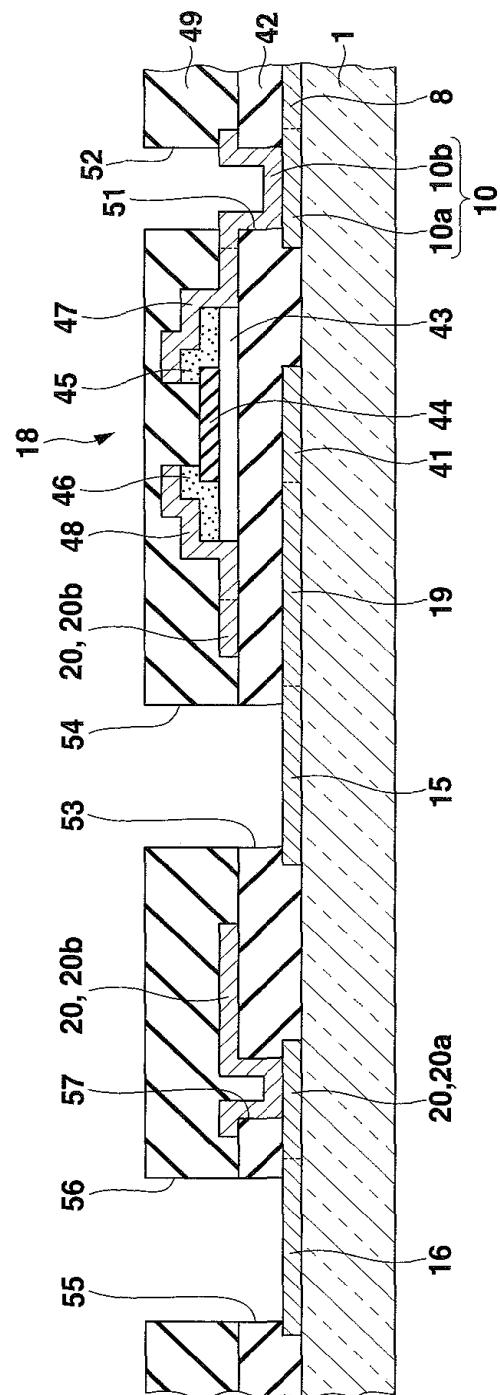
도면1



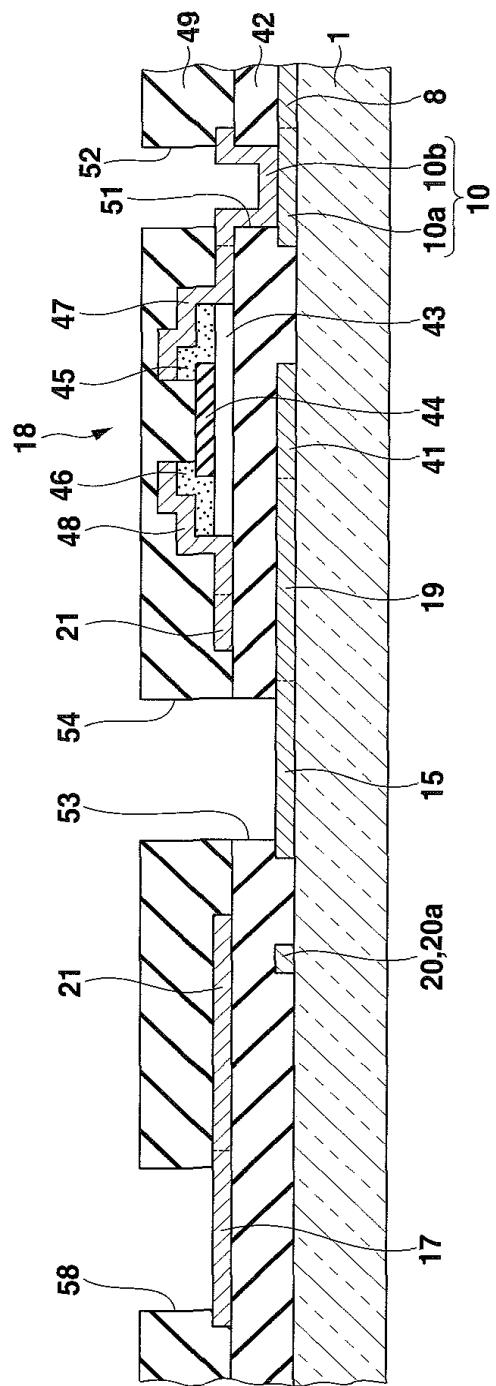
도면2



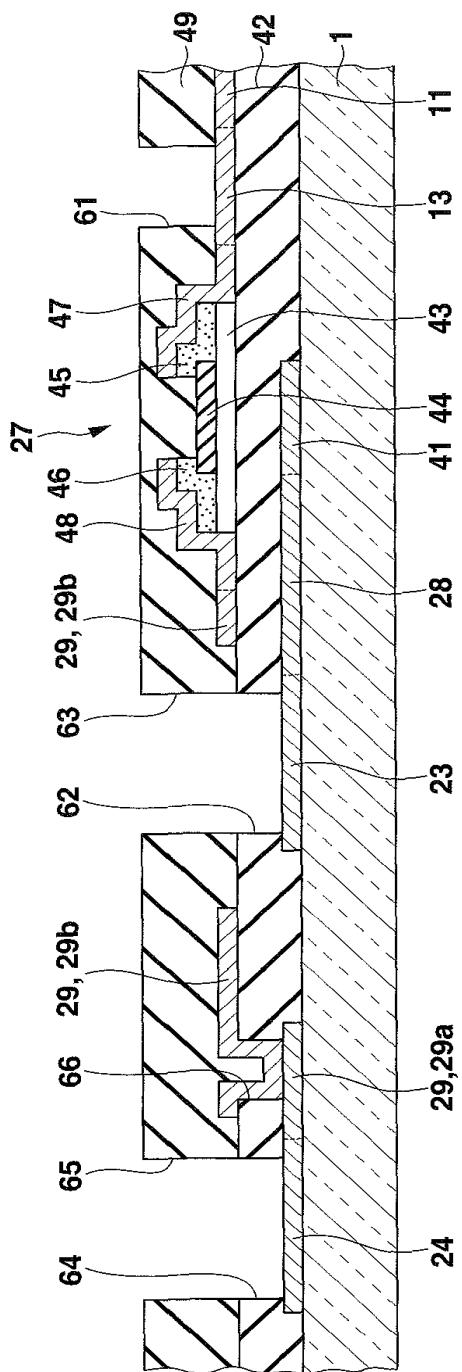
도면3



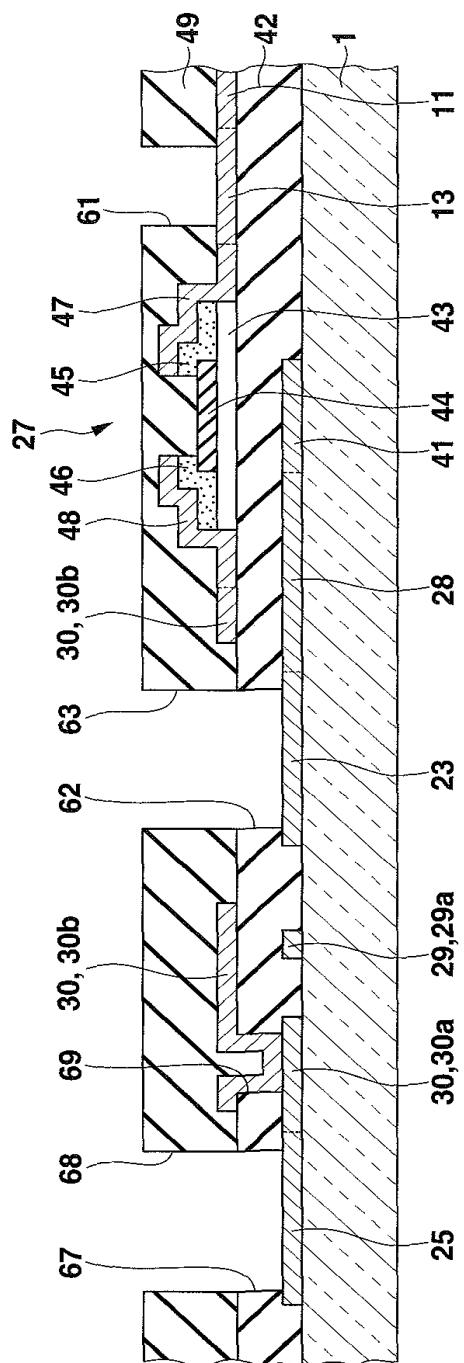
도면4



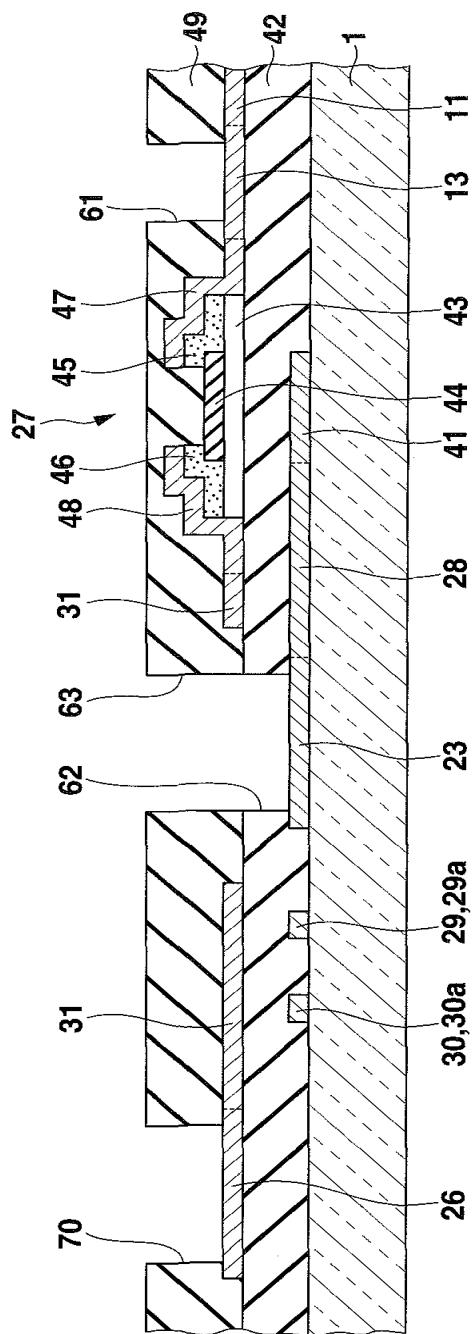
도면5



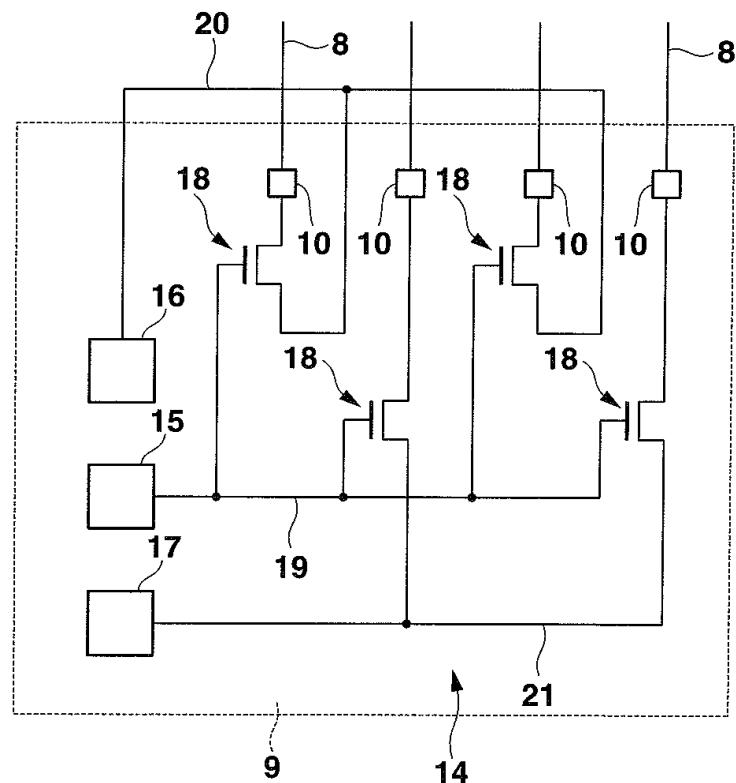
도면6



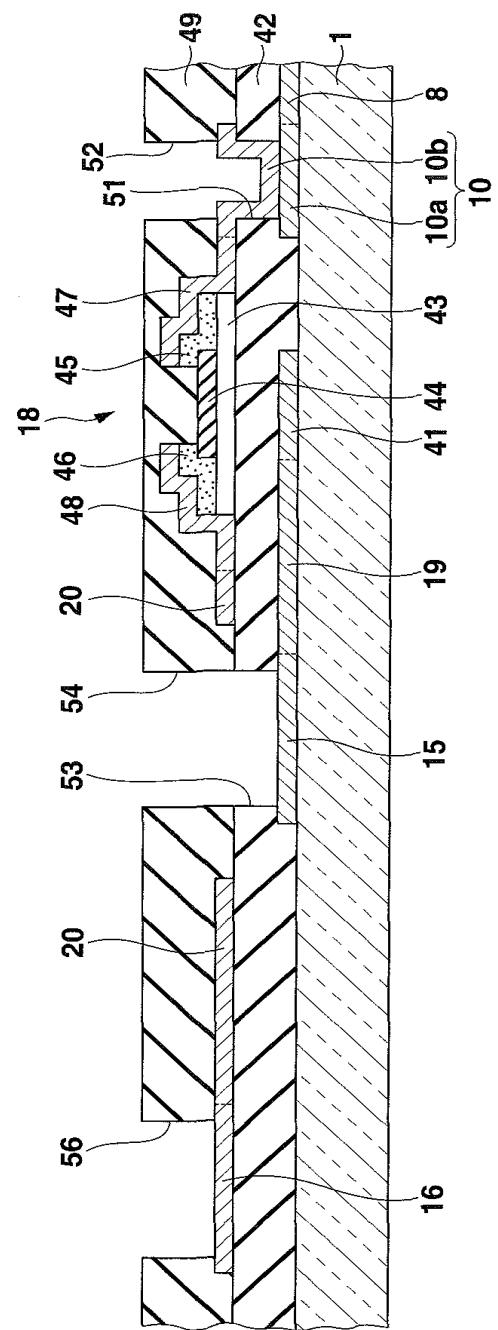
도면7



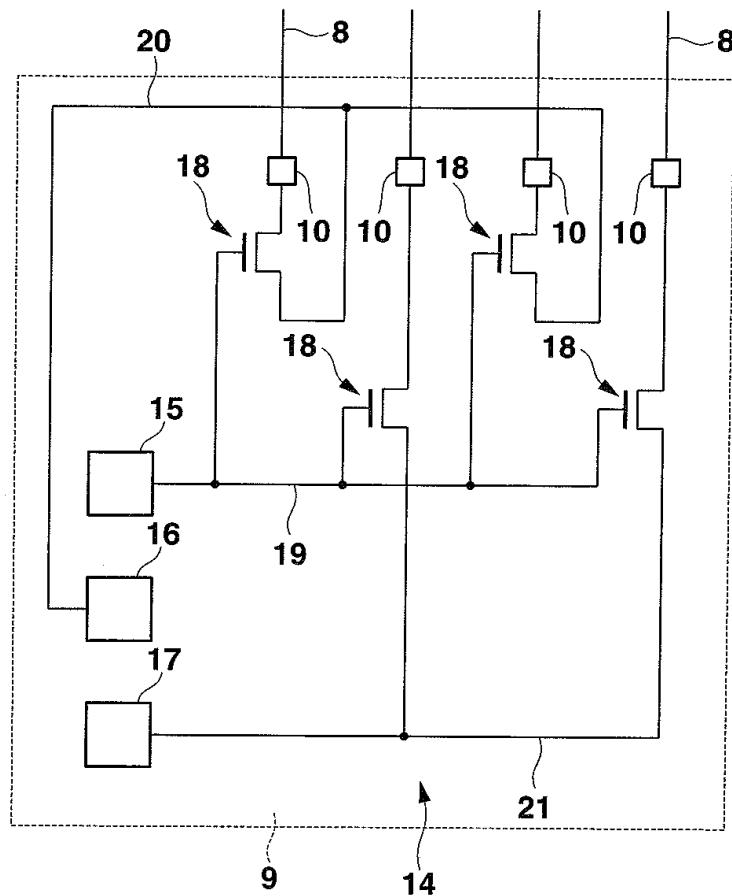
도면8



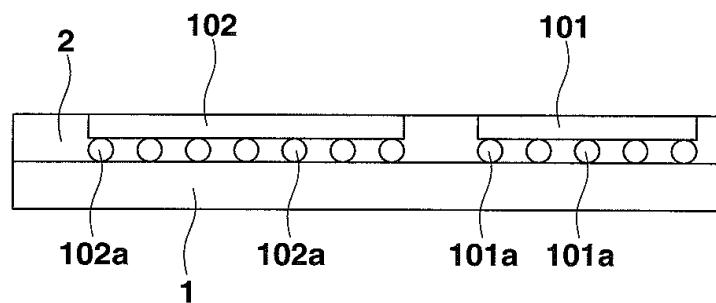
도면9



도면10



도면11



专利名称(译)	液晶显示器		
公开(公告)号	<a href="#">KR100867307B1</a>	公开(公告)日	2008-11-10
申请号	KR1020070119489	申请日	2007-11-22
[标]申请(专利权)人(译)	卡西欧计算机株式会社 西伯利亚有限公司计算关键财富		
申请(专利权)人(译)	计算关键是否西伯利亚有限公司		
当前申请(专利权)人(译)	计算关键是否西伯利亚有限公司		
[标]发明人	ISHII HIROMITSU 이시이히로미츠 NAKAMURA YAYOI 나카무라야요이		
发明人	이시이히로미츠 나카무라야요이		
IPC分类号	G02F1/1345 G02F1/13		
CPC分类号	G02F1/136204 G02F2001/136254 Y10S345/904		
代理人(译)	KIM JONG MUN 孙某EUN JIN		
优先权	2006315152 2006-11-22 JP		
其他公开文献	KR1020080046603A		
外部链接	<a href="#">Espacenet</a>		

## 摘要(译)

显示器包括设置有显示区域和非显示区域的基板。多个显示电极布置在基板上。多个开关元件分别连接到显示电极。每个开关元件包括控制电极和数据电极。多条扫描线分别连接到开关元件的控制电极。多条数据线分别连接到开关元件的数据电极。扫描线静电保护和测试电路设置在非显示区域中并连接到扫描线。扫描线静电保护和测试电路包括静电保护电路，该静电保护电路设置有通常处于非导通状态的保护元件。通过产生的静电将导通状态设置为导通状态，并且通过保护元件检查扫描线的导通状态的检查电路。

