



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년08월25일
(11) 등록번호 10-0853720
(24) 등록일자 2008년08월18일

(51) Int. Cl.

G09G 3/36 (2006.01)

(21) 출원번호 10-2002-0033455
(22) 출원일자 2002년06월15일
심사청구일자 2007년05월21일
(65) 공개번호 10-2003-0095854
(43) 공개일자 2003년12월24일
(56) 선행기술조사문헌
KR1019980702957 A
KR1020000026582 A
US6300928 B1

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

문승환

경기도용인시수지읍상현리만현마을현대I-PARK6차
아파트205-1504

이백원

서울특별시금천구시흥4동806-1511/4

(74) 대리인

박영우

전체 청구항 수 : 총 10 항

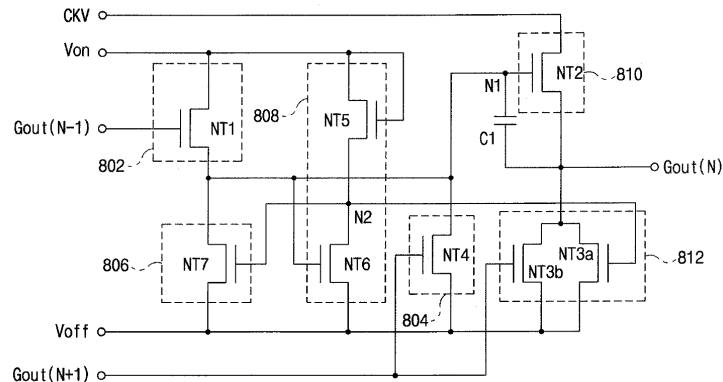
심사관 : 이성현

(54) 비정질-실리콘 박막 트랜지스터 게이트 구동 쉬프트 레지스터 및 이를 가지는 액정 표시 장치

(57) 요약

본 발명은 대화면용 a-Si TFT LCD의 게이트 구동 쉬프트 레지스터에 관한 것이다. a-Si TFT LCD의 게이트 구동 회로는 제1 및 제2 클럭 신호를 교대로 입력받아 박막 트랜지스터의 게이트 라인 구동신호로서 제공하는 종속 연결된 복수의 쉬프트 레지스터로 구성되며, 상기 각 쉬프트 레지스터는 제1 풀업 구동 스위칭 소자, 제2 풀업 구동 스위칭 소자, 풀업 스위칭 소자, 풀다운 구동 스위칭 소자, 제1 풀다운 스위칭 소자 및 제2 풀다운 스위칭 소자를 포함한다. 풀다운 트랜지스터를 소정의 사이즈 비를 갖는 제1 및 제2 풀다운 트랜지스터 2개로 분리하고, 제2 풀다운 트랜지스터를 다음단 게이트 라인 구동 신호에 의해 직접 구동한다. 디스플레이 불량 발생되지 않는 고해상도 대화면 디스플레이를 구현할 수 있다.

대표도



특허청구의 범위

청구항 1

제1 및 제2 클럭 신호를 교대로 입력받아 박막 트랜지스터의 게이트 라인 구동신호로서 제공하는 종속 연결된 복수의 쉬프트 레지스터로 구성되는 박막 트랜지스터 게이트 구동 회로에 있어서,

상기 각 쉬프트 레지스터는

개시 신호 또는 직전단 쉬프트 레지스터의 게이트 라인 구동 신호의 선단에 응답하여 풀업 스위칭 소자를 턴온시키는 제1 풀업 구동 스위칭 소자;

직후단 쉬프트 레지스터의 게이트 라인 구동 신호의 선단에 응답하여 상기 풀업 스위칭 소자를 턴오프시키는 제2 풀업 구동 스위칭 소자;

상기 제1 풀업 구동 스위칭 소자에 의해 턴온된 경우 상기 제1 및 제2 클럭 신호 중 대응되는 클럭 신호를 입력받아 출력단자로 게이트 라인 구동 신호로서 제공하는 풀업 스위칭 소자;

상기 개시 신호 또는 상기 직전단 쉬프트 레지스터의 게이트 라인 구동 신호의 선단에 응답하여 제1 풀다운 스위칭 소자를 턴오프시키는 풀다운 구동 스위칭 소자;

상기 풀업 스위칭 소자가 턴오프된 경우 턴온되어 상기 출력단자에 제1 전원전압을 제공하는 제1 풀다운 스위칭 소자; 및

상기 직후단 쉬프트 레지스터의 게이트 라인 구동 신호의 선단에 응답하여 턴온되어 상기 제1 풀다운 스위칭 소자와 함께 상기 출력단자에 제1 전원전압을 제공하는 제2 풀다운 스위칭 소자

를 포함하는 박막 트랜지스터 액정표시장치의 박막 트랜지스터 게이트 구동 회로.

청구항 2

제1항에 있어서, 상기 박막 트랜지스터 게이트 구동 회로는 상기 풀업 스위칭 소자가 턴온 된 경우 턴오프되어 상기 풀업 스위칭 소자에 충전된 전하를 방전시키는 제3 풀업 구동 스위칭 소자를 더 포함하는 것을 특징으로 하는 박막 트랜지스터 액정표시장치의 박막 트랜지스터 게이트 구동 회로.

청구항 3

제1항에 있어서, 상기 제1 및 제2 풀다운 스위칭 소자는 a-Si NMOS TFT 트랜지스터인 것을 특징으로 하는 박막 트랜지스터 액정표시장치의 박막 트랜지스터 게이트 구동 회로.

청구항 4

제3항에 있어서, 상기 제2 풀다운 스위칭 소자의 트랜지스터 사이즈는 상기 제1 풀다운 스위칭 소자의 트랜지스터 사이즈보다 더 큰 것을 특징으로 하는 박막 트랜지스터 액정표시장치의 박막 트랜지스터 게이트 구동 회로.

청구항 5

제4항에 있어서, 상기 제1 풀다운 스위칭 소자와 제2 풀다운 스위칭 소자의 트랜지스터 사이즈 비는 1:9인 것을 특징으로 하는 박막 트랜지스터 액정표시장치의 박막 트랜지스터 게이트 구동 회로.

청구항 6

투명기관 상에 형성된 표시 셀 어레이 회로, 데이터 구동회로, 게이트 구동회로를 포함하고, 상기 표시 셀 어레이 회로는 복수의 데이터 라인들과 복수의 게이트 라인을 포함하고, 각 표시 셀 회로는 대응하는 데이터 및 게이트 라인 쌍에 연결된 액정표시장치에 있어서,

상기 게이트 구동회로는

제1 및 제2 클럭 신호를 교대로 입력받아 박막 트랜지스터의 복수의 게이트 라인 구동신호로서 제공하는 종속 연결된 복수의 쉬프트 레지스터로 구성되며,

상기 각 쉬프트 레지스터는

개시 신호 또는 직전단 쉬프트 레지스터의 게이트 라인 구동 신호의 선단에 응답하여 풀업 스위칭 소자를 턴온시키는 제1 풀업 구동 스위칭 소자;

직후단 쉬프트 레지스터의 게이트 라인 구동 신호의 선단에 응답하여 상기 풀업 스위칭 소자를 턴오프시키는 제2 풀업 구동 스위칭 소자;

상기 제1 풀업 구동 스위칭 소자에 의해 턴온된 경우 상기 제1 및 제2 클럭 신호 중 대응되는 클럭 신호를 입력받아 출력단자로 게이트 라인 구동 신호로서 제공하는 풀업 스위칭 소자;

상기 개시 신호 또는 상기 직전단 쉬프트 레지스터의 게이트 라인 구동 신호의 선단에 응답하여 제1 풀다운 스위칭 소자를 턴오프시키는 풀다운 구동 스위칭 소자;

상기 풀업 스위칭 소자가 턴오프된 경우 턴온되어 상기 출력단자에 제1 전원전압을 제공하는 제1 풀다운 스위칭 소자; 및

상기 직후단 쉬프트 레지스터의 게이트 라인 구동 신호의 선단에 응답하여 턴온되어 상기 제1 풀다운 스위칭 소자와 함께 상기 출력단자에 제1 전원전압을 제공하는 제2 풀다운 스위칭 소자

를 포함하는 액정 표시 장치.

청구항 7

제1 및 제2 클럭 신호를 교대로 입력받아 박막 트랜지스터의 게이트 라인 구동신호로서 제공하는 종속 연결된 복수의 쉬프트 레지스터로 구성되는 박막 트랜지스터 게이트 구동 회로에 있어서,

상기 각 쉬프트 레지스터는

제2 전원 전압을 드레인으로 입력받고, 개시 신호 또는 직전단 쉬프트 레지스터의 게이트 라인 구동 신호 중 적어도 하나를 게이트로 입력받고, 소오스가 제1 노드에 결합된 제1 풀업 구동 트랜지스터;

상기 제1 및 제2 클럭 신호 중 대응되는 클럭 신호를 드레인으로 입력받고, 상기 제1 노드에 게이트가 결합되고, 출력단자에 소오스가 결합된 풀업 트랜지스터;

상기 출력단자에 드레인이 결합되고, 제2 노드에 게이트가 결합되고, 제1 전원 전압을 소오스로 입력받는 제1 풀다운 트랜지스터;

상기 출력단자에 드레인이 결합되고, 직후단 쉬프트 레지스터의 게이트 라인 구동 신호를 게이트로 입력받고, 상기 제1 전원 전압을 소오스로 입력받는 제2 풀다운 트랜지스터;

상기 제1 노드와 상기 출력단자 사이에 결합된 커패시터;

상기 제1 노드에 드레인이 연결되고, 직후단 쉬프트 레지스터의 게이트 라인 구동 신호가 게이트에 결합되고, 상기 제1 전원전압을 소오스로 입력받는 제2 풀업 구동 트랜지스터;

상기 제1 노드에 드레인이 결합되고, 상기 제2 노드에 게이트가 결합되고, 상기 제1 전원전압을 소오스로 입력받는 제3 풀업 구동 트랜지스터;

상기 제2 전원전압에 드레인과 게이트가 공통으로 결합되고, 소오스가 상기 제2 노드에 결합된 제1 풀다운 구동 트랜지스터; 및

상기 제2 노드에 드레인이 결합되고, 상기 제1 노드에 게이트가 결합되고, 상기 제1 전원전압을 소오스로 입력받는 제2 풀다운 구동 트랜지스터를 포함하는 것을 특징으로 하는 박막 트랜지스터 게이트 구동 회로.

청구항 8

제7항에 있어서, 상기 제1 및 제2 풀다운 트랜지스터는 a-Si NMOS TFT 트랜지스터인 것을 특징으로 하는 박막 트랜지스터 게이트 구동 회로.

청구항 9

제7항에 있어서, 상기 제2 풀다운 트랜지스터의 트랜지스터 사이즈(size)는 상기 제1 풀다운 트랜지스터의 트랜

지스터 사이즈(size)보다 더 큰 것을 특징으로 하는 박막 트랜지스터 게이트 구동 회로.

청구항 10

제9항에 있어서, 상기 제1 풀다운 트랜지스터와 제2 풀다운 트랜지스터의 트랜지스터 사이즈 비는 1:9인 것을 특징으로 하는 박막 트랜지스터 게이트 구동 회로.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <20> 본 발명은 대화면용 비정질-실리콘 박막 트랜지스터(a-Si TFT LCD; amorphous silicon Thin Film Transistor Liquid Crystal Display) 게이트 구동 쉬프트 레지스터에 관한 것이다.
- <21> 최근에 액정표시장치가 대표적인 CRT방식의 디스플레이 장치에 비하여, 경량, 소형이면서, 고해상도, 저 전력 및 친환경적인 이점을 가지며 풀컬러화가 가능하여 차세대 디스플레이 장치로 부각되고 있다.
- <22> 액정 표시 장치는 크게 TN(Twisted Nematic) 방식과 STN(Super-Twisted Nematic)방식으로 나뉘고, 구동방식의 차이로 스위칭 소자 및 TN액정을 이용한 액티브 매트릭스(Active matrix)표시방식과 STN 액정을 이용한 패시브 매트릭스(passive matrix)표시 방식이 있다.
- <23> 이 두 방식의 큰 차이점은 액티브 매트릭스 표시 방식은 TFT-LCD에 사용되며, 이것은 TFT를 스위치로 이용하여 LCD를 구동하는 방식이며, 패시브 매트릭스 표시방식은 트랜지스터를 사용하지 않기 때문에 이와 관련한 복잡한 회로를 필요로 하지 않는다.
- <24> TFT-LCD는 a-Si TFT LCD와, poly-Si TFT LCD로 구분된다. poly-Si TFT LCD는 소비전력이 작고, 가격이 저렴하지만 a-Si TFT와 비교하여 TFT 제조공정이 복잡한 단점이 있다. 그래서, poly-Si TFT LCD는 IMT-2000 폰의 디스플레이와 같이 소형 디스플레이 장치에 주로 적용된다. a-Si TFT LCD는 대면적이 용이하고 수율이 높아서 주로 노트북 PC, LCD 모니터, HDTV 등의 대화면 디스플레이 장치에 적용된다.
- <25> 도 1은 종래의 일반적인 a-Si LCD의 TFT 기관의 구성을 나타낸 개략도이다.
- <26> 도 1에 도시한 바와 같이, 일반적인 a-Si TFT LCD는 연성 인쇄회로기판(32) 상에 COF(CHIP ON FLIM)방식으로 데이터 구동칩(34)을 형성하고, 연성 인쇄회로기판(32)을 통하여 데이터 인쇄회로기판(36)과 픽셀 어레이의 데이터 라인 단자부를 연결한다. 또한, 연성 인쇄회로기판(38) 상에 COF방식으로 게이트 구동칩(40)을 형성하고, 연성 인쇄회로기판(40)을 통하여 게이트 인쇄회로기판(42)과 픽셀 어레이의 게이트 라인 단자부를 연결한다.
- <27> a-Si TFT LCD를 고해상도 대화면용으로 구현할 경우 특히, 픽셀의 게이트 라인에 존재하는 용량성 부하(capacitive load)에 충전된 전하를 빠른 시간 내에 방전할 수 있는 게이트 구동 회로가 필요하다. 그러나, 종래의 게이트 구동 회로를 이용할 경우, 디스플레이 불량이 발생되지 않는 고해상도 대화면 디스플레이 구현이 어려웠다.

발명이 이루고자 하는 기술적 과제

- <28> 본 발명의 제1 목적은 이와 같은 종래 기술의 문제점을 해결하기 위하여 디스플레이 불량이 발생되지 않는 고해상도 대화면 디스플레이 구현에 사용되는 게이트 구동회로를 제공하는데 있다.
- <29> 본 발명의 제2 목적은 디스플레이 불량이 발생되지 않는 고해상도 대화면 디스플레이 구현에 사용되는 게이트 구동회로를 포함하는 액정표시장치를 제공하는 데 있다.

발명의 구성 및 작용

- <30> 상기한 본 발명의 제1 목적을 달성하기 위하여 본 발명의 박막 트랜지스터 게이트 구동 회로는 제1 및 제2 클럭 신호를 교대로 입력받아 박막 트랜지스터의 게이트 라인 구동신호로서 제공하는 중속 연결된 복수의 쉬프트 레지스터로 구성되며, 상기 각 쉬프트 레지스터는 제1 풀업 구동 스위칭 소자, 제2 풀업 구동 스위칭 소자, 풀업

스위칭 소자, 풀다운 구동 스위칭 소자, 제1 풀다운 스위칭 소자 및 제2 풀다운 스위칭 소자를 포함한다. 상기 제1 풀업 구동 스위칭 소자는 개시 신호 또는 직전단 쉬프트 레지스터의 게이트 라인 구동 신호의 선단에 응답하여 풀업 스위칭 소자를 턴온시킨다. 상기 제2 풀업 구동 스위칭 소자는 직후단 쉬프트 레지스터의 게이트 라인 구동 신호의 선단에 응답하여 상기 풀업 스위칭 소자를 턴오프시킨다. 상기 풀업 스위칭 소자는 상기 제1 풀업 구동 스위칭 소자에 의해 턴온된 경우 상기 제1 및 제2 클럭 신호 중 대응되는 클럭 신호를 입력받아 출력단자로 게이트 라인 구동 신호로서 제공한다. 상기 풀다운 구동 스위칭 소자는 상기 개시 신호 또는 상기 직전단 쉬프트 레지스터의 게이트 라인 구동 신호의 선단에 응답하여 제1 풀다운 스위칭 소자를 턴오프시킨다. 상기 제1 풀다운 스위칭 소자는 상기 풀업 스위칭 소자가 턴오프된 경우 턴온되어 상기 출력단자에 제1 전원전압을 제공한다. 상기 제2 풀다운 스위칭 소자는 상기 직후단 쉬프트 레지스터의 게이트 라인 구동 신호의 선단에 응답하여 턴온되어 상기 제1 풀다운 스위칭 소자와 함께 상기 출력단자에 제1 전원전압을 제공한다.

- <31> 또한, 상기 제1 목적을 달성하기 위하여 본 발명의 박막 트랜지스터 게이트 구동 회로는 제1 및 제2 클럭 신호를 교대로 입력받아 박막 트랜지스터의 게이트 라인 구동신호로서 제공하는 종속 연결된 복수의 쉬프트 레지스터로 구성되며, 상기 각 쉬프트 레지스터는 제2 전원 전압을 드레인으로 입력받고, 개시 신호 또는 직전단 쉬프트 레지스터의 게이트 라인 구동 신호 중 적어도 하나를 게이트로 입력받고, 소오스가 제1 노드에 결합된 제1 풀업 구동 트랜지스터; 상기 제1 및 제2 클럭 신호 중 대응되는 클럭 신호를 드레인으로 입력받고, 상기 제1 노드에 게이트가 결합되고, 출력단자에 소오스가 결합된 풀업 트랜지스터; 상기 출력단자에 드레인이 결합되고, 제2 노드에 게이트가 결합되고, 제1 전원 전압을 소오스로 입력받는 제1 풀다운 트랜지스터; 상기 출력단자에 드레인이 결합되고, 직후단 쉬프트 레지스터의 게이트 라인 구동 신호를 게이트로 입력받고, 상기 제1 전원 전압을 소오스로 입력받는 제2 풀다운 트랜지스터; 상기 제1 노드와 상기 출력단자 사이에 결합된 커패시터; 상기 제1 노드에 드레인이 연결되고, 직후단 쉬프트 레지스터의 게이트 라인 구동 신호가 게이트에 결합되고, 상기 제1 전원전압을 소오스로 입력받는 제2 풀업 구동 트랜지스터; 상기 제1 노드에 드레인이 결합되고, 상기 제2 노드에 게이트가 결합되고, 상기 제1 전원전압을 소오스로 입력받는 제3 풀업 구동 트랜지스터; 상기 제2 전원 전압에 드레인과 게이트가 공통으로 결합되고, 소오스가 상기 제2 노드에 결합된 제1 풀다운 구동 트랜지스터; 및 상기 제2 노드에 드레인이 결합되고, 상기 제1 노드에 게이트가 결합되고, 상기 제1 전원전압을 소오스로 입력받는 제2 풀다운 구동 트랜지스터를 포함한다.
- <32> 상기 제2 목적을 달성하기 위하여 본 발명의 액정 표시 장치는 투명기판 상에 형성된 표시 셀 어레이 회로, 데이터 구동회로, 게이트 구동회로를 포함하고, 상기 표시 셀 어레이 회로는 복수의 데이터 라인들과 복수의 게이트 라인을 포함하고, 각 표시 셀 회로는 대응하는 데이터 및 게이트 라인 쌍에 연결되며, 상기 게이트 구동회로는 제1 및 제2 클럭 신호를 교대로 입력받아 박막 트랜지스터의 복수의 게이트 라인 구동신호로서 제공하는 종속 연결된 복수의 쉬프트 레지스터로 구성되고, 상기 각 쉬프트 레지스터는 제1 풀업 구동 스위칭 소자, 제2 풀업 구동 스위칭 소자, 풀업 스위칭 소자, 풀다운 구동 스위칭 소자, 제1 풀다운 스위칭 소자 및 제2 풀다운 스위칭 소자를 포함한다.
- <33> 이하, 첨부한 도면을 참조하여, 본 발명의 일 실시예를 통해 본 발명을 보다 상세하게 설명하고자 한다.
- <34> 도 2는 본 발명에 의한 a-Si TFT LCD의 액정표시장치의 분해 사시도를 나타낸다.
- <35> 도 2를 참조하면, 액정 표시장치(100)는 크게 액정표시패널 어셈블리(110), 백라이트 어셈블리(120), 샤시(130), 커버(140)를 포함한다.
- <36> 액정표시패널 어셈블리(110)는 액정표시패널(112), 연성 인쇄회로기판(116), 통합 제어 및 데이터 구동칩(118)을 포함한다. 액정표시패널(112)은 TFT 기판(112a)과 칼라필터기판(112b)을 포함한다. TFT 기판(112a)에는 a-Si TFT 공정에 의해 표시셀 어레이 회로, 데이터 구동회로, 게이트 구동회로 및 외부연결단자들이 형성된다. 칼라필터기판(112b)에는 칼라필터 및 투명공통전극들이 형성된다. TFT 기판(112a)과 칼라필터기판(112b)은 서로 대향되고 이들 사이에 액정이 주입된 다음에 봉입된다.
- <37> 연성 인쇄회로기판(116)에 설치된 통합 제어 및 데이터 구동칩(118)과 TFT 기판(112a)의 회로들은 연성인쇄회로기판(116)에 의해 전기적으로 연결된다. 연성인쇄회로기판(116)은 데이터신호, 데이터 타이밍신호, 게이트 타이밍신호 및 게이트 구동전압들을 TFT 기판(112a)의 데이터 구동회로 및 게이트 구동회로에 제공한다.
- <38> 백라이트 어셈블리(120)는 램프 어셈블리(122), 도광판(124), 광학시트들(126), 반사판(128), 몰드 프레임(129)을 포함한다.
- <39> 도 3은 본 발명의 a-Si TFT LCD의 TFT 기판의 구성을 나타낸다.

- <40> 도 3을 참조하면, 본 발명의 TFT 기관(112a) 위에는 표시 셀 어레이 회로(150), 데이터 구동회로(160), 게이트 구동회로(170), 데이터 구동회로 외부연결단자(162, 163), 게이트 구동회로 외부 연결 단자부(172)가 TFT 공정 시 함께 형성된다.
- <41> 표시 셀 어레이 회로(150)는 컬럼 방향으로 연장된 m 개의 데이터 라인들(DL1~DLm)과 로우(row)방향으로 연장된 n 개의 게이트 라인들(GL1~GLn)을 포함한다.
- <42> 데이터 라인들과 게이트 라인들의 각 교차점들에는 스위칭 트랜지스터(ST)가 형성된다. 스위칭 트랜지스터(ST_i)의 드레인은 데이터 라인(DL_i)에 연결되고, 게이트는 게이트 라인(GL_i)에 연결된다. 스위칭 트랜지스터(ST_i)의 소오스는 투명화소전극(PE)에 연결된다. 투명화소전극(PE)과 칼라필터 기관(112b)에 형성된 투명공통전극(CE)의 사이에는 액정(LC)이 위치하게 된다.
- <43> 그러므로, 투명화소전극(PE)과 투명공통전극(CE) 사이에 인가된 전압에 의해 액정배열이 제어되어 통과되는 광량을 제어하여 각 픽셀의 계조 표시를 하게 된다.
- <44> 데이터 구동회로(160)는 쉬프트 레지스터(164)와 복수개의 스위칭 트랜지스터들(SWT)을 포함한다. 복수개의 스위칭 트랜지스터들(SWT)은 복수개의 데이터 라인블록-예를 들어 BL1~BL8-를 형성할 수 있다.
- <45> 복수개의 데이터 라인들은 상기와 같이 예를 들어 8개의 블록으로 분할되고, 쉬프트 레지스터(164)의 8개의 블록선택신호에 의해 순차적으로 각 블록들이 선택된다.
- <46> 도 4는 도 3의 a-Si TFT LCD의 게이트 구동회로(170)를 구성하는 쉬프트 레지스터의 블록도를 나타낸다.
- <47> 도 4를 참조하면, 게이트 구동회로(170)는 복수의 스테이지(쉬프트 레지스터)(SRC1, SRC2, ... SRCN)들이 종속 연결된다.
- <48> 즉, 각 스테이지의 출력(Gout) 단자가 다음 스테이지의 입력단자에 연결된다. 예를 들어 게이트 라인수가 192개인 경우 스테이지들은 게이트 라인들에 대응하는 192개의 스테이지들(SRC1~SRC192)과 하나의 더미 스테이지(SRC193)로 구성될 수 있다.
- <49> 각 스테이지는 입력단자(IN), 출력단자(OUT), 제어단자(CT), 클럭 신호(CKV, CKVB) 입력단자, 제1 전원전압(Voff) 단자, 제2 전원전압(Von) 단자를 가진다.
- <50> 첫 번째 스테이지(SR1)의 입력단자에는 개시신호 STV가 입력된다. 여기서 개시신호 STV는 수직 동기신호에 동기된 펄스신호이다.
- <51> 각 스테이지의 출력신호 Gout(1), Gout(2), Gout(3), Gout(4), ...는 각 게이트 라인을 구동하기 위한 게이트 라인 구동 신호로서, 대응되는 각 게이트 라인에 연결된다. 홀수번째 스테이지들(SRC1, SRC3, ...)에는 제1 클럭 신호(CKV)가 제공되고, 짝수번째 스테이지들(SRC2, SRC4, ...)에는 제2 클럭 신호(CKVB)가 제공된다. 제1 클럭 신호(CKV)와 제2 클럭 신호(CKVB)는 서로 반대되는 위상을 가진다.
- <52> 스테이지 SRC1, SRC2, SRC3, ...의 각각의 제어단자에는 다음 스테이지 SRC2, SRC3, SRC4, ...의 출력신호 Gout(2), Gout(3), Gout(4), ...가 제어신호로 입력된다. 즉, 제어단자에 입력되는 제어신호는 자신의 출력신호의 듀티 기간만큼 지연된 신호가 된다.
- <53> 따라서, 각 스테이지의 출력신호들이 순차적으로 액티브 구간(하이상태)을 가지고 발생되므로, 각 출력신호의 액티브 구간에서 대응되는 게이트 라인(수평 라인)이 선택되게 된다.
- <54> 도 5는 도 4의 a-Si TFT 게이트 구동 쉬프트 레지스터 회로의 각각의 스테이지의 구체 회로도도를 나타낸다.
- <55> 도 5를 참조하면, 각 스테이지(쉬프트 레지스터)는 풀업 구동 트랜지스터(502, 504, 506), 풀다운 구동 트랜지스터(508), 게이트 출력 구동부(510)를 포함한다.
- <56> 게이트 출력 구동부(510)에서 트랜지스터(NT2)는 클럭 신호 입력단자(CK)에 드레인이 연결되고, 제1 노드(N1)에 게이트가 연결되고, 출력신호 Gout(N)을 출력하는 출력단자(OUT)에 소오스가 연결되는 풀업 NMOS 트랜지스터이다.
- <57> 게이트 출력 구동부(510)에서 트랜지스터(NT3)는 출력단자(OUT)에 드레인이 연결되고, 제4 노드(N4)에 게이트가 연결되고, 소오스가 제1 전원전압(Voff)에 연결된 풀다운 NMOS 트랜지스터이다.
- <58> 풀업 NMOS 트랜지스터(NT2)는 커패시터(C1), NMOS 트랜지스터(NT1, NT4, NT7)에 의해 구동된다. 커패시터(C1)

는 제1 노드(N1)와 출력단자(OUT)간에 연결된다. 트랜지스터(NT1)는 제2 전원 전압(Von) 단자에 드레인이 연결되고, 전단의 출력 신호인 Gout(N-1)을 입력받는 입력단자(IN)에 게이트가 연결되고, 제1 노드(N1)에 소오스가 연결된다. 트랜지스터(NT4)는 제1 노드(N1)에 드레인이 연결되고, 다음단의 출력 신호인 Gout(N+1)을 입력받는 제어단자(CT)에 게이트가 연결되고, 소오스가 제1 전원전압(Voff) 단자에 연결된다. 트랜지스터(NT7)는 제1 노드(N1)에 드레인이 연결되고, 제2 노드(N2)에 게이트가 연결되고, 소오스가 제1 전원전압(Voff) 단자에 연결된다. 이때, 트랜지스터(NT1)의 사이즈는 트랜지스터(NT7)의 사이즈보다 약 2배정도 크게 형성되는 것이 바람직하다.

- <59> 풀다운 구동 트랜지스터(508)는 게이트 출력 구동부(510)의 풀다운 NMOS 트랜지스터(NT3)를 구동하며, 바람직하게는 두 개의 NMOS 트랜지스터들(NT5, NT6)로 구성된 인버터(inverter)의 기능을 가진다. 즉, 풀다운 구동 트랜지스터(508)는 풀업 트랜지스터 NT2가 턴온된 경우 풀다운 트랜지스터 NT3가 턴오프 되도록 제어하고, 풀업 트랜지스터 NT2가 턴오프된 경우 풀다운 트랜지스터 NT3가 턴온 되도록 제어하는 인버터의 기능을 한다. 트랜지스터(NT5)는 제2 전원전압(Von) 단자에 드레인과 게이트가 공통으로 결합되고, 제2 노드(N2)에 소오스가 연결된다. 트랜지스터(NT6)는 제2 노드(N2)에 드레인이 연결되고, 제1 노드(N1)에 게이트가 연결되고, 소오스가 제1 전원전압(Voff) 단자에 연결된다. 이때, 트랜지스터(NT5)의 사이즈는 트랜지스터(NT6)의 사이즈보다 약 16배정도 크게 형성되는 것이 바람직하다.
- <60> 도 6은 도 5의 각 부 타이밍도를 나타낸다. 이하 도 6을 참조하여 도 5의 a-Si TFT 게이트 구동 쉬프트 레지스터 회로의 동작을 설명한다.
- <61> 도 6을 참조하면, 직전단 스테이지의 출력 신호에 의해 커패시터 C1이 충전된 후 풀업 트랜지스터(NT2, 510)에 연결되어 있는 클럭 신호가 출력 단자로 출력되고, 이 출력 전압에 의해 직후단 스테이지의 게이트 라인 구동 신호가 발생하는 순간 직후단 쉬프트 레지스터의 출력 신호는 트랜지스터 NT4를 구동시켜 커패시터 C1 전압을 방전시킴으로써 각 스테이지의 한 사이클을 끝내게 된다.
- <62> 이하 좀 더 상세히 도 5의 a-Si TFT 게이트 구동 쉬프트 레지스터 회로의 동작을 설명한다.
- <63> 전단 스테이지의 출력 Gout(N-1)은 현재 스테이지의 커패시터 C1을 충전시킴으로써 현재 스테이지를 세트(set)시키고, 다음단 스테이지의 출력 Gout(N+1)은 현재 스테이지의 커패시터 C1을 방전시킴으로써 현재 스테이지를 리셋(reset)시킨다. 여기서, 제1 클럭 신호(CKV)와 제2 클럭 신호(CKVB)는 서로 반대의 위상을 가진다.
- <64> 먼저, 제1 및 제2 클럭 신호(CKV, CKVB)와 스캔 개시신호(STV)가 첫 번째 스테이지에 공급되면, 스캔 개시신호(STV)의 상승 에지에 응답하여 제1 클럭 신호(CKV)의 하이 레벨 구간이 소정 시간 지연된 후 출력단자에 출력신호 Gout(1)이 발생된다.
- <65> 게이트 출력 구동부(510)의 커패시터(C1)가 입력 단자(IN)를 통하여 트랜지스터(NT1)의 게이트로 입력된 개시신호(STV)의 상승 에지에서 충전되기 시작한다. 커패시터(C1)의 충전전압(Vc1)이 풀업 트랜지스터(NT2) 게이트 소오스간 문턱전압 이상으로 충전된 이후에 풀업 트랜지스터(NT2)가 턴 온(turn on)되고, 제1 클럭 신호(CKV)의 하이 레벨 구간이 출력단자에 나타난다. 그 결과 이와 같은 지연특성이 나타난다.
- <66> 출력단자(OUT)에 클럭 신호의 하이 레벨 구간이 나타나기 시작하면, 이 출력전압이 커패시터(C1)에 부트스트랩(BOOTSTRAP)되어 풀업 트랜지스터(NT2)의 게이트 전압이 턴온 전압(Von) 이상으로 상승하게 된다. 따라서, NMOS 트랜지스터인 풀업 트랜지스터(NT2)가 완전(FULL) 도통 상태를 유지하게 된다. 이때, 트랜지스터(NT1)의 사이즈(size)는 트랜지스터(NT7)의 사이즈보다 약 2배정도 크기 때문에 개시신호(STV)에 의해 트랜지스터(NT7)가 턴온되더라도 트랜지스터(NT2)를 턴온 상태로 천이시킨다.
- <67> 한편, 풀다운 구동 트랜지스터(508)는 개시 신호가 입력되기 전에는 트랜지스터 NT5에 의해 제2 노드(N2)가 제2 전원전압(Von)으로 상승되어 트랜지스터(NT3)는 턴온된다. 따라서, 출력단자(OUT)의 출력신호의 전압이 제1 전원전압(Voff) 상태에 있다. 개시신호(STV)가 입력되면 트랜지스터(NT6)가 턴온 되어 제2 노드(N2)의 전위가 제1 전원전압(Voff)으로 다운된다. 이후 트랜지스터(N5)가 턴온 상태라도 트랜지스터(N6)의 사이즈가 트랜지스터(N5)의 사이즈 보다 약 16배정도 크기 때문에 제2 노드(N2)는 제1 전원전압(Voff) 상태로 계속 유지된다. 따라서, 풀다운 트랜지스터(NT3)는 턴온 상태에서 턴오프 상태로 천이된다.
- <68> 즉, 개시 신호가 입력되면 도 5의 게이트 구동 쉬프트 레지스터 회로의 풀업 트랜지스터(NT2)는 턴온되고, 풀다운 트랜지스터(NT3)는 턴오프되며, 출력 단자에는 제1 클럭 신호(CKV)가 제1 클럭 신호(CKV)의 듀티 기간만큼 지연되어 나타나게 된다.

- <69> 출력단자(OUT)의 출력신호의 전압이 턴오프 전압(VOFF=VSS)상태로 떨어지게 되면, 트랜지스터(NT6)가 턴오프된다. 이때, 트랜지스터(NT5)를 통하여 제2 노드(N2)에 제2 전원전압(Von)만 공급되는 상태이므로 제2 노드(N2)의 전위는 제1 전원전압(Voff)에서 제2 전원전압(Von)으로 상승되기 시작한다. 제2 노드(N2)의 전위가 상승되기 시작하면, 트랜지스터(NT7)가 턴온 되기 시작하고, 이에 커패시터 C1의 충전전압은 트랜지스터(NT7)를 통하여 방전되기 시작한다. 그러므로, 풀업 트랜지스터(NT2)도 턴오프 되기 시작한다.
- <70> 이어서, 제어단자(CT)에 제공되는 다음 스테이지의 출력신호 Gout(N+1)가 턴온 전압으로 상승하게 되므로 트랜지스터(NT4)가 턴온 된다. 이때, 트랜지스터(NT4)의 사이즈는 트랜지스터(NT7)보다 약 2배정도 크기 때문에 제1 노드(N1)의 전위는 트랜지스터(NT7)만 턴온 되었을 때보다 더욱 빠르게 제1 전원전압(Voff)으로 다운되게 된다.
- <71> 또한, 제2 노드(N2)의 전위가 제2 전원전압(Von)으로 상승되면, 풀다운 트랜지스터(NT3)는 턴온 되어 출력단자(OUT)는 턴온 전압(VON)에서 턴오프 전압(VOFF)으로 다운된다.
- <72> 제어단자(CT)에 인가되는 다음 스테이지의 출력신호 Gout(N+1)가 로우 레벨로 하강되어 트랜지스터(NT4)가 턴오프 되더라도 제2 노드(N2)는 트랜지스터(NT5)를 통하여 제2 전원전압(Von)으로 바이어스된 상태를 유지하게 된다. 따라서, 제어단자(CT)에 인가되는 다음 스테이지의 출력신호 Gout(N+1)가 로우 레벨로 하강되어 트랜지스터(NT4)가 턴오프 되더라도 제2 노드(N2)의 전위가 제2 전원전압(Von)으로 유지되므로 풀다운 트랜지스터(NT3)가 턴오프 되는 오동작의 우려가 없이 안정된 동작이 확보된다.
- <73> 상술한 동작에 의해 각 스테이지들이 동작하여 출력신호 GOUT(1), GOUT(2), GOUT(3), Gout(4),...가 순차적으로 발생하게 된다.
- <74> 도 7은 도 5의 TFT LCD 게이트 구동 회로를 구동하였을 경우의 게이트 전압의 시뮬레이션 출력 파형을 나타낸다. 즉, 도 7은 게이트 라인 구동을 위한 각 쉬프트 레지스터에 클럭 펄스 신호 V[CKVB]를 인가한 경우 인버터, 즉 풀다운 구동 트랜지스터(508)의 출력 전압(N2 노드 전압) 파형을 나타낸다. 또한, 인버터 출력 전압의 변화에 따른 첫째단, 둘째단 쉬프트 레지스터의 출력 전압인 게이트 라인 구동 신호 V[Gout(1)], V[Gout(2)]의 파형을 나타낸다.
- <75> 도 7을 참조하면, 풀다운 트랜지스터 NT3를 구동하는 인버터 출력 전압의 파형을 나타낸 시뮬레이션 결과를 살펴보면, 인버터 출력 전압이 로우레벨에서 하이 레벨로 상승하는 곡선의 기울기(slope)가 상대적으로 완만하여 결과적으로 인버터가 느리게 동작함을 알 수 있다.
- <76> 인버터 출력 전압의 상승 곡선의 기울기는 주로 인버터 회로에 내재하는 저항성분(R)과 풀다운 트랜지스터 NT3에 존재하는 기생 커패시터(C)의 크기에 영향을 받는다. 즉, 상기 저항성분과 커패시터의 크기의 곱인 RC값이 클수록 인버터 출력 전압의 상승 곡선의 기울기는 완만해지고, 결과적으로 인버터 동작이 느려지게 된다.
- <77> 특히, 대화면 액정 표시 장치의 게이트 구동 회로의 경우, 대화면용 게이트 라인을 구동할 경우에는 게이트 출력 구동부(510)의 출력 드라이버 트랜지스터(NT2, NT3)의 사이즈(size)가 커져 출력 드라이버 트랜지스터의 기생 용량이 증가하게 된다. 여기서 트랜지스터의 사이즈(size)란 트랜지스터의 채널폭(W)과 채널 길이(L)의 비인 W/L을 의미한다. 따라서, 인버터의 저항성분과 풀다운 트랜지스터의 기생 커패시터 성분의 크기의 곱인 RC값이 증가하여 인버터 출력 전압의 상승 곡선의 기울기가 완만해지게 된다.
- <78> 이 경우 인버터가 빠르게 동작하도록 하려면 인버터의 사이즈(size)를 증가시켜야 하는데, 인버터의 사이즈(size)를 증가시키게 되면 레이아웃(layout) 공간이 부족해질 수 있고, 소비 전력의 증가를 감수해야 한다. 그러므로, 최소한의 사이즈로 인버터를 설계해야 하는 제한이 있다. 이와 같이 최소한의 사이즈로 인버터를 설계할 경우 인버터의 동작 속도가 느려지게 된다.
- <79> 도 7에 나타난 바와 같이 인버터의 동작 속도가 느린 경우, 특히 인버터 출력 전압이 로우 레벨에서 하이 레벨로 서서히 변하게 되면, 쉬프트 레지스터의 출력 전압인 게이트 라인 구동 신호-예를 들어 V[Gout(1)], V[Gout(2)]-의 펄스폭이 1 클럭 펄스폭(1H) 이상으로 된다. 이때, 데이터 구동 회로(160)로부터 공급되는 계조 전압의 폭이 1 클럭 펄스폭(1H)이다.
- <80> 예를 들어 첫단 쉬프트 레지스터의 출력단(OUT)과 연결되는 픽셀은 다음단 게이트 라인에 해당되는 계조 전압의 영향을 받게 되므로 첫단 쉬프트 레지스터의 출력 V[Gout(1)]의 펄스폭이 1 클럭 펄스폭(1H) 이상이 될 경우 이미지(image) 표시에 불량 발생하게 된다. 일반적으로 계조 전압의 최소값은 0V 이므로 0V 이상이 되는 유효 게이트 라인 구동 신호 V[Gout(n)]의 펄스폭은 1 클럭 펄스폭 이하가 되는 것이 바람직하다. 특히, 표시 불량을 감소시키기 위해서는 인버터 출력 전압이 로우 레벨에서 하이 레벨로 변하는 구간에 대응하여 게이트 라인 구동

신호가 하이 레벨에서 로우 레벨로 빠르게 떨어지도록 함으로써, 유효 게이트 라인 구동 신호 V[Gout(n)]의 펄스폭이 1 클럭 펄스폭 이하가 되도록 하는 것이 바람직하다.

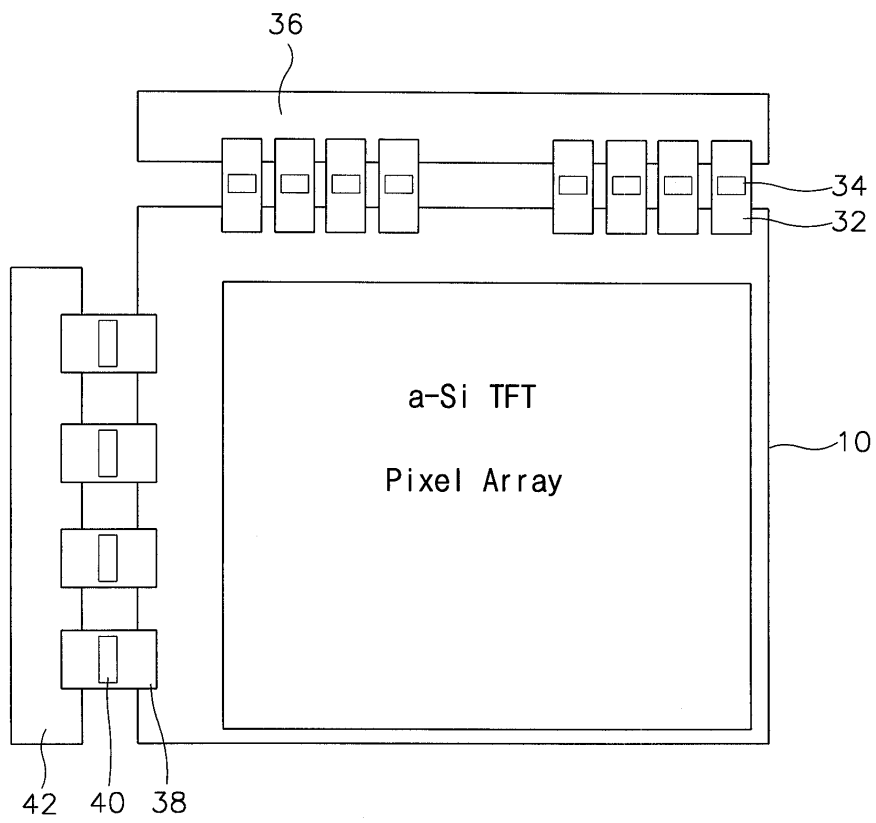
- <81> 도 8은 레이아웃(layout) 공간 등을 고려하여 최소한의 사이즈로 인버터를 설계하면서도 화면 표시 불량이 발생하는 것을 막기 위한 TFT LCD의 게이트 구동 쉬프트 레지스터 회로를 나타낸다.
- <82> 도 8을 참조하면, 도 8의 쉬프트 레지스터 회로는 도 5의 쉬프트 레지스터 회로와 비교할 때 다음과 같은 차이가 있다.
- <83> 첫째, 기존과 동일한 사이즈의 인버터(508)와 풀업 및 풀다운 트랜지스터(NT2, NT3)를 사용하되, 특히, 풀다운 트랜지스터(NT3)를 소정의 사이즈 비로 나누어 제1 풀다운 트랜지스터(NT3a) 및 제2 풀다운 트랜지스터(NT3b)로 분리한다. 예를 들어, 도 5의 풀다운 트랜지스터(NT3)의 사이즈가 1이라고 하면, 제1 풀다운 트랜지스터(NT3a)의 사이즈와 제2 풀다운 트랜지스터(NT3b)의 사이즈를 0.1: 0.9가 되도록 할 수 있다. 바람직하게는 제2 풀다운 트랜지스터(NT3b)의 사이즈가 제1 풀다운 트랜지스터(NT3a)의 사이즈보다 크도록 한다.
- <84> 둘째, 제1 풀다운 트랜지스터(NT3a)는 도 5의 풀다운 트랜지스터(NT3)와 마찬가지로 인버터(508) 출력 전압에 의해 구동되도록 하고, 제2 풀다운 트랜지스터(NT3b)는 커패시터(C1)에 충전된 전하를 방전시키기 위한 제2 풀업 구동 트랜지스터(NT4)와 동시에 다음단 게이트 라인 구동 신호 V[Gout(n+1)]에 의해 구동된다.
- <85> 따라서, 제2 풀다운 트랜지스터(NT3b)가 다음단 게이트 라인 구동 신호 V[Gout(n+1)]에 의해 구동되기 때문에 유효 게이트 라인 구동 신호 V[Gout(n)]의 펄스폭이 1 클럭 펄스폭(1H) 이하가 되도록 할 수 있다. 또한, 인버터(808)의 용량성 부하(capacitive load)가 되는 제1 풀다운 트랜지스터(NT3a)의 사이즈가 기존보다 줄어들어 인버터(808)가 빠르게 동작하도록 할 수 있다.
- <86> 도 9는 제1 풀다운 트랜지스터(NT3a)의 사이즈와 제2 풀다운 트랜지스터(NT3b)의 사이즈가 0.1: 0.9인 경우의 쉬프트 레지스터의 출력 전압의 시뮬레이션 출력 파형도를 나타낸다.
- <87> 도 9를 참조하면, 유효 게이트 라인 구동 신호 V[Gout(n)]의 펄스폭이 1 클럭 펄스폭(1H) 이하가 되고, 인버터(808)의 출력 전압 파형도 도 7의 인버터(508) 출력 전압 파형보다 빠른 동작 특성을 보여줌을 알 수 있다.
- <88> 도 10에서 도 7의 시뮬레이션 결과와 도 9의 시뮬레이션 결과를 동시에 나타내어 인버터 동작 속도 및 쉬프트 레지스터 출력 파형이 개선되었음을 알 수 있도록 하였다. 도 7의 쉬프트 레지스터에서 인버터(508)의 출력 파형은 V[INVERTER'], 쉬프트 레지스터 출력 파형은 V[Gout']이고, 도 8의 인버터(808)의 출력 파형은 V[INVERTER], 쉬프트 레지스터 출력 파형은 V[Gout]이다.
- <89> 도 10을 참조하면, 도 8의 인버터(808)의 출력 파형 V[INVERTER]의 로우 레벨에서 하이 레벨로 상승하는 구간에서 상승 곡선의 기울기가 도 8의 인버터(808)의 출력 파형은 V[INVERTER]보다 커짐을 알 수 있다. 또한, 쉬프트 레지스터 출력 파형에서 하이 레벨에서 로우 레벨로 떨어지는 부분 중 특히 A와 A'를 비교하면, 도 8의 쉬프트 레지스터 출력 파형 V[Gout]이 도 7의 쉬프트 레지스터 출력 파형 V[Gout']보다 더 빨리 하이 레벨에서 로우 레벨로 떨어짐으로써 결과적으로 유효 게이트 라인 구동 신호 V[Gout(n)]의 펄스폭이 1 클럭 펄스폭(1H) 이하가 되도록 한다.
- <90> 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

발명의 효과

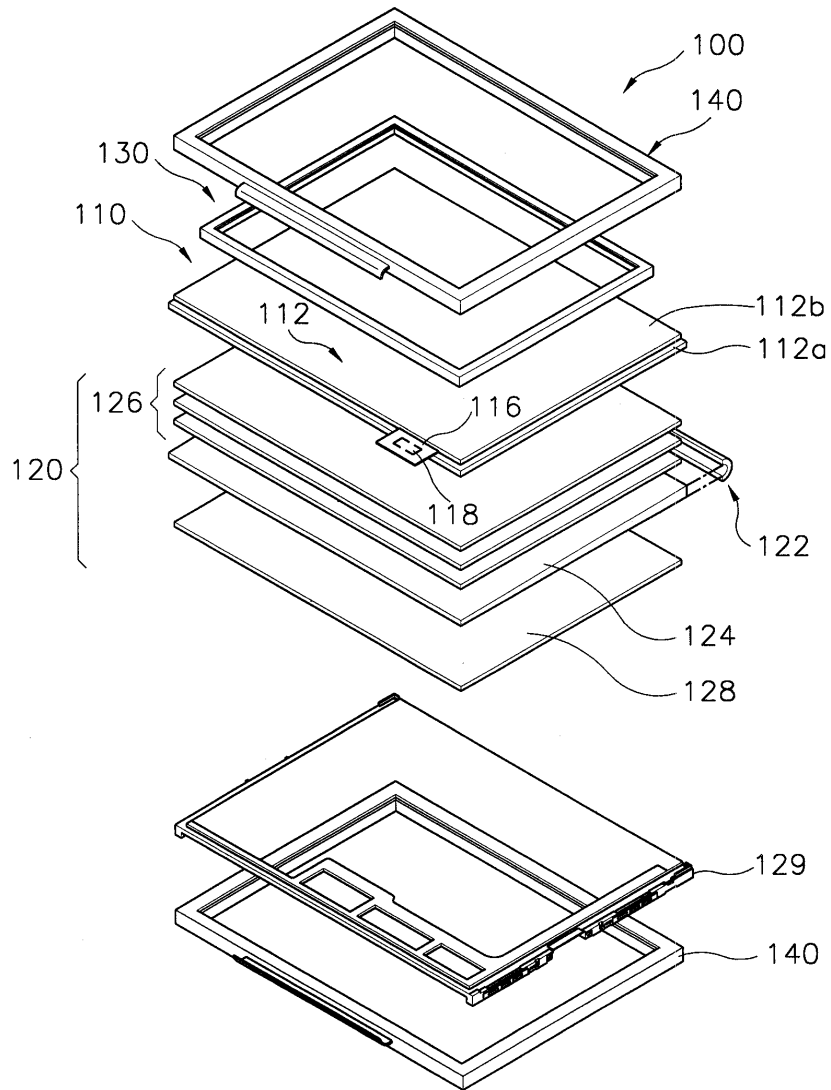
- <91> 이상, 설명한 바와 같이 본 발명에서는 a-Si TFT LCD의 게이트 라인 구동을 위한 게이트 구동 쉬프트 레지스터의 풀다운 트랜지스터를 소정의 사이즈 비를 갖는 제1 및 제2 풀다운 트랜지스터 2개로 분리함으로써, 게이트 구동 쉬프트 레지스터 내부에 있는 인버터의 용량성 부하가 되는 풀다운 트랜지스터의 사이즈를 줄일 수 있어 인버터가 빠르게 동작하도록 할 수 있다.
- <92> 또한, 상기 제2 풀다운 트랜지스터를 다음단 게이트 라인 구동 신호에 의해 직접 구동함으로써, 유효 게이트 라인 구동 신호의 펄스폭이 1 클럭 펄스폭(1H) 이하가 되도록 할 수 있다.
- <93> 그 결과, 본 발명의 게이트 구동 회로를 이용하여 a-Si TFT LCD의 게이트 라인을 구동하면 디스플레이 불량이 발생되지 않는 고해상도 대화면 디스플레이를 구현할 수 있다.

도면

도면1

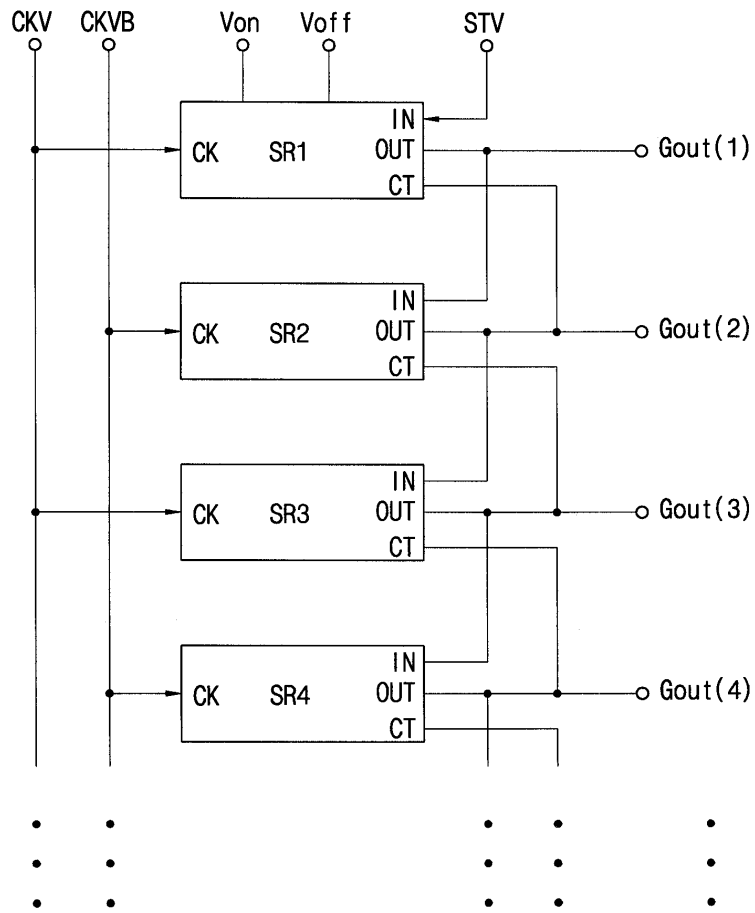


도면2

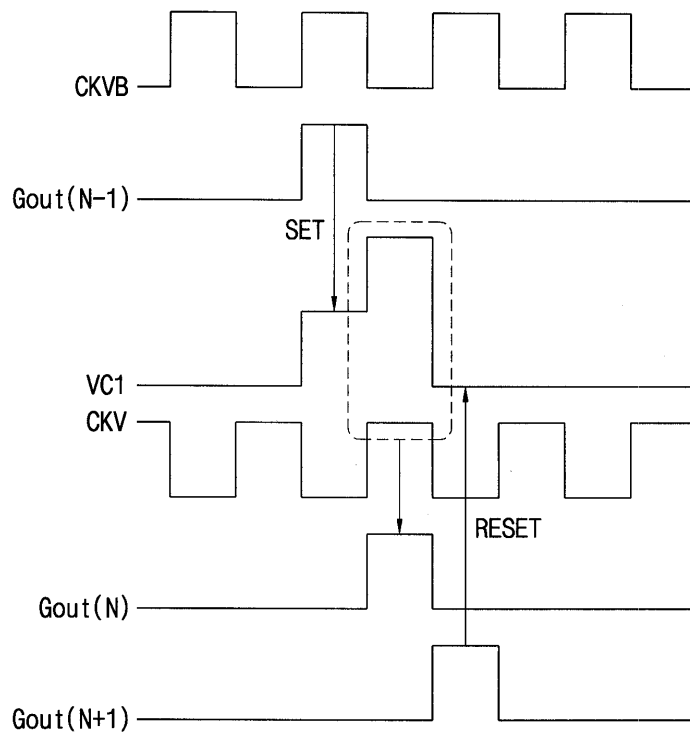


도면4

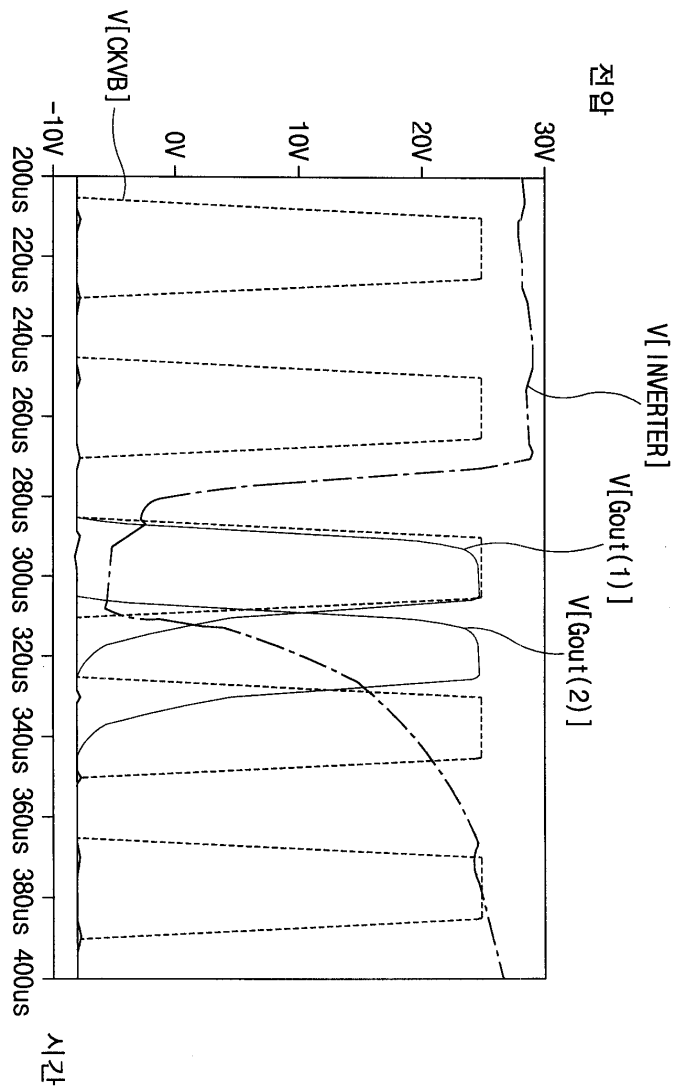
170



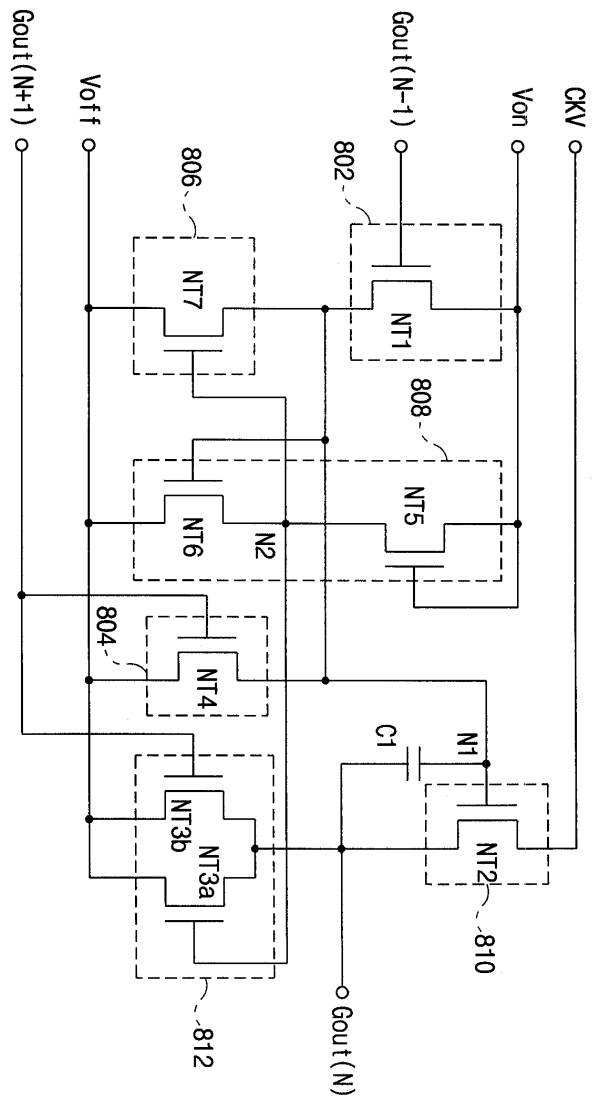
도면6



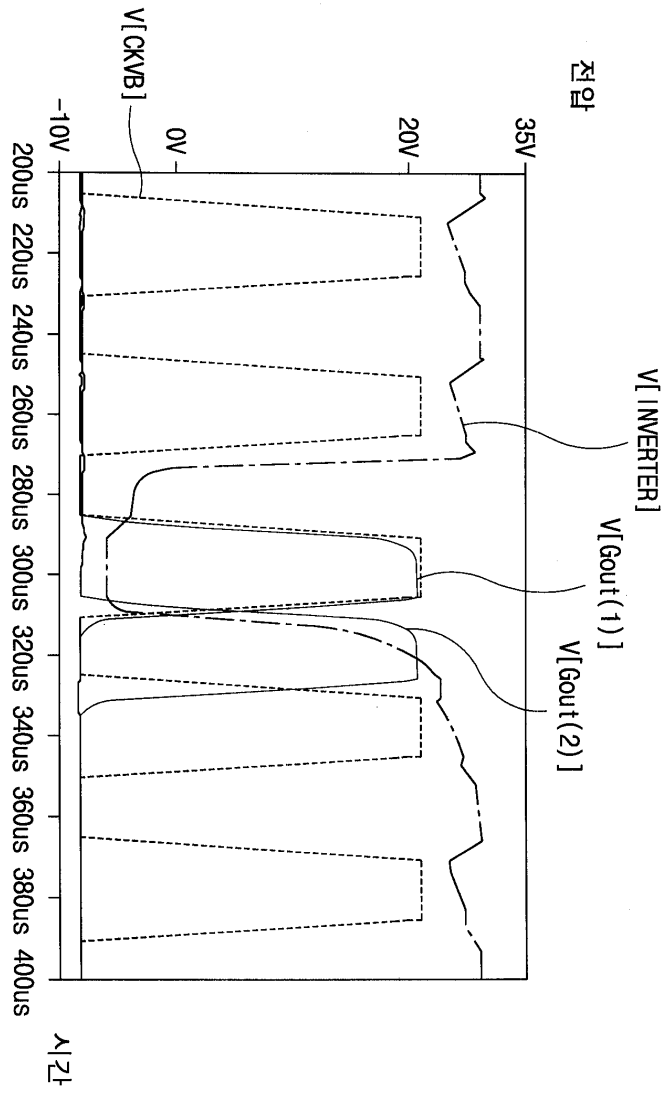
도면7



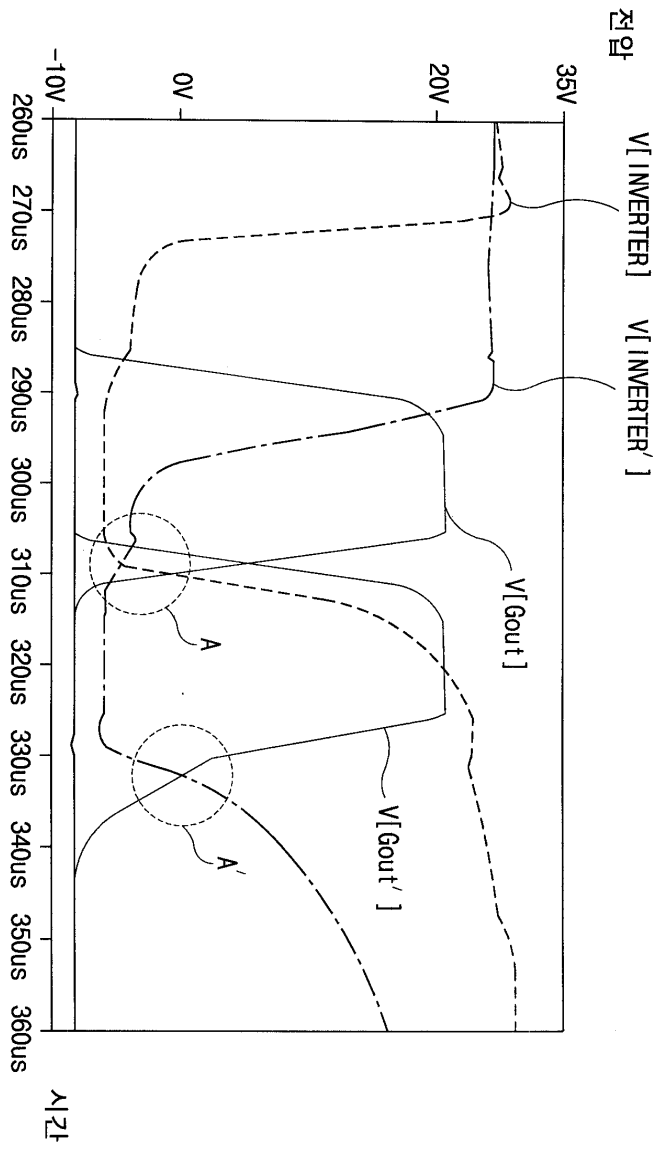
도면8



도면9



도면10



专利名称(译)	非晶硅薄膜晶体管栅极驱动移位寄存器和具有该移位寄存器的液晶显示器件		
公开(公告)号	KR100853720B1	公开(公告)日	2008-08-25
申请号	KR1020020033455	申请日	2002-06-15
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	MOON SEUNGHWAN 문승환 LEE BACKWON 이백원		
发明人	문승환 이백원		
IPC分类号	G09G3/36		
CPC分类号	E06B5/164 E06B7/2309 E06B7/2312		
代理人(译)	PARK , YOUNG WOO		
其他公开文献	KR1020030095854A		
外部链接	Espacenet		

摘要(译)

本发明涉及一种用于大屏幕用途的a-Si TFT LCD的栅极驱动移位寄存器。a-Si TFT LCD的栅极驱动电路由多个级联连接的移位寄存器组成，这些移位寄存器交替地接收第一和第二时钟信号并将它们作为薄膜晶体管的栅极线驱动信号提供，第二上拉开关元件，第二下拉开关元件，第二下拉开关元件和第二下拉开关元件。下晶体管分为具有预定尺寸比的两个第一和第二下拉晶体管，第二下拉晶体管由下一级栅极线驱动信号直接驱动。可以实现不发生显示故障的高分辨率大屏幕显示器。

