



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년04월11일
(11) 등록번호 10-0821794
(24) 등록일자 2008년04월04일

(51) Int. Cl.

G02F 1/136 (2006.01)

(21) 출원번호 10-2006-0070167

(22) 출원일자 2006년07월26일

심사청구일자 2006년07월26일

(65) 공개번호 10-2007-0014072

(43) 공개일자 2007년01월31일

(30) 우선권주장

JP-P-2005-00215717 2005년07월26일 일본(JP)

(56) 선행기술조사문헌

JP08179360 A*

(뒷면에 계속)

전체 청구항 수 : 총 20 항

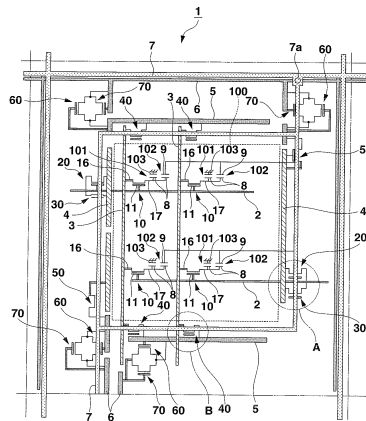
심사관 : 임동재

(54) 트랜지스터 어레이 패널, 액정 디스플레이 패널, 및 액정 디스플레이 패널의 제조방법

(57) 요약

기관과, 기관상에 서로 직교하도록 배치된 복수의 제 1 도전선 및 복수의 제 2 도전선과, 복수의 제 1 도전선과 복수의 제 2 도전선의 사이에 개재하는 절연막과, 기관상에 있어서의 복수의 제 1 도전선과 복수의 제 2 도전선의 교차 부분에 각각 형성된 제 1 스위칭소자와, 각 제 1 스위칭소자와 각각 접속된 복수의 표시전극과, 복수의 제 1 도전선, 복수의 제 2 도전선 및 복수의 표시전극과 절연되는 동시에 각 표시전극과 겹치도록 형성되고, 각 표시전극과의 사이에서 보조용량을 형성하는 적어도 하나의 도전막패턴과, 기관상에 있어서의 복수의 제 1 스위칭소자 및 복수의 표시전극이 형성된 표시영역의 외주부에 배치된 각 제 1 도전선 및 각 제 2 도전선과 접속된 보호회로와, 보호회로와 절연되고 또한 적어도 하나의 도전막패턴에 접속되며, 표시영역의 외주부에 있어서 보호회로와 절연되는 동시에 겹치도록 형성된 제 1 공통선을 포함하는 트랜지스터 어레이 패널을 제공한다.

대표도 - 도1



(56) 선행기술조사문헌

JP07230098 A*

JP13318393 A*

KR1020020012752 A*

JP08146460 A*

*는 심사관에 의하여 인용된 문헌

특허청구의 범위

청구항 1

기관과,

상기 기관상에 서로 직교하도록 배치된 복수의 게이트라인 및 복수의 데이터라인과,

복수의 상기 게이트라인과 복수의 상기 데이터라인의 사이에 개재하는 절연막과,

상기 기관상에 있어서의 복수의 상기 게이트라인과 복수의 상기 데이터라인의 교차부분에 각각 형성된 제 1 반도체층, 게이트전극, 드레인전극 및 소스전극을 갖는 제 1 박막 트랜지스터와,

각각의 상기 제 1 박막 트랜지스터의 드레인전극 또는 소스전극 중 한쪽과 각각 접속된 복수의 표시전극과,

복수의 상기 게이트라인, 복수의 상기 데이터라인 및 복수의 상기 표시전극과 절연되는 동시에 각각의 상기 표시전극과 겹치도록 형성되며, 각각의 상기 표시전극과의 사이에서 보조용량을 형성하는 적어도 하나의 도전막패턴과,

상기 기관상에 있어서의 복수의 상기 제 1 박막 트랜지스터 및 복수의 상기 표시전극이 형성된 표시영역의 외주부에 배치된 각각의 상기 게이트라인 및 각각의 상기 데이터라인과 접속된 보호회로로서, 이것은 복수의 상기 게이트라인 및 복수의 상기 데이터라인과 절연되고 또는 직교하도록 배치된 적어도 하나의 보호선과, 적어도 하나의 상기 보호선과 각각의 상기 게이트라인 또는 각각의 상기 데이터라인을 각각 접속하고 또한 제 2 반도체층, 다른 게이트 전극, 다른 드레인전극 및 다른 소스전극을 갖는 제 2 박막트랜지스터인 복수의 보호소자를 구비하는 보호회로와, 그리고,

적어도 하나의 상기 도전막패턴에 접속되며, 상기 표시영역의 외주부에 있어서 상기 보호소자의 상기 제 2 반도체층, 상기 다른 게이트전극, 상기 다른 드레인전극 및 상기 다른 소스전극과 절연되고 또한 겹치도록 형성된 제 1 공통선을 포함하는 것을 특징으로 하는 트랜지스터 어레이 패널.

청구항 2

제 1 항에 있어서,

각각의 상기 제 1 박막 트랜지스터의 게이트전극은 각각 복수의 상기 게이트라인 중 하나에 접속되며,

각각의 상기 제 1 박막 트랜지스터의 드레인전극 또는 소스전극 중 상기 표시전극에 접속되지 않는 다른쪽이 각각 복수의 상기 데이터라인 중 하나에 접속되는 것을 특징으로 하는 트랜지스터 어레이 패널.

청구항 3

제 1 항에 있어서,

상기 제 1 공통선은 상기 보호소자의 상기 제 2 반도체층, 상기 다른 게이트전극, 상기 다른 드레인전극 및 상기 다른 소스전극의 각각의 적어도 일부와 겹치도록 형성되는 것을 특징으로 하는 트랜지스터 어레이 패널.

청구항 4

삭제

청구항 5

제 1 항에 있어서,

상기 제 2 박막 트랜지스터의 다른 게이트전극은 도전성을 갖는 다른 부재와 절연되는 것을 특징으로 하는 트랜지스터 어레이 패널.

청구항 6

제 1 항에 있어서,

상기 제 2 박막 트랜지스터의 다른 게이트전극은 복수의 상기 게이트라인 중 어느 것인가 하나에 접속되는 것을

특징으로 하는 트랜지스터 어레이 패널.

청구항 7

제 1 항에 있어서,

복수의 상기 제 1 반도체층과 적어도 하나의 상기 제 2 반도체층이 동일 공정으로 형성되는 것을 특징으로 하는 트랜지스터 어레이 패널.

청구항 8

제 1 항에 있어서,

적어도 하나의 상기 도전막패턴 및 상기 제 1 공통선은 동일한 도전막을 패터닝해서 형성되는 것을 특징으로 하는 트랜지스터 어레이 패널.

청구항 9

하나의 기관과,

상기 하나의 기관상에 서로 직교하도록 배치된 복수의 게이트라인과 복수의 데이터라인과,

복수의 상기 게이트라인과 복수의 상기 데이터라인의 사이에 개재하는 절연막과,

상기 하나의 기관상에 있어서의 복수의 상기 게이트라인과 복수의 상기 데이터라인의 교차부분에 각각 형성된 제 1 반도체층, 게이트전극, 드레인전극 및 소스전극을 갖는 제 1 박막 트랜지스터와,

각각의 상기 제 1 박막 트랜지스터와 각각 접속된 복수의 화소전극과,

복수의 상기 게이트라인, 복수의 상기 데이터라인 및 복수의 상기 화소전극과 절연되는 동시에 각각의 상기 화소전극과 겹치도록 형성되고, 각각의 상기 화소전극과의 사이에서 보조용량을 형성하는 적어도 하나의 도전막패턴과,

상기 하나의 기관상에 있어서의 복수의 상기 제 1 박막 트랜지스터 및 복수의 상기 화소전극이 형성된 표시영역의 외주부에 배치된 보호회로로서, 이것은 복수의 상기 게이트라인 및 복수의 데이터라인과 절연되고 또한 직교하도록 배치된 적어도 하나의 보호선과, 적어도 하나의 상기 보호선과 각각의 상기 게이트라인 또는 각각의 데이터라인을 각각 접속하고 또한 제 2 반도체층, 다른 게이트전극, 다른 드레인전극 및 다른 소스전극을 갖는 제 2 박막 트랜지스터인 복수의 보호소자를 구비하는 보호회로와, 및

적어도 하나의 상기 도전막패턴이 접속되며, 상기 표시영역의 외주부에 있어서 상기 보호소자의 상기 제 2 반도체층, 상기 다른 게이트전극, 상기 다른 드레인전극 및 상기 다른 소스전극과 절연되고 또한 겹쳐지도록 형성된 제 1 공통선을 포함하는 트랜지스터 어레이 패널과; 그리고,

다른 기관과,

상기 다른 기관상의 전면에 빈틈없이 형성된 전극을 포함하는 대향기관과;

대향 배치된 상기 트랜지스터 어레이 패널과 상기 대향기관을 접합하는 동시에 상기 트랜지스터 어레이 패널과 상기 대향기관에 의해서 밀봉구조를 구성하는 직사각형 프레임 형상의 시일재와;

상기 밀봉 구조내에 봉입된 액정을 포함하고 ;

각각의 상기 제 1 박막 트랜지스터의 게이트전극이 각각 복수의 상기 게이트라인중 하나에 접속되고,

각각의 상기 제 1 박막 트랜지스터의 드레인전극 또는 소스전극 중 한쪽이 복수의 상기 화소전극 중 하나에 접속되며,

상기 드레인전극 또는 상기 소스전극 중 상기 화소전극에 접속되지 않는 다른쪽이 각각 복수의 상기 데이터라인 중 하나에 접속되는 것을 특징으로 하는 액정 디스플레이 패널.

청구항 10

제 9 항에 있어서,

상기 제 1 공통선은 상기 보호소자의 상기 제 2 반도체층, 상기 다른 게이트전극, 상기 다른 드레인전극 및 상기 다른 소스전극의 각각의 적어도 일부와 겹치도록 형성되는 것을 특징으로 하는 액정 디스플레이 패널.

청구항 11

제 9 항에 있어서,

상기 제 2 박막 트랜지스터의 다른 게이트전극은 도전성을 갖는 다른 부재와 절연되는 것을 특징으로 하는 액정 디스플레이 패널.

청구항 12

제 9 항에 있어서,

상기 제 2 박막 트랜지스터의 다른 게이트전극은 복수의 상기 게이트라인 중 어느 것인가 하나에 접속되는 것을 특징으로 하는 액정 디스플레이 패널.

청구항 13

제 9 항에 있어서,

복수의 상기 제 1 반도체층과 적어도 하나의 상기 제 2 반도체층이 동일 공정으로 형성되는 것을 특징으로 하는 액정 디스플레이 패널.

청구항 14

제 9 항에 있어서,

적어도 하나의 상기 도전막패턴 및 상기 제 1 공통선은 동일한 도전막을 패터닝해서 형성되는 것을 특징으로 하는 액정 디스플레이 패널.

청구항 15

하나의 기관을 준비하는 공정과,

상기 하나의 기관상에 복수의 게이트라인과 복수의 데이터라인이 절연막을 사이에 두고 서로 직교하도록 형성하는 공정과,

하나의 상기 기관상에 있어서의 복수의 상기 게이트라인과 복수의 상기 데이터라인의 교차부분에 각각 제 1 반도체층, 게이트전극, 드레인전극 및 소스전극을 갖는 제 1 박막 트랜지스터를 형성하는 동시에, 각각의 상기 제 1 박막 트랜지스터의 드레인전극 또는 소스전극 중 한쪽과 각각 접속된 복수의 표시전극을 형성하는 공정과,

복수의 상기 게이트라인, 복수의 상기 데이터라인 및 복수의 상기 표시전극과 절연되는 동시에 각각의 상기 표시전극과 겹쳐지고, 각각의 상기 표시전극과의 사이에서 보조용량을 형성하는 적어도 하나의 도전막패턴을 형성하는 공정과,

상기 하나의 기관상에 있어서의 복수의 상기 제 1 박막 트랜지스터 및 복수의 상기 표시전극이 형성된 표시영역의 외주부에, 각각의 복수의 상기 게이트라인 및 복수의 상기 데이터라인과 절연되고 또한 직교하도록 배치된 적어도 하나의 보호선과, 적어도 하나의 상기 보호선과 각각의 게이트라인 또는 각각의 상기 데이터라인을 각각 접속하고 또한 제 2 반도체층, 다른 게이트전극, 다른 데이터전극 및 다른 소스전극을 갖는 제 2 박막 트랜지스터인 복수의 보호소자를 포함하는 보호회로를 형성하는 공정과,

적어도 하나의 상기 도전막패턴이 접속된 제 1 공통선을, 상기 표시영역의 외주부에 있어서 상기 보호소자의 상기 제 2 반도체층, 상기 다른 게이트전극 및 상기 다른 소스전극과 절연되고 또한 겹쳐지도록 형성하는 공정과,

다른 기관을 준비하는 공정과,

상기 다른 기관상의 전면에 빈틈없이 전극을 형성하는 공정과,

상기 하나의 기관과 상기 다른 기관을 대향 배치하는 공정과,

상기 하나의 기관과 상기 다른 기관을 시일재를 통해서 접합하여 상기 하나의 기관, 상기 다른 기관 및 상기 시

일제에 의해서 밀봉구조를 구성하는 공정과, 그리고,

상기 밀봉구조내에 액정을 봉입하는 공정을 포함하는 것을 특징으로 하는 액정 디스플레이 패널의 제조방법.

청구항 16

제 15 항에 있어서,

각각의 상기 제 1 박막 트랜지스터의 게이트전극이 각각의 복수의 상기 게이트라인 중 하나에 접속하도록 형성하고,

각각의 상기 제 1 박막 트랜지스터의 드레인전극 또는 소스전극 중 상기 표시전극에 접속되지 않는 다른쪽이 각각 복수의 상기 데이터라인 중 하나에 접속하도록 형성하는 것을 특징으로 하는 액정 디스플레이 패널의 제조방법.

청구항 17

제 15 항에 있어서,

상기 제 1 공통선은 상기 보호소자의 상기 제 2 반도체층, 상기 다른 게이트전극, 상기 다른 드레인전극 및 상기 다른 소스전극의 각각의 적어도 일부와 겹치도록 형성되는 것을 특징으로 하는 액정 디스플레이 패널의 제조방법.

청구항 18

제 15 항에 있어서,

상기 제 2 박막 트랜지스터의 다른 게이트전극은 도전성을 갖는 다른 부재와 절연하도록 형성하는 것을 특징으로 하는 액정 디스플레이 패널의 제조방법.

청구항 19

제 15 항에 있어서,

상기 제 2 박막 트랜지스터의 다른 게이트전극은 상기 게이트라인에 접속하도록 형성하는 것을 특징으로 하는 액정 디스플레이 패널의 제조방법.

청구항 20

제 15 항에 있어서,

복수의 상기 제 1 반도체층과 적어도 하나의 상기 제 2 반도체층을 동일 공정으로 형성하는 것을 특징으로 하는 액정 디스플레이 패널의 제조방법.

청구항 21

제 15 항에 있어서,

적어도 하나의 상기 도전막패턴 및 상기 제 1 공통선을 동일한 도전막을 패터닝해서 형성하는 것을 특징으로 하는 액정 디스플레이 패널의 제조방법.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<18> 본 발명은 트랜지스터 어레이 패널, 액정 디스플레이 패널 및 액정 디스플레이 패널의 제조방법에 관한 것이다.

<19> 액티브 매트릭스 구동방식의 액정 디스플레이 패널은 박막 트랜지스터, 화소전극 등이 유리 등의 투광성을 갖는 기판상에 매트릭스형상으로 패터닝된 트랜지스터 어레이 패널과, 대향 전극 등 전면에 빈틈없이 형성된 대향기

판을 대향시켜, 트랜지스터 어레이 패널과 대향기관의 사이에 액정을 협지한 구조로 되어 있다.

- <20> 종래의 트랜지스터 어레이 패널은 행방향으로 배열된 복수의 게이트라인과, 열방향으로 배열된 복수의 데이터라인을 구비하고, 이들 게이트라인 및 데이터라인의 각 교차부에 박막 트랜지스터, 화소전극이 형성되어 있다. 복수의 박막 트랜지스터 및 화소전극이 매트릭스형상으로 배열되어 있는 영역이 표시영역으로 된다.
- <21> 게이트라인은 표시영역의 좌측 또는 우측에 있어 둘러침배선과 접속되고, 둘러침배선을 통하여 구동회로에 접속되어 있다. 또, 데이터라인은 표시영역의 상측 또는 하측에 있어서 둘러침배선과 접속되며, 둘러침배선을 통하여 구동회로에 접속되어 있다.
- <22> 또, 화소전극이 배열되는 표시영역의 외주부(바깥둘레부)에는 게이트라인이나 데이터라인을 정전기로부터 보호하기 위해 게이트라인이나 데이터라인에 보호소자를 통하여 접속된 보호라인이나, 보호라인에 저항소자를 통하여 접속된 환형상의 보호회로의 공통라인이, 게이트라인이나 데이터라인과 직교하여 설치되어 있다.
- <23> 또한, 데이터라인과 직교하는 보호회로의 공통라인이나 보호라인, 게이트라인은 모두 전면에 빈틈없이 형성된 하나의 도전막(게이트 메탈)을, 박막 트랜지스터의 게이트전극이나 게이트라인과 동시에 패터닝한 것이다. 또, 게이트라인과 직교하는 보호회로의 공통라인이나 보호라인, 데이터라인은 모두 전면에 빈틈없이 형성된 다른 도전막(드레인 메탈)을, 박막 트랜지스터의 소스전극·드레인전극이나 데이터라인과 동시에, 게이트 메탈을 피복한 게이트절연막상에 패터닝한 것이다. 이 때문에, 게이트라인과 데이터라인의 사이, 및 이들과 직교하는 보호회로의 공통라인이나 보호라인의 사이는 게이트절연막에 의해 절연되어 있다.
- <24> 게이트 메탈, 드레인 메탈로 형성된 보호회로의 공통라인은 교차부에 있어 게이트절연막을 관통하는 콘택트홀에 의해 도통되며, 환형상으로 형성되어 있다. 또, 보호소자나 저항소자는 박막 트랜지스터의 형성과 동시에 게이트 메탈 또는 드레인 메탈에 의해 형성되어 있다(예를 들면 특허 문헌 1 참조).
- <25> [특허 문헌 1] 일본국 특허공개공보 제2005-93459호

발명이 이루고자 하는 기술적 과제

- <26> 그런데, 액정 디스플레이 패널의 표시영역의 외주부에는 보호라인이나 보호회로의 공통라인, 보호소자나 저항소자를 설치할 필요가 있지만, 상술한 바와 같이, 이들은 모두 게이트 메탈 또는 드레인 메탈에 의해 형성되어 있으므로, 이들을 서로 절연하기 위해서는 동일한 도전막으로 형성된 부분끼리를 서로 이간하도록 형성하지 않으면 안 된다. 또, 일반적으로, 트랜지스터 어레이 패널의 표시영역에는 보조용량을 형성하기 위한 도전막패턴이 형성되고, 이 도전막패턴은 표시영역의 외주부에 있어서 보조용량의 공통라인에 접속된다. 이 보조용량의 공통라인을 게이트 메탈이나 드레인 메탈에 의해서 형성하면, 이들을 서로 절연하기 위해서는 하나의 평면내에 있어서 서로 이간해서 형성할 수 밖에 없기 때문에, 표시영역의 외주부가 더욱 넓어져 버린다.
- <27> 그래서, 본 발명은 상기와 같은 과제를 해결하고자 이루어진 것으로서, 표시영역의 외주부에 보호라인이나 보호회로의 공통라인과, 보호소자나 저항소자, 및 보조용량의 공통라인을 설치하는데 필요한 스페이스를 작게 할 수 있고, 액정 디스플레이 패널의 협프레임화를 도모할 수 있는 트랜지스터 어레이 패널, 액정 디스플레이 패널 및 액정 디스플레이 패널의 제조방법을 제공하는 것을 목적으로 한다.
- <28> 본 발명은 상기 상황에 감안해서 이루어진 것으로서, 본 발명에 따르면, 기관과, 상기 기관상에 서로 직교하도록 배치된 복수의 제 1 도전선 및 복수의 제 2 도전선과, 상기 복수의 제 1 도전선과 상기 복수의 제 2 도전선의 사이에 개재하는 절연막과, 상기 기관상에 있어서의 상기 복수의 제 1 도전선과 상기 복수의 제 2 도전선의 교차부분에 각각 형성된 제 1 스위칭소자와, 상기 각 제 1 스위칭소자와 각각 접속된 복수의 표시전극과, 상기 복수의 제 1 도전선, 상기 복수의 제 2 도전선 및 상기 복수의 표시전극과 절연되는 동시에 상기 각 표시전극과 겹치도록 형성되며, 상기 각 표시전극과의 사이에서 보조용량을 형성하는 적어도 하나의 도전막패턴과, 상기 기관상에 있어서의 상기 복수의 제 1 스위칭소자 및 상기 복수의 표시전극이 형성된 표시영역의 외주부에 배치된 상기 각 제 1 도전선 및 상기 각 제 2 도전선과 접속된 보호회로와, 상기 보호회로와 절연되고 또한 상기 적어도 하나의 도전막패턴에 접속되며, 상기 표시영역의 외주부에 있어서 상기 보호회로와 절연되는 동시에 겹치도록 형성된 제 1 공통선을 포함하는 트랜지스터 어레이 패널이 제공된다.
- <29> 또, 본 발명에 따르면, 하나의 기관과, 상기 하나의 기관상에 서로 직교하도록 배치된 복수의 게이트라인과 복수의 데이터라인과, 상기 복수의 게이트라인과 상기 복수의 데이터라인의 사이에 개재하는 절연막과, 상기 하나의 기관상에 있어서의 상기 복수의 게이트라인과 상기 복수의 데이터라인의 교차부분에 각각 형성된 제 1 박막 트랜지스터와, 상기 각 제 1 박막 트랜지스터와 각각 접속된 복수의 화소전극과, 상기 복수의 게이트라인, 상기

복수의 데이터라인 및 상기 복수의 화소전극과 절연되는 동시에 상기 각 화소전극과 겹치도록 형성되고, 상기 각 화소전극과의 사이에서 보조용량을 형성하는 적어도 하나의 도전막패턴과, 상기 하나의 기판상에 있어서의 상기 복수의 제 1 박막 트랜지스터 및 상기 복수의 화소전극이 형성된 표시영역의 외주부에 배치된 상기 각 게이트라인 및 상기 각 데이터라인과 접속된 보호회로와, 상기 보호회로와 절연되고 또한 상기 적어도 하나의 도전막패턴이 접속되며, 상기 표시영역의 외주부에 있어서 상기 보호회로와 절연되는 동시에 겹치도록 형성된 제 1 공통선을 포함하는 트랜지스터 어레이 패널과; 다른 기판과, 상기 다른 기판상의 전면에 빈틈없이 형성된 전극을 포함하는 대향기판과; 대향 배치된 상기 트랜지스터 어레이 패널과 상기 대향기판을 접합하는 동시에 상기 트랜지스터 어레이 패널과 상기 대향기판에 의해서 밀봉 구조를 구성하는 직사각형 프레임형상의 시일재와, 상기 밀봉 구조내에 봉입된 액정을 포함하고; 상기 각 제 1 박막 트랜지스터의 게이트전극이 각각 상기 복수의 게이트라인 중 하나에 접속되고, 상기 각 제 1 박막 트랜지스터의 드레인전극 또는 소스전극 중 한쪽이 상기 복수의 화소전극 중 하나에 접속되며, 상기 드레인전극 또는 상기소스 전극 중 상기 화소전극에 접속되지 않는 다른 쪽이 각각 상기 복수의 데이터라인 중 하나에 접속되는 액정 디스플레이 패널이 제공된다.

<30> 또, 본 발명에 따르면, 하나의 기판을 준비하는 공정과, 상기 하나의 기판상에 복수의 제 1 도전선과 복수의 제 2 도전선이 절연막을 사이에 두고 서로 직교하도록 형성하는 공정과, 상기 하나의 기판상에 있어서의 상기 복수의 제 1 도전선과 상기 복수의 제 2 도전선의 교차부분에 각각 제 1 스윗칭소자를 형성하는 동시에, 상기 각 제 1 스윗칭소자와 각각 접속된 복수의 표시전극을 형성하는 공정과, 상기 복수의 제 1 도전선, 상기 복수의 제 2 도전선 및 상기 복수의 표시전극과 절연되는 동시에 상기 각 표시전극과 겹쳐지고, 상기 각 표시전극과의 사이에서 보조용량을 형성하는 적어도 하나의 도전막패턴을 형성하는 공정과, 상기 하나의 기판상에 있어서의 상기 복수의 제 1 스윗칭소자 및 상기 복수의 표시전극이 형성된 표시영역의 외주부에, 상기 각 제 1 도전선 및 상기 각 제 2 도전선과 접속된 보호회로를 형성하는 공정과, 상기 보호회로와 절연되고 또한 상기 적어도 하나의 도전막패턴이 접속된 제 1 공통선을, 상기 표시영역의 외주부에 있어서 상기 보호회로와 절연되는 동시에 겹치도록 형성하는 공정과, 다른 기판을 준비하는 공정과, 상기 다른 기판상의 전면에 빈틈없이 전극을 형성하는 공정과, 상기 하나의 기판과 상기 다른 기판을 대향 배치하는 공정과, 상기 하나의 기판과 상기 다른 기판을 시일재를 통해서 접합하여 상기 하나의 기판, 상기 다른 기판 및 상기 시일재에 의해서 밀봉 구조를 구성하는 공정과, 상기 밀봉 구조내에 액정을 봉입하는 공정을 포함하는 액정 디스플레이 패널의 제조방법이 제공된다.

발명의 구성 및 작용

<31> 도 1은 트랜지스터 어레이 패널(1)의 구성요소를 일부 회로 기호로 나타낸 등가회로도들을 포함하는 각 구성요소의 접속 구조를 간이적으로 나타낸 평면도이다. 트랜지스터 어레이 패널(1)의 파선으로 둘러싸인 표시영역(100)에는 화소전극(표시전극)(8)이 매트릭스형상으로 배열되어 있다. 또, 매트릭스형상으로 형성된 화소전극(8)의 행을 따라서 게이트라인(제 1 도전선)(2)이, 열을 따라서 데이터라인(제 2 도전선)(3)이 설치되어 있고, 게이트라인(2)과 데이터라인(3)의 교차부분에 박막 트랜지스터(제 1 스윗칭소자, 제 1 박막 트랜지스터)(10)가 설치되어 있다. 박막 트랜지스터(10)의 게이트전극(11)은 게이트라인(2)과 접속되어 있으며, 드레인전극(16)은 데이터라인(3)과 접속되어 있고, 소스전극(17)은 화소전극(8)과 접속되어 있다.

<32> 게이트라인(2)은 박막 트랜지스터의 게이트 전극(11)에 주사신호를 공급한다. 데이터라인(3)은 박막 트랜지스터(10)의 드레인 전극(16)에 데이터신호를 공급한다. 또한, 드레인전극(16)을 화소전극(8)과 접속하고, 소스전극(17)을 데이터라인과 접속해도 좋다.

<33> 도 1에서는 표시영역(100)내에 화소전극(8)이 2행 2열분만 도시되어 있지만, 이것은 도면의 명확화를 위함으로 써, 실제로는 수백행 수백열분, 혹은 그 이상의 개수가 배열되어 있다.

<34> 또, 트랜지스터 어레이 패널(1)의 화소전극(8)이 설치된 측의 면과, 도시하지 않는 대향기판의 공통전극(103)이 설치된 측의 면이 대향 배치되고, 트랜지스터 어레이 패널(1)과 대향기판이 직사각형 프레임형상의 시일재를 통해서 접합되어 밀봉구조로 된다. 이 밀봉구조내에 액정이 봉입되는 것에 의해 액정 디스플레이 패널이 형성된다.

<35> 트랜지스터 어레이 패널(1)의 표시영역(100)의 외주부에는 보호라인(보호선)(4, 5), 박막 트랜지스터(20, 30, 40, 50, 60, 70) 및 보호회로의 공통라인(제 2 공통선)(6)을 포함하는 보호회로와, 보조용량의 공통라인(제 1 공통선)(7)이 설치되어 있다.

<36> 보호회로의 공통라인(6)은 비선형 저항 특성 또는 고저항 특성을 갖는 저항소자로서의 복수의 박막 트랜지스터(저항소자)(50, 60, 70)를 통해서 보호라인(4, 5)과 접속되어 있다. 보조용량의 공통라인(7)의 일부는 표시영역

(100)의 외주부에 환형상으로 형성되어 있으며, 환형상부분은 보호소자로서의 박막 트랜지스터(보호소자, 제 2 박막 트랜지스터)(20, 30, 40)의 위에 형성되어 있다. 또, 보조용량의 공통라인(7)은 콘택트홀(7a)에 충전(充填)된 도체를 통해서 보호회로의 공통라인(6)과 도통하고 있다. 또, 보호회로의 공통라인(6)과 보조용량의 공통라인(7)은 도시하지 않은 도통부재에 의해 대향기관의 공통전극(103)과 접속되어 있다.

- <37> 도 2는 표시영역(100)의 일부를 나타내는 투과 평면도이다. 도 2에 나타내는 바와 같이, 표시영역(100)에는 행 방향으로 배열된 복수의 게이트라인(2)과, 열방향으로 배열된 복수의 데이터라인(3)이 설치되고, 게이트라인(2) 및 데이터라인(3)의 각 교차부의 부근에 박막 트랜지스터(10)가 설치되어 있다. 또, 게이트라인(2) 및 데이터라인(3)에 의해 구획된 영역에는 화소전극(8)이 설치되어 있다.
- <38> 게이트라인(2)과 박막 트랜지스터(10)의 게이트전극(11)은 일체로 형성되어 있다. 또, 데이터라인(3)과 박막 트랜지스터(10)의 드레인전극(16)은 일체로 형성되어 있다.
- <39> 도 8i는 도 2의 IX-IX 화살표 단면도이다. 박막 트랜지스터(10)는 도 8i에 나타내는 바와 같이, 게이트전극(11), 반도체박막(12), 채널보호막(13), 옴콘택층(14, 15), 드레인전극(16) 및 소스전극(17)으로 이루어진다.
- <40> 게이트전극(11) 및 게이트라인(2)은 절연성의 투명기관(51)상에 패터닝되고, 질화실리콘 등으로 이루어지는 게이트절연막(절연막)(52)에 의해 피복되어 있다.
- <41> 반도체박막(12)은 게이트전극(11)과 대응하는 위치의 게이트절연막(52)상에 형성되어 있으며, 진성 아몰퍼스(비정질) 실리콘층으로 이루어진다. 채널보호막(13)은 게이트전극(11)과 대응하는 위치의 반도체박막(12)상에 형성되어 있고, 질화실리콘 등의 절연막으로 이루어진다. 옴콘택층(14, 15)은 반도체박막(12) 및 채널보호막(13)의 위에 떨어져서 형성되어 있으며, n형 또는 p형의 아몰퍼스 실리콘층으로 이루어진다. 드레인전극(16) 및 소스전극(17)은 각각 옴콘택층(14, 15)상에 형성되어 있으며, 금속층으로 이루어진다.
- <42> 데이터라인(3)은 진성 아몰퍼스 실리콘층(제 1 반도체층)(3a), 아몰퍼스 실리콘층(3b), 금속층(3c)의 3개의 층이 차례로 게이트절연막(52)상에 적층되어 이루어진다. 또, 데이터라인(3)의 진성 아몰퍼스 실리콘층(3a)은 박막 트랜지스터(10)의 반도체박막(12)과 일체로 형성되고, 아몰퍼스 실리콘층(3b)은 옴콘택층(14)과 일체로 형성되며, 금속층(3c)은 드레인전극(16)과 일체로 형성된다.
- <43> 박막 트랜지스터(10) 및 데이터라인(3)은 층간절연막(53)에 의해 피복되어 있다.
- <44> 층간절연막(53)상에는 게이트라인(2), 데이터라인(3) 및 박막 트랜지스터(10)의 상부를 덮도록, 캐패시터층(9)이 그물코형상으로 형성되어 있다. 캐패시터층(9)은 오버코트절연막(54)에 의해 피복되어 있다.
- <45> 오버코트절연막(54)상에는 캐패시터층(9)의 그물코를 막도록 화소전극(8)이 설치되어 있다. 또, 도 2, 도 8i에 나타내는 바와 같이, 화소전극(8)과 박막 트랜지스터(10)의 소스전극(17)의 중첩부분에 있어서, 층간절연막(53) 및 오버코트절연막(54)을 관통해서 콘택트홀(8a)이 설치되어 있다. 콘택트홀(8a)내에는 화소전극(8)과 마찬가지로 소재로 이루어지는 도체(8b)가 화소전극(8)과 일체로 충전되어 있으며, 이 도체(8b)를 통해서 화소전극(8)과 박막 트랜지스터(10)의 소스전극(17)이 도통되어 있다.
- <46> 화소전극(8) 및 도체(8b)는 광투과성 및 도전성을 갖는 투명도전막에 의해 형성된다. 이러한 투명도전막으로서 예를 들면, ITO(Indium Tin Oxide; 주석 도프 산화 인듐), IZO(Indium Zinc Oxide; 아연 도프 산화 인듐), CTO(Cadmium Tin Oxide; 주석 도프 산화 카드뮴) 등의 산화물 반도체를 이용한 투명도전막을 들 수 있다.
- <47> 또, 도 2에 나타내는 바와 같이, 화소전극(8)의 외주부는 오버코트절연막(54)을 사이에 두고 캐패시터층(9)의 위에 겹쳐져 있다. 이 겹침부분이 보조용량(102)으로서 기능한다. 또, 박막 트랜지스터(10)의 소스전극(17)과 화소전극(8)의 겹침부분에 있어서 콘택트홀(8a)이 설치되는 부분에는 캐패시터층(9)이 형성되어 있지 않다. 이 때문에, 콘택트홀(8a)내의 도체(8b)와 캐패시터층(9)은 절연되어 있다.
- <48> 다음에, 표시영역(100)의 외주부에 대해서 설명한다. 우선, 표시영역(100)의 우측 외주부에 대해서 설명한다. 또, 표시영역(100)의 좌측 외주부에 대해서는 우측 외주부와 마찬가지로 생략한다.
- <49> 도 3은 표시영역(100)의 우측 외주부(도 1의 A부)를 나타내는 투과 평면도이다. 도 3에 있어서, 좌측이 표시영역(100), 우측이 표시영역외이며, 표시영역(100)의 외주를 따라서 도 3의 상하 방향에 보호라인(4) 및 보조용량의 공통라인(7)이 설치되어 있다.
- <50> 도 3에 있어서, 게이트라인(2)이 표시영역(100)내(도 3의 좌측)로부터 표시영역(100)외(도 3의 우측)로 연장되어 있다. 또, 게이트라인(2)은 보호라인(4)이나 보조용량의 공통라인(7)보다도 외측(도 3의 우측)에 있어서 도

시하지 않은 돌러침배선을 통하여 구동회로에 접속되어 있다.

- <51> 도 4는 도 3의 IV-IV 화살표 단면도이며, 도 5는 도 3의 V-V 화살표 단면도이다. 게이트라인(2)과 교차하는 보호라인(4)은 데이터라인(3)과 마찬가지로, 진성 아몰퍼스 실리콘층(4a), 아몰퍼스 실리콘층(4b), 금속층(4c)의 3개의 층이 차례로 게이트절연막(52)상에 적층되어 이루어진다. 보호라인(4)은 게이트절연막(52)에 의해 게이트라인(2)과 절연되어 있다.
- <52> 보호라인(4)은 도 1에 나타내는 바와 같이, 3개의 박막 트랜지스터(50, 60, 70)를 통해서 보호회로의 공통라인(6)과 접속되어 있다. 보호회로의 공통라인(6)은 게이트라인(2)과 동시에 투명 기관(51)상에 패터닝되며, 질화실리콘 등으로 이루어지는 게이트절연막(52)에 의해 피복되어 있다.
- <53> 또, 게이트라인(2)과 보호라인(4)의 교차부분에는 게이트라인(2)에 생긴 정전기를 보호라인(4)으로 해방하는 보호소자로서, 2개의 박막 트랜지스터(20, 30)가 설치되어 있다.
- <54> 도 4 및 도 5에 나타내는 바와 같이, 박막 트랜지스터(20, 30)는 게이트전극(21, 31), 반도체박막(22, 32), 채널보호막(23, 33), 옴콘택트층(24, 25, 34, 35), 드레인전극(26, 36) 및 소스전극(27, 37)으로 이루어진다.
- <55> 박막 트랜지스터(20, 30)의 게이트전극(21, 31)은 게이트라인(2)과 동시에 투명기관(51)상에 패터닝되고, 질화실리콘 등으로 이루어지는 게이트절연막(52)에 의해 피복되어 있다. 또, 박막 트랜지스터(20)의 게이트전극(21)은 게이트라인(2)과 일체로 형성되지만, 박막 트랜지스터(30)의 게이트전극(31)은 게이트라인(2)과 독립된 플로팅게이트로 되어 있다(도 3 참조).
- <56> 반도체박막(22, 32)은 게이트전극(21, 31)과 대응하는 위치의 게이트절연막(52)상에 형성되어 있고, 보호라인(4)의 진성 아몰퍼스 실리콘층(4a)과 일체로 형성되어 있다. 채널보호막(23, 33)은 게이트전극(21, 31)과 대응하는 위치의 반도체박막(22, 32)상에 형성되어 있고, 질화실리콘 등의 절연막으로 이루어진다. 옴콘택트층(24, 25, 34, 35)은 반도체박막(22, 32) 및 채널보호막(23, 33)의 위에 떨어져서 형성되어 있으며, 아몰퍼스 실리콘층으로 이루어진다. 또, 옴콘택트층(24, 34)은 보호라인(4)의 아몰퍼스 실리콘층(4b)과 일체로 형성되어 있다. 드레인전극(26, 36) 및 소스전극(27, 37)은 각각 옴콘택트층(24, 25, 34, 35)상에 형성되어 있으며, 금속층으로 이루어진다. 또, 드레인전극(26, 36)은 보호라인(4)의 금속층(4c)과 일체로 형성된다.
- <57> 박막 트랜지스터(20, 30)의 반도체박막(22, 32), 옴콘택트층(25, 35), 소스전극(27, 37)은 보호라인(4)과 평행하게 설치된 접속배선(55)에 의해 접속되어 있다. 접속배선(55)은 진성 아몰퍼스 실리콘층(제 2 반도체층)(55a), 아몰퍼스 실리콘층(55b), 금속층(55c)의 3개의 층이 차례로 게이트절연막(52)상에 적층되어 이루어지고, 진성 아몰퍼스 실리콘층(55a)은 박막 트랜지스터(20, 30)의 반도체박막(22, 32)과 일체로 형성되며, 아몰퍼스 실리콘층(55b)은 옴콘택트층(25, 35)과 일체로 형성되고, 금속층(55c)은 소스전극(27, 37)과 일체로 형성된다.
- <58> 접속배선(55)과 게이트라인(2)의 교차부분에는 게이트절연막(52)을 관통하는 콘택트홀(56)이 형성되어 있으며, 콘택트홀(56)에는 금속층(55c)과 동일한 도체(56a)가 충전된다. 게이트라인(2)과 접속배선(55)은 도체(56a)를 통해서 도통되어 있다.
- <59> 박막 트랜지스터(20, 30), 접속배선(55) 및 보호라인(4)은 층간절연막(53)에 의해 피복되어 있다.
- <60> 보조용량의 공통라인(7)은 박막 트랜지스터(20, 30)와 대응하는 위치의 층간 절연막(53)상에 상하방향으로 형성된다. 보조용량의 공통라인(7)은 캐패시터층(9)과 일체로 형성되며, 오버코트절연막(54)에 의해 피복되어 있다.
- <61> 다음에, 표시영역(100)의 하측 외주부에 대해서 설명한다. 또, 표시영역(100)의 상측 외주부에 대해서는 하측 외주부와 마찬가지로 생략한다.
- <62> 도 6은 표시영역(100)의 하측 외주부(도 1의 B부)를 나타내는 투과 평면도이다. 도 6에 있어서, 상측이 표시영역(100), 하측이 표시영역외이며, 표시영역(100)의 외주를 따라서 도 6의 좌우방향에 보호라인(5) 및 보조용량의 공통라인(7)이 설치되어 있다.
- <63> 도 6에 있어서, 데이터라인(3)이 표시영역(100)내(도 6의 상측)로부터 표시영역(100)외(도 6의 하측)으로 연장되어 있다. 또, 데이터라인(3)은 보호라인(5)이나 보조용량의 공통라인(7)보다도 외측(도 6의 하측)에 있어서 돌러침배선을 통해서 구동회로에 접속되어 있다.
- <64> 데이터라인(3)과 교차하는 보호라인(5)은 게이트라인(2)과 동시에 투명기관(51)상에 패터닝되고, 질화실리콘 등으로 이루어지는 게이트절연막(52)에 의해 피복되어 있다. 데이터라인(3)은 게이트절연막(52)상에 형성되므로,

보호라인(5)으로부터 절연되어 있다.

- <65> 보호라인(5)은 도 1에 나타내는 바와 같이, 2개의 박막 트랜지스터(60, 70)를 통해서 보호회로의 공통라인(6)과 접속되어 있다.
- <66> 또, 데이터라인(3)과 보호라인(5)의 교차부분에는 데이터라인(3)에 생긴 정전기를 보호라인(5)으로 해방하는 보호소자로서, 박막 트랜지스터(40)가 설치되어 있다.
- <67> 도 7은 도 6의 VII-VII 화살표 단면도이다. 박막 트랜지스터(40)는 도 7에 나타내는 바와 같이, 게이트전극(41), 반도체박막(42), 채널보호막(43), 옴콘택층(44, 45), 드레인전극(46) 및 소스전극(47)으로 이루어진다.
- <68> 박막 트랜지스터(40)의 게이트전극(41)은 게이트라인(2)이나 보호라인(5)과 동시에 투명기관(51)상에 패터닝되고, 질화실리콘 등으로 이루어지는 게이트절연막(52)에 의해 피복되어 있다. 또, 박막 트랜지스터(40)의 게이트전극(41)은 게이트라인(2)나 보호라인(5)과 독립된 플로팅게이트로 되어 있다(도 6 참조).
- <69> 반도체박막(42)은 게이트전극(41)과 대응하는 위치의 게이트절연막(52)상에 형성되어 있으며, 데이터라인(3)의 진성 아몰퍼스 실리콘층(3a)과 일체로 형성되어 있다. 채널보호막(43)은 게이트전극(41)과 대응하는 위치의 반도체박막(42)상에 형성되어 있으며, 질화 실리콘 등의 절연막으로 이루어진다. 옴콘택층(44, 45)은 반도체박막(42) 및 채널 보호막(43)의 위에 떨어져서 형성되어 있으며, 아몰퍼스 실리콘층으로 이루어진다. 또한, 옴콘택층(44)은 데이터라인(3)의 아몰퍼스 실리콘층(3b)과 일체로 형성되어 있다. 드레인전극(46) 및 소스전극(47)은 각각 옴콘택층(44, 45)상에 형성되어 있으며, 금속층으로 이루어진다. 또, 드레인전극(46)은 데이터라인(3)의 금속층(3c)과 일체로 형성된다.
- <70> 또, 박막 트랜지스터(40)의 반도체박막(42), 옴콘택층(44, 45), 소스전극(47)은 데이터라인(3)과 평행하게 설치된 접속배선(57)과 접속되어 있다. 접속배선(57)은 진성 아몰퍼스 실리콘층(57a), 아몰퍼스 실리콘층(57b), 금속층(57c)의 3개의 층이 차례로 게이트절연막(52)상에 적층되어 이루어지고, 진성 아몰퍼스 실리콘층(57a)은 박막 트랜지스터(40)의 반도체박막(42)과 일체로 형성되고, 아몰퍼스 실리콘층(57b)은 옴콘택층(45)과 일체로 형성되며, 금속층(57c)은 소스전극(47)과 일체로 형성된다.
- <71> 접속배선(57)과 보호라인(5)의 교차부분에는 게이트절연막(52)을 관통하는 콘택트홀(58)이 형성되어 있고, 콘택트홀(58)에는 금속층(57c)과 동일한 도체(58a)가 충전된다. 보호라인(5)과 접속배선(57)은 도체(58a)를 통해서 도통되어 있다.
- <72> 박막 트랜지스터(40), 접속배선(57) 및 데이터라인(3)은 층간 절연막(53)에 의해 피복되어 있다.
- <73> 보조용량의 공통라인(7)은 박막 트랜지스터(40)와 대응하는 위치의 층간절연막(53)상에 좌우방향으로 형성된다. 보조용량의 공통라인(7)은 캐패시터층(9)과 일체로 형성되며, 오버코트절연막(54)에 의해 피복되어 있다.
- <74> 다음에, 트랜지스터 어레이 패널(1)의 형성방법에 대해서 도 8을 이용해서 설명한다.
- <75> 우선, 기상성장법(스퍼터링법, CVD법, PVD법 등)에 의해서 투명기관(51)에 게이트막을 전면 빈틈없이 성막하고, 포트리소그래피법 및 에칭법에 의해서 게이트막을 패터닝한다. 이것에 의해, 복수의 게이트라인(2), 복수의 박막 트랜지스터(10, 20, 30, 40, 50, 60, 70)의 게이트전극, 보호라인(5), 보호회로의 공통라인(6)을 동시에 형성한다(도 8a).
- <76> 다음에, 기상성장법에 의해서 투명기관(51)상에 게이트절연막(52)을 전면 빈틈없이 성막하고, 게이트절연막(52)에 의해 복수의 게이트라인(2), 복수의 박막 트랜지스터(10, 20, 30, 40, 50, 60, 70)의 게이트전극, 보호라인(5), 보호회로의 공통라인(6)을 피복한다. 다음에, 게이트절연막(52)상에 진성 아몰퍼스 실리콘층(61) 및 보호절연막(62)을 전면 빈틈없이 성막한다(도 8b).
- <77> 다음에, 보호절연막(62)에 대해 포트리소그래피법, 에칭법을 차례로 실행하는 것에 의해서, 복수의 박막 트랜지스터(10, 20, 30, 40, 50, 60, 70)의 채널보호막을 형성한다(도 8c).
- <78> 다음에, 기상성장법에 의해서 게이트절연막(52)상의 전면 빈틈없이 아몰퍼스 실리콘층(63)을 성막한다(도 8d). 다음에, 접속배선(55)과 게이트라인(2)의 교차부분 및 접속배선(57)과 보호라인(5)의 교차부분에 대응하는 위치에, 게이트절연막(52), 진성 아몰퍼스 실리콘층(61) 및 아몰퍼스 실리콘층(63)을 관통하는 콘택트홀(56, 58)을 형성한다. 다음에, 기상성장법에 의해서 아몰퍼스 실리콘층상의 전면 빈틈없이 금속층(64)을 형성한다(도 8d). 이것에 의해, 콘택트홀(56, 58)에 도체(56a, 58a)가 충전된다.

- <79> 다음에, 진성 아몰퍼스 실리콘층, 아몰퍼스 실리콘층, 금속층에 대해 포토리소그래피법, 에칭법을 차례로 실행하는 것에 의해서, 복수의 박막 트랜지스터(10, 20, 30, 40, 50, 60, 70)의 반도체박막, 옴콘택트층, 드레인전극, 소스전극, 데이터라인(3), 보호라인(4), 접속배선(55, 57)을 형성한다(도 8e).
- <80> 다음에, 기상성장법에 의해서 층간절연막(53)을 전면에 빈틈없이 성막하고, 층간절연막(53)에 의해 복수의 데이터라인(3), 복수의 박막 트랜지스터(10, 20, 30, 40, 50, 60, 70), 접속 배선(55, 57) 및 보호라인(4)을 피복한다(도 8f).
- <81> 다음에, 게이트절연막(52), 층간절연막(53)을 관통하는 콘택트홀(7a)을 형성한다. 다음에, 기상성장법, 포토리소그래피법, 에칭법을 차례로 실행하는 것에 의해서, 콘택트홀(7a)에 도체를 충전하는 동시에, 캐패시터층(9), 보조용량의 공통라인(7)을 형성한다(도 8g).
- <82> 다음에, 기상성장법에 의해서 오버코트절연막(54)를 전면에 빈틈없이 성막 하고, 오버코트절연막(54)에 의해 캐패시터층(9), 보조용량의 공통라인(7)을 피복한다.
- <83> 다음에, 층간절연막(53) 및 오버코트절연막(54) 중 각 박막 트랜지스터의 소스전극과 겹쳐지는 부분에 콘택트홀(8a)을 형성한다(도 8h).
- <84> 다음에, 기상성장법에 의해서 오버코트절연막(54)상에 투명도전막을 전면에 빈틈없이 성막한다. 그러면, 콘택트홀(8a)에 도체(8b)가 충전된다. 그 후, 포토리소그래피법 및 에칭법에 의해서 화소전극(8)을 패터닝한다. 이상에 의해, 트랜지스터 어레이 패널(1)이 완성된다(도 8i).
- <85> 제조한 트랜지스터 어레이 패널(1)에 배향막을 형성하고, 트랜지스터 어레이 패널(1)과 대향기관을 대향시켜, 트랜지스터 어레이 패널(1)과 대향기관의 사이에 액정을 배치하고, 액정을 시일에 의해 밀봉하면, 액정 디스플레이 패널이 완성된다.
- <86> 상기의 트랜지스터 어레이 패널(1)에서는 보조용량의 공통라인(7)을 박막 트랜지스터(10, 20, 30, 40, 50, 60, 70)나, 게이트라인(2), 데이터라인(3), 보호라인(4, 5)과 별개의 층으로 형성하기 때문에, 보호소자(박막 트랜지스터(20, 30, 40))와 보조용량의 공통라인(7)을 겹쳐서 배치할 수 있다. 따라서, 보호소자나 저항소자와, 보호라인이나 보호회로의 공통라인, 및 보조용량의 공통라인을 나열해서 배치하고 있던 종래의 트랜지스터 어레이 패널에 비해, 표시영역(100)의 외주부의 폭을 좁게 할 수 있다.
- <87> 또, 이상의 실시형태에 있어서는 보호소자와 보조용량의 공통라인(7)을 겹쳤지만, 본 발명은 이것에 한정되지 않고, 보호라인(4, 5)과 보조용량의 공통라인(7)을 겹쳐도 좋다. 또, 보조용량의 공통라인(7)을 폭을 넓게 해서 보호소자 및 보호라인(4, 5)의 양쪽과 겹쳐도 좋다.
- <88> 또, 보호소자로서 박막 트랜지스터, 혹은 게이트전극이 독립된 플로팅게이트형의 박막 트랜지스터를 이용했지만, 본 발명은 이것에 한정되지 않고, 예를 들면 게이트전극이 없는 SCLC(Space Charge Limited Current; 공간전하 제한전류) 소자를 이용해도 좋다.
- <89> 또, 표시영역(100)에 있어서 캐패시터층(9)이 게이트라인(2), 데이터라인(3) 및 화소전극(8)으로 절연되어 있고, 표시영역(100)의 외주부에 있어서 보호라인(4, 5)이 게이트라인(2) 및 데이터라인(3)과 절연되어 있으며, 보조용량의 공통라인(7)이 박막 트랜지스터(20, 30, 40)를 포함하는 보호소자 및 보호라인(4, 5)으로 절연되어 있으면 좋고, 이러한 적층순서를 바꾼 경우에도 상기 실시형태와 마찬가지로 액정 디스플레이 패널의 협프레임화를 도모할 수 있다.

발명의 효과

- <90> 본 발명에 따르면, 트랜지스터 어레이 패널의 표시영역의 외주부에 필요한 스페이스를 작게 할 수 있어, 액정 디스플레이 패널의 협프레임화를 도모할 수 있다.

<91>

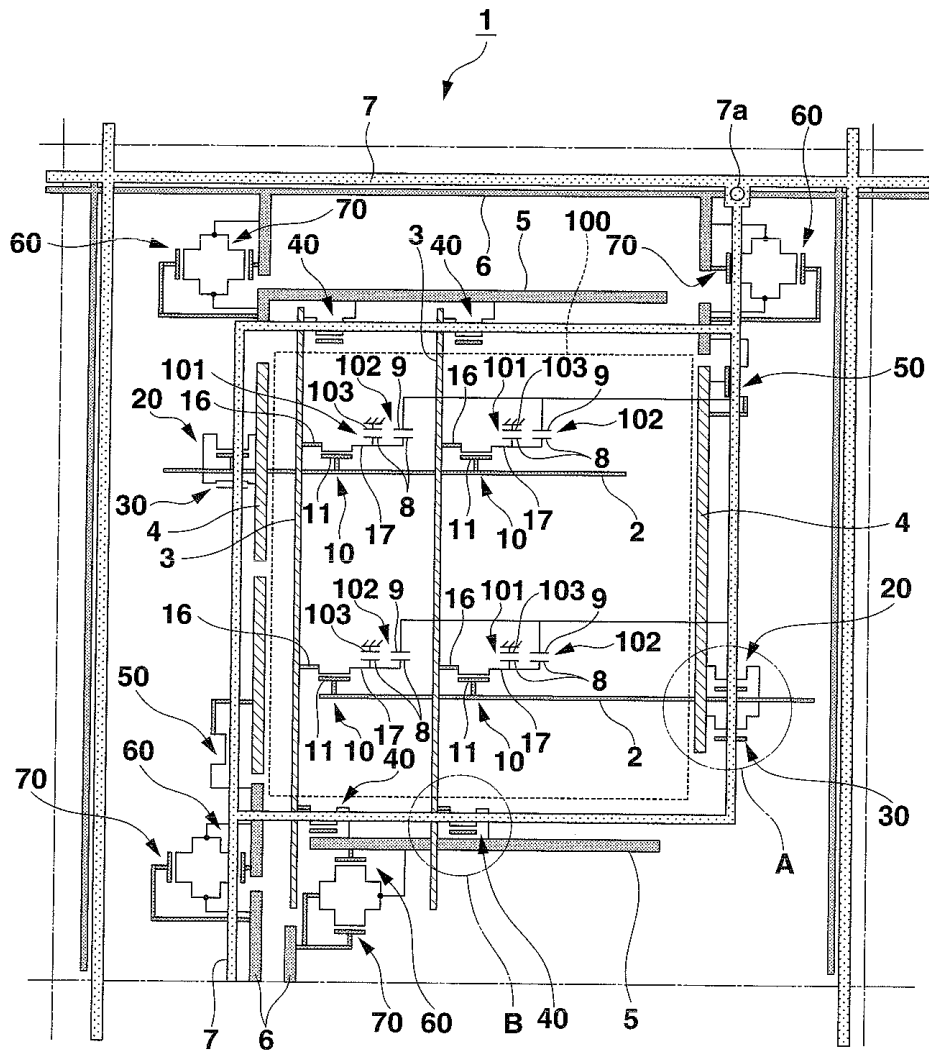
도면의 간단한 설명

- <1> 도 1은 트랜지스터 어레이 패널(1)의 등가회로 및 접속구조를 간이적으로 나타낸 평면도,
 <2> 도 2는 표시영역(100)의 일부를 나타내는 투과 평면도,

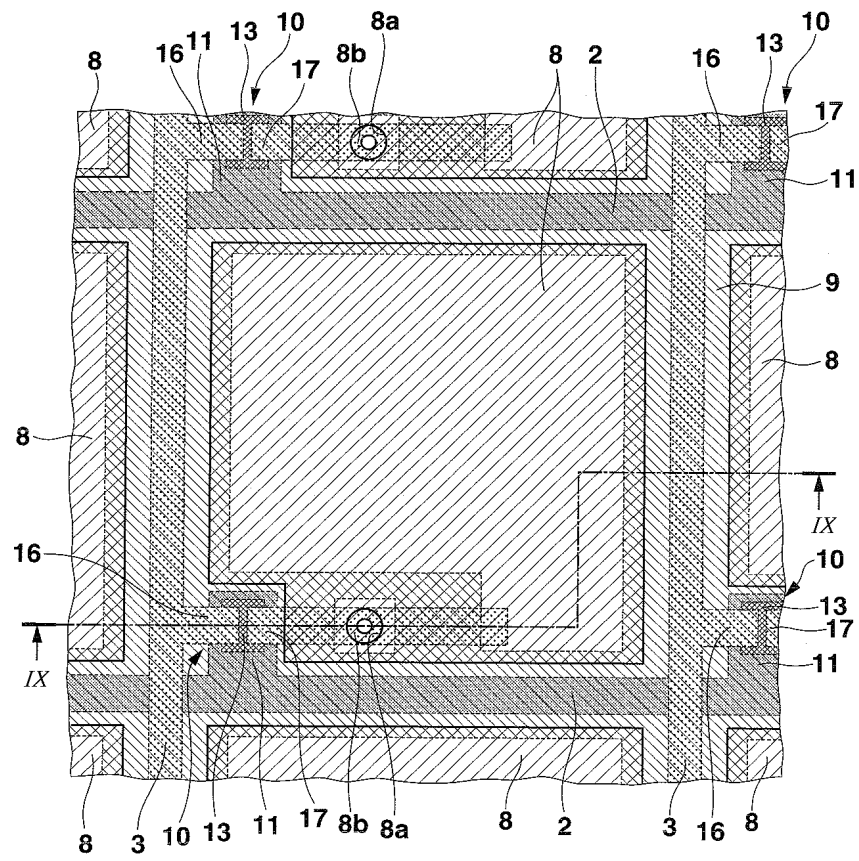
- <3> 도 3은 도 1의 A부를 나타내는 투과 평면도,
- <4> 도 4는 도 3의 IV-IV 화살표 단면도,
- <5> 도 5는 도 3의 V-V 화살표 단면도,
- <6> 도 6은 도 1의 B부를 나타내는 투과 평면도,
- <7> 도 7은 도 6의 VII-VII 화살표 단면도,
- <8> 도 8a는 트랜지스터 어레이 패널의 제조방법을 나타내는 단면도,
- <9> 도 8b는 도 8a에 나타내는 트랜지스터 어레이 패널의 제조방법의 후단에 있어서의 방법을 나타내는 단면도,
- <10> 도 8c는 도 8b에 나타내는 트랜지스터 어레이 패널의 제조방법의 후단에 있어서의 방법을 나타내는 단면도,
- <11> 도 8d는 도 8c에 나타내는 트랜지스터 어레이 패널의 제조방법의 후단에 있어서의 방법을 나타내는 단면도,
- <12> 도 8e는 도 8d에 나타내는 트랜지스터 어레이 패널의 제조방법의 후단에 있어서의 방법을 나타내는 단면도,
- <13> 도 8f는 도 8e에 나타내는 트랜지스터 어레이 패널의 제조방법의 후단에 있어서의 방법을 나타내는 단면도,
- <14> 도 8g는 도 8f에 나타내는 트랜지스터 어레이 패널의 제조방법의 후단에 있어서의 방법을 나타내는 단면도,
- <15> 도 8h는 도 8g에 나타내는 트랜지스터 어레이 패널의 제조방법의 후단에 있어서의 방법을 나타내는 단면도,
- <16> 도 8i는 도 8h에 나타내는 트랜지스터 어레이 패널의 제조방법의 후단에 있어서의 방법을 나타내는 단면도,
- <17> 도 8j는 도 8i에 나타내는 트랜지스터 어레이 패널의 제조방법의 후단에 있어서의 방법을 나타내는 단면도.

도면

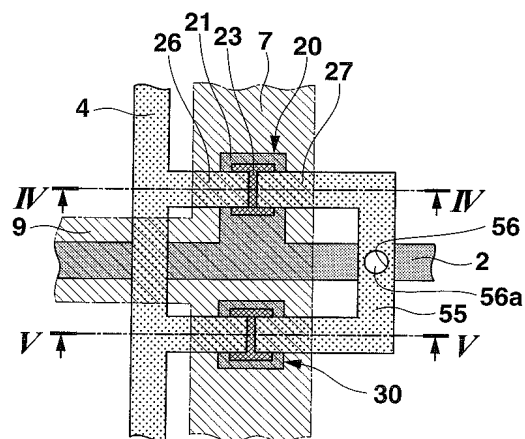
도면1



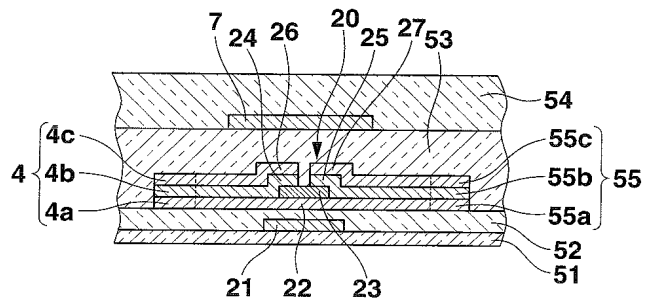
도면2



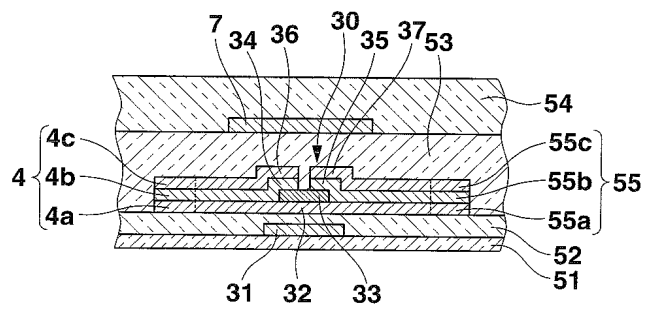
도면3



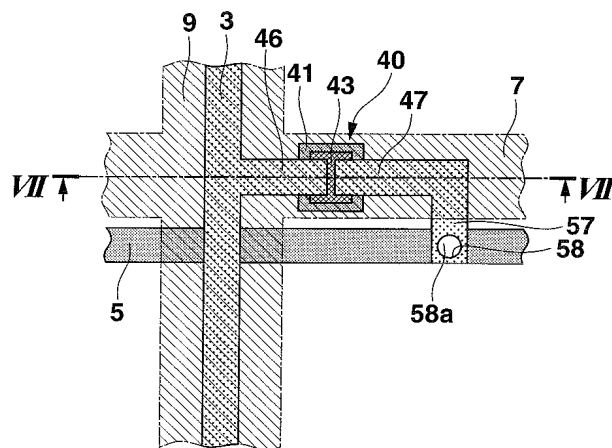
도면4



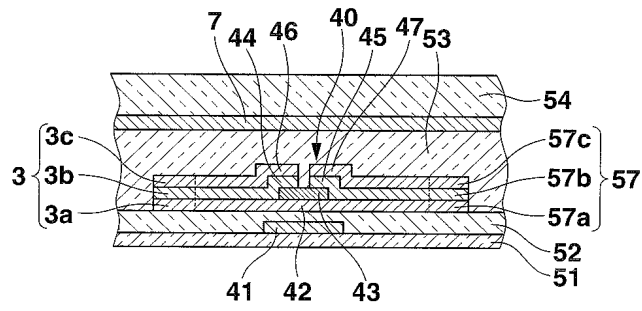
도면5



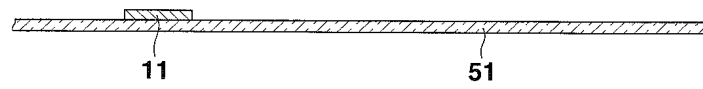
도면6



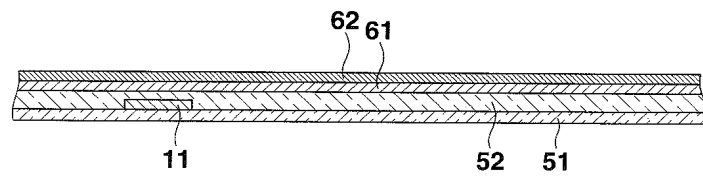
도면7



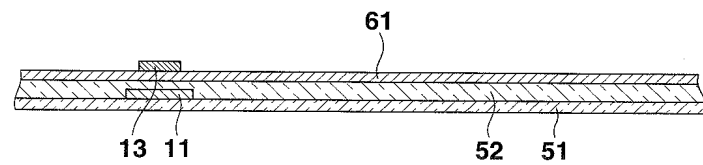
도면8a



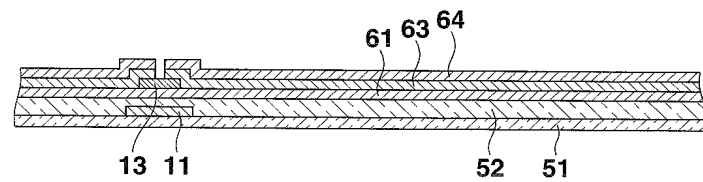
도면8b



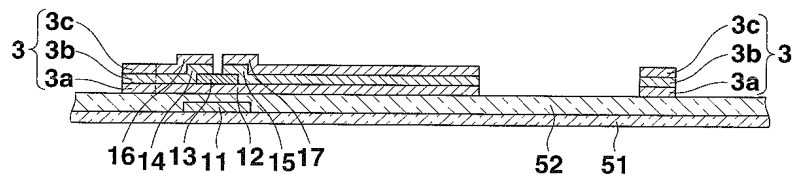
도면8c



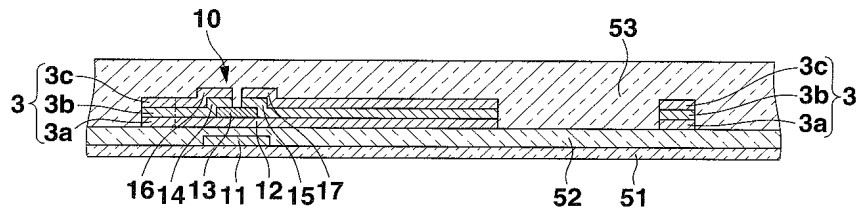
도면8d



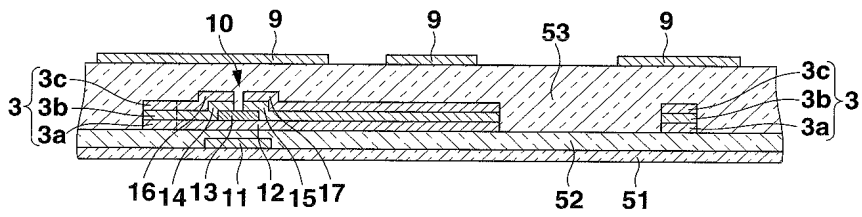
도면8e



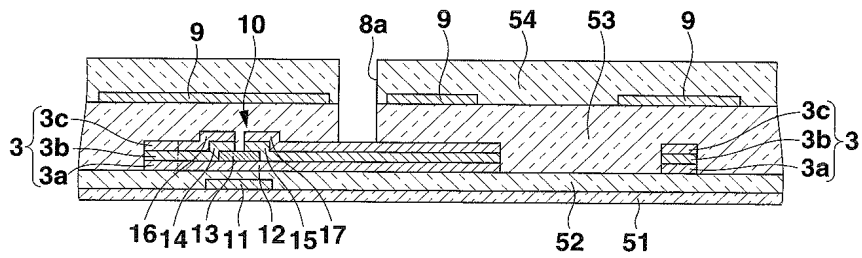
도면8f



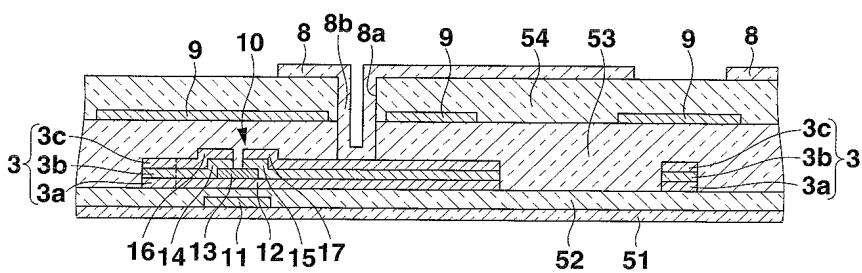
도면8g



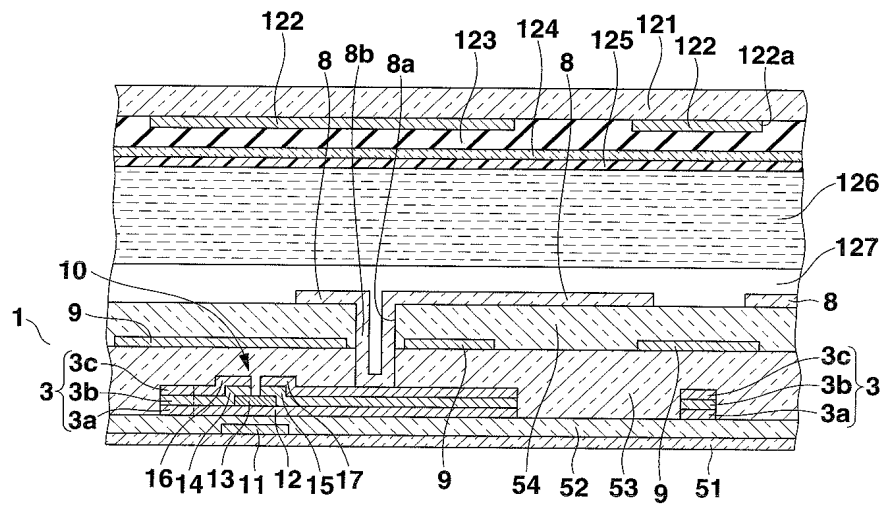
도면8h



도면8i



도면8j



介于基板，多条第一导线和多条第二导线之间的绝缘膜设置成在基板上彼此垂直，多条第一导线和多条第二导线，以及基板上的多个基板。分别形成在多个显示电极的第一导线和多个第二导线的交叉处的第一开关元件，连接到各个第一开关元件的多个显示电极，多个第一导线和多个第二导线至少一个导电膜图案，其与多个显示电极绝缘并与每个显示电极重叠，并在显示电极之间形成辅助电容，在基板上形成多个第一开关元件；保护电路连接到第一导线和第二导线中的每一个，所述第一导线和第二导线设置在形成有多个显示电极的显示区域的外周上，并且与保护电路绝缘并连接到至少一个导电膜图案。在外围提供一个晶体管阵列面板，包括第一公共线被形成为在从保护电路被绝缘，以重叠。

