



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2007년09월21일
(11) 등록번호 10-0760940
(24) 등록일자 2007년09월17일

(51) Int. Cl.

G02F 1/1343(2006.01)

(21) 출원번호 10-2003-0098941
(22) 출원일자 2003년12월29일
심사청구일자 2005년05월31일
(65) 공개번호 10-2005-0067906
공개일자 2005년07월05일

(56) 선행기술조사문헌
KR1020020081133 A

(뒷면에 계속)

전체 청구항 수 : 총 26 항

(73) 특허권자

엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자

채기성
인천광역시연수구동춘동한양1차아파트111-607

김우현

서울특별시서대문구봉원동45-9

(74) 대리인

김용인, 심창섭

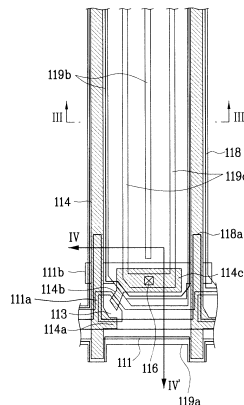
심사관 : 윤성주

(54) 액정표시장치 및 그의 제조방법

(57) 요약

고개구율을 달성함과 동시에 중력 불량 문제를 해결하기에 알맞은 액정표시장치 및 그의 제조방법을 제공하기 위한 것으로, 이와 같은 목적을 달성하기 위한 액정표시장치는 소정 간격을 두고 서로 대향되는 제 1 기판 및 제 2 기판과; 상기 제 1 기판상에 종횡으로 형성되어 화소영역을 정의하는 게이트라인 및 데이터라인과; 상기 게이트라인과 평행하게 배열된 제 1 공통배선과; 상기 게이트라인 및 데이터라인의 교차 부위에 형성된 박막 트랜지스터와; 상기 박막 트랜지스터를 포함한 상기 제 1 기판의 전면에 형성된 제 1 층간절연막과; 상기 데이터라인과 상기 게이트라인 상부에 격벽부를 구비한 절연막과; 상기 게이트라인, 데이터라인, 상기 박막 트랜지스터 상부에 중첩 형성되며, 상기 화소영역에 일방향으로 형성된 제 2 공통배선 및 공통전극과; 상기 박막 트랜지스터의 드레인전극과 콘택되며 상기 화소영역의 상기 공통전극 사이에 일정 간격을 갖고 형성된 화소전극을 포함함을 특징으로 한다.

대표도 - 도7



(56) 선행기술조사문헌

JP11153816 A

JP13311952 A

KR100275298 B1

특허청구의 범위

청구항 1

소정 간격을 두고 서로 대향되는 제 1 기관 및 제 2 기관과;

상기 제 1 기관상에 종횡으로 형성되어 화소영역을 정의하는 게이트라인 및 데이터라인과;

상기 게이트라인과 평행하게 배열된 제 1 공통배선과;

상기 게이트라인 및 데이터라인의 교차 부위에 형성된 박막 트랜지스터와;

상기 박막 트랜지스터를 포함한 상기 제 1 기관의 전면에 형성된 제 1 층간절연막과;

상기 화소영역의 하부영역을 감싸도록 상기 화소영역의 하부에 인접한 데이터라인과 상기 게이트라인 상부에 격벽부를 구비한 절연막과;

상기 게이트라인, 데이터라인, 상기 박막 트랜지스터 상부에 중첩 형성되며, 상기 화소영역에 일방향으로 형성된 제 2 공통배선 및 공통전극과;

상기 박막 트랜지스터의 드레인전극과 콘택되며 상기 화소영역의 상기 공통전극 사이에 일정 간격을 갖고 형성된 화소전극을 포함함을 특징으로 하는 액정표시장치.

청구항 2

삭제

청구항 3

제 1 항에 있어서,

상기 격벽부를 구비한 절연막은 상기 포토 아크릴, 폴리 이미드, BCB(Benzo Cyclo Butene)중 적어도 어느 하나의 저유전율의 유기절연막으로 구성됨을 특징으로 하는 액정표시장치.

청구항 4

제 1 항에 있어서,

상기 격벽부는 셀 갭(Cell Gap) 정도의 높이를 갖도록 형성됨을 특징으로 하는 액정표시장치.

청구항 5

제 1 항에 있어서,

상기 절연막의 격벽부는 하나의 단위 픽셀 단위로 형성될 수도 있고, 수십 또는 수백의 픽셀 단위로 자유 분포되어 있을 수도 있음을 특징으로 하는 액정표시장치.

청구항 6

제 1 항에 있어서,

상기 공통전극은 상기 데이터라인 상측의 상기 격벽부를 구비한 절연막상 및 상기 화소영역의 일영역상에 상기 데이터라인과 동일 방향으로 배열됨을 특징으로 하는 액정표시장치.

청구항 7

제 1 항에 있어서,

상기 제 2 공통배선과 상기 공통전극과 상기 화소전극은 동일층상에 형성됨을 특징으로 하는 액정표시장치.

청구항 8

제 1 항에 있어서,

상기 제 2 공통배선과 상기 공통전극과 상기 화소전극은 인듐주석산화물(Indium Tin Oxide : ITO), 주석산화물

(Tin Oxide : TO), 인듐아연산화물(Indium Zinc Oxide : IZO) 또는 인듐주석아연산화물(Indium Tin Zinc Oxide:ITZO)로 구성됨을 특징으로 하는 액정표시장치.

청구항 9

제 1 항에 있어서,

상기 드레인전극에서 연장되어 상기 제 1 공통배선상에 스토리지 전극이 더 형성됨을 특징으로 하는 액정표시장치.

청구항 10

제 1 항 또는 제 9 항에 있어서,

상기 화소전극은 상기 드레인전극 및 이에 연장된 상기 스토리지 전극과 콘택됨을 특징으로 하는 액정표시장치.

청구항 11

소정 간격을 두고 서로 대향되는 제 1 기판 및 제 2 기판과;

상기 제 1 기판상에 종횡으로 형성되어 화소영역을 정의하는 게이트라인 및 데이터라인과;

상기 게이트라인과 동일층에 평행하게 배열되며, 상기 데이터라인에 인접한 양측 하부를 따라 일정 간격을 갖고 배열된 제 1 공통배선과;

상기 게이트라인 및 데이터라인의 교차 부위에 형성된 박막 트랜지스터와;

상기 박막 트랜지스터를 포함한 상기 제 1 기판의 전면에 형성된 제 1 층간절연막과;

상기 화소영역의 하부영역을 감싸도록 상기 데이터라인과 상기 게이트라인 상부에 격벽부를 구비한 절연막과;

상기 게이트라인, 데이터라인, 상기 박막 트랜지스터 상부에 중첩 형성되며, 상기 화소영역에 일방향으로 형성된 제 2 공통배선 및 공통전극과;

상기 박막 트랜지스터의 드레인전극과 콘택되며 상기 화소영역의 상기 공통전극 사이에 일정 간격을 갖고 형성된 화소전극을 포함함을 특징으로 하는 액정표시장치.

청구항 12

제 11 항에 있어서,

상기 격벽부는 셀 갭정도의 높이를 갖도록 형성됨을 특징으로 하는 액정표시장치.

청구항 13

제 11 항에 있어서,

상기 격벽부를 구비한 절연막은 상기 포토 아크릴, 폴리 이미드, BCB(Benzo Cyclo Butene)중 적어도 어느 하나의 저유전율의 유기절연막으로 구성됨을 특징으로 하는 액정표시장치.

청구항 14

소정 간격을 두고 서로 대향되는 제 1 기판 및 제 2 기판과;

상기 제 1 기판상에 종횡으로 형성되어 화소영역을 정의하는 게이트라인 및 데이터라인과;

상기 게이트라인과 평행하게 배열된 제 1 공통배선과;

상기 게이트라인 및 데이터라인의 교차 부위에 형성된 박막 트랜지스터와;

상기 박막 트랜지스터를 포함한 상기 제 1 기판의 전면에 형성된 제 1 층간절연막과;

상기 제 1 층간절연막 전면에 형성된 제 2 층간절연막과;

상기 화소영역 하부 둘레를 감싸도록, 상기 게이트라인 상측과 이에 인접한 상기 데이터라인 상측의 상기 제 2 층간절연막상에 형성된 격벽부와;

상기 게이트라인, 데이터라인, 상기 박막 트랜지스터 상부에 증착 형성되며, 상기 화소영역에 일방향으로 형성된 제 2 공통배선 및 공통전극과;

상기 박막 트랜지스터의 드레인전극과 콘택되며 상기 화소영역의 상기 공통전극 사이에 일정 간격을 갖고 형성된 화소전극을 포함함을 특징으로 하는 액정표시장치.

청구항 15

제 14 항에 있어서,

상기 절연막과 상기 격벽부는 상기 포토 아크릴, 폴리 이미드, BCB(Benzo Cyclo Butene)중 적어도 어느 하나의 저유전율의 유기절연막으로 구성됨을 특징으로 하는 액정표시장치.

청구항 16

삭제

청구항 17

삭제

청구항 18

기관상에 일측에 게이트전극을 구비한 게이트라인을 형성하는 단계;

상기 게이트라인과 평행하게 제 1 공통배선을 형성하는 단계;

상기 게이트라인을 포함한 상기 기관상에 게이트절연막을 형성하는 단계;

상기 게이트전극 상부에 액티브층을 형성하는 단계;

상기 게이트라인과 교차 배치되어 화소영역을 정의하도록 데이터라인을 형성하는 단계;

상기 액티브층의 일측 및 타측에 오버랩되도록 소오스전극과 드레인전극을 형성하는 단계;

상기 데이터라인을 포함한 전면에 제 1 층간절연막을 형성하는 단계;

상기 화소영역의 하부영역을 감싸도록 상기 데이터라인과 상기 게이트라인 상부에 격벽부를 구비한 절연막을 형성하는 단계;

상기 게이트라인, 데이터라인, 상기 박막 트랜지스터 상부에 증착 형성되며, 상기 화소영역에 일방향으로 제 2 공통배선 및 공통전극을 형성하는 단계;

상기 박막 트랜지스터의 드레인전극과 콘택되며 상기 화소영역의 상기 공통전극 사이에 일정 간격을 갖고 화소전극을 형성함을 특징으로 하는 액정표시장치의 제조방법.

청구항 19

제 18 항에 있어서,

상기 격벽부를 구비한 절연막 형성 단계는,

상기 제 1 층간절연막 상부에서 절연막을 증착하는 단계와,

슬릿을 갖는 회절 노광 마스크를 이용하여 상기 절연막을 식각하는 단계를 포함함을 특징으로 하는 액정표시장치의 제조방법.

청구항 20

제 19 항에 있어서,

상기 절연막이 네가티브 타입일 경우,

상기 회절 노광 마스크는 상기 격벽부 형성 부분이 차광영역으로 구성되고, 상기 절연막 형성 부분이 슬릿 패턴으로 구성되며, 마스크의 나머지 영역은 투과영역으로 구성됨을 특징으로 하는 액정표시장치의 제조방법.

청구항 21

제 19 항에 있어서,

상기 절연막이 포지티브 타입일 경우, 상기 회절 노광 마스크는 상기 격벽부 형성 부분이 투과영역으로 구성되고, 상기 절연막 형성 부분이 슬릿 패턴으로 구성되며, 마스크의 나머지 영역은 차광영역으로 구성됨을 특징으로 하는 액정표시장치의 제조방법.

청구항 22

제 18 항에 있어서,

상기 절연막의 상기 격벽부는 셀 갭 정도의 두께를 갖도록 형성함을 특징으로 하는 액정표시장치의 제조방법.

청구항 23

제 18 항에 있어서,

상기 격벽부를 구비한 절연막은 프린팅법이나 소프트 몰드(soft mold)를 이용한 방법으로 형성하는 것을 더 포함함을 특징으로 하는 액정표시장치의 제조방법.

청구항 24

제 18 항에 있어서,

상기 격벽부를 구비한 절연막은 포토 아크릴, 폴리 이미드, BCB(Benzo Cyclo Butene)중 적어도 어느 하나의 저유전율의 유기절연막으로 형성함을 특징으로 하는 액정표시장치의 제조방법.

청구항 25

제 18 항에 있어서,

상기 제 2 공통배선과 상기 공통전극과 상기 화소전극은 동일층상에 형성하며, 인듐주석산화물(Indium Tin Oxide : ITO), 주석산화물(Tin Oxide : TO), 인듐아연산화물(Indium Zinc Oxide : IZO) 또는 인듐주석아연산화물(Indium Tin Zinc Oxide:ITZO)을 사용하여 형성함을 특징으로 하는 액정표시장치의 제조방법.

청구항 26

제 18 항에 있어서,

상기 제 1 공통배선은 상기 게이트라인과 동일층에 평행하게 배열할 뿐만아니라, 이에 연장되어서 상기 데이터라인에 인접한 양측 하부를 따라 일정 간격을 갖도록 배열하는 것을 더 포함함을 특징으로 하는 액정표시장치의 제조방법.

청구항 27

기관상에 일측에 게이트전극을 구비한 게이트라인을 형성하는 단계;

상기 게이트라인과 평행하게 제 1 공통배선을 형성하는 단계;

상기 게이트라인을 포함한 상기 기관상에 게이트절연막을 형성하는 단계;

상기 게이트전극 상부에 액티브층을 형성하는 단계;

상기 게이트라인과 교차 배치되어 화소영역을 정의하도록 데이터라인을 형성하는 단계;

상기 액티브층의 일측 및 타측에 오버랩되도록 소오스전극과 드레인전극을 형성하는 단계;

상기 데이터라인을 포함한 전면에 제 1 층간절연막을 형성하는 단계;

상기 제 1 층간절연막 전면에 제 2 층간절연막을 형성하는 단계;

상기 화소영역의 하부를 둘러싸도록 상기 게이트라인과 이에 인접한 상기 데이터라인 상부에 격벽을 형성하는 단계;

상기 게이트라인, 데이터라인, 상기 박막 트랜지스터 상부에 증착 형성되며, 상기 화소영역에 일방향으로 제 2 공통배선 및 공통전극을 형성하는 단계;

상기 박막 트랜지스터의 드레인전극과 콘택되며 상기 화소영역의 상기 공통전극 사이에 일정 간격을 갖고 화소 전극을 형성함을 특징으로 하는 액정표시장치의 제조방법.

청구항 28

제 27 항에 있어서,

상기 제 2 층간절연막은 상기 데이터라인을 포함한 상기 제 1 층간절연막 전면에서 제 1 프린팅 방법으로 형성하고, 상기 격벽부는 상기 제 2 층간절연막상에 셀 갭 정도의 두께를 갖도록 제 2 프린팅 방법으로 형성함을 특징으로 하는 액정표시장치의 제조방법.

청구항 29

제 27 항에 있어서,

상기 제 2 층간절연막과 상기 격벽부는 상기 포토 아크릴, 폴리 이미드, BCB(Benzo Cyclo Butene)중 적어도 어느 하나의 저유전율의 유기절연막으로 형성함을 특징으로 하는 액정표시장치의 제조방법.

청구항 30

삭제

청구항 31

삭제

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <30> 본 발명은 액정표시장치에 대한 것으로, 특히 고개구율을 달성함과 동시에 증력 불량 문제를 해결하기에 알맞은 액정표시장치 및 그의 제조방법에 관한 것이다.
- <31> 정보화 사회가 발전함에 따라 표시장치에 대한 요구도 다양한 형태로 증증하고 있으며, 이에 부응하여 근래에는 LCD(Liquid Crystal Display), PDP(Plasma Display Panel), ELD(Electro Luminescent Display), VFD(Vacuum Fluorescent Display) 등 여러 가지 평판 표시 장치가 연구되어 왔고, 일부는 이미 여러 장비에서 표시장치로 활용되고 있다.
- <32> 그 중에, 현재 화질이 우수하고 경량, 박형, 저소비 전력의 장점으로 인하여 이동형 화상 표시장치의 용도로 CRT(Cathode Ray Tube)를 대체하면서 LCD가 가장 많이 사용되고 있으며, 노트북 컴퓨터의 모니터와 같은 이동형의 용도 이외에도 방송신호를 수신하여 디스플레이하는 텔레비전, 및 컴퓨터의 모니터 등으로 다양하게 개발되고 있다.
- <33> 이와 같이 액정표시장치가 여러 분야에서 화면 표시장치로서의 역할을 하기 위해 여러 가지 기술적인 발전이 이루어졌음에도 불구하고 화면 표시장치로서 화상의 품질을 높이는 작업은 상기 장점과 배치되는 면이 많이 있다.
- <34> 따라서, 액정표시장치가 일반적인 화면 표시장치로서 다양한 부분에 사용되기 위해서는 경량, 박형, 저 소비전력의 특징을 유지하면서도 고정세, 고휘도, 대면적 등 고 품위 화상을 얼마나 구현할 수 있는가에 발전의 관건이 걸려 있다고 할 수 있다.
- <35> 이와 같은 액정표시장치는, 화상을 표시하는 액정 패널과 상기 액정 패널에 구동신호를 인가하기 위한 구동부로 크게 구분될 수 있으며, 상기 액정 패널은 공간을 갖고 합착된 제 1, 제 2 유리 기판과, 상기 제 1, 제 2 유리 기판 사이에 주입된 액정층으로 구성된다.

- <36> 여기서, 상기 제 1 유리 기판(TFT 어레이 기판)에는, 일정 간격을 갖고 일 방향으로 배열되는 복수개의 게이트 라인과, 상기 각 게이트 라인과 수직한 방향으로 일정한 간격으로 배열되는 복수개의 데이터 라인과, 상기 각 게이트 라인과 데이터 라인이 교차되어 정의된 각 화소영역에 매트릭스 형태로 형성되는 복수개의 화소 전극과 상기 게이트 라인의 신호에 의해 스위칭되어 상기 데이터 라인의 신호를 상기 각 화소 전극에 전달하는 복수개의 박막 트랜지스터가 형성되어 있다.
- <37> 그리고 제 2 유리 기판(컬러필터 기판)에는, 상기 화소 영역을 제외한 부분의 빛을 차단하기 위한 블랙 매트릭스층과, 컬러 색상을 표현하기 위한 R,G,B 컬러 필터층과 화상을 구현하기 위한 공통 전극이 형성되어 있다. 물론, 횡전계 방식의 액정표시장치에서는 공통전극이 제 1 유리 기판에 형성되어 있다.
- <38> 이와 같은 상기 제 1, 제 2 유리 기판은 스페이서(spacer)에 의해 일정 공간을 갖고 액정 주입구를 갖는 씨일재에 의해 합착되고 상기 두 기판 사이에 액정이 주입된다.
- <39> 이때, 액정 주입 방법은 상기 실재에 의해 합착된 두 기판 사이를 진공 상태로 유지하여 액정 용기에 상기 액정 주입구가 잠기도록 하면 삼투압 현상에 의해 액정이 두 기판 사이에 주입된다. 이와 같이 액정이 주입되면 상기 액정 주입구를 밀봉재로 밀봉하게 된다.
- <40> 한편, 상기와 같이 액정표시장치의 구동원리는 액정의 광학적 이방성과 분극성질을 이용한다.
- <41> 상기 액정은 구조가 가늘고 길기 때문에 분자의 배열에 방향을 가지고 있으며, 인위적으로 액정에 전기장을 인가하여 분자배열의 방향을 제어할 수 있다.
- <42> 따라서, 상기 액정의 분자배열 방향을 임의로 조절하면, 액정의 분자배열이 변하게 되고, 광학적 이방성에 의하여 편광된 빛이 임의로 변조되어 화상정보를 표현할 수 있다.
- <43> 이러한 액정은 전기적인 특정분류에 따라 유전율 이방성이 양(+)인 포지티브 액정과 음(-)인 네거티브 액정으로 구분될 수 있으며, 유전율 이방성이 양인 액정분자는 전기장이 인가되는 방향으로 액정분자의 장축이 평행하게 배열하고, 유전율 이방성이 음인 액정분자는 전기장이 인가되는 방향과 액정분자의 장축이 수직하게 배열한다.
- <44> 도 1은 일반적인 TN 액정표시장치의 일부를 나타낸 분해 사시도이다.
- <45> 도 1에 도시한 바와 같이, 일정 공간을 갖고 합착된 하부기판(1) 및 상부기판(2)과, 상기 하부기판(1)과 상부기판(2) 사이에 주입된 액정층(3)으로 구성되어 있다.
- <46> 보다 구체적으로 설명하면, 상기 하부기판(1)은 화소영역(P)을 정의하기 위하여 일정한 간격을 갖고 일방향으로 복수개의 게이트 라인(4)이 배열되고, 상기 게이트 라인(4)에 수직한 방향으로 일정한 간격을 갖고 복수개의 데이터 라인(5)이 배열되며, 상기 게이트 라인(4)과 데이터 라인(5)이 교차하는 각 화소영역(P)에는 화소전극(6)이 형성되고, 상기 각 게이트 라인(4)과 데이터 라인(5)이 교차하는 부분에 박막 트랜지스터(T)가 형성되어 있다.
- <47> 그리고 상기 상부기판(2)은 상기 화소영역(P)을 제외한 부분의 빛을 차단하기 위한 블랙 매트릭스층(7)과, 컬러 색상을 표현하기 위한 R,G,B 컬러 필터층(8)과, 화상을 구현하기 위한 공통전극(9)이 형성되어 있다.
- <48> 여기서, 상기 박막 트랜지스터(T)는 상기 게이트 라인(4)으로부터 돌출된 게이트 전극과, 전면에 형성된 게이트 절연막(도면에는 도시되지 않음)과 상기 게이트 전극 상층의 게이트 절연막위에 형성된 액티브층과, 상기 데이터 라인(5)으로부터 돌출된 소오스 전극과, 상기 소오스 전극에 대향되도록 드레인 전극을 구비하여 구성된다.
- <49> 상기 화소전극(6)은 인듐-틴-옥사이드(indium-tin-oxide : ITO)와 같이 빛의 투과율이 비교적 뛰어난 투명 도전성 금속을 사용한다.
- <50> 전술한 바와 같이 구성되는 액정표시장치는 상기 화소전극(6)상에 위치한 액정층(3)이 상기 박막 트랜지스터(T)로부터 인가된 신호에 의해 배향되고, 상기 액정층(3)의 배향 정도에 따라 액정층(3)을 투과하는 빛의 양을 조절하는 방식으로 화상을 표현할 수 있다.
- <51> 전술한 바와 같은 액정패널은 상-하로 걸리는 전기장에 의해 액정을 구동하는 방식으로, 투과율과 개구율 등의 특성이 우수하며, 상부기판(2)의 공통전극(9)이 접지역활을 하게 되어 정전기로 인한 액정 셀의 파괴를 방지할 수 있다.
- <52> 그러나, 상-하로 걸리는 전기장에 의한 액정 구동은 시야각 특성이 우수하지 못한 단점을 갖고 있다.

- <53> 따라서, 상기의 단점을 극복하기 위해 새로운 기술 즉, IPS의 액정표시장치가 제안되고 있다.
- <54> 도 2는 일반적인 IPS의 액정표시장치를 나타낸 개략적인 단면도이다.
- <55> 도 2에 도시한 바와 같이, 하부기관(11)상에 화소전극(12)과 공통전극(13)이 동일 평면상에 형성되어 있다.
- <56> 그리고 상기 하부기관(11)과 일정 공간을 갖고 합착된 상부기관(15) 사이에 형성된 액정층(14)은 상기 하부기관(11)상의 상기 화소전극(12)과 공통전극(13) 사이의 횡전계에 의해 작동한다.
- <57> 도 3a 내지 도 3b는 IPS 모드에서 전압 온(on)/오프(off)시 액정의 상 변이 모습을 나타내는 도면이다.
- <58> 즉, 도 3a는 화소전극(12) 또는 공통전극(13)에 횡전계가 인가되지 않은 오프(off)상태로써, 액정층(14)의 상 변이가 일어나지 않음을 알 수 있다. 예를 들어 화소전극(12)과 공통전극(13)의 수평 방향에서 기본적으로 45° 틀어져있다.
- <59> 도 3b는 상기 화소전극(12)과 공통전극(13)에 횡전계가 인가된 온(on) 상태로써, 액정층(14)의 상 변이가 일어나고, 도 3a의 오프 상태와 비교해서 45° 정도로 뒤틀림 각을 가지고, 화소전극(12)과 공통전극(13)의 수평방향과 액정의 비틀림 방향이 일치함을 알 수 있다.
- <60> 상술한 바와 같이 IPS의 액정표시장치는 동일 평면상에 화소전극(12)과 공통전극(13)이 모두 존재한다.
- <61> 상기 횡전계 방식의 장점으로는 광시야각이 가능하다는 것이다.
- <62> 즉, 액정표시장치를 정면에서 보았을 때, 상/하/좌/우 방향으로 약 70° 방향에서 가시 할 수 있다.
- <63> 그리고, 일반적으로 사용되는 액정표시장치에 비해 제작 공정이 간단하고, 시야각에 따른 색의 이동이 적은 장점이 있다.
- <64> 그러나, 공통전극(13)과 화소전극(12)이 동일 기관상에 존재하기 때문에 빛에 의한 투과율 및 개구율이 저하되는 단점이 있다.
- <65> 또한, 구동전압에 의한 응답시간을 개선해야 하고, 셀 갭(cell gap)의 정렬오차 마진(misalign margin)이 작기 때문에 상기 셀 갭을 균일하게 해야 하는 단점이 있다.
- <66> 즉, 횡전계 방식의 액정표시장치는 상기와 같은 장점과 단점이 있으므로 사용자의 사용 용도에 따라 선택해서 사용할 수 있다.
- <67> 도 4a 및 도 4b는 각각 오프상태와 온 상태일 때 IPS의 액정표시장치의 동작을 나타낸 사시도이다.
- <68> 도 4a에 도시한 바와 같이, 화소전극(12) 또는 공통전극(13)에 횡전계 전압이 인가되지 않았을 경우에는 액정분자 배열방향(16)은 초기 배향막(도시되지 않음)의 배열 방향과 동일한 방향으로 배열된다.
- <69> 그리고 도 4b에 도시한 바와 같이, 화소전극(12)과 공통전극(13)에 횡전계 전압이 인가되었을 때 액정분자의 배열방향(16)은 전기장이 인가되는 방향(17)으로 배열함을 알 수 있다.
- <70> 이하, 첨부된 도면을 참고하여 종래의 액정표시장치에 대하여 설명하기로 한다.
- <71> 도 5는 종래 기술에 따른 액정표시장치의 평면도이고, 도 6은 도 5의 I-I'와 II-II' 선상을 자른 구조 단면도이다.
- <72> 종래 기술에 따른 액정표시장치는 도 5와 도 6에 도시한 바와 같이, 투명한 하부기관(100)상에 일방향으로 배열된 게이트라인(101)과, 상기 게이트 라인(101)의 일측에서 돌출 형성된 게이트 전극(101a)과, 상기 게이트라인(101)과 동일층상에 동일물질로 평행하게 배열된 제 1 공통배선(101b)과, 상기 게이트 전극(101a)과 제 1 공통배선(101b)을 포함한 하부기관(100)의 전면에 형성된 게이트 절연막(102)과, 상기 게이트 전극(101a) 상부의 상기 게이트 절연막(102)상에 아일랜드 형태로 형성되는 액티브층(103)과, 상기 게이트라인(101)과 교차 배열되어 화소영역을 정의하는 데이터라인(104)과, 상기 데이터라인(104)으로부터 돌출되어 상기 액티브층(103)의 일측 상부에 오버랩된 소오스 전극(104a)과, 상기 소오스 전극(104a)과 일정 간격 이격되어 액티브층(103)의 타측에 오버랩된 드레인 전극(104b)과, 상기 제 1 공통배선(101b)의 상부에 형성된 스토리지 전극(104c)와, 데이터라인(104)과 소오스 전극(104a) 및 드레인 전극(104b)을 포함한 하부기관(100)의 전면에 형성된 평탄화막(105)과, 상기 드레인전극(104b)의 일영역이 드러나도록 평탄화막(105)상에 형성된 콘택홀(106)과, 상기 소오스 전극(104a) 및 드레인 전극(104b)을 포함한 하부기관(100)의 평탄화막(105)상에 형성된 제 2 공통배선(107a)과, 상기 제 2 공통배선(107a)과 일체로 형성되어 있으며 데이터라인(104)의 상부 및 상기 화소영역의 일영역에 형성

된 공통전극(107b)과, 상기 콘택홀(106)을 통해 드레인전극(104b)과 콘택되며 상기 공통전극(107b)의 사이에 일정 간격 이격되어 형성된 화소전극(107c)으로 구성된다.

- <73> 상기 구성을 갖는 하부기관(100)에 대응되는 상부기관(90)에는, 빛의 누설을 방지하기 위한 블랙 매트릭스층(91)과, 화소영역에 대응되는 부분에 형성된 R,G,B의 칼라필터층(92)으로 구성된다.
- <74> 이때 상부기관(90)에 형성된 블랙 매트릭스층(91)은 박막 트랜지스터(TFT)에 대응되는 영역에 상, 하판 합착 마진을 고려하여 넓게 형성되어 있다.
- <75> 그리고 상기 상,하부기관(90,100)의 합착시 셀갭 유지를 위해 게이트라인이나 데이터라인 상부에 대응되는 영역에 칼럼 스페이서(80)가 형성된다. 이때 칼럼 스페이서(80)는 상,하부기관(90,100) 중 어느 하나의 기관에 형성할 수 있다.
- <76> 그러나, 상기 구성을 갖는 종래의 액정표시장치는, 고개구율화를 달성할 수는 있지만, 액정 패널이 대형화되어 가면 갈수록 중력에 의해 액정이 상하좌우로 흘러서 화면에 얼룩이 발생하는 문제를 유발할 수 있다.

발명이 이루고자 하는 기술적 과제

- <77> 본 발명은 상기와 같은 문제를 해결하기 위하여 안출한 것으로, 본 발명의 목적은 고개구율을 달성함과 동시에 중력 불량 문제를 해결하기에 알맞은 액정표시장치 및 그의 제조방법을 제공하는데 있다.

발명의 구성 및 작용

- <78> 상기와 같은 목적을 달성하기 위한 본 발명의 액정표시장치는 소정 간격을 두고 서로 대향되는 제 1 기관 및 제 2 기관과; 상기 제 1 기관상에 중첩으로 형성되어 화소영역을 정의하는 게이트라인 및 데이터라인과; 상기 게이트라인과 평행하게 배열된 제 1 공통배선과; 상기 게이트라인 및 데이터라인의 교차 부위에 형성된 박막 트랜지스터와; 상기 박막 트랜지스터를 포함한 상기 제 1 기관의 전면에 형성된 제 1 층간절연막과; 상기 데이터라인과 상기 게이트라인 상부에 격벽부를 구비한 절연막과; 상기 게이트라인, 데이터라인, 상기 박막 트랜지스터 상부에 중첩 형성되며, 상기 화소영역에 일방향으로 형성된 제 2 공통배선 및 공통전극과; 상기 박막 트랜지스터의 드레인전극과 콘택되며 상기 화소영역의 상기 공통전극 사이에 일정 간격을 갖고 형성된 화소전극을 포함함을 특징으로 한다.
- <79> 상기 절연막의 상기 격벽부는 상기 게이트라인 상부와, 상기 화소영역 하부에 인접한 상기 데이터라인의 일영역 상부에 형성됨을 특징으로 한다.
- <80> 상기 격벽부를 구비한 절연막은 상기 포토 아크릴, 폴리 이미드, BCB(Benzo Cyclo Butene)중 적어도 어느 하나의 저유전율의 유기절연막으로 구성됨을 특징으로 한다.
- <81> 상기 격벽부는 셀 갭(Cell Gap) 정도의 높이를 갖도록 형성됨을 특징으로 한다.
- <82> 상기 절연막의 격벽부는 하나의 단위 픽셀 단위로 형성될 수도 있고, 수십 또는 수백의 픽셀 단위로 자유 분포되어 있을 수도 있음을 특징으로 한다.
- <83> 상기 공통전극은 상기 데이터라인 상측의 상기 격벽부를 구비한 절연막상 및 상기 화소영역의 일영역상에 상기 데이터라인과 동일 방향으로 배열됨을 특징으로 한다.
- <84> 상기 제 2 공통배선과 상기 공통전극과 상기 화소전극은 동일층상에 형성됨을 특징으로 한다.
- <85> 상기 제 2 공통배선과 상기 공통전극과 상기 화소전극은 인듐주석산화물(Indium Tin Oxide : ITO), 주석산화물(Tin Oxide : TO), 인듐아연산화물(Indium Zinc Oxide : IZO) 또는 인듐주석아연산화물(Indium Tin Zinc Oxide:ITZO)로 구성됨을 특징으로 한다.
- <86> 상기 드레인전극에서 연장되어 상기 제 1 공통배선상에 스토리지 전극이 더 형성됨을 특징으로 한다.
- <87> 상기 화소전극은 상기 드레인전극 및 이에 연장된 상기 스토리지 전극과 콘택됨을 특징으로 한다.
- <88> 본 발명의 다른 실시예에 따른 액정표시장치는 소정 간격을 두고 서로 대향되는 제 1 기관 및 제 2 기관과; 상기 제 1 기관상에 중첩으로 형성되어 화소영역을 정의하는 게이트라인 및 데이터라인과; 상기 게이트라인과 동일층에 평행하게 배열되며, 상기 데이터라인에 인접한 양측 하부를 따라 일정 간격을 갖고 배열된 제 1 공통배선과; 상기 게이트라인 및 데이터라인의 교차 부위에 형성된 박막 트랜지스터와; 상기 박막 트랜지스터를 포함

한 상기 제 1 기관의 전면에 형성된 제 1 층간절연막과; 상기 데이터라인과 상기 게이트라인 상부에 격벽부를 구비한 절연막과; 상기 게이트라인, 데이터라인, 상기 박막 트랜지스터 상부에 중첩 형성되며, 상기 화소영역에 일방향으로 형성된 제 2 공통배선 및 공통전극과; 상기 박막 트랜지스터의 드레인전극과 콘택되며 상기 화소영역의 상기 공통전극 사이에 일정 간격을 갖고 형성된 화소전극을 포함함을 특징으로 한다.

<89> 상기 격벽부는 셀 갭 정도의 높이를 갖고, 상기 화소영역의 하부를 감싸도록 상기 게이트라인 및 이에 인접한 데이터라인 상부에 형성됨을 특징으로 한다.

<90> 상기 격벽부를 구비한 절연막은 상기 포토 아크릴, 폴리 이미드, BCB(Benzo Cyclo Butene)중 적어도 어느 하나의 저유전율의 유기절연막으로 구성됨을 특징으로 한다.

<91> 본 발명의 또 다른 실시예에 따른 액정표시장치는 소정 간격을 두고 서로 대향되는 제 1 기관 및 제 2 기관과; 상기 제 1 기관상에 중첩으로 형성되어 화소영역을 정의하는 게이트라인 및 데이터라인과; 상기 게이트라인과 평행하게 배열된 제 1 공통배선과; 상기 게이트라인 및 데이터라인의 교차 부위에 형성된 박막 트랜지스터와; 상기 박막 트랜지스터를 포함한 상기 제 1 기관의 전면에 형성된 제 1 층간절연막과; 기 제 1 층간절연막 전면에 형성된 제 2 층간절연막과; 상기 화소영역 하부 둘레를 감싸도록, 상기 게이트라인 상측과 이에 인접한 상기 데이터라인 상측의 상기 제 2 층간절연막상에 형성된 격벽부와; 상기 게이트라인, 데이터라인, 상기 박막 트랜지스터 상부에 중첩 형성되며, 상기 화소영역에 일방향으로 형성된 제 2 공통배선 및 공통전극과; 상기 박막 트랜지스터의 드레인전극과 콘택되며 상기 화소영역의 상기 공통전극 사이에 일정 간격을 갖고 형성된 화소전극을 포함함을 특징으로 한다.

<92> 상기 절연막과 상기 격벽부는 상기 포토 아크릴, 폴리 이미드, BCB(Benzo Cyclo Butene)중 적어도 어느 하나의 저유전율의 유기절연막으로 구성됨을 특징으로 한다.

<93> 본 발명의 또 다른 실시예에 따른 액정표시장치는 소정 간격을 두고 서로 대향되는 제 1 기관 및 제 2 기관과; 상기 제 1 기관상에 중첩으로 형성되어 화소영역을 정의하는 게이트라인 및 데이터라인과; 상기 게이트라인 및 데이터라인의 교차 부위에 형성된 박막 트랜지스터와; 상기 박막 트랜지스터를 포함한 상기 제 1 기관의 전면에 형성된 제 1 층간절연막과; 상기 제 1 층간절연막 전면에 형성된 제 2 층간절연막과; 상기 화소영역 하부 둘레를 감싸도록 상기 게이트라인과 이에 인접한 상기 데이터라인 상부에 형성된 격벽부와; 상기 박막 트랜지스터의 드레인전극과 콘택되도록 상기 화소영역에 형성된 화소전극을 포함함을 특징으로 한다.

<94> 상기 제 2 층간절연막과 상기 격벽부는 상기 포토 아크릴, 폴리 이미드, BCB(Benzo Cyclo Butene)중 적어도 어느 하나의 저유전율의 유기절연막으로 구성됨을 특징으로 한다.

<95> 상기와 같은 구성을 갖는 본 발명의 액정표시장치의 제조방법은 기관상에 일측에 게이트전극을 구비한 게이트라인을 형성하는 단계; 상기 게이트라인과 평행하게 제 1 공통배선을 형성하는 단계; 상기 게이트라인을 포함한 상기 기관상에 게이트절연막을 형성하는 단계; 상기 게이트전극 상부에 액티브층을 형성하는 단계; 상기 게이트라인과 교차 배치되어 화소영역을 정의하도록 데이터라인을 형성하는 단계; 상기 액티브층의 일측 및 타측에 오버랩되도록 소오스전극과 드레인전극을 형성하는 단계; 상기 데이터라인을 포함한 전면에 제 1 층간절연막을 형성하는 단계; 상기 데이터라인과 상기 게이트라인 상부에 격벽부를 구비한 절연막을 형성하는 단계; 상기 게이트라인, 데이터라인, 상기 박막 트랜지스터 상부에 중첩 형성되며, 상기 화소영역에 일방향으로 제 2 공통배선 및 공통전극을 형성하는 단계; 상기 박막 트랜지스터의 드레인전극과 콘택되며 상기 화소영역의 상기 공통전극 사이에 일정 간격을 갖고 화소전극을 형성함을 특징으로 한다.

<96> 상기 격벽부를 구비한 절연막 형성 단계는, 상기 제 1 층간절연막 상부에서 절연막을 증착하는 단계와, 슬릿을 갖는 회절 노광 마스크를 이용하여 상기 절연막을 식각하는 단계를 포함함을 특징으로 한다.

<97> 상기 절연막이 네가티브 타입일 경우, 상기 회절 노광 마스크는 상기 격벽부 형성 부분이 차광영역으로 구성되고, 상기 절연막 형성 부분이 슬릿 패턴으로 구성되며, 마스크의 나머지 영역은 투과영역으로 구성됨을 특징으로 한다.

<98> 상기 절연막이 포지티브 타입일 경우, 상기 회절 노광 마스크는 상기 격벽부 형성 부분이 투과영역으로 구성되고, 상기 절연막 형성 부분이 슬릿 패턴으로 구성되며, 마스크의 나머지 영역은 차광영역으로 구성됨을 특징으로 한다.

<99> 상기 절연막의 상기 격벽부는 셀 갭 정도의 두께를 갖도록 형성함을 특징으로 한다.

<100> 상기 격벽부를 구비한 절연막은 프린팅법이나 소프트 몰드(soft mold)를 이용한 방법으로 형성하는 것을 더 포

함함을 특징으로 한다.

- <101> 상기 격벽부를 구비한 절연막은 포토 아크릴, 폴리 이미드, BCB(Benzo Cyclo Butene)중 적어도 어느 하나의 저유전율의 유기절연막으로 형성함을 특징으로 한다.
- <102> 상기 제 2 공통배선과 상기 공통전극과 상기 화소전극은 동일층상에 형성하며, 인듐주석산화물(Indium Tin Oxide : ITO), 주석산화물(Tin Oxide : TO), 인듐아연산화물(Indium Zinc Oxide : IZO) 또는 인듐주석아연산화물(Indium Tin Zinc Oxide:ITZO)을 사용하여 형성함을 특징으로 한다.
- <103> 상기 제 1 공통배선은 상기 게이트라인과 동일층에 평행하게 배열할 뿐만아니라, 이에 연장되어서 상기 데이터라인에 인접한 양측 하부를 따라 일정 간격을 갖도록 배열하는 것을 더 포함함을 특징으로 한다.
- <104> 본 발명의 다른 실시예에 따른 액정표시장치의 제조방법은 기판상에 일측에 게이트전극을 구비한 게이트라인을 형성하는 단계; 상기 게이트라인과 평행하게 제 1 공통배선을 형성하는 단계; 상기 게이트라인을 포함한 상기 기판상에 게이트절연막을 형성하는 단계; 상기 게이트전극 상부에 액티브층을 형성하는 단계; 상기 게이트라인과 교차 배치되어 화소영역을 정의하도록 데이터라인을 형성하는 단계; 상기 액티브층의 일측 및 타측에 오버랩 되도록 소오스전극과 드레인전극을 형성하는 단계; 상기 데이터라인을 포함한 전면에 제 1 층간절연막을 형성하는 단계; 상기 제 1 층간절연막 전면에 제 2 층간절연막을 형성하는 단계; 상기 화소영역의 하부를 둘러싸도록 상기 게이트라인과 이에 인접한 상기 데이터라인 상부에 격벽을 형성하는 단계; 상기 게이트라인, 데이터라인, 상기 박막 트랜지스터 상부에 중첩 형성되며, 상기 화소영역에 일방향으로 제 2 공통배선 및 공통전극을 형성하는 단계; 상기 박막 트랜지스터의 드레인전극과 콘택되며 상기 화소영역의 상기 공통전극 사이에 일정 간격을 갖고 화소전극을 형성함을 특징으로 한다.
- <105> 상기 제 2 층간절연막은 상기 데이터라인을 포함한 상기 제 1 층간절연막 전면에 제 1 프린팅 방법으로 형성하고, 상기 격벽부는 상기 제 2 층간절연막상에 셀 갭 정도의 두께를 갖도록 제 2 프린팅 방법으로 형성함을 특징으로 한다.
- <106> 상기 제 2 층간절연막과 상기 격벽부는 상기 포토 아크릴, 폴리 이미드, BCB(Benzo Cyclo Butene)중 적어도 어느 하나의 저유전율의 유기절연막으로 형성함을 특징으로 한다.
- <107> 본 발명의 또 다른 실시예에 따른 액정표시장치의 제조방법은 기판상에 일측에 게이트전극을 구비한 게이트라인을 형성하는 단계; 상기 게이트라인을 포함한 상기 기판상에 게이트절연막을 형성하는 단계; 상기 게이트전극 상부에 액티브층을 형성하는 단계; 상기 게이트라인과 교차 배치되어 화소영역을 정의하도록 데이터라인을 형성하는 단계; 상기 액티브층의 일측 및 타측에 오버랩되도록 소오스전극과 드레인전극을 형성하는 단계; 상기 데이터라인을 포함한 전면에 제 1 층간절연막을 형성하는 단계;상기 제 1 층간절연막 전면에 제 2 층간절연막을 형성하는 단계; 상기 화소영역의 하부를 둘러싸도록 상기 게이트라인과 이에 인접한 상기 데이터라인 상부에 격벽을 형성하는 단계; 상기 박막 트랜지스터의 드레인전극과 콘택되도록 상기 화소영역에 화소전극을 형성함을 특징으로 한다.
- <108> 상기 제 2 층간절연막과 상기 격벽부는 상기 포토 아크릴, 폴리 이미드, BCB(Benzo Cyclo Butene)중 적어도 어느 하나의 저유전율의 유기절연막으로 형성함을 특징으로 한다.
- <109> 이하, 첨부 도면을 참조하여 본 발명에 따른 액정표시장치 및 그의 제조방법을 바람직한 실시예별로 나누어 설명하기로 한다.
- <110> 제 1 실시예
- <111> 먼저, 본 발명의 제 1 실시예에 따른 액정표시장치에 대하여 설명하기로 한다.
- <112> 도 7은 본 발명의 제 1 실시예에 따른 액정표시장치의 평면도이고, 도 8은 도 7의 III-III'와 IV-IV' 선상을 자른 구조 단면도이다.
- <113> 본 발명에 따른 횡전계 방식의 액정표시장치는, 도 7과 도 8에 도시한 바와 같이, 투명한 하부기판(110)상에 일 방향으로 배열된 게이트라인(111)과, 상기 게이트 라인(111)의 일측에서 돌출 형성된 게이트 전극(111a)과, 상기 게이트라인(111)과 동일층상에 동일물질로 평행하게 배열된 제 1 공통배선(111b)과, 상기 게이트 전극(111a)과 제 1 공통배선(111b)을 포함한 하부기판(110)의 전면에 SiNx 또는 SiOx와 같은 물질로 형성된 게이트 절연막(112)과, 상기 게이트 전극(111a) 상부의 상기 게이트 절연막(112)상에 아일랜드 형태로 형성되는 액티브층(113)과, 상기 게이트라인(111)과 교차 배열되어 화소영역을 정의하는 데이터라인(114)과, 상기 데이터라인

(114)으로부터 돌출되어 상기 액티브층(113)의 일측 상부에 오버랩된 소오스 전극(114a)과, 상기 소오스 전극(114a)과 일정 간격 이격되고 액티브층(113)의 타측에 오버랩된 드레인 전극(114b)과, 상기 드레인전극(114b)에서 연장된 스토리지 전극(114c)과, 상기 드레인전극(114b)에서 연장된 스토리지 전극(114c)의 일영역에 제 1 콘택홀(116)을 갖도록 데이터라인(114)을 포함한 하부기관(110)의 전면에 형성된 제 1 층간절연막(115)과, 상기 게이트라인(111)과 데이터라인(114) 상부 및 상기 박막 트랜지스터(TFT)를 포함한 제 1 층간절연막(115)상에 격벽부(118a)를 구비한 절연막(118)과, 상기 격벽부(118a)를 구비한 절연막(118) 상부를 포함한 상기 게이트라인(111)과 박막 트랜지스터 상층의 제 1 층간절연막(115)상에 형성된 제 2 공통배선(119a)과, 상기 제 1 공통배선(111b)과 일체로 형성되어 있으며, 상기 데이터라인(114) 상층의 격벽부(118a)를 구비한 절연막(118)상 및 상기 화소영역의 일영역상에 일방향으로 형성된 공통전극(119b)과, 상기 제 1 콘택홀(116)을 통해 드레인전극(114b) 및 이에 연장된 스토리지 전극(114c)과 콘택되며 상기 공통전극(119b)의 사이에 일정 간격 이격되어 형성된 화소전극(119c)으로 구성된다.

- <114> 또한, 도면에는 도시되지 않았지만, 상기 하부기관(110)의 전면에 폴리이미드(polyimide)로 이루어진 배향막(도시되지 않음)이 형성되어 있다.
- <115> 상기 제 1 층간절연막(115)은 실리콘 질화막(SiNx)으로 형성한다.
- <116> 그리고 상기에서와 같이 제 1 공통배선(111b) 상부의 게이트절연막(112)상에 드레인전극(114b)에서 연장 형성되어 스토리지 전극(114c)이 형성되므로, 본 발명은 스토리지 온 콰온(Storage On Common) 구조를 이룬다.
- <117> 상기에서 제 2 공통배선(119a)과 공통전극(119b)과 화소전극(119c)은 동일층상에 형성되며, 인듐주석산화물(Indium Tin Oxide : ITO), 주석산화물(Tin Oxide : TO), 인듐아연산화물(Indium Zinc Oxide : IZO) 또는 인듐주석아연산화물(Indium Tin Zinc Oxide:ITZO)로 구성되어 있다.
- <118> 그리고 공통전극(119b)은 인접한 화소전극(119c)과 함께 횡전계 구동하도록 데이터라인(114)보다 넓은 폭으로 데이터라인(114) 상부에 완전히 중첩되어 있고, 화소영역내의 공통전극(119b)은 데이터라인(114)과 평행하게 배열되어 있다.
- <119> 상기와 같이 제 2 공통배선(119a)과 공통전극(119b)을 게이트라인(111) 및 데이터라인(114) 상부에 중첩 형성하면 게이트라인의 신호와 데이터라인의 신호가 액정에 인가되지 않게 할 수 있으므로 액정 정렬 상태의 왜곡에 의한 빛샘을 방지할 수 있다.
- <120> 그리고, 상기 격벽부(118a)를 구비한 절연막(118)은 상기 게이트라인(111)과 데이터라인(114) 및 박막 트랜지스터 상부 영역에 형성되어 있다.
- <121> 이때, 절연막(118)은 게이트라인(111)과 데이터라인(114) 및 박막 트랜지스터 상부 영역에 일정 두께를 갖고 형성되어 있고, 격벽부(118a)는 게이트라인(111) 상부와, 화소영역 하부에 인접한 데이터라인(114)의 일영역 상부에 절연막(118)보다 두꺼운 두께를 갖도록 형성되어 있다.
- <122> 즉, 화소영역 하부를 둘러싸도록 게이트라인(111)과 데이터라인(114) 상부에 형성된 격벽부(118a)는 다른 영역에 형성된 절연막(118)보다 두껍게 형성되어 있다.
- <123> 상기 격벽부(118a)를 구비한 절연막(118)은 광 폴리머(Photo polymer)로 구성된다.
- <124> 상기 절연막(118)은, 저유전율 특성을 갖는 광 폴리머로 구성되어 있으므로, 데이터라인(114) 상부의 절연막(118) 상에 투명한 공통전극(119b)을 중첩 형성하더라도, 공통전극(119b)과 데이터라인(114) 사이에 신호 왜곡이 발생하지 않는다. 즉, 저유전율 특성을 갖는 절연막(118)을 사이에 개재하여 공통전극(119b)을 데이터라인(114) 상부에 중첩 형성할 수 있으므로, 개구율을 향상시킬 수 있다는 효과가 도출된다.
- <125> 즉, 절연막(118)은 제 2 공통배선(119a)과 공통전극(119b)에 의해서 게이트라인(111)과 데이터라인(114)의 신호가 지연되는 문제를 방지하기 위해서, 포토 아크릴, 폴리 이미드, BCB(Benzo Cyclo Butene)중 적어도 어느 하나의 저유전율의 유기절연막으로 형성되어 있다.
- <126> 그리고 상기 절연막(118)의 격벽부(118a)는 절연막(118)보다 두껍게 형성되어, 대형 패널(Panel)에서 액정이 중력 불량에 의해서 흘러내리는 것을 방지하는 역할을 한다.
- <127> 즉, 상기 데이터라인(114) 상부에 형성된 격벽부(118a)는 액정 패널이 좌우로 기울어질 때, 액정의 좌우방향 흐름을 방지하기 위한 것이고, 게이트라인(111) 상부에 형성된 격벽부(118a)는 액정의 수직방향 흐름을 방지하기 위한 것이다.

- <128> 이때, 격벽부(118a)는 셀 갭(Cell Gap) 정도의 높이를 갖도록 형성되므로, 불 스페이서 산포나 노광 공정을 통한 칼럼 스페이서 형성의 추가 공정을 하지 않아도 된다.
- <129> 참고로, 도면에는 도시되지 않았지만, 상기 격벽부(118a)를 구비한 절연막(118)은 하나의 단위 픽셀 단위로 형성될 수도 있고, 수십 또는 수백의 픽셀 단위로 자유 분포되어 있을 수도 있다.
- <130> 다음에, 상기 구성을 갖는 본 발명의 제 1 실시예에 따른 액정표시장치의 제조방법에 대하여 설명하기로 한다.
- <131> 도 9a 내지 도 9c는 본 발명의 제 1 실시예에 따른 액정표시장치의 제조방법을 나타낸 공정단면도이다.
- <132> 본 발명의 제 1 실시예에 따른 액정표시장치의 제조방법은 먼저, 도 9a에 도시한 바와 같이, 투명한 하부 기관(110)상에 도전성 금속을 증착하고, 포토 및 식각 공정을 이용하여 도전성 금속을 패터닝하여, 일 끝단이 소정 면적으로 넓게 구성되는 게이트 패드(미도시)와 상기 게이트 패드에서 일 방향으로 연장된 게이트라인(111)과 상기 게이트 라인(111)에서 일 방향으로 돌출 형성된 게이트 전극(111a)을 형성한다.
- <133> 또한, 상기 게이트라인(111)과 동일층에 동일물질로 게이트라인(111)과 평행한 방향으로 배열되도록 제 1 공통배선(111b)을 형성한다.
- <134> 이후에 상기 게이트라인(111) 및 제 1 공통배선(111b)이 형성된 하부기관(110)의 전면에 게이트 절연막(112)을 형성한다.
- <135> 여기서 상기 게이트 절연막(112)은 실리콘 질화막(SiNx) 또는 실리콘 산화막(SiO₂)을 사용할 수 있다.
- <136> 이후에 상기 게이트 절연막(112)상에 반도체층(아몰퍼스실리콘 + 불순물 아몰퍼스실리콘)을 형성한다.
- <137> 이어, 상기 반도체층을 포토 및 식각 공정으로 패터닝하여, 상기 게이트 전극(111a) 상부에 아일랜드(island) 형태를 갖는 액티브층(113)을 형성한다.
- <138> 이후에 상기 액티브층(113)이 형성된 하부기관(110)의 전면에 도전성 금속을 증착하고 포토 및 식각 공정을 통해 패터닝하여, 상기 게이트 라인(111)과 교차하여 화소영역을 정의하는 데이터 라인(114)을 형성하고, 끝단에 소정면적을 갖는 소오스 패드(미도시)와, 상기 데이터 라인(114)에서 일방향으로 돌출 연장된 소오스전극(114a)과, 소오스전극(114a)과 일정간격 격리된 드레인전극(114b)을 형성한다.
- <139> 이때 드레인전극(114b)에서 연장되어 제 1 공통배선(111b)의 상부에 스토리지 전극(114c)이 형성된다. 스토리지 커패시터는 스토리지 온 콰(Storage On Common) 구조이다.
- <140> 상기 공정에서와 같이 게이트라인(111)과 데이터라인(114)이 교차되는 부분에 박막 트랜지스터가 형성된다.
- <141> 이어서 도 9b에 도시한 바와 같이, 데이터라인(114)이 형성된 하부기관(110)의 전면에 제 1 층간절연막(115)을 형성하고, 상기 드레인전극(114b)에서 연장된 스토리지 전극(114c)의 일영역이 드러나도록 제 1 콘택홀(116)을 형성한다.
- <142> 상기 제 1 층간절연막(115)은 실리콘 질화막(SiNx)으로 형성한다.
- <143> 이후에 데이터라인(114)을 포함한 제 1 층간절연막(115) 상부에서 절연막을 증착하고, 슬릿을 갖는 회절 노광 마스크(117)를 이용하여 절연막을 식각하여 격벽부(118a)를 구비한 절연막(118)을 형성한다.
- <144> 이때 절연막(118)은 데이터라인(114)과 게이트라인(111)과 박막 트랜지스터 상부와, 제 1 공통배선(111b)의 일 영역 상부에 오버랩되도록 형성하며, 격벽부(118a)는 화소영역의 하부를 감싸도록 즉, 게이트라인(111)과 이에 인접한 양측 데이터라인(114) 상부에 절연막(118)보다 두꺼운 두께를 갖도록 형성한다.
- <145> 이때 격벽부(118a)는 차후에 상,하부기관을 합착할 때 스페이서 역할을 할 수 있도록 셀갭 정도의 두께를 갖도록 형성한다.
- <146> 상기에서 절연막이 네가티브 타입일 경우에는, 회절 노광 마스크(117)는 격벽부(118a) 형성 부분은 차광영역으로 구성되고, 절연막(118) 형성 부분은 슬릿 패턴으로 구성되며, 나머지 영역은 투과영역으로 구성된다.
- <147> 또한 절연막이 포지티브 타입일 경우에는, 회절 노광 마스크(117)는 격벽부(118a) 형성 부분은 투과영역으로 구성되고, 절연막(118) 형성 부분은 슬릿 패턴으로 구성되며, 나머지 영역은 차광영역으로 구성된다.
- <148> 상기 격벽부(118a)를 구비한 절연막(118)은 광 폴리머(Photo polymer)로 형성하는 것이 가장 바람직하나, 포토 아크릴, 폴리 이미드, BCB(Benzo Cyclo Butene)중 적어도 어느 하나의 저유전율의 유기절연막으로 형성할 수 있

다.

- <149> 상기에서 격벽부(118a)를 구비한 절연막(118)은 회절 노광 방법외에도, 프린팅법이나 소프트 몰드(soft mold)를 이용한 방법으로 노광공정 없이도 형성할 수 있다.
- <150> 다음에 도 9c에 도시한 바와 같이, 상기 격벽부(118a)를 포함한 절연막(118) 상부에 투명 도전막을 증착한 후에 포토 및 식각 공정을 통해 상기 투명 도전막을 선택적으로 제거하여, 제 2 공통배선(119a)과 공통전극(119b) 및 화소전극(119c)을 형성한다.
- <151> 이때 제 2 공통배선(119a)은 게이트라인(111) 및 박막 트랜지스터 상부에 중첩되도록 형성한다.
- <152> 그리고 공통전극(119b)은 제 2 공통배선(119a)과 연결되어 있으며, 데이터라인(114)보다 넓은 폭으로 그 상부에 오버랩되도록 형성하며, 제 2 공통배선(119a)에서 연장되어 화소영역에 일방향으로 배열되어 있다. 이때 화소영역에 형성하는 제 2 공통전극(119b)은 데이터 라인(114)과 평행하게 배열되어 있다.
- <153> 그리고 화소전극(119c)은 상기 제 1 콘택홀(116)을 통해서 드레인전극(114b) 및 스토리지 전극(114c)과 연결되고, 상기 공통전극(119b) 사이에 배열되도록 형성한다.
- <154> 상기에서 투명 도전막은 인듐주석산화물(Indium Tin Oxide : ITO), 주석산화물(Tin Oxide : TO), 인듐아연산화물(Indium Zinc Oxide : IZO) 또는 인듐주석아연산화물(Indium Tin Zinc Oxide:ITZO)을 사용하여 형성할 수 있다.
- <155> 이후에 도면에는 도시되지 않았지만, 제 2 공통배선(119a), 공통전극(119b), 화소전극(119c)을 포함한 하부기관(110)의 전면에는 폴리이미드(polyimide)나 광배향성 물질로 이루어진 배향막을 형성한다.
- <156> 여기서 폴리이미드로 이루어진 배향막은 기계적인 러빙에 의해 배향방향이 결정되며, PVCN계 물질(polyvinylcinnamate based material)이나 폴리실록산계 물질(polysiloxane based material)로 이루어진 광반응성 물질은 자외선과 같은 광의 조사에 의해 배향방향이 결정된다.
- <157> 이때, 배향방향은 광의 조사방향이냐 조사되는 광의 성질, 즉 편광방향 등에 의해 결정된다.
- <158> 이후에 상부기관(120)을 준비하고, 상기 하부기관(110)과 상부기관(120)을 합착하기 위한 씨일재(미도시)를 하부기관(110) 또는 상부기관(120)에 형성한다.
- <159> 이어, 상기 상부기관(120)과 하부기관(110)을 합착한다.
- <160> 여기서, 도면에는 도시되어 있지 않았지만 상기 상부기관(120)의 전면에는 하부기관(110)과 동일한 물질의 배향막을 형성한다.
- <161> 제 2 실시예
- <162> 먼저, 본 발명의 제 2 실시예에 따른 액정표시장치 및 그 제조방법에 대하여 설명하기로 한다.
- <163> 도 10은 본 발명의 제 2 실시예에 따른 액정표시장치의 평면도이고, 도 11은 도 10의 V-V'와 VI-VI' 선상을 자른 구조 단면도이며, 도 12a 내지 도 12c는 본 발명의 제 2 실시예에 따른 액정표시장치의 제조방법을 나타낸 공정단면도이다.
- <164> 본 발명의 제 2 실시예에 따른 액정표시장치는, 도 10과 도 11에 도시한 바와 같이, 제 1 공통배선(111b)이 게이트라인(111)과 평행한 방향으로 배열될 뿐만아니라, 데이터라인(114) 상부에 형성된 공통전극(119b)의 단차가 형성된 양측 하부에 수직한 방향으로 제 1 공통배선(111b)이 연장 형성된 것을 제외하고는, 본 발명의 제 1 실시예에 따른 액정표시장치와 그 구성이 동일하므로, 이하 생략하기로 한다.
- <165> 상기에서 제 1 공통배선(111b)을 공통전극(119b)의 단차가 형성된 양측 하부를 따라서 연장되도록 형성시킨 이유는, 데이터라인(114) 상부의 공통전극(119b) 양측 단차부에서 액정배열이 왜곡되는 문제와, 상기 액정 배열이 왜곡된 부분에서 빔샘 현상이 발생하는 것을 방지하기 위한 것이다.
- <166> 다음에, 상기 구성을 갖는 본 발명의 제 2 실시예에 따른 액정표시장치의 제조방법에 대하여 설명하기로 한다.
- <167> 도 12a 내지 도 12c는 본 발명의 제 2 실시예에 따른 액정표시장치의 제조방법을 나타낸 공정단면도이다.
- <168> 본 발명의 제 2 실시예에 따른 액정표시장치의 제조방법은 도 12a와 도 12c에 도시한 바와 같이, 게이트라인(111)과 동일층에 동일물질로 제 1 공통배선(111b)을 형성할 때, 게이트라인(111)과 평행한 방향 뿐만아니라,

수직한 방향으로 제 1 공통배선(111b)을 연장시킨 것을 제외하고는 본 발명의 제 1 실시예에 따른 제조방법과 동일 공정에 의해서 진행한다.

- <169> 상기에서 게이트라인(111)과 수직한 방향으로 형성된 제 1 공통배선(111b)은, 데이터라인(114) 양측 하부를 따라 형성된 것으로, 좀 더 자세하게는 데이터라인(114) 상부에 공통전극(119b)이 오버랩될 때 그 양측에 단차가 형성되는데 그 하부를 따라서 형성되는 것이다.
- <170> 본 발명의 제 2 실시예에 따른 액정표시장치의 제조방법은, 제 1 공통배선(111b)을 형성하는 공정을 제외하고는 본 발명의 제 1 실시예에 따른 액정표시장치의 제조방법과 동일하므로 이하 생략하기로 한다.
- <171> 제 3 실시예
- <172> 먼저, 본 발명의 제 3 실시예에 따른 액정표시장치에 대하여 설명하기로 한다.
- <173> 도 13은 본 발명의 제 3 실시예에 따른 액정표시장치의 평면도이고, 도 14는 도 13의 VII-VII'와 VIII-VIII' 선상을 따른 구조 단면도이다.
- <174> 본 발명의 제 3 실시예에 따른 액정표시장치는, 도 13과 도 14에 도시한 바와 같이, 절연막(118)을 제 1 층간절연막(115) 전면에서 형성하여, 데이터라인(114) 상부에 형성된 공통전극(119b) 양측에 단차가 발생하지 않도록 구성하고, 상기 드레인전극(114b)에서 연장된 스토리지 전극(114c)의 일영역이 드러나도록 제 1 층간절연막(115)과 절연막(118)에 제 1 콘택홀(116)이 형성된 것을 제외하고는 본 발명의 제 1 실시예에 따른 액정표시장치와 그 구성이 동일하므로, 이하 생략하기로 한다.
- <175> 상기와 같이 데이터라인(114) 상부에 형성된 공통전극(119b) 양측에 단차가 발생하지 않도록 구성함으로써, 데이터라인(114) 상부에 형성된 공통전극(119b) 양측의 단차에 의해서 액정 배열이 왜곡되는 문제와, 상기 액정 배열이 왜곡된 부분에서 빗샘 현상이 발생하는 것을 방지할 수 있다.
- <176> 다음에, 상기 구성을 갖는 본 발명의 제 3 실시예에 따른 액정표시장치의 제조방법에 대하여 설명하기로 한다.
- <177> 도 15a 내지 도 15c는 본 발명의 제 3 실시예에 따른 액정표시장치의 제조방법을 나타낸 공정단면도이다.
- <178> 본 발명의 제 3 실시예에 따른 액정표시장치의 제조방법은, 도 15a에 도시한 바와 같이, 투명한 하부 기판(110)상에 도전성 금속을 증착하고, 포토 및 식각 공정을 이용하여 도전성 금속을 패터닝하여, 일 끝단이 소정면적으로 넓게 구성되는 게이트 패드(미도시)와 상기 게이트 패드에서 일 방향으로 연장된 게이트라인(111)과 상기 게이트 라인(111)에서 일 방향으로 돌출 형성된 게이트 전극(111a)을 형성한다.
- <179> 또한, 상기 게이트라인(111)과 동일층에 동일물질로 게이트라인(111)과 평행한 방향으로 배열되도록 제 1 공통배선(111b)을 형성한다.
- <180> 이후에 상기 게이트라인(111) 및 제 1 공통배선(111b)이 형성된 하부기판(110)의 전면에서 게이트 절연막(112)을 형성한다.
- <181> 여기서 상기 게이트 절연막(112)은 실리콘 질화막(SiNx) 또는 실리콘 산화막(SiO₂)을 사용할 수 있다.
- <182> 이후에 상기 게이트 절연막(112)상에 반도체층(아몰퍼스실리콘 + 불순물 아몰퍼스실리콘)을 형성한다.
- <183> 이어, 상기 반도체층을 포토 및 식각 공정으로 패터닝하여, 상기 게이트 전극(111a) 상부에 아일랜드(island) 형태를 갖는 액티브층(113)을 형성한다.
- <184> 이후에 상기 액티브층(113)이 형성된 하부기판(110)의 전면에서 도전성 금속을 증착하고 포토 및 식각 공정을 통해 패터닝하여, 상기 게이트 라인(111)과 교차하여 화소영역을 정의하는 데이터 라인(114)을 형성하고, 끝단에 소정면적을 갖는 소오스 패드(미도시)와, 상기 데이터 라인(114)에서 일방향으로 돌출 연장된 소오스전극(114a)과, 소오스전극(114a)과 일정간격 격리된 드레인전극(114b)을 형성한다.
- <185> 이때 드레인전극(114b)에서 연장되어 제 1 공통배선(111b)의 상부에 스토리지 전극(114c)이 형성된다. 스토리지 커패시터는 스토리지 온 콰(Storage On Common) 구조이다.
- <186> 상기 공정에서와 같이 게이트라인(111)과 데이터라인(114)이 교차되는 부분에 박막 트랜지스터가 형성된다.
- <187> 이어서 도 15b에 도시한 바와 같이, 데이터라인(114)이 형성된 하부기판(110)의 전면에서 제 1 층간절연막(115)을 형성한다.

- <188> 상기 제 1 층간절연막(115)은 실리콘 질화막(SiNx)으로 형성한다.
- <189> 이후에 데이터라인(114)을 포함한 제 1 층간절연막(115) 전면에 제 1 프린팅 방법으로 절연막(118)을 형성하고, 이후에 제 2 프린팅 방법으로 격벽부(118a)를 형성한다.
- <190> 이때 절연막(118)은 제 1 층간절연막(115) 전면에 형성하여 차후에 데이터라인(114) 상측에 대응되는 절연막(118)상에 공통전극(119b)이 오버랩될 때 그 양측면에 단차가 발생하지 않도록 할 수 있다.
- <191> 그리고 상기 격벽부(118a)는 화소영역의 하부 둘레를 감싸도록 게이트라인(111)과 이에 인접한 양측 데이터라인(114) 상부에 형성한다.
- <192> 이때 격벽부(118a)는 차후에 상,하부기관을 합착할 때 스페이서(spacer) 역할을 할 수 있도록 셀갭(cell gap) 정도의 두께를 갖도록 형성한다.
- <193> 상기 격벽부(118a)와 절연막(118)은 광 폴리머(Photo polymer)로 형성하는 것이 가장 바람직하나, 포토 아크릴, 폴리 이미드, BCB(Benzo Cyclo Butene)중 적어도 어느 하나의 저유전율의 유기절연막으로 형성할 수 있다.
- <194> 상기에서 절연막(118)과 격벽부(118a)는 프린팅 방법외에도 1번의 증착공정과 1번의 노광공정을 진행하여 형성할 수도 있다.
- <195> 다음에 상기 드레인전극(114b)에서 연장된 스토리지 전극(114c)의 일영역이 드러나도록 제 1 층간절연막(115)과 절연막(118)을 식각하여 제 1 콘택홀(116)을 형성한다.
- <196> 다음에 도 15c에 도시한 바와 같이, 상기 격벽부(118a)를 포함한 절연막(118) 상부에 투명 도전막을 증착한 후에 포토 및 식각 공정을 통해 상기 투명 도전막을 선택적으로 제거하여, 제 2 공통배선(119a)과 공통전극(119b) 및 화소전극(119c)을 형성한다.
- <197> 이때 제 2 공통배선(119a)은 게이트라인(111) 및 박막 트랜지스터 상부에 중첩되도록 형성한다.
- <198> 그리고 공통전극(119b)은 제 2 공통배선(119a)과 연결되어 있으며, 데이터라인(114)보다 넓은 폭으로 그 상부에 오버랩되도록 형성하며, 제 2 공통배선(119a)에서 연장되어 화소영역에 일방향으로 배열되어 있다. 이때 화소영역에 형성하는 제 2 공통전극(119b)은 데이터 라인(114)과 평행하게 배열되어 있다. 이때, 공통전극(119b) 양측에는 단차가 형성되지 않는다.
- <199> 그리고 화소전극(119c)은 상기 제 1 콘택홀(116)을 통해서 드레인전극(114b) 및 스토리지 전극(114c)과 연결되고, 상기 공통전극(119b) 사이에 배열되도록 형성한다.
- <200> 상기에서 투명 도전막은 인듐주석산화물(Indium Tin Oxide : ITO), 주석산화물(Tin Oxide : TO), 인듐아연산화물(Indium Zinc Oxide : IZO) 또는 인듐주석아연산화물(Indium Tin Zinc Oxide:ITZO)을 사용하여 형성할 수 있다.
- <201> 이후에 도면에는 도시되지 않았지만, 제 2 공통배선(119a), 공통전극(119b), 화소전극(119c)을 포함한 하부기관(110)의 전면에 폴리이미드(polyimide)나 광배향성 물질로 이루어진 배향막을 형성한다.
- <202> 여기서 폴리이미드로 이루어진 배향막은 기계적인 러빙에 의해 배향방향이 결정되며, PVCN계 물질(polyvinylcinnamate based material)이나 폴리실록산계 물질(polysiloxane based material)로 이루어진 광반응성 물질은 자외선과 같은 광의 조사에 의해 배향방향이 결정된다.
- <203> 이때, 배향방향은 광의 조사방향이냐 조사되는 광의 성질, 즉 편광방향 등에 의해 결정된다.
- <204> 이후에 상부기관(120)을 준비하고, 상기 하부기관(110)과 상부기관(120)을 합착하기 위한 씨일재(미도시)를 하부기관(110) 또는 상부기관(120)에 형성한다.
- <205> 이어, 상기 상부기관(120)과 하부기관(110)을 합착한다.
- <206> 여기서, 도면에는 도시되어 있지 않았지만 상기 상부기관(120)의 전면에는 하부기관(110)과 동일한 물질의 배향막을 형성한다.
- <207> 제 4 실시예
- <208> 먼저, 본 발명의 제 4 실시예에 따른 액정표시장치에 대하여 설명하기로 한다.
- <209> 도 16은 본 발명의 제 4 실시예에 따른 액정표시장치의 평면도이고, 도 17은 도 16의 IX-IX'와 X-X' 선상을

자른 구조 단면도이다.

- <210> 본 발명의 제 4 실시예에 따른 액정표시장치는, 도 16과 도 17에 도시한 바와 같이, 하부기관(150)에는 화소영역(P)을 정의하기 위하여 게이트 라인(151)과 데이터라인(154)이 교차 배열되어 있고, 상기 게이트 라인(151)과 데이터 라인(154)이 교차하는 각 화소영역(P)에는 화소전극(159)이 형성되어 있고, 상기 각 게이트 라인(151)과 데이터 라인(154)이 교차하는 부분에 박막 트랜지스터(TFT)가 형성되어 있다.
- <211> 상기 박막 트랜지스터는 상기 게이트 라인(151)으로부터 돌출된 게이트 전극(151a)과, 하부기관(150) 전면에 형성된 게이트 절연막(152)과, 상기 게이트 전극(151a) 상층의 게이트절연막(152) 상에 형성된 액티브층(153)과, 상기 데이터 라인(154)으로부터 돌출되며 상기 액티브층(153)의 일측 상부에 오버랩된 소오스 전극(154a)과, 상기 소오스 전극(154a)과 이격되며 액티브층(153)의 타측 상부에 오버랩된 드레인 전극(154b)으로 구성된다.
- <212> 그리고 이전단의 게이트라인(151) 상부에는 스토리지 전극(154c)이 형성되어 있다.
- <213> 그리고 상기 박막 트랜지스터를 포함한 하부기관(150)의 전면에는 제 1 층간절연막(155)이 형성되어 있다. 상기 제 1 층간절연막(155)은 실리콘 질화막으로 형성된다.
- <214> 상기 제 1 층간절연막(155) 전면에는 제 2 층간절연막(157)이 형성되어 있고, 상기 화소영역 하부의 게이트라인(151) 및 이에 인접한 양측의 데이터라인(154) 일상부에는 격벽부(157a)가 형성되어 있다.
- <215> 상기 격벽부(157a)는 본 발명의 제 1 실시예에 설명한 격벽부와 동일 특성을 갖는 것으로 즉, 격벽부(157a)는 대형 패널(Panel)에서 액정이 중력 불량에 의해서 흘러내리는 것을 방지하는 역할을 한다.
- <216> 다시말해서, 격벽부(157a) 중 상기 데이터라인(154) 상부에 형성된 격벽부(157a)는, 액정 패널이 좌우로 기울어질 때 액정의 좌우방향 흐름을 방지하기 위한 것이고, 게이트라인(151) 상부에 형성된 격벽부(157a)는 액정의 수직방향 흐름을 방지하기 위한 것이다.
- <217> 이때, 격벽부(157a)는 셀 갭(Cell Gap) 정도의 높이를 갖도록 형성된다.
- <218> 그리고, 상기 제 1 층간절연막(155)과 제 2 층간절연막(157)상부에는 상기 드레인 전극(154b)의 일영역이 드러나도록 제 1 콘택홀(158a)과, 스토리지 전극(154c)의 일영역이 드러나도록 제 2 콘택홀(158b)이 형성되어 있다.
- <219> 그리고 상기 제 1 콘택홀(158a)을 통해서 상기 드레인 전극(154b)과 콘택되며, 제 2 콘택홀(158b)을 통해서 스토리지 전극(154c)과 콘택되도록 화소영역에 화소전극(159)이 형성되어 있다.
- <220> 이때, 화소전극(159)은 인접한 데이터라인(154) 상부에 오버랩되어 형성되며, 인듐주석산화물(Indium Tin Oxide : ITO), 주석산화물(Tin Oxide : TO), 인듐아연산화물(Indium Zinc Oxide : IZO) 또는 인듐주석아연산화물(Indium Tin Zinc Oxide:ITZO)로 구성되어 있다.
- <221> 상술한 바와 같이 상기 화소전극(159)은 이전단의 게이트라인(151) 상부의 스토리지 전극(154c)과 콘택되도록 연장되어 있다.
- <222> 그리고 도면에는 도시되어 있지 않지만, 상기 하부기관(150)과 대향되는 상부기관(160)에는 상기 화소영역(P)을 제외한 부분의 빛을 차단하기 위한 블랙 매트릭스층과, 컬러 색상을 표현하기 위한 R,G,B 컬러 필터층과, 화상을 구현하기 위한 공통전극이 형성되어 있다.
- <223> 다음에, 상기 구성을 갖는 본 발명의 제 4 실시예에 따른 액정표시장치의 제조방법에 대하여 설명하기로 한다.
- <224> 도 18a 내지 도 18c는 본 발명의 제 4 실시예에 따른 액정표시장치의 제조방법을 나타낸 공정단면도이다.
- <225> 본 발명의 제 4 실시예에 따른 액정표시장치의 제조방법은, 도 18a에 도시한 바와 같이, 투명한 하부기관(150)상에 도전성 금속을 증착하고, 포토 및 식각 공정을 이용하여 도전성 금속을 패터닝하여, 일 끝단이 소정면적으로 넓게 구성되는 게이트 패드(미도시)와 상기 게이트 패드에서 일 방향으로 연장된 게이트라인(151)과 상기 게이트 라인(151)에서 일 방향으로 돌출 형성된 게이트 전극(151a)을 형성한다.
- <226> 이후에 상기 게이트라인(151)이 형성된 하부기관(150)의 전면에 게이트 절연막(152)을 형성한다.
- <227> 여기서 상기 게이트 절연막(152)은 실리콘 질화막(SiN_x) 또는 실리콘 산화막(SiO_2)을 사용할 수 있다.
- <228> 이후에 상기 게이트 절연막(152)상에 반도체층(아몰퍼스실리콘 + 불순물 아몰퍼스실리콘)을 형성한다.
- <229> 이어, 상기 반도체층을 포토 및 식각 공정으로 패터닝하여, 상기 게이트 전극(151a) 상부에 아일랜드(island)

형태를 갖는 액티브층(153)을 형성한다.

- <230> 이후에 상기 액티브층(153)이 형성된 하부기관(150)의 전면에 도전성 금속을 증착하고 포토 및 식각 공정을 통해 패터닝하여, 상기 게이트 라인(151)과 교차하여 화소영역을 정의하는 데이터 라인(154)을 형성하고, 끝단에 소정면적을 갖는 소오스 패드(미도시)와, 상기 데이터 라인(154)에서 일방향으로 돌출 연장된 소오스전극(154a)과, 소오스전극(154a)과 일정간격 격리된 드레인전극(154b)을 형성한다.
- <231> 이때 이전단의 게이트라인 상부에 스토리지 전극(154c)을 형성한다. 스토리지 커패시터는 스토리지 온 게이트(Storage On Gate) 구조이다.
- <232> 상기 공정에서와 같이 게이트라인(151)과 데이터라인(154)이 교차되는 부분에 박막 트랜지스터가 형성된다.
- <233> 이어서 도 18b에 도시한 바와 같이, 데이터라인(154)이 형성된 하부기관(150)의 전면에 제 1 층간절연막(155)을 형성한다.
- <234> 상기 제 1 층간절연막(155)은 실리콘 질화막(SiNx)으로 형성한다.
- <235> 이후에 데이터라인(154)을 포함한 제 1 층간절연막(155) 전면에 제 1 프린팅 방법으로 제 2 층간절연막(157)을 형성하고, 이후에 제 2 프린팅 방법으로 격벽부(157a)를 형성한다.
- <236> 상기 격벽부(157a)는 화소영역의 하부 둘레를 감싸도록 게이트라인(151)과 이에 인접한 양측 데이터라인(154)의 일영역 상부에 형성한다.
- <237> 이때 격벽부(157a)는 차후에 상, 하부기관을 합착할 때 스페이서(spacer) 역할을 할 수 있도록 셀 갭(cell gap) 정도의 두께를 갖도록 형성한다.
- <238> 이와 같이 격벽부(157a)를 셀 갭(Cell Gap) 정도의 높이를 갖도록 형성함에 의해서, 볼 스페이서 산포나 노광 공정을 통한 칼럼 스페이서 형성 공정을 추가하지 않아도 된다.
- <239> 상기 격벽부(157a)와 제 2 층간절연막(157)은 광 폴리머(Photo polymer)로 형성하는 것이 가장 바람직하나, 포토 아크릴, 폴리 이미드, BCB(Benzo Cyclo Butene)중 적어도 어느 하나의 저유전율의 유기절연막으로 형성할 수 있다.
- <240> 상기에서 제 2 층간절연막(157)과 격벽부(157a)는 프린팅 방법외에도 1번의 증착공정과 1번의 노광공정을 진행하여 형성할 수도 있다.
- <241> 다음에 상기 드레인전극(154b)과, 스토리지 전극(154c)의 일영역이 드러나도록 제 1 층간절연막(155)과 제 2 층간절연막(157)을 각각 식각하여 제 1 콘택홀(158a)과 제 2 콘택홀(158b)을 형성한다.
- <242> 다음에 도 18c에 도시한 바와 같이, 상기 격벽부(157a)를 포함한 제 2 층간절연막(157) 상부에 투명 도전막을 증착한 후에 포토 및 식각 공정을 통해 상기 투명 도전막을 선택적으로 제거하여, 화소영역에 화소전극(159)을 형성한다.
- <243> 상기 화소전극(159)은 상기 제 1 콘택홀(158a)을 통해서 드레인전극(154b)과 연결되고, 제 2 콘택홀(158b)을 통해서 스토리지 전극(154c)과 연결된다.
- <244> 상기에서 투명 도전막은 인듐주석산화물(Indium Tin Oxide : ITO), 주석산화물(Tin Oxide : TO), 인듐아연산화물(Indium Zinc Oxide : IZO) 또는 인듐주석아연산화물(Indium Tin Zinc Oxide:ITZO)을 사용하여 형성할 수 있다.
- <245> 이후에 도면에는 도시되지 않았지만, 화소전극(159)을 포함한 하부기관(150)의 전면에 폴리이미드(polyimide)나 광배향성 물질로 이루어진 배향막을 형성한다.
- <246> 여기서 폴리이미드로 이루어진 배향막은 기계적인 러빙에 의해 배향방향이 결정되며, PVCN계 물질(polyvinylcinnamate based material)이나 폴리실록산계 물질(polysiloxane based material)로 이루어진 광반응성 물질은 자외선과 같은 광의 조사에 의해 배향방향이 결정된다.
- <247> 이때, 배향방향은 광의 조사방향이냐 조사되는 광의 성질, 즉 편광방향 등에 의해 결정된다.
- <248> 이후에 상부기관(160)을 준비하고, 상기 하부기관(150)과 상부기관(160)을 합착하기 위한 씨일재(미도시)를 하부기관(150) 또는 상부기관(160)에 형성한다.

- <249> 이어, 상기 상부기관(160)과 하부기관(150)을 합착한다.
- <250> 여기서, 도면에는 도시되어 있지 않았지만 상기 상부기관(160)의 전면에는 하부기관(150)과 동일한 물질의 배향막을 형성한다.
- <251> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술 사상을 이탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다.
- <252> 따라서, 본 발명의 기술 범위는 상기 실시예에 기재된 내용으로 한정되는 것이 아니라, 특허 청구의 범위에 의하여 정해져야 한다.

발명의 효과

- <253> 상기와 같은 본 발명의 액정표시장치 및 그의 제조방법은 다음과 같은 효과가 있다.
- <254> 첫째, 화소영역의 하부영역을 감싸도록 데이터라인 상부와 게이트라인 상부에 격벽부를 형성함으로써, 액정 패널이 좌우로 기울어질 때 액정의 좌우방향 흐름과 액정의 수직방향 흐름을 방지할 수 있다. 즉, 대형 패널(Panel)에서 액정이 중력 불량에 의해서 흘러내리는 현상을 방지할 수 있다.
- <255> 둘째, 데이터라인 상부에 저유전율의 절연막을 형성하므로써, 차후에 공통전극을 데이터라인 상부에 오버랩 형성할 수 있으므로, 고개구율 구조를 달성할 수 있다.
- <256> 셋째, 데이터라인 상부에 오버랩된 공통전극의 양측에 단차가 형성된 하부에 제 1 공통배선을 수직으로 연장 형성함으로써, 공통전극의 양측 단차 부분에서 액정배열이 왜곡되는 문제와, 이에 따라 빛샘 현상이 발생하는 것을 방지할 수 있다.
- <257> 넷째, 데이터라인 상부에 저유전율의 절연막을 전면에 형성하므로써, 차후에 데이터라인 상측부에 공통전극을 오버랩 형성할 때 양측에 단차가 발생하지 않도록 할 수 있다. 이와 같이 함으로써, 공통전극 양측 단차부에서 발생하던 액정 배열 왜곡과 빛샘 문제를 미연에 방지할 수 있다.

도면의 간단한 설명

- <1> 도 1은 일반적인 TN 액정표시장치의 일부를 나타낸 분해 사시도
- <2> 도 2는 일반적인 횡전계 방식(IPS)의 액정표시장치를 나타낸 개략적인 단면도
- <3> 도 3a 내지 도 3b는 IPS 모드에서 전압 온(on)/오프(off)시 액정의 상 변이 모습을 나타내는 도면
- <4> 도 4a 및 도 4b는 각각 오프상태와 온 상태일 때 IPS 모드 액정표시장치의 동작을 나타낸 사시도
- <5> 도 5는 종래 기술에 따른 횡전계 방식의 액정표시장치의 평면도
- <6> 도 6은 도 5의 I-I'와 II-II' 선상을 자른 구조 단면도
- <7> 도 7은 본 발명의 제 1 실시예에 따른 액정표시장치의 평면도
- <8> 도 8은 도 7의 III-III'와 IV-IV' 선상을 자른 구조 단면도
- <9> 도 9a 내지 도 9c는 본 발명의 제 1 실시예에 따른 액정표시장치의 제조방법을 나타낸 공정단면도
- <10> 도 10은 본 발명의 제 2 실시예에 따른 액정표시장치의 평면도
- <11> 도 11은 도 10의 V-V'와 VI-VI' 선상을 자른 구조 단면도
- <12> 도 12a 내지 도 12c는 본 발명의 제 2 실시예에 따른 액정표시장치의 제조방법을 나타낸 공정단면도
- <13> 도 13은 본 발명의 제 3 실시예에 따른 액정표시장치의 평면도
- <14> 도 14는 도 13의 VII-VII'와 VIII-VIII' 선상을 자른 구조 단면도
- <15> 도 15a 내지 도 15c는 본 발명의 제 3 실시예에 따른 액정표시장치의 제조방법을 나타낸 공정단면도
- <16> 도 16은 본 발명의 제 4 실시예에 따른 액정표시장치의 평면도
- <17> 도 17은 도 16의 IX-IX'와 X-X' 선상을 자른 구조 단면도

<18> 도 18a 내지 도 18c는 본 발명의 제 4 실시예에 따른 액정표시장치의 제조방법을 나타낸 공정단면도

<19> * 도면의 주요 부분에 대한 부호의 설명 *

<20> 110, 150 : 하부기관 111, 151 : 게이트전극

<21> 111a, 151a : 게이트전극 111b : 제 1 공통배선

<22> 112 , 152 : 게이트절연막 113, 153 : 액티브층

<23> 114, 154 : 데이터라인 114a, 154a : 소오스전극

<24> 114b, 154b : 드레인전극 114c, 154c : 스토리지 전극

<25> 115, 155 : 제 1 층간절연막 116, 158a : 제 1 콘택홀

<26> 117 : 회절 노광 마스크 118 : 절연막

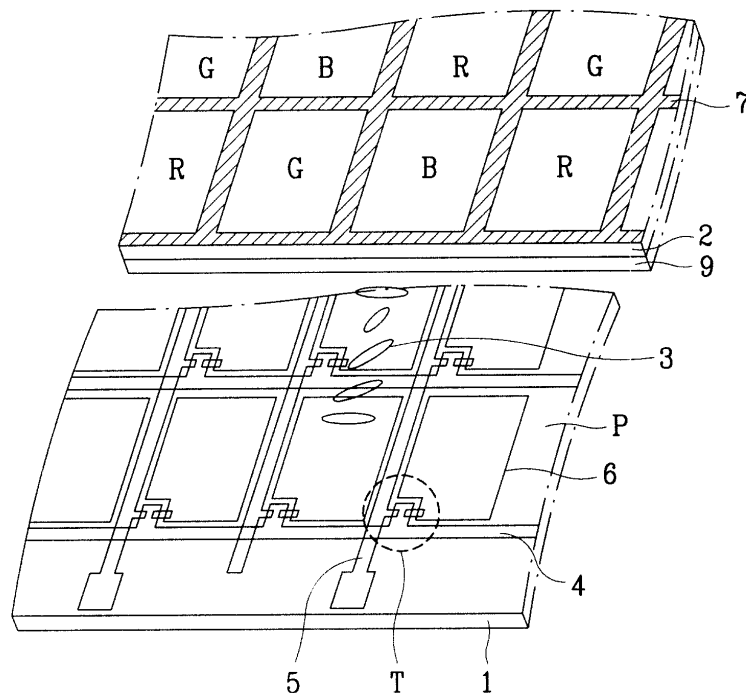
<27> 118a, 157a : 격벽부 119a : 제 2 공통배선

<28> 119b : 공통전극 119c : 화소전극

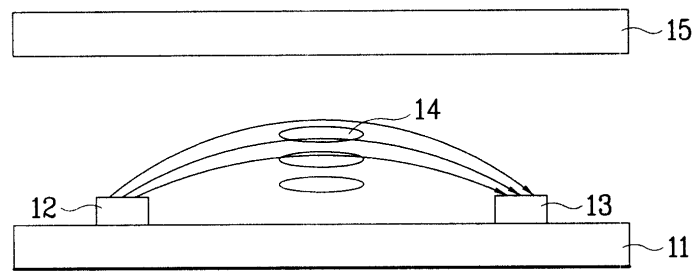
<29> 157 : 제 2 층간절연막 158b : 제 2 콘택홀

도면

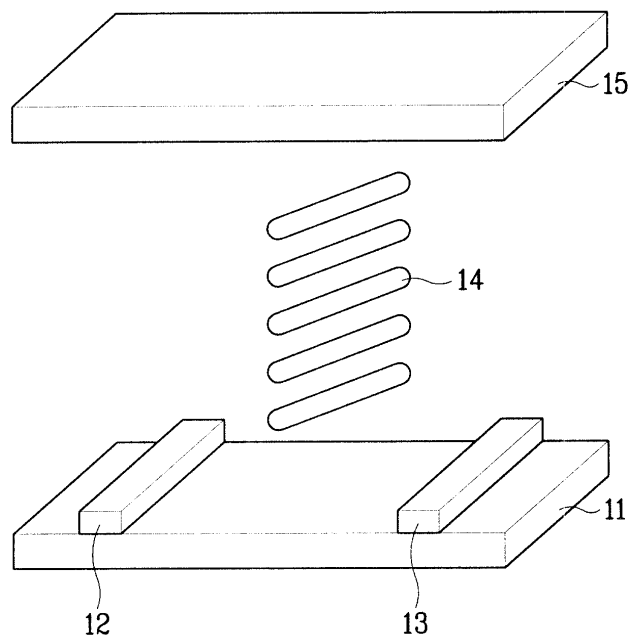
도면1



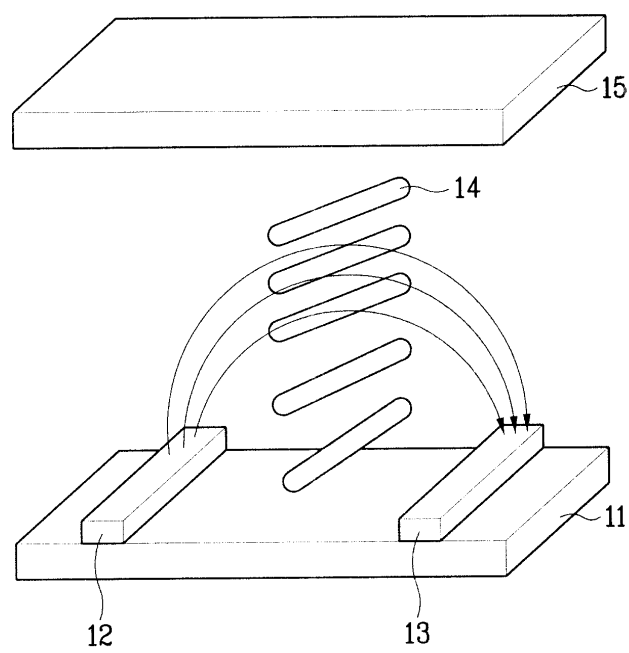
도면2



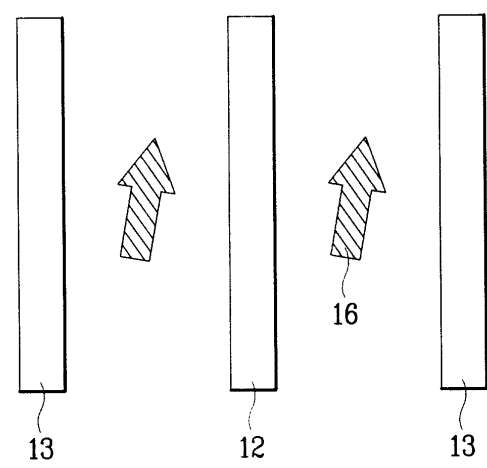
도면3a



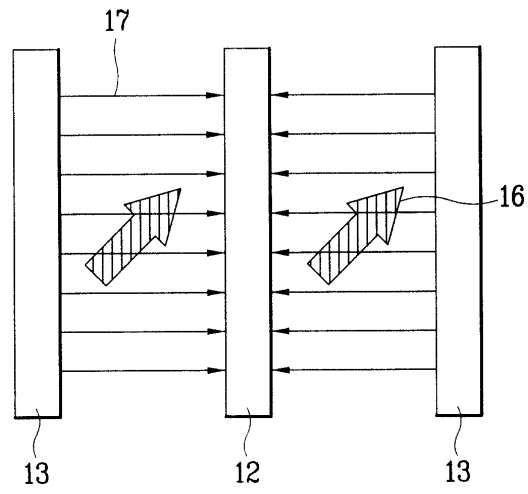
도면3b



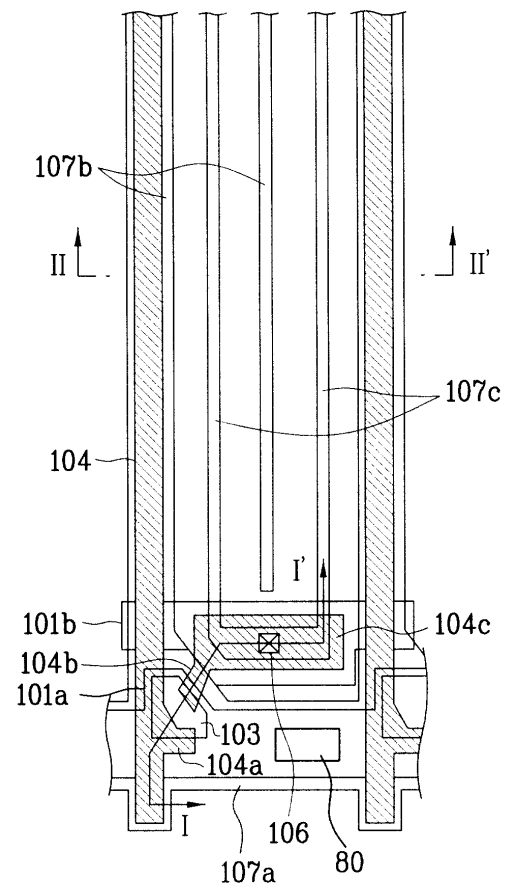
도면4a



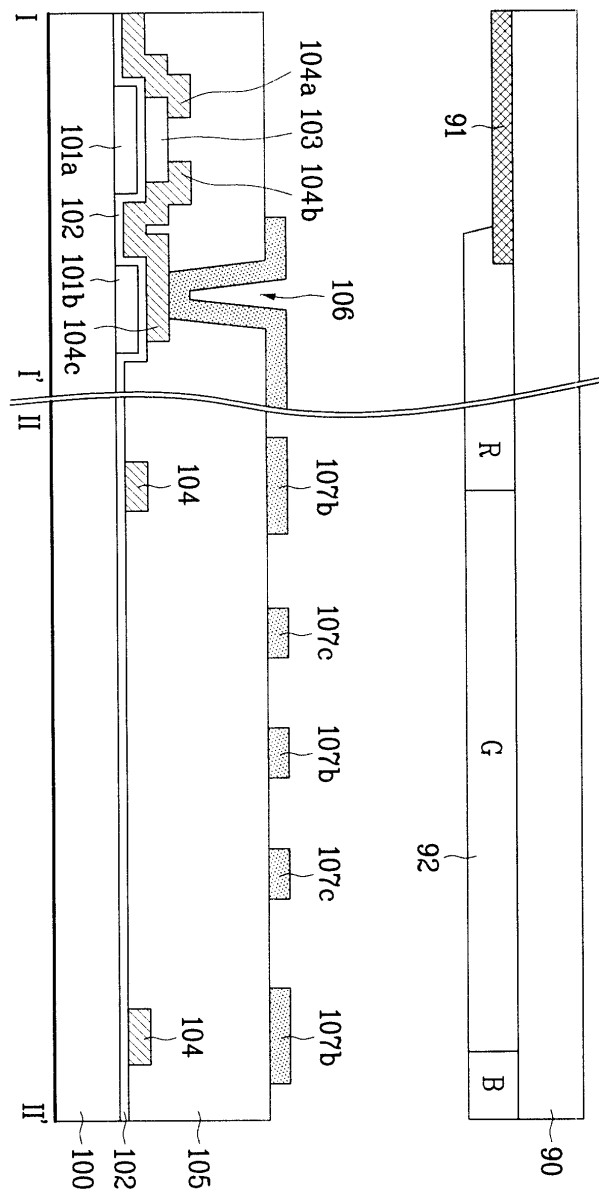
도면4b



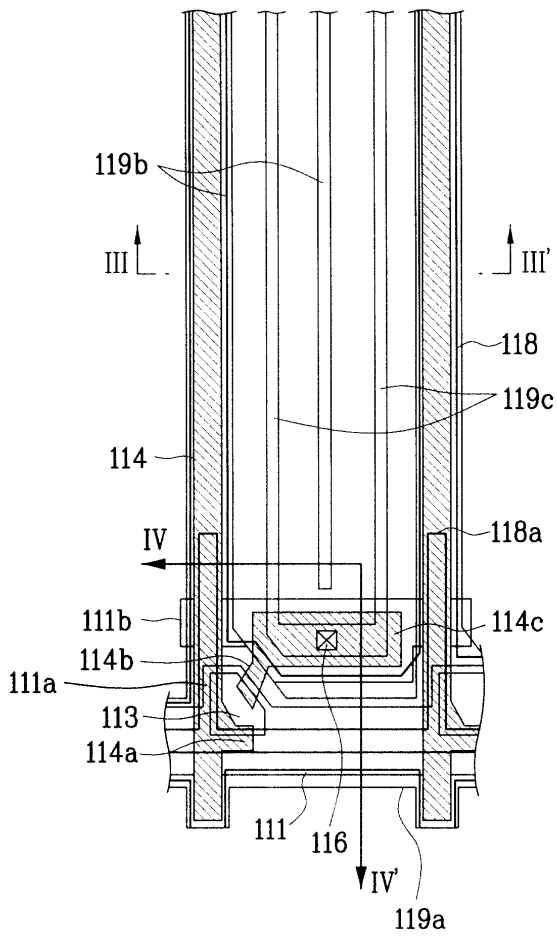
도면5



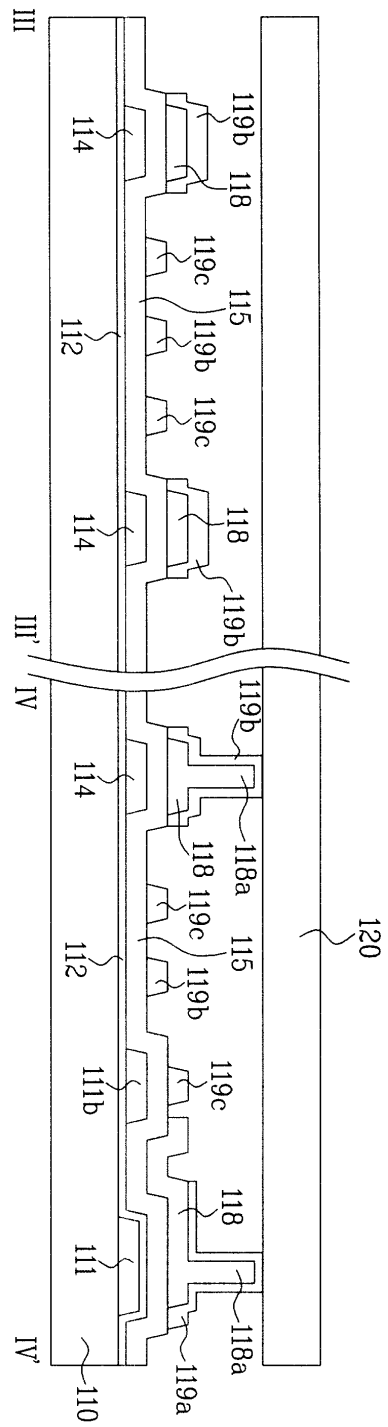
도면6



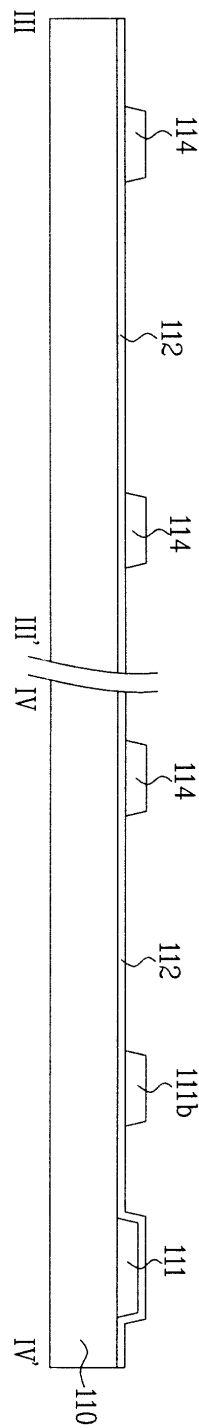
도면7



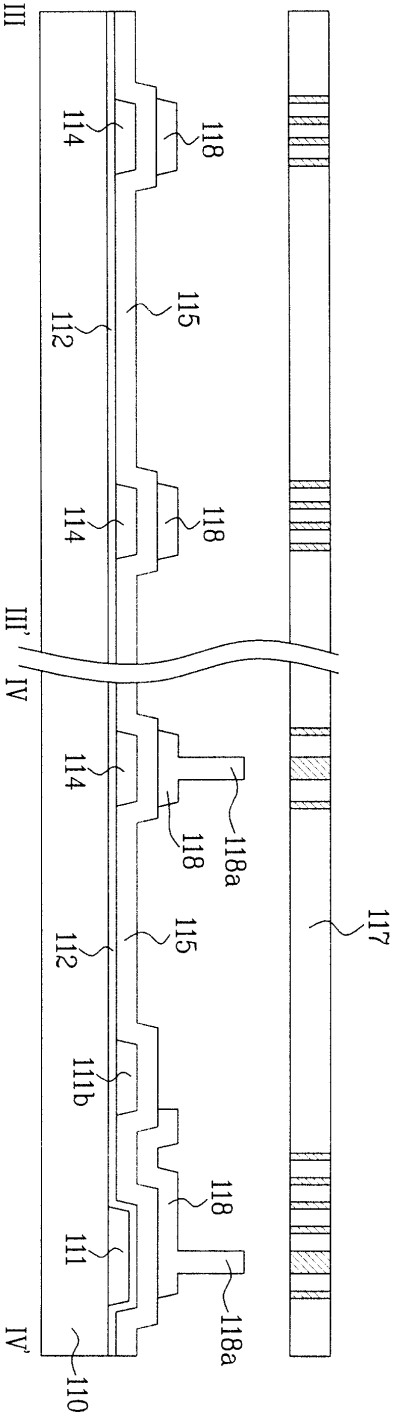
도면8



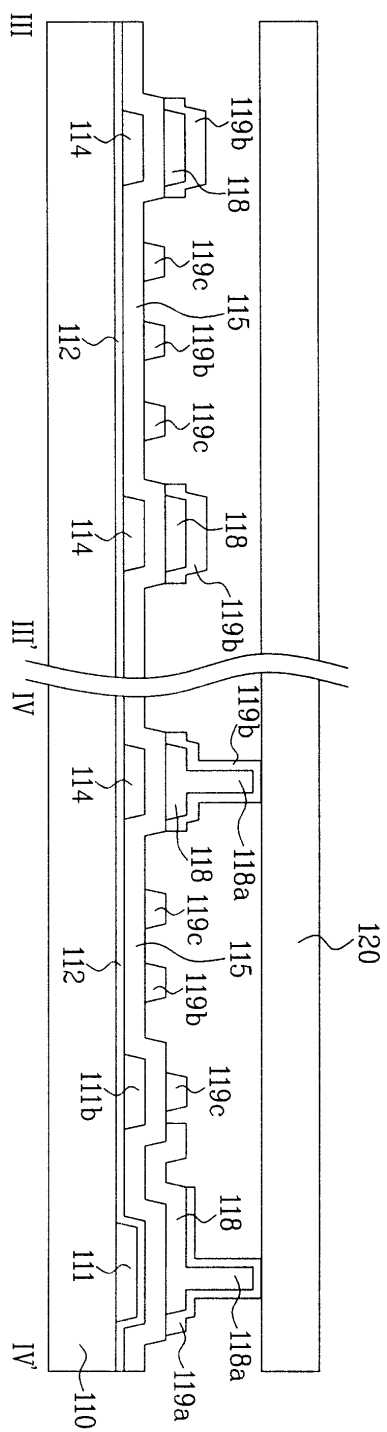
도면9a



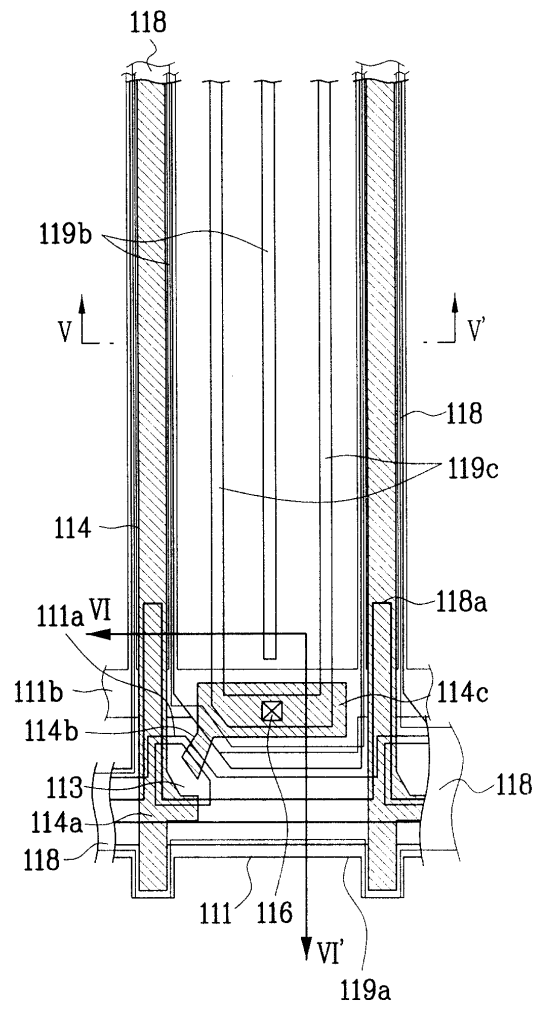
도면9b



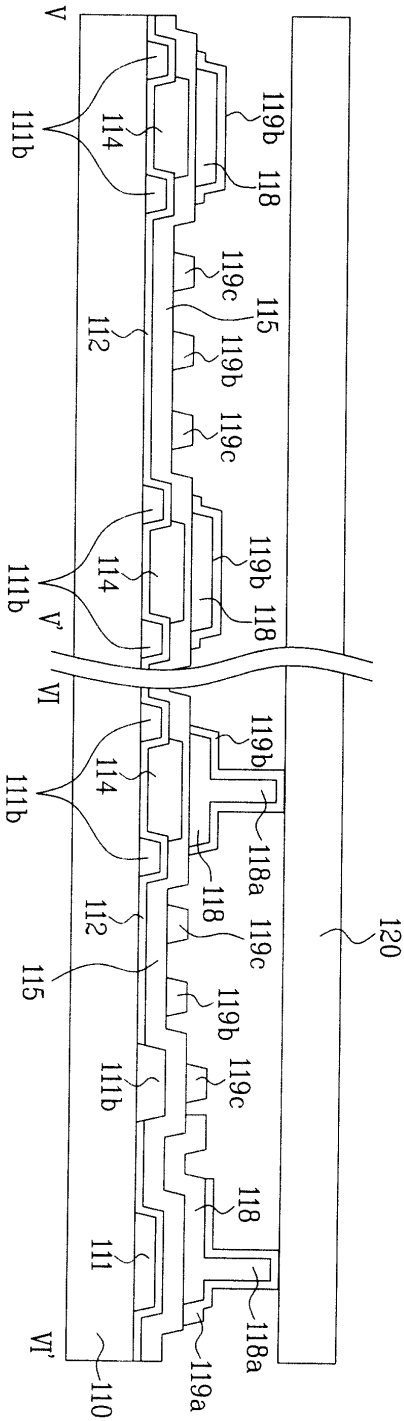
도면 9c



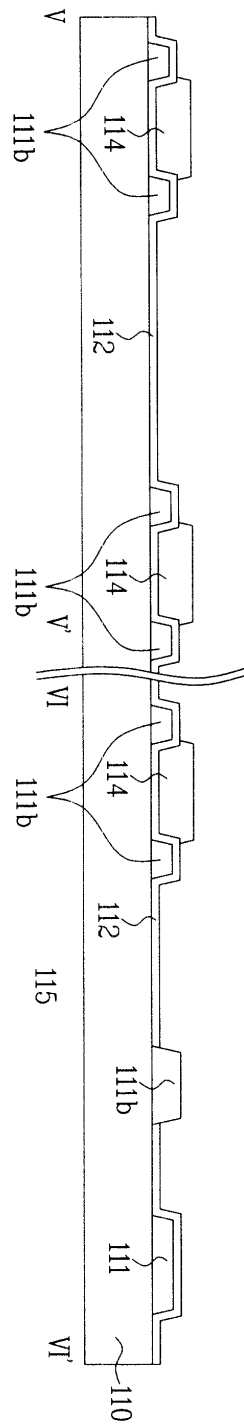
도면10



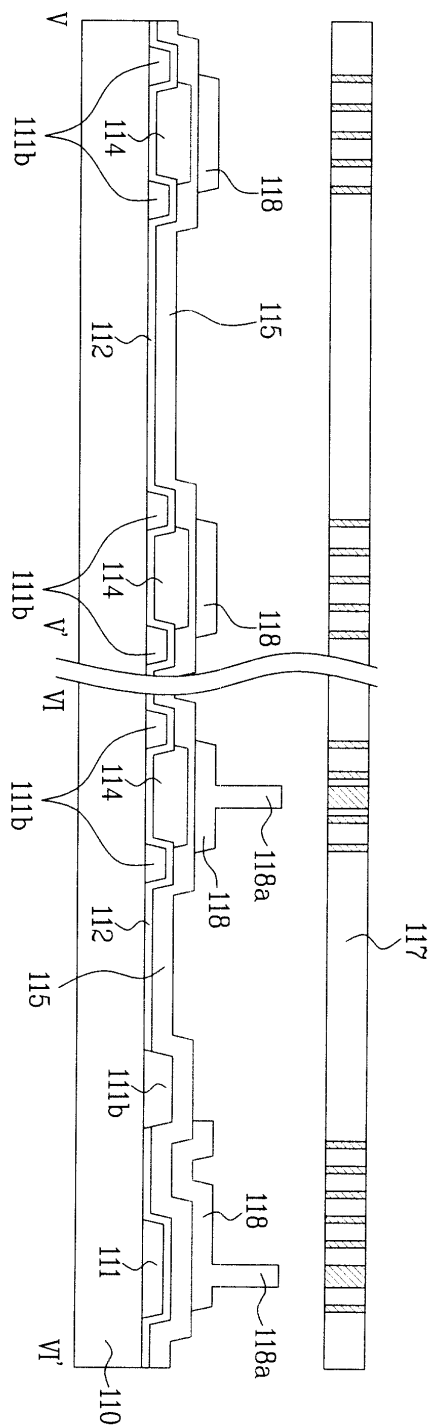
도면11



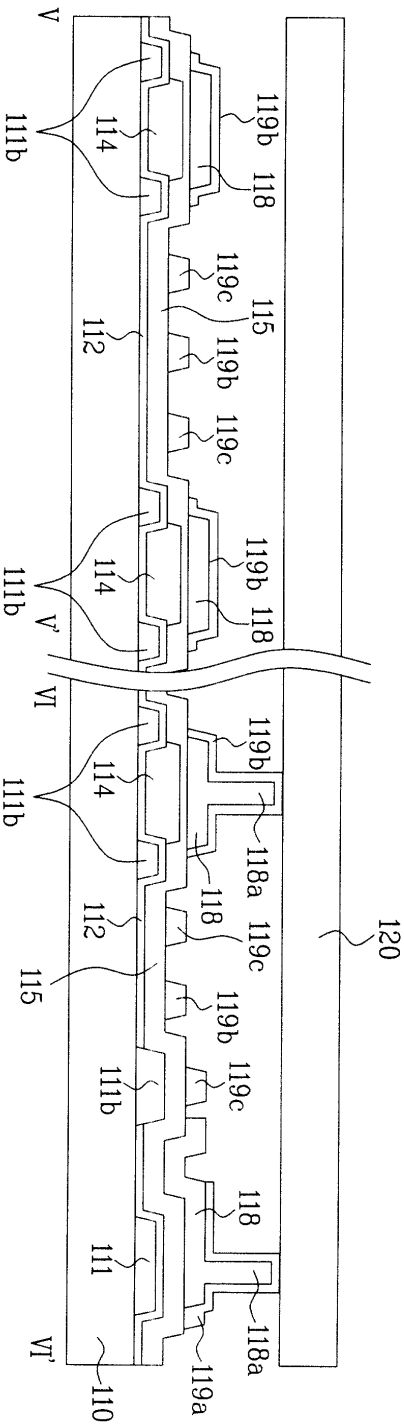
도면 12a



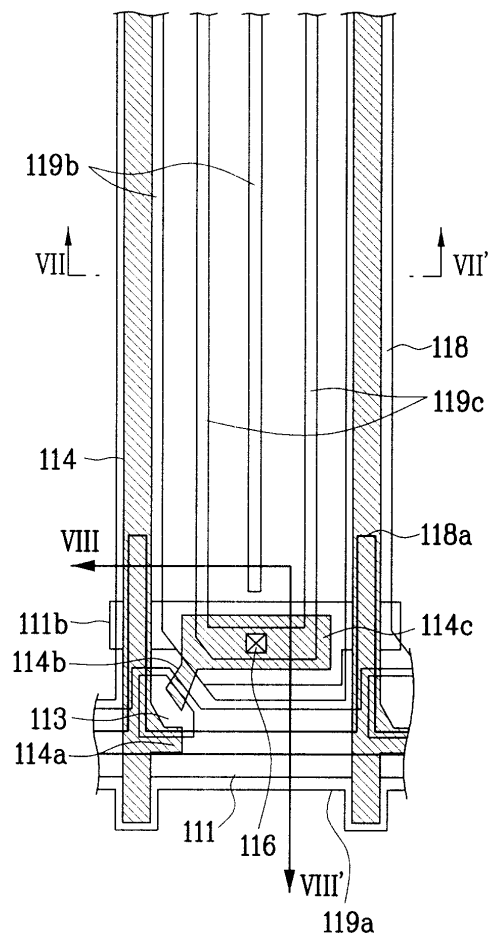
도면 12b



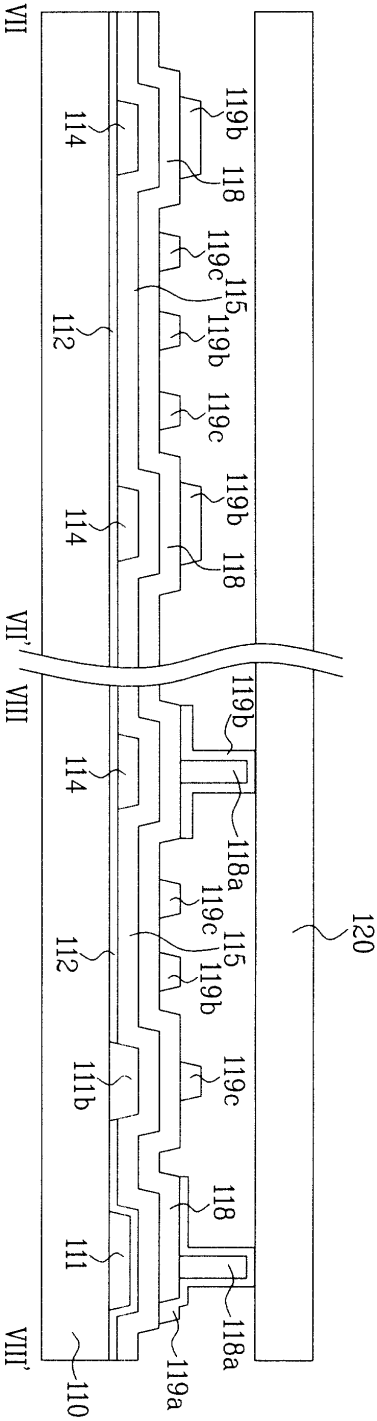
도면12c



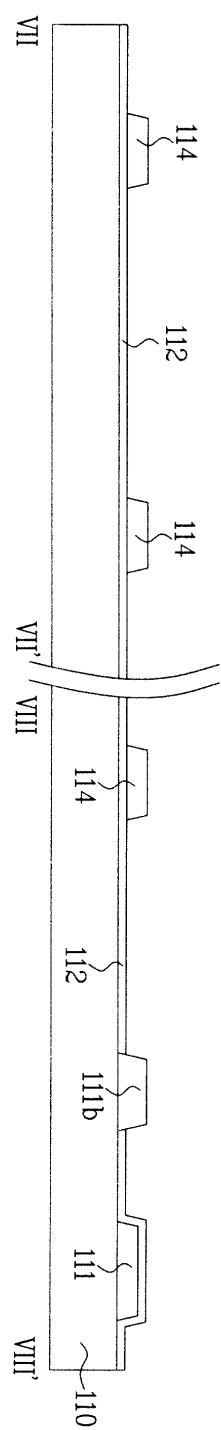
도면13



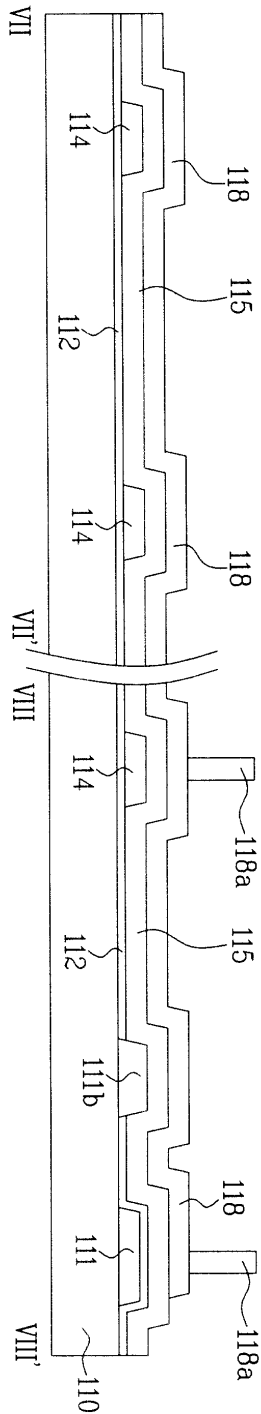
도면14



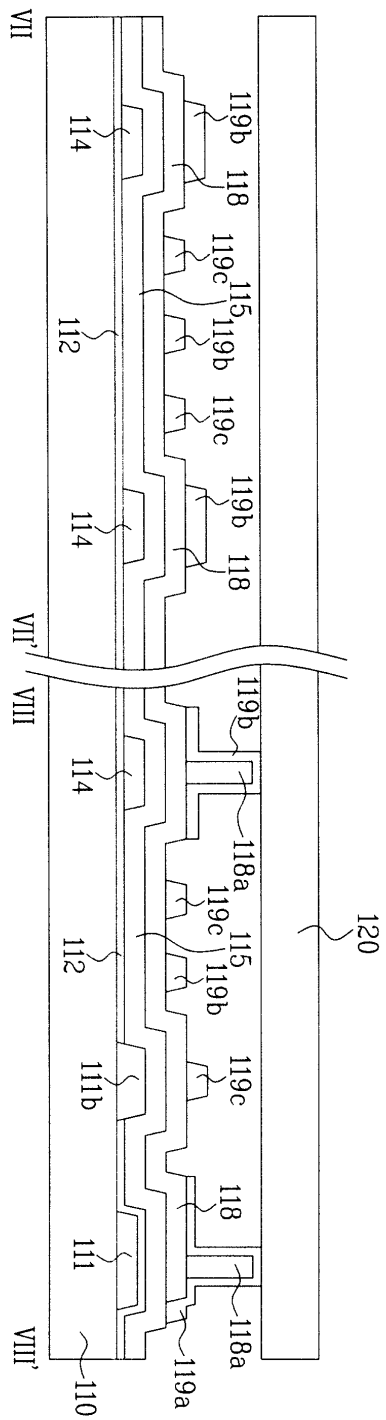
도면15a



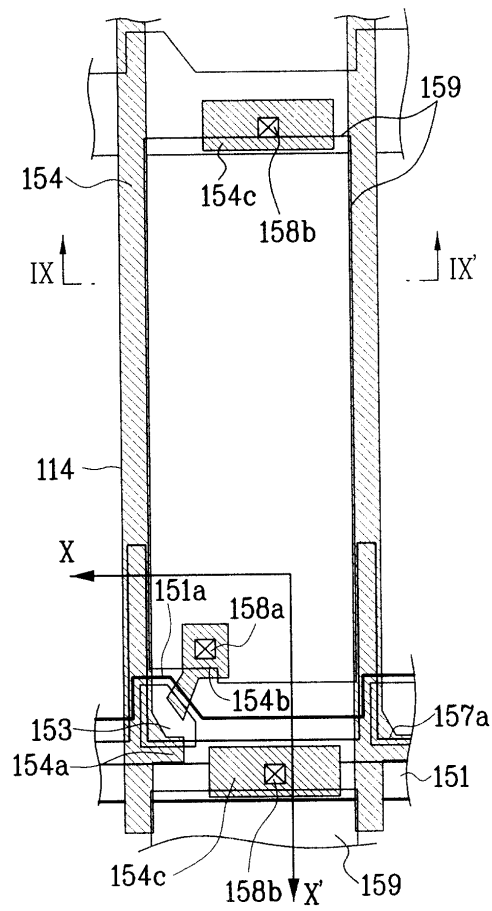
도면15b



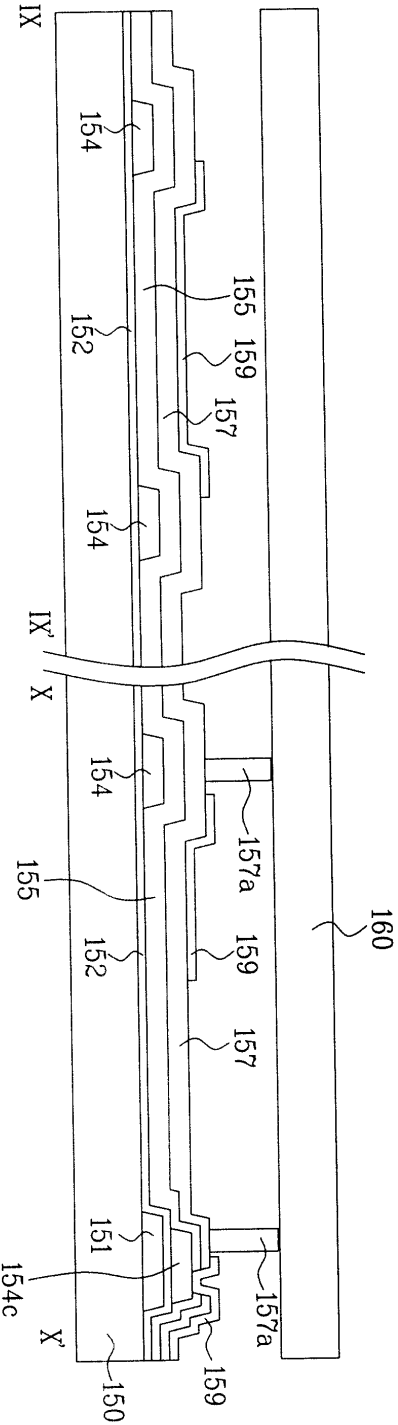
도면 15c



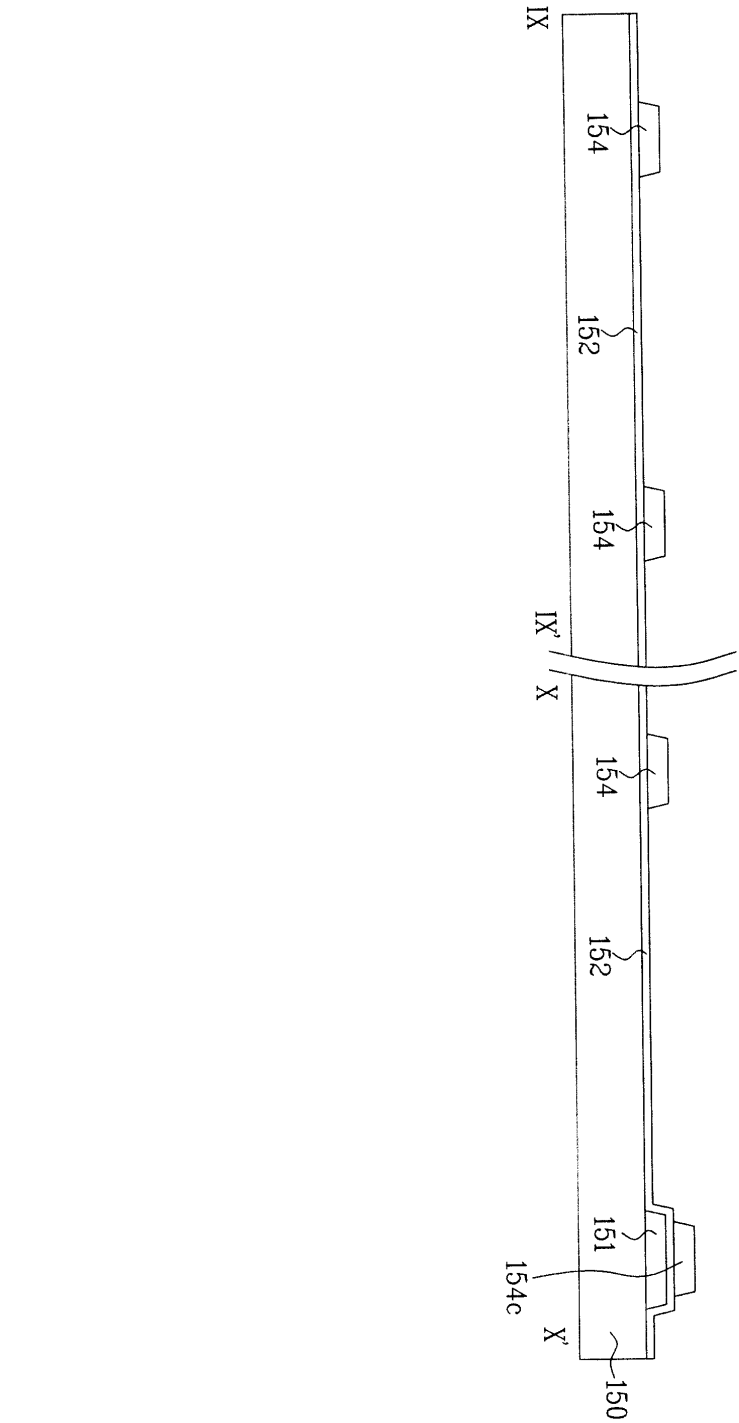
도면16



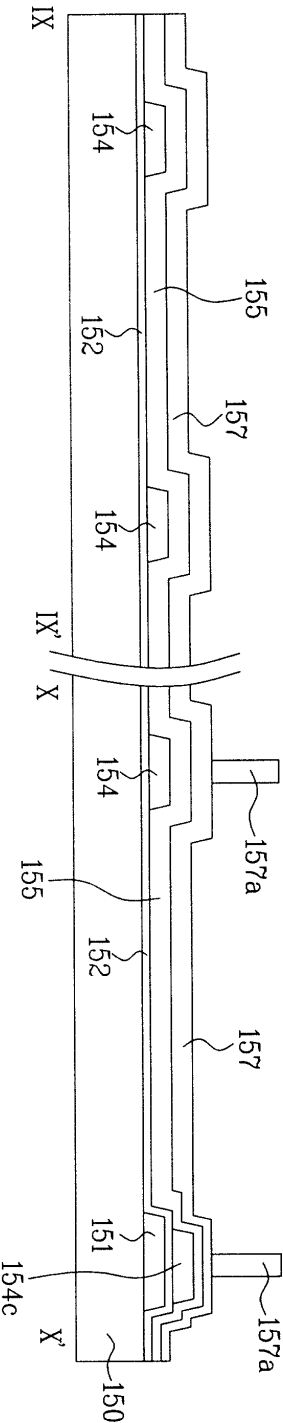
도면17



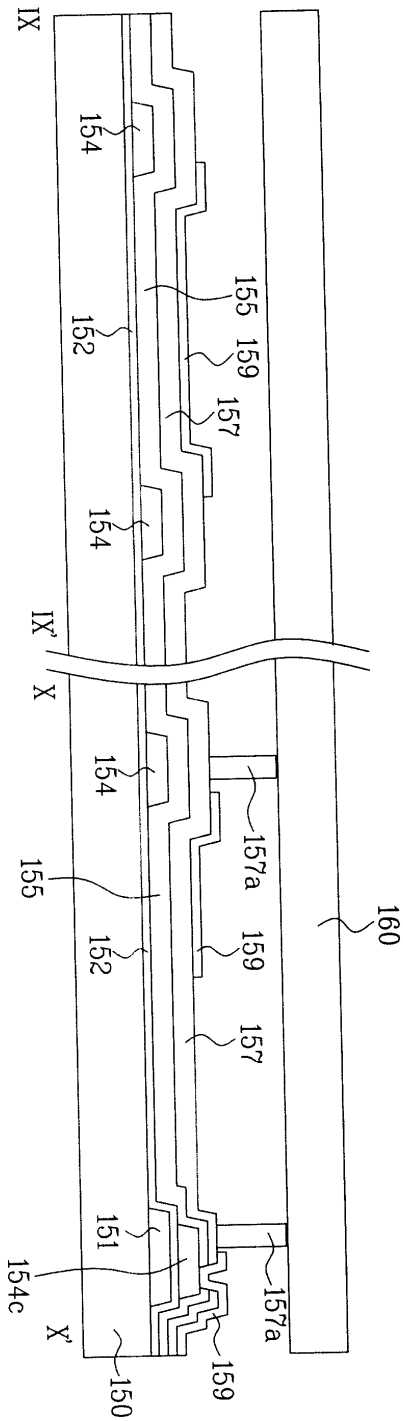
도면18a



도면18b



도면18c



专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	KR100760940B1	公开(公告)日	2007-09-21
申请号	KR1020030098941	申请日	2003-12-29
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	CHAE GEESUNG 채기성 KIM WOOHYUN 김우현		
发明人	채기성 김우현		
IPC分类号	G02F1/1339 H01L21/00 G02F1/1362 G02F1/1343 H01L29/786 G02F1/136 G02F1/1333		
CPC分类号	G02F1/1362 G02F1/13394 G02F1/133345 G02F1/134363		
代理人(译)	金勇 新昌		
其他公开文献	KR1020050067906A		
外部链接	Espacenet		

摘要(译)

一种用于实现上述目的的液晶显示装置，具有面向第一基板的第一基板和面对第一基板的第二基板，第一基板之间具有预定间隙，第二基板；在垂直和水平方向上在第一基板上形成的多个像素区域，栅极线和数据线；与栅极线平行布置的第一公共布线；一种薄膜晶体管，形成在栅极线和数据线的交叉处；形成在包括薄膜晶体管的第一基板的前表面上的第一层间绝缘膜；并且分隔壁部分形成在数据线和栅极线上提供绝缘膜；第二公共布线和公共电极形成在像素区域上方的栅极线，数据线和薄膜晶体管上；和像素电极，其与薄膜晶体管的漏电极接触并且以预定间隔形成在像素区域的公共电极之间它表征。

