



(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) 。 Int. Cl.  
G02F 1/1343 (2006.01)

(45) 공고일자 2007년03월23일  
(11) 등록번호 10-0698060  
(24) 등록일자 2007년03월15일

(21) 출원번호 10-2004-0105585  
(22) 출원일자 2004년12월14일  
심사청구일자 2004년12월14일

(65) 공개번호 10-2006-0067323  
(43) 공개일자 2006년06월20일

(73) 특허권자 엘지.필립스 엘시디 주식회사  
서울 영등포구 여의도동 20번지

(72) 발명자 이원호  
경기 성남시 분당구 정자동 로얄팰리스 B동 1504호

(74) 대리인 김용인  
심창섭

(56) 선행기술조사문헌  
1004463830000 \* 1020020085244 \*  
1020040021999 \* 1020040048518  
\* 심사관에 의하여 인용된 문헌

심사관 : 윤성주

전체 청구항 수 : 총 11 항

(54) 회전계방식 액정표시소자

(57) 요약

본 발명은 화소영역을 경사방향으로 가로지르도록 화소전극을 배치함으로써, 화소영역 내의 개구영역을 최대로 확보하고 디스클리네이션 영역도 최소화하여 모드의 효율을 향상시키고자 하는 회전계방식 액정표시소자에 관한 것으로, 제 1 기관 상에 교차되어 화소영역을 정의하는 게이트 배선 및 데이터 배선과, 상기 게이트 배선 및 데이터 배선들의 교차 부위에 형성되어 게이트 전극, 반도체층, 소스/드레인 전극으로 이루어진 박막트랜지스터와, 상기 게이트 배선에 평행하는 공통배선 및 상기 공통배선에서 분기되어 데이터 배선에 평행하는 공통전극과, 상기 화소영역을 경사방향으로 가로지르는 경사부 및 상기 경사부에서 연장되어 공통전극에 오버랩되는 직선부로 구성되는 화소전극과, 상기 제 1 기관과의 사이에 액정층을 두고 대향합착된 제 2 기관을 포함하여 구성되는 것을 특징으로 한다.

대표도

도 5

특허청구의 범위

## 청구항 1.

제 1 기관 상에 교차되어 화소영역을 정의하는 게이트 배선 및 데이터 배선;

상기 게이트 배선 및 데이터 배선들의 교차 부위에 형성되어 게이트 전극, 반도체층, 소스/드레인 전극으로 이루어진 박막 트랜지스터;

상기 게이트 배선에 평행하는 공통배선 및 상기 공통배선에서 분기되어 상기 화소영역을 둘러싸도록 화소영역의 최외각에 배치 형성된 공통전극;

상기 화소영역의 최외각에 배치된 공통전극과 오버랩되는 직선부와, 상기 화소영역의 중심부를 경사방향으로 가로질러 상기 직선부와 연결 형성된 경사부로 구성되는 화소전극;

상기 제 1 기관과의 사이에 액정층을 두고 대향합착된 제 2 기관을 포함하여 구성되는 것을 특징으로 하는 횡전계방식 액정표시소자.

## 청구항 2.

제 1 항에 있어서,

상기 화소전극의 직선부가 연장되어 상기 박막트랜지스터의 드레인 전극에 연결되는 것을 특징으로 하는 횡전계방식 액정표시소자.

## 청구항 3.

제 1 항에 있어서,

상기 공통전극은 상기 화소전극의 직선부와 오버랩되는 부분에 한해서 최소마진의 선폭을 가지는 것을 특징으로 하는 횡전계방식 액정표시소자.

## 청구항 4.

제 3 항에 있어서,

상기 화소전극과 오버랩되는 공통전극은 상기 화소전극의 내측으로  $2\mu\text{m}$  이상 줄이는 것을 특징으로 하는 횡전계방식 액정표시소자.

## 청구항 5.

제 1 항에 있어서,

상기 화소전극의 경사부는 게이트 배선 방향 기준  $40\sim 60^\circ$ 의 경사각도를 가지는 것을 특징으로 하는 횡전계방식 액정표시소자.

## 청구항 6.

제 1 항에 있어서,

상기 서로 마주보는 화소전극의 직선부와 공통전극 사이의 수평거리는  $8\sim 13\mu\text{m}$ 인 것을 특징으로 하는 횡전계방식 액정표시소자.

#### 청구항 7.

제 6 항에 있어서,

상기 서로 마주보는 화소전극의 직선부와 공통전극 사이의 수평거리 1/2지점에서의, 상기 서로 마주보는 화소전극의 경사부와 공통전극의 수직거리는,

상기 서로 마주보는 화소전극의 직선부와 공통전극 사이의 수평거리보다 큰 것을 특징으로 하는 횡전계방식 액정표시소자.

#### 청구항 8.

제 1 항에 있어서,

상기 공통전극 및 화소전극이 오버랩되는 부분은 스토리지 커패시터를 구성하는 것을 특징으로 하는 횡전계방식 액정표시소자.

#### 청구항 9.

제 1 항에 있어서,

상기 게이트 배선, 공통배선 및 공통전극은 동일층에 구비되는 것을 특징으로 하는 횡전계방식 액정표시소자.

#### 청구항 10.

제 1 항에 있어서,

상기 제 1, 제 2 기관 외측면에는 투과축이 서로 수직하도록 제 1, 제 2 편광판이 더 배치되고,

상기 제 1, 제 2 기관 내측면에는 배향막이 더 구성되는 것을 특징으로 하는 횡전계방식 액정표시소자.

#### 청구항 11.

제 10 항에 있어서,

상기 제 1, 제 2 편광판 중 어느 하나의 편광축은 게이트 배선 방향과 나란하도록 배치되는 것을 특징으로 하는 횡전계방식 액정표시소자.

명세서

### 발명의 상세한 설명

#### 발명의 목적

## 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시소자(LCD ; Liquid Crystal Display Device)에 관한 것으로, 특히 개구영역을 확보하고 디스클리네이션 영역을 최소화하여 패널의 투과율을 최대화시키고자 하는 횡전계방식 액정표시소자에 관한 것이다.

평판표시소자로서 최근 각광받고 있는 액정표시소자는 콘트라스트 비(contrast ratio)가 크고, 계조 표시나 동화상 표시에 적합하며 전력소비가 작다는 장점 때문에 활발한 연구가 이루어지고 있다.

특히, 얇은 두께로 제작될 수 있어 장치 벽결이 TV와 같은 초박형(超薄形) 표시장치로 사용될 수 있을 뿐만 아니라, 무게가 가볍고, 전력소비도 CRT 브라운관에 비해 상당히 적어 배터리로 동작하는 노트북 컴퓨터의 디스플레이로 사용되는 등, 차세대 표시장치로서 각광을 받고 있다. 또한, 소형 패널로 제작되어 휴대폰 디스플레이로도 사용되고 있어 그 활용이 다양하다.

이러한 액정표시소자는 액정의 성질과 전극의 구조에 따라서 여러 가지 다양한 모드가 있다.

구체적으로, 액정 방향자가 90°트위스트 되도록 배열한 후 전압을 가하여 액정 방향자를 제어하는 TN 모드(Twisted Nematic Mode)와, 한 화소를 여러 도메인으로 나눠 각각의 도메인의 주시야각 방향을 달리하여 광시야각을 구현하는 멀티도메인 모드(Multi-Domain Mode)와, 보상필름을 기판 외주면에 부착하여 빛의 진행방향에 따른 빛의 위상변화를 보상하는 OCB 모드(Optically Compensated Birefringence Mode)와, 한 기판 상에 두개의 전극을 형성하여 액정의 방향자가 배향막의 나란한 평면에서 꼬이게 하는 횡전계방식(In-Plane Switching Mode)과, 네가티브형 액정과 수직배향막을 이용하여 액정 분자의 장축이 배향막 평면에 수직 배열되도록 하는 VA 모드(Vertical Alignment) 등 다양하다.

이중, 상기 횡전계방식 액정표시소자는 빛샘을 방지하기 위한 블랙 매트릭스 및 색상을 구현하기 위한 R,G,B의 컬러필터 층이 형성되어 있는 컬러필터층 어레이 기판과, 단위 화소를 정의하는 게이트 배선 및 데이터 배선, 두 배선의 교차 지점에 형성된 스위칭소자, 서로 엇갈리게 교차되어 횡전계를 발생시키는 공통전극 및 화소전극이 형성되어 있는 박막트랜지스터 어레이 기판으로 구성된다.

이하, 도면을 참조하여 종래 기술의 횡전계방식 액정표시소자를 설명하면 다음과 같다.

도 1은 종래 기술에 의한 횡전계방식 액정표시소자의 평면도이고, 도 2는 도 1에서의 광투과율을 나타낸 횡전계방식 액정표시소자의 사진도이다.

그리고, 도 3은 또다른 종래 기술에 의한 횡전계 액정표시소자의 평면도이고, 도 4는 도 3에서의 광투과율을 나타낸 횡전계방식 액정표시소자의 사진도이다.

종래 기술에 의한 박막트랜지스터 어레이 기판에는, 도 1에 도시된 바와 같이, 게이트 절연막을 사이에 두고 서로 수직 교차되어 화소영역을 정의하는 게이트 배선(12) 및 데이터 배선(15)과, 상기 두 배선의 교차 지점에서 게이트 전극(12a), 게이트 절연막, 반도체층(14) 및 소스/드레인 전극(15a, 15b)으로 적층된 박막트랜지스터(TFT)와, 상기 게이트 배선(12)과 평행하는 공통배선(25)과, 상기 공통배선(25)에서 분기되어 상기 데이터 배선(15)에 평행하도록 형성되는 다수개의 공통전극(24)과, 상기 드레인 전극(15b)에 연결되고 상기 공통전극(24) 사이에서 상기 공통전극과 평행하게 교차 배치된 다수개의 화소전극(17)이 형성되어 있다.

이와같이, 횡전계방식 액정표시소자는 액정 분자를 기판에 대해서 수평을 유지한 상태로 회전시키기 위하여 공통전극(24) 및 화소전극(17)이 모두 동일한 기판 상에 형성되는데, 상기 2개의 전극 사이에 전압을 걸어 기판에 대해서 수평방향의 횡전계(E)가 발생되도록 하여 액정분자의 배열을 제어한다.

이 때, 공통전극(24)과 화소전극(17) 사이의 거리가 멀어지면 전계가 약해지고, 전극 사이의 거리가 가까워지면 전극의 수가 상대적으로 많아져 개구율이 떨어지므로, 적당한 전극간 거리가 요구되고 결국, 블록(30)의 폭(D)도 최적의 설계물이 적용되는 일정한 수치를 가지게 되는데, 액정표시소자의 모델에 따라 화소영역의 크기가 달라지므로 블록의 최적 배치가 어려워진다.

왜냐하면, 화소영역의 양 가장자리에 최외곽 공통전극을 형성해야 하고, 또한 공통전극(24) 사이에 화소전극(17)이 직선으로 삽입되는 구조로 형성해야 하므로, 수평방향으로 배치할 수 있는 블록 개수가 짝수개 밖에 되지 않기 때문이다.

더욱이, 동일한 크기의 패널에 대해서 화소영역의 개수가 상대적으로 많은 고해상도 모델의 경우, 화소영역의 크기가 작기 때문에 화소영역 내에 2개의 블록을 형성할 수 밖에 없게 된다.

일예로, 화소영역의 폭과 길이가  $28\mu\text{m} \times 84\mu\text{m}$ 일 경우,  $4\mu\text{m}$ 의 폭을 가지는 데이터 배선(15), 화소전극(17), 2개의 공통전극(24)을 배치하게 되면 개구영역의 폭이  $10\mu\text{m}$  정도밖에 되지 않아 개구율이 크게 떨어진다.

이와같은 구성의 횡전계방식 액정표시소자에 전압을 인가하면, 도 2에서와 같은 투과율을 나타내는데, 공통배선(25)에서 공통전극(24)이 분기되는 부분에서 횡전계가 형성되지 않아 액정분자가 원하는 방향으로 배열되지 않음으로써 광이 투과되지 않는 디스클리네이션 영역(A)이 발생하게 된다.

한편, 도 3에 도시된 바와 같이, 화소영역의 폭을 넓히고 길이를 줄여 화소영역의 폭과 길이를  $42\mu\text{m} \times 42\mu\text{m}$ 로 할 수 있는데, 이때 Super-IPS 모드로 구현하기 위해서 화소전극(117) 및 공통전극(124)을 꺾어지는 형태로 형성할 수 있다.

Super-IPS는 하나의 화소영역에서의 액정분자가 2방향으로 배열되도록 하기 위해서 도메인을 2영역으로 분할하는 모드를 말하는데, 2-도메인을 구현함으로써 역도메인 영역을 최소화할 수 있다.

그러나, 도 4에 도시된 바와 같이, 화소전극(117) 및 공통전극(124)이 꺾어지는 부분에서 액정배열 방향이 분할되는 도메인 경계가 발생하여 모듈 효율이 떨어지고, 개구영역이 정방향에 가까워져 수직전계 및 수평전계(횡전계)가 서로 영향을 주어 디스클리네이션 영역(어두운 부분)이 넓게 분포하게 된다는 문제점이 있다.

즉, 액정이 원하는 방향으로 배열되지 않는 디스클리네이션 영역은, 공통전극(124)과 화소전극(117) 사이에 발생하는 횡전계와 서로 인접하는 공통전극(124) 사이에 형성되는 수직 전계 또는 화소전극(117) 사이에 형성되는 수직 전계가 서로 간섭하는 영역으로서, 빛이 투과되지 않아 모드 효율을 떨어뜨리게 된다.

참고로, 도 3의 미설명 부호인 "112"는 게이트 배선을 도시한 것이고, "115"는 데이터 배선을 도시한 것이며, "125"는 공통 배선을 도시한 것이다.

#### 발명이 이루고자 하는 기술적 과제

따라서, 본 발명은 상기와 같은 문제점을 해결하기 위하여 안출한 것으로, 화소영역을 경사방향으로 가로지르도록 화소전극을 형성함으로써, 화소영역 내의 개구영역을 최대한 확보하고 디스클리네이션 영역도 최소화하여 모드의 효율을 향상시키고자 하는 횡전계방식 액정표시소자를 제공하는 것에 그 목적이 있다.

#### 발명의 구성

상기와 같은 목적을 달성하기 위한 본 발명의 횡전계방식 액정표시소자는 제 1 기판 상에 교차되어 화소영역을 정의하는 게이트 배선 및 데이터 배선과, 상기 게이트 배선 및 데이터 배선들의 교차 부위에 형성되어 게이트 전극, 반도체층, 소스/드레인 전극으로 이루어진 박막트랜지스터와, 상기 게이트 배선에 평행하는 공통배선 및 상기 공통배선에서 분기되어 데이터 배선에 평행하는 공통전극과, 상기 화소영역을 경사방향으로 가로지르는 경사부 및 상기 경사부에서 연장되어 공통전극에 오버랩되는 직선부로 구성되는 화소전극과, 상기 제 1 기판과의 사이에 액정층을 두고 대향합착된 제 2 기판을 포함하여 구성되는 것을 특징으로 한다.

즉, 본 발명에 의한 화소전극은 경사부와 상기 경사부에서 연장형성되는 직선부로 구성되는바, 상기 공통전극 사이의 개구영역을 경사방향으로 가로지르도록 화소전극의 경사부를 형성하여, 패널의 개구율을 기존대비 크게 확보하고 디스클리네이션 영역도 최소화하는 것을 특징으로 한다.

이 때, 횡전계방식 액정표시소자가 고해상도 모델인 경우, 공통전극을 화소영역의 최외곽에 각각 형성하고 화소전극의 경사부를 경사지도록 형성하여 하나의 화소영역을 2개의 블록으로 분할하며 또한, 화소전극의 수직부를 공통전극에 부분 오버랩시킨다. 이로써, 기존 대비 화소전극이 차지하는 면적을 최소화할 수 있으므로 개구영역이 확보된다.

또한, 화소전극의 경사부를 소정의 각도로 형성하고, 블록의 크기도 일정한 설계치 제한을 둬으로써 원하지 않게 형성되는 디스클리네이션 영역을 최소화하여 패널의 투과율을 향상시킨다.

이하, 도면을 참조하여 본 발명에 따른 횡전계방식 액정표시소자를 상세히 설명하면 다음과 같다.

도 5는 본 발명에 의한 횡전계방식 액정표시소자의 평면도이고, 도 6은 도 5에서의 광투광율을 나타낸 횡전계방식 액정표시소자의 사진도이며, 도 7a 내지 도 7c는 본 발명에 의한 횡전계방식 액정표시소자의 공정평면도이다.

본 발명에 의한 박막트랜지스터 어레이 기판은, 도 5에 도시된 바와 같이, 일렬로 배치된 복수개의 게이트 배선(212) 및 상기 게이트 배선(212)에 수직 교차하는 복수개의 데이터 배선(215)에 의해 화소영역이 정의되는데, 상기 화소영역 내에는 상기 두 배선의 교차 지점에 형성되어 전압을 스위칭하는 박막트랜지스터(TFT)와, 게이트 배선(212)에 평행하는 공통배선(225)으로부터 분기되는 공통전극(224)과, 상기 공통전극 사이의 개구영역을 경사방향으로 가로지는 경사부(217a) 및 상기 공통전극에 오버랩되는 직선부(217b)로 이루어지는 화소전극(217)이 구비된다.

상기 화소전극의 경사부(217a)에 의해 하나의 화소영역이 2개의 블록(230)으로 분할되며, 각 블록의 크기는 동일해질 수 있도록 한다.

구체적으로, 상기 공통전극(224)은 화소영역의 최외곽에 각각 형성되며, 공통배선(225)이 추가 구성되어 인접하는 화소영역의 공통전극(224)을 서로 연결하여 외곽으로부터 액티브 영역으로 공통신호를 전달해준다. 상기 공통배선(225) 및 공통전극(224)은 일체형으로 형성되어 게이트 배선(212)과 동일층에 구비된다.

그리고, 상기 화소전극(217)의 경사부(217a) 및 직선부(217b)는 일체형으로 형성되며, 상기 직선부(217b)는 연장형성되어 콘택홀(218)을 통해 드레인 전극(215b)에 연결되어 화소신호를 인가받는다.

이로써, 각 블록(230)은 화소전극의 직선부(217b), 화소전극의 경사부(217a), 2번의 공통전극(224)에 의해 정의되며, 인접하는 화소전극(217) 및 공통전극(224) 사이에서 형성되는 횡전계에 의해 액정분자의 배열방향이 제어된다.

이 때, 화소전극의 경사부(217a)는 게이트 배선 방향을 기준으로  $\theta(40^\circ \leq \theta \leq 60^\circ)$ 의 경사각도를 가지도록 형성한다.

그리고, 블록(230)의 수평거리(즉, 서로 마주보는 화소전극의 직선부 및 공통전극의 거리)는  $8 \sim 13 \mu\text{m}$ 가 되도록 형성하고, 블록의 수평거리 1/2지점에서의 블록의 수직거리(즉, 서로 마주보는 화소전극의 경사부 및 공통전극의 거리)는 블록의 수평거리보다 항상 크도록 형성한다.

이와같은 블록의 설계값에 의해 패널의 투과율을 향상시킬 수 있으며, 도 6에 도시된 바와 같이, 기존 대비 디스클리네이션 영역(어두운 부분)이 최소화된다.

그리고, 화소전극이 개구영역을 차지하는 면적을 최소화하기 위해 화소전극의 직선부(217b)를 공통전극(224) 상부에 오버랩시키는데, 오버랩되는 공통전극에 의해, 화소전극의 직선부와 이에 인접하는 공통전극 사이에서 형성되는 횡전계에 전기적 영향을 주는 것을 방지하기 위해서, 오버랩되는 공통전극(224)의 폭을 화소전극 내측으로  $2 \mu\text{m}$ 이상 줄인다.

이와같이, 화소전극과 오버랩되는 공통전극의 폭은  $2 \mu\text{m}$ 이상 줄이고, 화소전극과 오버랩되지 않는 공통전극의 폭은 기존과 동일하게 유지함으로써 공통전극이 이중선폭을 가지게 된다.

한편, 공통전극(224) 및 화소전극(217)을 더욱 연장형성하고 서로 오버랩시킴으로써 스토리지 커패시터(Cst, storage capacitor)를 구성할 수 있는데, 공통전극(224) 및 화소전극(217) 사이에는 게이트 배선층과 데이터 배선층을 서로 절연시키는 게이트 절연막과 데이터 배선층과 화소전극을 서로 절연시키는 보호막이 적층되어 스토리지 커패시터의 절연막 역할을 하게 된다.

그리고, 서로 오버랩되는 화소전극의 직선부(217b) 및 공통전극(224) 사이에도 커패시턴스가 추가로 형성되어 스토리지 커패시턴스를 보충할 수 있으므로 스토리지 커패시터(Cst)가 차지하는 면적을 최소화하여 보다 넓은 개구영역을 확보할 수 있다.

이와같이 구성된 박막트랜지스터 어레이 기판에는, 도시하지는 않았으나, 빛의 누설을 방지하는 블랙 매트릭스 및 각 화소영역에서 색상을 표현하는 R,G,B의 컬러필터층이 구비된 컬러필터 어레이 기판을 대향합착하고 두 기판 사이에 액정층을 형성한다.

이 때, 상기 박막트랜지스터 어레이 기관 및 컬러필터 어레이 기관 외측면에는 제 1, 제 2 편광판이 더 부착되는데, 상기 제 1, 제 2 편광판의 편광축이 서로 직교하도록 배치한다. 제 1, 제 2 편광축 중 어느 하나는 게이트 배선 방향과 나란하도록 한다.

그리고, 상기 박막트랜지스터 어레이 기관 또는 컬러필터 어레이 기관 내측면에는 배향막을 더 구비할 수 있는데, 배향막의 러빙방향은 제 1, 제 2 편광축 중 어느 하나의 편광축과 나란하게 함으로써 흑색바탕모드(normally black mode)가 되게 한다.

이와같이 구성된 소자에 전압을 인가하게 되면, 도 6에 도시된 바와 같이, 수직 또는 수평방향으로 초기배열되어 있던 액정분자(231)들이, 공통전극(224) 및 화소전극(217) 사이에 형성되는 횡전계에 의해 사선방향으로 재배열되어 빛을 투과시키는데, 상,하 블록에서의 액정 재배열 방향이 서로 달라 2-도메인의 효과를 얻을 수 있다. 따라서, 역도메인 영역을 최소화할 수 있고 액정분자의 응답속도도 향상시킬 수 있다.

그리고, 종래보다 개구영역이 넓어지고 디스크리네이션 영역이 줄어드는 것을 확인할 수 있다.

참고로, 본발명에 의한 박막트랜지스터 어레이 기관의 제조방법을 구체적으로 살펴보면 다음과 같다.

먼저, 도 7a에 도시된 바와 같이, 기관 상에 신호지연의 방지를 위해서 낮은 비저항을 가지는 구리(Cu), 알루미늄(Al), 알루미늄 합금(AlNd : Aluminum Neodymium), 몰리브덴(Mo), 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta), 몰리브덴-텅스텐(MoW) 등의 금속을 증착한 후 패터닝하여 복수개의 게이트 배선(212), 게이트 전극(212a), 공통배선(225) 및 공통전극(224)을 형성한다.

이 때, 상기 공통배선(225)은 상기 게이트 배선(212)에 평행하도록 형성하고, 상기 공통전극(224)은 상기 공통배선(225)에서 분기되며 이중 선폭을 가지도록 형성한다. 그 폭이 작은 공통전극 상부에는 후공정에서 화소전극이 오버랩될 것이다.

다음, 상기 게이트 배선(212)을 포함한 전면에 실리콘 산화물(SiOx) 또는 실리콘 질화물(SiNx) 등의 무기 절연물질을 통상, 플라즈마 강화형 화학 증기 증착(PECVD: plasma enhanced chemical vapor deposition) 방법으로 증착하여 게이트 절연막(도시하지 않음)을 형성한다.

이어서, 상기 게이트 절연막을 포함한 전면에 비정질 실리콘(a-Si:H)을 고온에서 증착한 후 패터닝하여 게이트 전극 상부의 게이트 절연막 상에 독립된 섬 모양의 반도체층(214)을 형성한다.

계속하여, 도 7b에 도시된 바와 같이, 상기 반도체층(214)을 포함한 전면에 구리(Cu), 알루미늄(Al), 알루미늄 합금(AlNd : Aluminum Neodymium), 몰리브덴(Mo), 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta), 몰리브덴-텅스텐(MoW) 등의 금속을 증착한 후 패터닝하여 복수개의 데이터 배선(215), 소스/드레인 전극(215a, 215b)을 형성한다.

상기 데이터 배선(215)은 화소영역을 정의하기 위해 상기 게이트 배선(212)에 수직하도록 형성하고, 상기 소스/드레인 전극(215a, 215b)은 상기 반도체층(214)의 양 끝단에 각각 형성하여 게이트 전극, 게이트 절연막, 반도체층(214), 소스/드레인 전극(215a, 215b)으로 적층되어 단위 화소에 인가되는 전압의 온/오프를 제어하는 박막트랜지스터를 완성한다.

다음, 상기 데이터 배선(215)을 포함한 전면에 BCB(Benzocyclobutene), 아크릴계 수지(acryl resin) 등의 유기절연물질을 도포하거나 또는 SiNx, SiOx 등의 무기절연물질을 증착하여 보호막(도시하지 않음)을 형성한다. 그리고, 상기 보호막의 일부를 제거하여 상기 드레인 전극(215b)이 노출되는 콘택홀(218)을 형성한다.

이후, 도 7c에 도시된 바와 같이, 상기 보호막을 포함한 전면에 ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide)와 같은 투명도전물질을 증착하고 패터닝하여 상기 콘택홀(218)을 통해 드레인 전극(215b)에 전기적으로 연결되는 화소전극(217)을 형성한다.

이 때, 화소전극(217)은 상기 공통전극 사이의 개구영역을 경사방향으로 가로지는 경사부(217a)와 상기 공통전극에 오버랩되는 직선부(217b)가 일체형으로 연결되도록 형성한다.

다만, 화소전극의 경사부(217a)는 게이트 배선 방향을 기준으로  $\theta(40^\circ \leq \theta \leq 60^\circ)$ 의 경사각도를 가지도록 형성하고, 화소전극의 직선부(217b)는 선폭이 작은 공통전극 상부에 오버랩되되  $2\mu\text{m}$  이상 돌출되도록 한 상태에서 오버랩시킨다.

이로써, 하나의 화소영역을 2도메인으로 분할하되, 개구영역을 최대로 확보하고 디스클리네이션 영역을 최소화시킬 수 있게 된다.

이상에서 설명한 본 발명은 상술한 실시예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

즉, 상기 실시예에서는 고해상도 모델의 횡전계방식 액정표시소자에 한정하여 도시 및 설명하였으나, 3개 이상의 공통전극이 형성가능한 큰 면적의 화소영역의 경우에도 본 발명을 적용할 수 있을 것이다.

### 발명의 효과

상기와 같은 본 발명의 횡전계방식 액정표시소자는 다음과 같은 효과가 있다.

첫째, 상기 공통전극 사이의 개구영역을 경사방향으로 가로지르도록 화소전극을 형성하여, 디스클리네이션 영역을 포함하는 역도메인 영역을 최소화할 수 있게 된다.

둘째, 화소전극을 경사지도록 형성하는 한편, 공통전극 상부에 오버랩시킴으로써 화소전극이 차지하는 면적을 크게 줄여 개구영역을 크게 확보한다. 특히, 화소영역 크기가 달라지더라도 최적 설계 룰의 적용이 가능하여 개구율 확보가 용이해진다.

셋째, 서로 오버랩되는 화소전극의 직선부 및 공통전극 사이에 커패시턴스가 추가로 형성되어 스토리지 커패시턴스를 보충할 수 있으므로 스토리지 커패시터(Cst)가 차지하는 면적을 최소화하여 보다 넓은 개구영역을 확보할 수 있다.

넷째, 각 블록의 전계방향이 서로 달라, 액정분자가 서로 다른 방향으로 재배열되어 시야각이 서로 보상되는 멀티 도메인 효과를 얻을 수 있다. 따라서, 역도메인 영역을 최소화할 수 있고 액정분자의 응답속도도 향상시킬 수 있다.

### 도면의 간단한 설명

도 1은 종래 기술에 의한 횡전계방식 액정표시소자의 평면도.

도 2는 도 1에서의 광투과율을 나타낸 횡전계방식 액정표시소자의 사진도.

도 3은 또다른 종래 기술에 의한 횡전계 액정표시소자의 평면도.

도 4는 도 3에서의 광투과율을 나타낸 횡전계방식 액정표시소자의 사진도.

도 5는 본 발명에 의한 횡전계방식 액정표시소자의 평면도.

도 6은 도 5에서의 광투과율을 나타낸 횡전계방식 액정표시소자의 사진도.

도 7a 내지 도 7c는 본 발명에 의한 횡전계방식 액정표시소자의 공정평면도.

\*도면의 주요 부분에 대한 부호설명

212 : 게이트 배선 212a : 게이트 전극

214 : 반도체층 215 : 데이터 배선

215a : 소스 전극 215b : 드레인 전극

217 : 화소전극 217a : 화소전극의 경사부

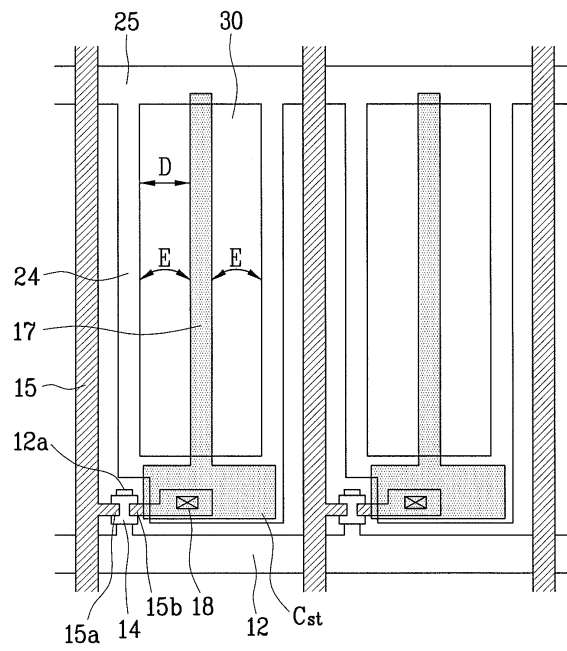
217b : 화소전극의 직선부 218 : 콘택홀

224 : 공통전극 225 : 공통배선

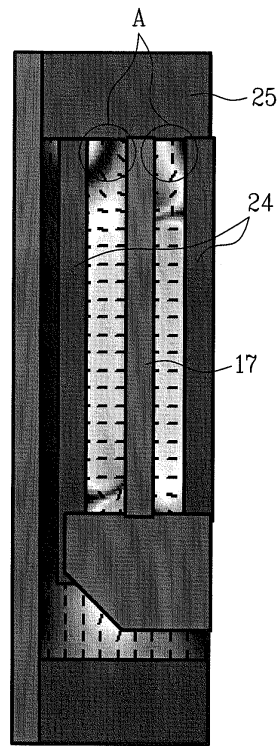
230 : 블록

도면

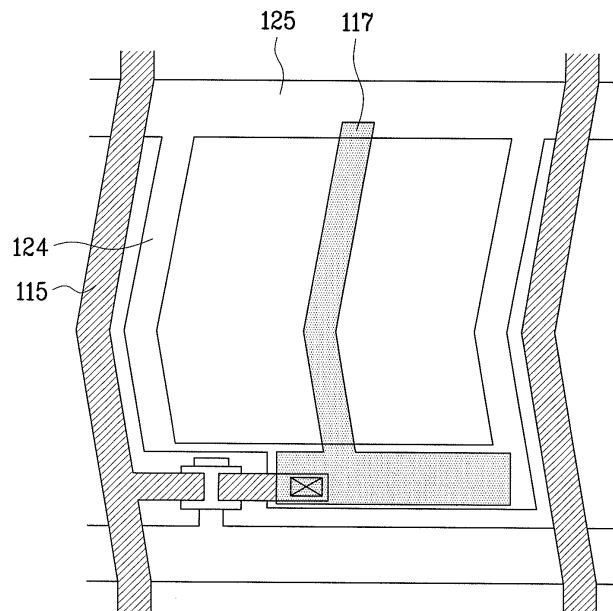
도면1



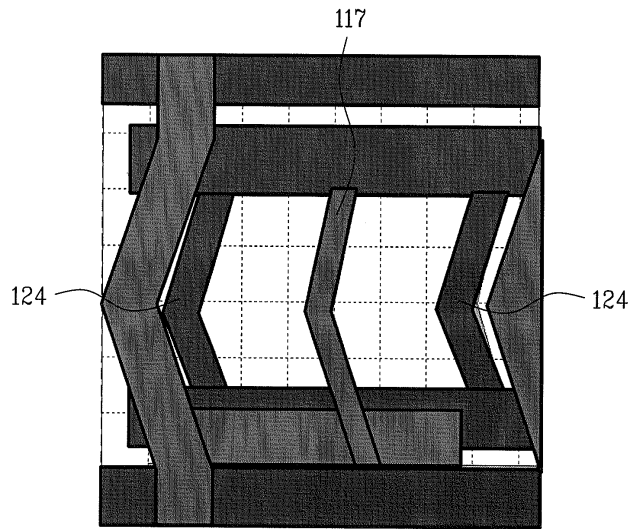
도면2



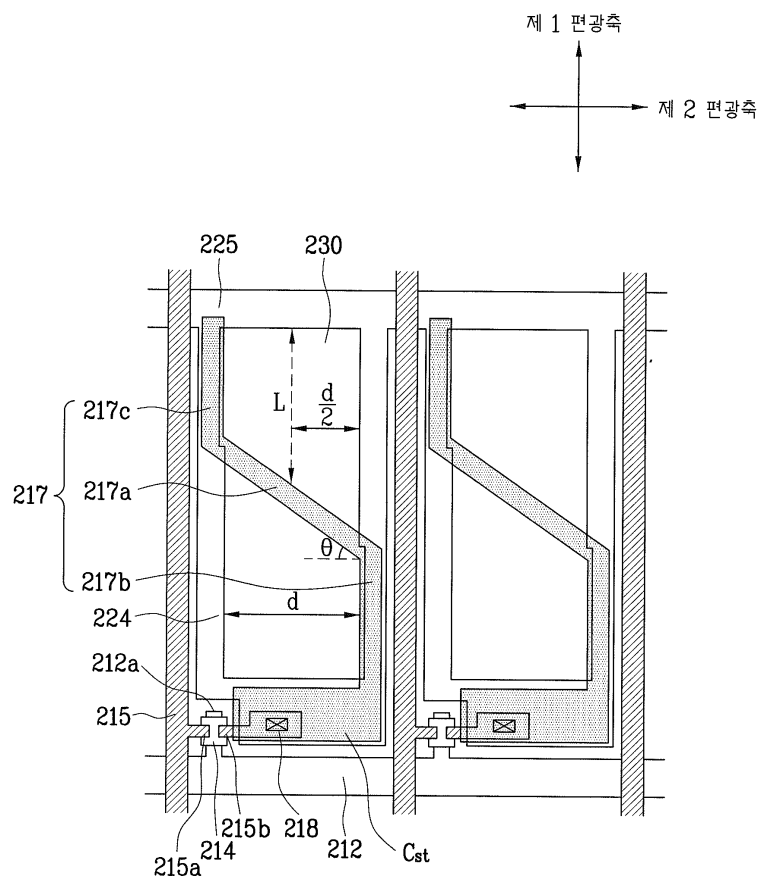
도면3



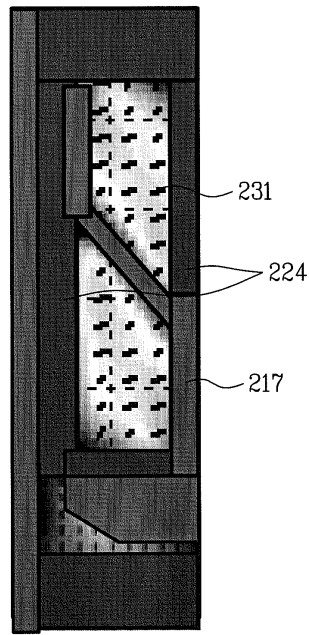
도면4



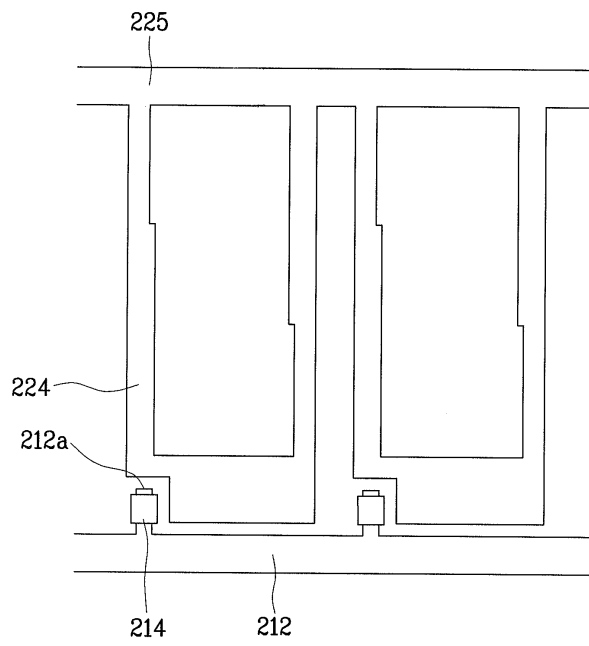
도면5



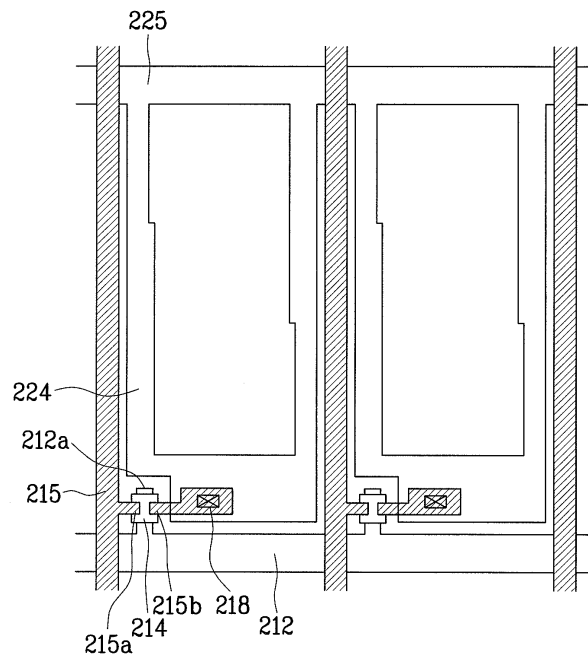
도면6



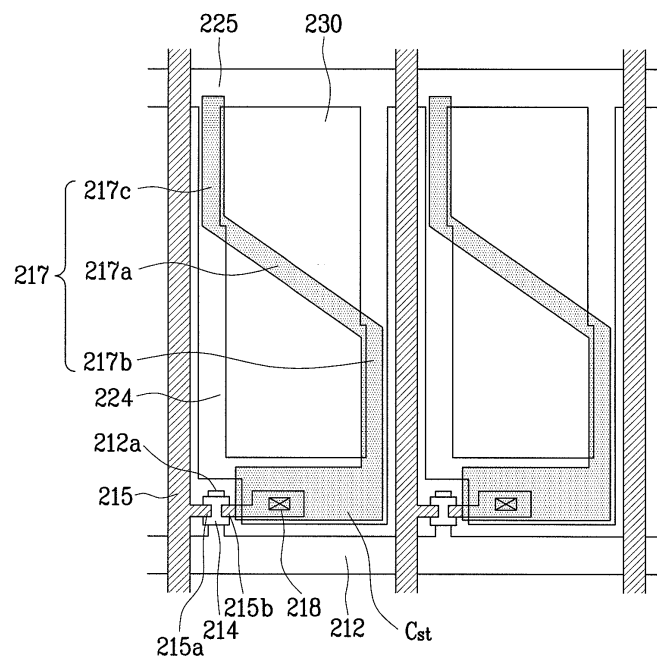
도면7a



도면7b



도면7c



|                |                               |         |            |
|----------------|-------------------------------|---------|------------|
| 专利名称(译)        | 横向电场型液晶显示装置                   |         |            |
| 公开(公告)号        | <a href="#">KR100698060B1</a> | 公开(公告)日 | 2007-03-23 |
| 申请号            | KR1020040105585               | 申请日     | 2004-12-14 |
| [标]申请(专利权)人(译) | 乐金显示有限公司                      |         |            |
| 申请(专利权)人(译)    | LG显示器有限公司                     |         |            |
| 当前申请(专利权)人(译)  | LG显示器有限公司                     |         |            |
| [标]发明人         | LEE WONHO                     |         |            |
| 发明人            | LEE,WONHO                     |         |            |
| IPC分类号         | G02F1/1343                    |         |            |
| CPC分类号         | G02F1/134363                  |         |            |
| 代理人(译)         | 金勇<br>新昌                      |         |            |
| 其他公开文献         | KR1020060067323A              |         |            |
| 外部链接           | <a href="#">Espacenet</a>     |         |            |

#### 摘要(译)

用途：提供IPS（面内切换）模式LCD（液晶显示器）以将像素电极倾斜地形成到像素区域并确保像素区域内的最大开口区域。

