



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. G02F 1/136 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년03월23일 10-0698048 2007년03월15일
---	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2003-0042028 2003년06월26일 2005년04월07일	(65) 공개번호 (43) 공개일자	10-2005-0001743 2005년01월07일
----------------------------------	---	------------------------	--------------------------------

(73) 특허권자 엘지.필립스 엘시디 주식회사
 서울 영등포구 여의도동 20번지

(72) 발명자 이재균
 경기도군포시산본동우록주공707동1701호

이동훈
경기도안양시동안구호계동샘마을아파트505-105

(74) 대리인 김용인
 심창섭

(56) 선행기술조사문헌 JP2002190605 A KR1019990080838 A KR1020040061503 A 1019990080838 * 심사관에 의하여 인용된 문헌	KR1019990016188 A KR1020010111328 A KR1020040063519 A 14190605
---	---

심사관 : 박남현

전체 청구항 수 : 총 12 항

(54) 액정표시장치

(57) 요약

Y축방향 또는 X축방향으로 미스얼라인이 발생하여도 이웃하는 화소영역에서의 Cgd 편차를 최소화하여 화질 불량이 발생하는 것을 방지하기 위해 알맞은 액정표시장치를 제공하기 위한 것으로, 이와 같은 목적을 달성하기 위한 액정표시장치는 일 방향으로 배열된 복수개의 게이트라인들과; 상기 게이트라인들과 교차 배열되어 화소영역을 정의하는 복수개의 데이터라인들과; 상기 게이트라인과 동일방향으로 배열된 공통배선들과; 상기 게이트라인의 일측 방향으로 돌출된 게이트전극과, 상기 게이트전극 상부에 오버랩되도록 상기 데이터라인의 일측에서 돌출된 소오스전극과, 상기 소오스전극과 격리되어 상기 게이트전극의 Y축 방향으로 오버랩되어 돌출되는 부분이 없도록 형성된 드레인전극으로 구성되며, 상기 게이트라인을 중심축으로 각 화소영역에 지그재그로 배열된 박막트랜지스터들과; 상기 화소영역에 형성된 화소전극을 포함함을 특징으로 한다.

대표도

도 9

특허청구의 범위

청구항 1.

일방향으로 배열된 복수개의 게이트라인들과;

상기 게이트라인들과 교차 배열되어 화소영역을 정의하는 복수개의 데이터라인들과;

상기 게이트라인과 동일방향으로 배열된 공통배선들과;

상기 게이트라인의 일측 방향으로 돌출된 게이트전극과, 상기 게이트전극 상부에 오버랩되도록 상기 데이터라인의 일측에서 돌출된 소오스전극과, 상기 소오스전극과 격리되어 상기 게이트전극의 Y축 방향으로 오버랩되어 돌출되는 부분이 없도록 형성된 드레인전극으로 구성되며, 상기 게이트라인을 중심축으로 각 화소영역에 지그재그로 배열된 박막트랜지스터들과;

상기 화소영역에 형성된 화소전극을 포함함을 특징으로 하는 액정표시장치.

청구항 2.

제 1 항에 있어서,

상기 박막트랜지스터의 상기 소오스전극은 우측이 트인 'C' 형상을 갖는 것을 포함함을 특징으로 하는 액정표시장치.

청구항 3.

제 1 항에 있어서,

상기 박막트랜지스터의 상기 소오스전극은 'L'이나 '역 L (┐)' 형상을 갖는 것을 특징으로 하는 액정표시장치.

청구항 4.

제 1 항에 있어서,

상기 드레인전극은 'X'축에 평행하도록 배치하는 것을 더 포함함을 특징으로 하는 액정표시장치.

청구항 5.

제 1 항에 있어서,

상기 박막트랜지스터는 상기 공통배선과 연결되어 액정 용량(Clc)과, 축적 용량(Cst)을 갖는 제 1, 제 2 커패시터를 구성함을 특징으로 하는 액정표시장치.

청구항 6.

제 1 항에 있어서,

상기 공통배선 상부의 상기 화소전극은 스토리지 커패시터를 구성함을 특징으로 하는 액정표시장치.

청구항 7.

일방향으로 배열된 복수개의 게이트라인들과;

상기 게이트라인과 교차 배열되어 화소영역을 정의하는 복수개의 데이터라인들과;

상기 게이트라인과 동일방향으로 배열된 공통배선들과;

상기 게이트라인의 일측 방향으로 돌출된 게이트전극과, 상기 게이트전극 상부에 오버랩되도록 상기 데이터라인의 일측에서 돌출된 소오스전극과, 상기 소오스전극과 격리되어 상기 게이트전극의 X축 방향으로 오버랩되어 돌출되는 부분이 없도록 형성된 드레인전극으로 구성되며, 상기 데이터라인을 중심축으로 각 화소영역에 지그재그로 배열된 박막트랜지스터들과;

상기 드레인전극과 콘택되어 상기 화소영역에 형성된 화소전극을 포함함을 특징으로 하는 액정표시장치.

청구항 8.

제 7 항에 있어서,

상기 박막트랜지스터의 상기 소오스전극은 상측이 트인 'U' 형상을 갖는 것을 포함함을 특징으로 하는 액정표시장치.

청구항 9.

제 7 항에 있어서,

상기 박막트랜지스터의 상기 소오스전극은 'ㄴ'이나 'ㄷ' 형상을 갖는 것을 특징으로 하는 액정표시장치.

청구항 10.

제 7 항에 있어서,

상기 드레인전극은 'Y'축에 평행하도록 배치하는 것을 특징으로 하는 액정표시장치.

청구항 11.

제 1, 제 2 게이트라인과,

상기 제 1, 제 2 게이트라인과 교차 배열되어 화소영역을 정의하는 제 1, 제 2 데이터라인과,

상기 제 1 데이터 라인의 제 1 측에서 상기 제 1 게이트 라인으로부터 돌출되는 제 1 박막트랜지스터의 제 1 게이트 전극과,

상기 제 2 데이터 라인의 제 1 측에서 상기 제 2 게이트라인으로부터 돌출되는 제 2 박막트랜지스터의 제 2 게이트전극과,

상기 제 1, 제 2 게이트전극의 상부에 각각 형성된 제 1, 제 2 액티브층과,

상기 제 1 액티브층상에 오버랩되도록 상기 제 1 데이터라인에서 상기 제 1 측으로 돌출되는 제 1 박막트랜지스터의 제 1 소오스전극과,

상기 제 1 소오스전극과 이격되고 상기 제 1 액티브층에 오버랩되도록 상기 제 1 게이트전극의 Y축 방향으로 오버랩되어 돌출되는 부분이 없도록 상기 게이트라인에 평행한 방향으로 배치된 제 1 박막트랜지스터의 제 1 드레인전극과,

상기 제 1 드레인전극과 연결되도록 제 1 화소영역에 형성된 제 1 화소전극과,

상기 제 2 액티브층상에 오버랩되도록 상기 제 2 데이터라인에서 상기 제 1 측으로 돌출된 제 2 박막트랜지스터의 제 2 소오스전극과,

상기 제 2 소오스전극과 이격되고 상기 제 2 액티브층에 오버랩되도록 상기 제 1, 제 2 게이트전극의 Y축 방향으로 오버랩되어 돌출되는 부분이 없도록 상기 게이트라인에 평행한 방향으로 배치된 제 2 박막트랜지스터의 제 2 드레인전극과,

상기 제 2 드레인전극과 연결되도록 제 2 화소영역에 형성된 제 2 화소전극을 구비하여 구성됨을 특징으로 하는 액정표시 장치.

청구항 12.

제 1, 제 2 게이트라인과,

제 1, 제 2 화소영역을 정의하기 위하여 상기 제 1, 제 2 게이트라인과 수직한 방향으로 배열되는 데이터라인과,

상기 데이터 라인의 일측에서 상기 제 1 게이트 라인으로부터 돌출된 제 1 박막트랜지스터의 제 1 게이트 전극과,

상기 데이터 라인의 타측에서 상기 제 2 게이트라인으로부터 돌출되는 제 2 박막트랜지스터의 제 2 게이트전극과,

상기 제 1, 제 2 게이트전극의 상부에 각각 형성된 제 1, 제 2 액티브층과,

상기 제 1 액티브층상에 오버랩되도록 상기 데이터라인에서 일측으로 돌출되는 제 1 박막트랜지스터의 제 1 소오스전극과,

상기 제 1 소오스전극과 이격되고 상기 제 1 액티브층에 오버랩되도록 상기 제 1 게이트전극의 X축 방향으로 오버랩되어 돌출되는 부분이 없도록 상기 데이터라인에 평행한 방향으로 배치된 제 1 박막트랜지스터의 제 1 드레인전극과,

상기 제 1 드레인전극과 연결되도록 제 1 화소영역에 형성된 제 1 화소전극과,

상기 제 2 액티브층상에 오버랩되도록 상기 데이터라인에서 타측으로 돌출된 제 2 박막트랜지스터의 제 2 소오스전극과,

상기 제 2 소오스전극과 이격되고 상기 제 2 액티브층에 오버랩되도록 상기 제 2 게이트전극의 X축 방향으로 오버랩되어 돌출되는 부분이 없도록 상기 데이터라인에 평행한 방향으로 배치된 제 2 박막트랜지스터의 제 2 드레인전극과,

상기 제 2 드레인전극과 연결되도록 제 2 화소영역에 형성된 제 2 화소전극을 구비하여 구성됨을 특징으로 하는 액정표시 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치에 대한 것으로, 특히 Y축방향 또는 X축방향으로 미스얼라인이 발생하여도 액정패널에서의 Cgd 편차를 최소화하여 화질을 개선하기 위해 알맞은 액정표시장치에 관한 것이다.

정보화 사회가 발전함에 따라 표시장치에 대한 요구도 다양한 형태로 증진하고 있으며, 이에 부응하여 근래에는 LCD(Liquid Crystal Display), PDP(Plasma Display Panel), ELD(Electro Luminescent Display), VFD(Vacuum Fluorescent Display) 등 여러 가지 평판 표시 장치가 연구되어 왔고, 일부는 이미 여러 장비에서 표시장치로 활용되고 있다.

그 중에, 현재 화질이 우수하고 경량, 박형, 저소비 전력의 장점으로 인하여 이동형 화상 표시장치의 용도로 CRT(Cathode Ray Tube)를 대체하면서 LCD가 가장 많이 사용되고 있으며, 노트북 컴퓨터의 모니터와 같은 이동형의 용도 이외에도 방송 신호를 수신하여 디스플레이하는 텔레비전, 및 컴퓨터의 모니터 등으로 다양하게 개발되고 있다.

이와 같이 액정표시장치가 여러 분야에서 화면 표시장치로서의 역할을 하기 위해 여러 가지 기술적인 발전이 이루어 졌음에도 불구하고 화면 표시장치로서 화상의 품질을 높이는 작업은 상기 장점과 배치되는 면이 많이 있다.

따라서, 액정표시장치가 일반적인 화면 표시장치로서 다양한 부분에 사용되기 위해서는 경량, 박형, 저 소비전력의 특징을 유지하면서도 고정세, 고휘도, 대면적 등 고 품위 화상을 얼마나 구현할 수 있는가에 발전의 관건이 걸려 있다고 할 수 있다.

이와 같은 액정표시장치는 화상을 표시하는 액정패널과 상기 액정패널에 구동신호를 인가하기 위한 구동부로 크게 구분될 수 있다.

이중, 상기 액정패널은 일정 공간을 갖고 합착된 상, 하부기판과, 상기 상, 하부기판 사이에 형성된 액정층으로 구성된다.

상기 하부기판(TFT 어레이 기판)에는, 일정 간격을 갖고 일방향으로 배열되는 복수개의 게이트라인과, 상기 각 게이트라인과 수직한 방향으로 일정한 간격으로 배열되는 복수개의 데이터라인과, 상기 각 게이트라인과 데이터라인이 교차되어 정의된 각 화소영역에 매트릭스 형태로 형성되는 복수개의 화소전극과, 상기 게이트라인의 신호에 의해 스위칭되어 상기 데이터라인의 신호를 상기 각 화소전극에 전달하는 복수개의 박막트랜지스터(TFT)가 형성된다.

그리고 상부기판(칼라필터 기판)에는, 상기 화소영역을 제외한 부분의 빛을 차단하기 위한 블랙매트릭스층과, 칼라 색상을 표현하기 위한 R,G,B 칼라필터층과 화상을 구현하기 위한 공통전극(Vcom)이 형성된다.

또한, 이와 같이 형성된 상부기판과 하부기판은 셀 갭을 유지하기 위한 스페이서(spacer)에 의해 일정 공간을 갖고, 씨일재(sealant)에 의해 합착된다. 그리고 씨일재 내부의 공간에 액정이 형성된다.

이와 같은 구조를 갖는 액정표시장치를 제조할 때 하나의 기판에 하나의 액정 패널을 형성하는 것이 아니라, 기판의 크기 및 액정패널의 사이즈에 따라 하나의 대형 기판에 복수개의 액정 패널을 동시에 형성한다.

상기 구성을 갖는 액정표시장치에서, 하부기판의 단위화소에 대한 등가회로를 설명하면 다음과 같다.

도 1은 일반적인 TFT-LCD에서 단위 화소에 대한 등가회로도로서, 도 1에 도시된 바와 같이, 박막트랜지스터(TFT)의 드레인전극(d)은 인접하는 화소전극(P)에 접속되고, 게이트전극(g)은 게이트라인(Gn)에 접속되며, 소오스전극(s)은 데이터라인(Dm)에 연결되어 있다.

상기 화소전극(P)과 공통전극(Vcom) 사이에는 액정 물질이 형성되며 게이트 전극(g)과 드레인 전극(d) 사이에는 오정렬(misalignment)등에 기인한 기생 용량(Cgd)이 발생한다. 그리고 액정 용량(Clc)과, 축적 용량(Cst)은 TFT-LCD가 구동해야 하는 부하로서 작용한다.

이와 같은 구성을 갖는 TFT-LCD의 동작을 설명하면 다음과 같다.

먼저, 표시하고자 하는 게이트 라인(Gn)에 연결된 게이트 전극(g)에 게이트 온(On) 전압을 인가하여 TFT(10)를 도통시킨 후에, 화상 신호를 나타내는 데이터 전압을 소오스 전극(s)에 인가하여 이 데이터 전압이 드레인 전극(d)으로 인가되도록 한다.

이에, 데이터 전압은 화소전극(P)을 통해 각각 액정 용량(Clc)과 축적 용량(Cst)에 인가되고, 화소 전극과 공통 전극(Vcom)의 전위차에 의해 전계가 형성된다.

일반적으로 액정표시장치의 하부기관에는 도 1에 도시된 등가회로가 복수개 형성되어 있으며, 각 화소영역에 구성된 TFT는 모두 동일한 구조/방향으로 형성되어 있다. 때문에, 각 층간의 미스얼라인(misalign)이 발생해도 각 화소영역내의 특성(특히, 게이트전극과 드레인전극의 오버랩 면적에 의한 기생용량(Cgd))이 모두 동일하게 줄어들거나 증가하므로 이에 따른 화질 저하 문제가 발생되지 않는다.

그러나, 상기와 같이 TFT를 각 화소영역에 동일한 구조/방향으로 형성하면 파워 소모가 많다는 문제가 있다.

이에, 파워 소모를 줄이기 위해서 상기와 같이 TFT를 각 화소영역에 동일한 구조/방향으로 형성하지 않고, 지그재그 형태로 배치하는 기술이 대두되고 있다.

이하, 지그재그 형태로 TFT를 배치하는 종래 기술에 따른 액정표시장치에 대해 설명하기로 한다.

도 2는 종래 기술에 따른 액정표시장치의 TFT 어레이 회로도이고, 도 3은 도 2에 따른 액정표시장치의 레이아웃도이며, 도 4는 도 3의 레이아웃에서 Y축으로 미스얼라인이 발생하였을 때의 레이아웃도이다.

먼저, 종래 기술에 따른 TFT 어레이 회로에 대하여 설명한다.

도 2에 도시한 바와 같이, 종래 기술에 따른 TFT 어레이 회로는 일방향으로 배열된 복수개의 게이트라인들(G1 ~ Gn)과, 상기 게이트라인과 평행하게 그 사이에 배열된 복수개의 공통배선들(Vcom 1 ~ Vcom n-1)과, 상기 게이트라인과 교차 배열되는 복수개의 데이터라인들(D1 ~ Dm)과, 상기 게이트라인과 데이터라인 및 공통배선(Vcom)과 연결되며 이웃하는 화소영역에 지그재그 배치된 박막트랜지스터(TFT)들로 구성되었다.

이때 이웃하는 화소영역에는, 게이트라인을 대칭축으로 지그재그(zig zag)로 배치된 TFT들이 있으며, 상기 TFT들은 서로 다른 게이트라인과 데이터라인의 신호를 받아 구동하며 게이트라인들 사이에 위치한 공통배선과 공통으로 연결되어 액정 용량(Clc)과, 축적 용량(Cst)을 갖는 제 1, 제 2 커패시터를 구성한다.

이하, 상기 어레이를 갖는 종래 기술에 따른 TFT 어레이의 레이아웃을 설명하기로 한다. 이때, 이웃하는 게이트라인과 그에 연결된 TFT를 예로 들어 설명한다.

종래 기술에 따른 액정표시장치는 도 3에 도시한 바와 같이, 하부기관상에 일방향으로 서로 평행하게 배열된 제 1, 제 2 게이트라인(30a,30b)과, 상기 제 1, 제 2 게이트라인(30a,30b)과 동일층상에 형성되며 그 사이에 평행하게 배열된 공통배선(30c)과, 상기 제 1, 제 2 게이트라인(30a,30b)의 상부에 각각 형성된 제 1, 제 2 액티브층(33a,33b)과, 상기 제 1, 제 2 게이트라인(30a,30b)과 교차 배열되어 제 1, 제 2 화소영역을 정의하는 제 1, 제 2 데이터라인(34a,34b)과, 상기 제 1 액티브층(33a)상에 오버랩되며 상부가 트인 'U' 형상을 갖는 제 1 소오스전극(35a)과, 상기 제 1 소오스전극(35a)과 이격되도록 그 사이에 Y축방향으로 배치된 제 1 드레인전극(36a)과, 제 1 콘택홀(38b)을 통해 상기 제 1 드레인전극(36a)과 콘택되어 제 1 화소영역에 형성된 제 1 화소전극(37a)과, 상기 제 2 액티브층(33b)상에 오버랩되며 상부가 트인 'U' 형상의 홈을 갖는 제 2 소오스전극(35b)과, 상기 제 2 소오스전극(35b)과 이격되도록 그 사이에 Y축방향으로 배치된 제 2 드레인전극(36b)과, 제 2 콘택홀(38b)을 통해 상기 제 2 드레인전극(36b)과 콘택되어 제 2 화소영역에 형성된 제 2 화소전극(37b)으로 구성된다.

그리고 상기 공통배선(30c) 상부에 오버랩된 제 1 화소전극(37a), 제 2 화소전극(37b)에 의해서 제 1, 제 2 화소영역에 각각 제 1, 제 2 스토리지 커패시터가 형성된다.

또한, 상기 제 1, 제 2 게이트라인(30a,30b)의 제 1, 제 2 액티브층(33a,33b)이 형성된 하부영역이 제 1, 제 2 게이트전극 역할을 한다.

상기 제 1 게이트전극과 제 1 소오스전극(35a)과 제 1 드레인전극(36a)이 조합하여 제 1 박막트랜지스터(TFT1)를 구성하고, 제 2 게이트전극과 제 2 소오스전극(35b)과 제 2 드레인전극(36b)이 조합하여 제 2 박막트랜지스터(TFT2)를 구성한다.

상기 구성에 의해서 제 1, 제 2 박막트랜지스터(TFT1, TFT2)의 채널영역은 'U'형상을 한다.

상기와 같이 게이트라인을 대칭축으로 지그재그로 TFT가 배열되었을 경우에, 도 4에 도시한 바와 같이 'Y'축 방향으로 미스얼라인이 발생하면 이웃하는 화소영역의 TFT의 제 1 게이트전극과 제 1 드레인전극 및 제 2 게이트전극과 제 2 드레인전극의 오버랩 면적이 달라져서, Cgd 편차가 발생하게 된다.

다시말해서, 도 4에서와 같이 제 1, 제 2 게이트라인이 아래로 이동하였을 경우, 제 1 게이트전극과 제 1 드레인전극(36a)의 오버랩 면적(빗금친 부분)은 좁아지고, 제 2 게이트전극과 제 2 드레인전극(36b)의 오버랩 면적(빗금친 부분)은 넓어지므로 이웃하는 화소영역에서의 Cgd 편차가 발생한다.

다음에 종래의 다른 기술에 따른 액정표시장치에 대해 설명하기로 한다.

도 5는 종래의 다른 기술에 따른 액정표시장치의 TFT 어레이 회로도이고, 도 6은 도 5에 따른 액정표시장치의 레이아웃도이며, 도 7은 도 6의 레이아웃에서 X축으로 미스얼라인이 발생하였을 때의 레이아웃도이다.

종래의 다른 기술에 적용하기 위한 TFT 어레이 회로는 도 5에 도시한 바와 같이, 일방향으로 배열된 복수개의 게이트라인들(G1 ~ Gn)과, 상기 게이트라인과 평행하게 그 사이에 배열된 복수개의 공통배선들(Vcom 1 ~ Vcom n)과, 상기 게이트라인과 교차 배열되는 복수개의 데이터라인들(D1 ~ Dm)과, 상기 데이터라인을 중심으로 좌우로 지그재그 배치된 박막트랜지스터(TFT)들로 구성되었다.

이때 이웃하는 화소영역에는, TFT가 2개씩 짝을 이루어 데이터라인을 대칭축으로 지그재그(zig zag)로 배치되어 있으며, 이웃하는 화소영역에 배치된 TFT는 서로 다른 게이트라인과 공통배선의 신호를 받아 구동하며, 각 공통배선에 연결되어 액정 용량(Clc)과, 축적 용량(Cst)을 갖는 제 1, 제 2 커패시터를 구성한다.

이하, 종래의 다른 기술에 따른 TFT 어레이의 레이아웃을 설명하기로 한다.

이때 데이터라인을 대칭축으로 이웃하는 게이트라인에 각각 연결된 2개의 TFT를 예로 들어 설명한다.

도 6에 도시한 바와 같이, 하부기관상에 일방향으로 서로 평행하게 배열된 제 1, 제 2 게이트라인(30a,30b)과, 상기 제 1, 제 2 게이트라인(30a,30b)과 동일층상에 형성되며 그 사이에 평행하게 배열된 공통배선(30c)과, 상기 제 1, 제 2 게이트라인(30a,30b)의 일측에서 각각 상/하부로 돌출된 제 1, 제 2 게이트전극(32a,32b)과, 상기 제 1, 제 2 게이트전극(32a,32b)의 상부에 각각 형성된 제 1, 제 2 액티브층(33a,33b)과, 상기 제 1, 제 2 게이트라인(30a,30b)과 교차 배열되어 제 1, 제 2 화소영역을 정의하는 데이터라인(34)과, 상기 제 1 액티브층(33a)상에 오버랩되며 좌 또는 우측이 트인 'ㄷ' 또는 'C' 형상을 갖는 제 1 소오스전극(35a)과, 상기 제 1 소오스전극(35a)과 이격되도록 그 사이에 배열되며 X축 방향으로 배치된 제 1 드레인전극(36a)과, 상기 제 1 드레인전극(36a)과 제 1 콘택홀(38b)을 통해 콘택되며 제 1 화소영역에 형성된 제 1 화소전극(37a)과, 상기 제 2 액티브층(33b)상에 오버랩되며 좌 또는 우측이 트인 'ㄷ' 또는 'C' 형상을 갖는 제 2 소오스전극(35b)과, 상기 제 2 소오스전극(35b)과 이격되도록 그 사이에 배열되며 'X'축 방향으로 배치된 제 2 드레인전극(36b)과, 상기 제 2 드레인전극(36b)과 제 2 콘택홀(38b)을 통해 콘택되며 제 2 화소영역에 형성된 제 2 화소전극(37b)으로 구성된다.

그리고 상기 공통배선(30c) 상부에 오버랩된 제 1 화소전극(37a)에 의해서 제 1 화소영역에 제 1 스토리지 커패시터가 형성된다.

상기 제 1 게이트전극(32a)과 제 1 소오스전극(35a)과 제 1 드레인전극(36a)이 조합하여 제 1 박막트랜지스터(TFT1)를 구성하고, 제 2 게이트전극(32b)과 제 2 소오스전극(35b)과 제 2 드레인전극(36b)이 조합하여 제 2 박막트랜지스터(TFT2)를 구성한다.

상기 구성에 의해서 제 1, 제 2 박막트랜지스터(TFT1, TFT2)의 채널영역은 'ㄷ' 또는 'C' 형상을 한다.

상기와 같이 데이터라인을 대칭축으로 TFT가 배열될 때는 'X'축으로 미스얼라인이 발생할 경우, 도 7에 도시한 바와 같이 이웃하는 화소영역간에 게이트전극과 드레인전극의 오버랩 면적(빗금친 부분)이 달라져서 Cgd 편차가 발생할 수 있다.

다시말해서, 도 4에서와 같이 제 1, 제 2 게이트전극이 우측으로 이동하여 미스얼라인이 발생할 경우, 제 1 게이트전극(32a)과 제 1 드레인전극(36a)의 오버랩 면적(빗금친 부분)은 좁아지고, 제 2 게이트전극(32b)과 제 2 드레인전극(36b)의 오버랩 면적(빗금친 부분)은 넓어지므로 이웃하는 화소영역에서의 Cgd 편차가 발생한다.

상기 구조를 갖는 종래 기술에 따른 액정표시장치는, Y축방향이나 X축방향으로 미스얼라인이 발생할 경우 이웃하는 화소영역에서의 Cgd 편차가 발생하여 화질을 저하시키는 문제를 유발하는 문제가 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기와 같은 문제를 해결하기 위하여 안출한 것으로 특히, Y축방향 또는 X축방향으로 미스얼라인이 발생하여도 이웃하는 화소영역에서의 Cgd 편차를 최소화하여 화질 불량이 발생하는 것을 방지하기에 알맞은 액정표시장치를 제공하는데 그 목적이 있다.

발명의 구성

상기와 같은 목적을 달성하기 위한 본 발명의 액정표시장치는 일방향으로 배열된 복수개의 게이트라인들과; 상기 게이트라인들과 교차 배열되어 화소영역을 정의하는 복수개의 데이터라인들과; 상기 게이트라인과 동일방향으로 배열된 공통배선들과; 상기 게이트라인의 일측 방향으로 돌출된 게이트전극과, 상기 게이트전극 상부에 오버랩되도록 상기 데이터라인의 일측에서 돌출된 소오스전극과, 상기 소오스전극과 격리되어 상기 게이트전극의 Y축 방향으로 오버랩되어 돌출되는 부분이 없도록 형성된 드레인전극으로 구성되며, 상기 게이트라인을 중심축으로 각 화소영역에 지그재그로 배열된 박막트랜지스터들과; 상기 화소영역에 형성된 화소전극을 포함함을 특징으로 한다.

상기 박막트랜지스터의 상기 소오스전극은 우측이 트인 'C' 형상을 갖는 것을 포함한다.

상기 박막트랜지스터의 상기 소오스전극은 'L'이나 '역 L (┐)' 형상을 갖는 것을 특징으로 한다.

상기 드레인전극은 'X'축에 평행하도록 배치하는 것을 더 포함한다.

상기 박막트랜지스터는 상기 공통배선과 연결되어 액정 용량(Clc)과, 축적 용량(Cst)을 갖는 제 1, 제 2 커패시터를 구성함을 특징으로 한다.

상기 공통배선 상부의 상기 화소전극은 스토리지 커패시터를 구성한다.

본 발명의 다른 실시예에 따른 액정표시장치는 일방향으로 배열된 복수개의 게이트라인들과; 상기 게이트라인과 교차 배열되어 화소영역을 정의하는 복수개의 데이터라인들과; 상기 게이트라인과 동일방향으로 배열된 공통배선들과; 상기 게이트라인의 일측 방향으로 돌출된 게이트전극과, 상기 게이트전극 상부에 오버랩되도록 상기 데이터라인의 일측에서 돌출된 소오스전극과, 상기 소오스전극과 격리되어 상기 게이트전극의 X축 방향으로 오버랩되어 돌출되는 부분이 없도록 형성된 드레인전극으로 구성되며, 상기 데이터라인을 중심축으로 각 화소영역에 지그재그로 배열된 박막트랜지스터들과; 상기 드레인전극과 콘택되어 상기 화소영역에 형성된 화소전극을 포함함을 특징으로 한다.

상기 박막트랜지스터의 상기 소오스전극은 상측이 트인 'U' 형상을 갖는 것을 포함함을 특징으로 한다.

상기 박막트랜지스터의 상기 소오스전극은 '┐'이나 '┌' 형상을 갖는 것을 특징으로 한다.

상기 드레인전극은 'Y'축에 평행하도록 배치하는 것을 특징으로 한다.

이하, 첨부 도면을 참조하여 본 발명의 바람직한 실시예에 따른 액정표시장치에 대하여 설명하면 다음과 같다.

먼저, 본 발명의 제 1, 제 2 실시예에 적용하기 위한 TFT 어레이 회로에 대하여 설명하기로 한다.

도 8은 본 발명의 제 1, 제 2 실시예에 적용하기 위한 액정표시장치의 TFT 어레이 회로도이다.

도 8에 도시한 바와 같이, 일방향으로 배열된 복수개의 게이트라인들($G1 \sim Gn$)과, 상기 게이트라인과 평행하게 그 사이에 배열된 복수개의 공통배선들($Vcom1 \sim Vcomn-1$)과, 상기 게이트라인과 교차 배열되는 복수개의 데이터라인들($D1 \sim Dm$)과, 상기 게이트라인과 데이터라인 및 공통배선($Vcom$)과 연결되며 이웃하는 화소영역에 상하 또는 좌우로 지그재그로 배치된 박막트랜지스터(TFT)들로 구성되었다.

이때 이웃하는 화소영역에는, 게이트라인을 대칭축으로 지그재그(zig zag)로 배치된 TFT들이 있으며, 상기 TFT들은 서로 다른 게이트라인과 데이터라인의 신호를 받아 구동하며 게이트라인들 사이에 위치한 공통배선과 공통으로 연결되어 액정 용량(C_{lc})과, 축적 용량(C_{st})을 갖는 제 1, 제 2 커패시터를 구성한다.

상기와 같이 게이트라인을 대칭축으로 TFT가 배열될 때는 'Y'축으로 미스얼라인이 발생할 경우 이웃하는 화소영역간에 게이트전극과 드레인전극 사이의 C_{gd} 편차가 발생할 수 있는데, 다음과 같이 TFT를 구성하면 이와 같은 문제를 해결할 수 있다.

이하, 본 발명의 제 1 실시예에 따른 TFT 어레이의 레이아웃을 설명하기로 한다. 이때, 이웃하는 게이트라인과 그에 연결된 TFT들을 예로 설명한다.

도 9는 도 8에 따른 본 발명의 제 1 실시예에 따른 액정표시장치의 레이아웃도이다.

도 9에 도시한 바와 같이, 하부기관상에 일방향으로 서로 평행하게 배열된 제 1, 제 2 게이트라인($90a, 90b$)과, 상기 제 1, 제 2 게이트라인($90a, 90b$)과 동일층상에 형성되며 그 사이에 평행하게 배열된 공통배선($90c$)과, 상기 제 1, 제 2 게이트라인($90a, 90b$)의 상,하부 일측으로 각각 돌출된 제 1, 제 2 게이트전극($92a, 92b$)과, 상기 제 1, 제 2 게이트전극($92a, 92b$)의 상부에 각각 형성된 제 1, 제 2 액티브층($93a, 93b$)과, 상기 제 1, 제 2 게이트라인($90a, 90b$)과 교차 배열되어 제 1, 제 2 화소영역을 정의하는 제 1, 제 2 데이터라인($94a, 94b$)과, 상기 제 1 액티브층($93a$)상에 오버랩되며 우측이 트인 'C' 형상을 갖는 제 1 소오스전극($95a$)과, 상기 제 1 소오스전극($95a$)과 이격되도록 그 사이에 배열되며 상기 제 1 게이트전극($92a$)과 Y축 방향으로 오버랩되어 빠져나오는 부분이 없도록 배치된 제 1 드레인전극($96a$)과, 제 1 콘택홀($98b$)을 통해 상기 제 1 드레인전극($96a$)과 콘택되며 제 1 화소영역에 형성된 제 1 화소전극($97a$)과, 상기 제 2 액티브층($93b$)상에 오버랩되며 우측이 트인 'C' 형상의 홈을 갖는 제 2 소오스전극($95b$)과, 상기 제 2 소오스전극($95b$)과 이격되도록 그 사이에 배열되며 상기 제 2 게이트전극($92b$)과 Y축 방향으로 오버랩되어 빠져나오는 부분이 없도록 배치된 제 2 드레인전극($96b$)과, 제 2 콘택홀($98b$)을 통해 상기 제 2 드레인전극($96b$)과 콘택되며 제 2 화소영역에 형성된 제 2 화소전극($97b$)으로 구성된다.

그리고 상기 공통배선($90c$) 상부에 오버랩된 제 1 화소전극($97a$), 제 2 화소전극($97b$)에 의해서 제 1, 제 2 화소영역에 각각 제 1, 제 2 스토리지 커패시터가 형성된다.

상기에서 제 1, 제 2 소오스전극($95a, 95b$)은 우측으로 트인 'C'형상을 포함한 가로형 'U자'로 구성되면 된다.

상기에서 제 1, 제 2 드레인전극($96a, 96b$)은 상기 제 1, 제 2 게이트전극($92a, 92b$)에 부분적으로 오버랩되고, 오버랩된 부분의 상기 제 1, 제 2 드레인전극($96a, 96b$)은 상기 게이트라인에 평행하게 형성된다.

상기 제 1 게이트전극($92a$)과 제 1 소오스전극($95a$)과 제 1 드레인전극($96a$)이 조합하여 제 1 박막트랜지스터(TFT1)를 구성하고, 제 2 게이트전극($92b$)과 제 2 소오스전극($95b$)과 제 2 드레인전극($96b$)이 조합하여 제 2 박막트랜지스터(TFT2)를 구성한다.

상기 구성에 의해서 제 1, 제 2 박막트랜지스터(TFT1, TFT2)의 채널영역은 'ㄷ'형상을 한다.

이와 같이 제 1, 제 2 소오스전극($95a, 95b$)이 동일 모양을 갖고 동일 방향으로 돌출되므로, 하나의 수평 라인의 화소 영역들이 인접한 2개의 게이트라인에 의해 구동되도록 박막 트랜지스터가 지그재그 형태로 배치되더라도, 상기 제 1 박막트랜지스터(TFT1)의 제 1 게이트전극($92a$)과 제 1 드레인전극($96a$)이 오버랩되어 형성되는 C_{gd} 는 제 2 박막트랜지스터(TFT2)의 제 2 게이트전극($92b$)과 제 2 드레인전극($96b$)이 오버랩되어 형성되는 C_{gd} 와 동일하다.

상기 구성을 갖는 액정표시장치는 소오스/드레인전극과 게이트전극간에 'Y'축 방향으로 미스얼라인이 발생하더라도, 제 1, 제 2 드레인전극(96a,96b)이 제 1, 제 2 게이트전극(92a,92b)과 Y축 방향으로 오버랩되어 돌출되는 부분이 없기 때문에 이웃하는 화소영역에 배치된 제 1, 제 2 박막트랜지스터(TFT1,TFT2)의 Cgd에는 변화가 생기지 않는다.

또한, 이와 같은 구성은 'X'축 방향으로 미스얼라인이 발생하여도 이웃하는 화소영역에서의 Cgd의 증가/감소가 동일하기 때문에 Cgd 편차가 발생하지 않는다.

또한 상기와 같이 구성하면, Z-인버전(inversion)이나 공통배선의 스윙(swing)시 액정패널내 Cgd 편차를 최소화하여 화질을 향상시킬 수도 있다.

다음에, 본 발명의 제 2 실시예에 따른 액정표시장치에 대하여 설명하기로 한다.

도 10은 도 8에 따른 본 발명의 제 2 실시예에 따른 액정표시장치의 레이아웃도이다.

본 발명의 제 2 실시예는 도 10에 도시한 바와 같이, 제 1, 제 2 박막트랜지스터(TFT1, TFT2)의 제 1, 제 2 소오스전극(95a,95b)이 'L'이나 '역L (┐)' 형상을 갖고, 이에 따라서 각 채널영역이 'L'이나 '역L (┐)' 형상을 갖는다는 것을 제외하고는 본 발명의 제 1 실시예의 구성과 동일하다.

상기 구성을 갖는 본 발명의 제 2 실시예에 따른 액정표시장치도 제 1 실시예에 설명한 바와 같이, 소오스/드레인전극과 게이트전극간에 'Y'축 방향으로 미스얼라인이 발생하더라도, 제 1, 제 2 드레인전극(96a,96b)이 제 1, 제 2 게이트전극(92a,92b)과 Y축 방향으로 오버랩되어 돌출되는 부분이 없기 때문에 이웃하는 화소영역에 배치된 제 1, 제 2 박막트랜지스터(TFT1,TFT2)의 Cgd에는 변화가 생기지 않는다.

또한, 이와 같은 구성은 'X'축 방향으로 미스얼라인이 발생하여도 이웃하는 화소영역에서의 Cgd의 증가/감소가 동일하기 때문에 Cgd 편차가 발생하지 않는다.

다음에 본 발명의 제 3, 제 4 실시예에 적용하기 위한 TFT 어레이 회로에 대하여 설명하기로 한다.

도 11은 본 발명의 제 3, 제 4 실시예에 적용하기 위한 액정표시장치의 TFT 어레이 회로도이다.

도 11에 도시한 바와 같이, 일방향으로 배열된 복수개의 게이트라인들(G1 ~ Gn)과, 상기 게이트라인과 평행하게 그 사이에 배열된 복수개의 공통배선들(Vcom 1 ~ Vcom n)과, 상기 게이트라인과 교차 배열되는 복수개의 데이터라인들(D1 ~ Dm)과, 상기 데이터라인을 중심으로 상하 또는 좌우 지그재그로 배치된 박막트랜지스터(TFT)들로 구성되었다.

이때 이웃하는 화소영역에는, TFT가 2개씩 짝을 이루어 데이터라인을 대칭축으로 지그재그(zig zag)로 배치되어 있으며, 이웃하는 화소영역에 배치된 TFT는 서로 다른 게이트라인과 공통배선의 신호를 받아 구동하며, 각 공통배선에 연결되어 액정 용량(Clc)과, 축적 용량(Cst)을 갖는 제 1, 제 2 커패시터를 구성한다.

상기와 같이 데이터라인을 대칭축으로 TFT가 배열될 때는 'X'축으로 미스얼라인이 발생할 경우 이웃하는 화소영역간에 게이트전극과 드레인전극의 오버랩 면적이 달라져서 Cgd 편차가 발생할 수 있는데, 다음과 같이 TFT를 구성하면 이와 같은 문제를 해결할 수 있다.

이하, 본 발명의 제 3 실시예에 따른 TFT 어레이의 레이아웃을 설명할 때, 데이터라인을 대칭축으로 이웃하는 게이트라인에 각각 연결된 2개의 TFT를 예로 들어 설명한다.

도 12는 도 11에 따른 본 발명의 제 3 실시예에 따른 액정표시장치의 레이아웃도이다.

도 12에 도시한 바와 같이, 하부기판상에 일방향으로 서로 평행하게 배열된 제 1, 제 2 게이트라인(120a,120b)과, 상기 제 1, 제 2 게이트라인(120a,120b)과 동일층상에 형성되며 그 사이에 평행하게 배열된 공통배선(120c)과, 상기 제 1, 제 2 게이트라인(120a,120b)의 일측에서 각각 상/하부로 돌출된 제 1, 제 2 게이트전극(122a,122b)과, 상기 제 1, 제 2 게이트전극(122a,122b)의 상부에 각각 형성된 제 1, 제 2 액티브층(123a,123b)과, 상기 제 1, 제 2 게이트라인(120a,120b)과 교차 배열되어 제 1, 제 2 화소영역을 정의하는 데이터라인(124)과, 상기 제 1 액티브층(123a)상에 오버랩되며 상부가 트인 'U' 형상을 갖는 제 1 소오스전극(125a)과, 상기 제 1 소오스전극(125a)과 이격되도록 그 사이에 배열되며 상기 제 1 게

이트전극(122a)과 X축 방향으로 오버랩되어 빠져나오는 부분이 없도록 배치된 제 1 드레인전극(126a)과, 상기 제 1 드레인전극(126a)과 제 1 콘택홀(128b)을 통해 콘택되며 제 1 화소영역에 형성된 제 1 화소전극(127a)과, 상기 제 2 액티브층(123b)상에 오버랩되며 상부가 트인 'U' 형상의 홈을 갖는 제 2 소오스전극(125b)과, 상기 제 2 소오스전극(125b)과 이격되도록 그 사이에 배열되며 상기 제 2 게이트전극(122b)과 X축 방향으로 오버랩되어 빠져나오는 부분이 없도록 배치된 제 2 드레인전극(126b)과, 상기 제 2 드레인전극(126b)과 제 2 콘택홀(128b)을 통해 콘택되며 제 2 화소영역에 형성된 제 2 화소전극(127b)으로 구성된다.

. 여기서, 제 1, 제 2 드레인전극(126a, 126b)은 상기 제 1, 제 2 게이트전극(122a, 122b)에 오버랩되고, 상기 오버랩된 부분의 각 제 1, 제 2 드레인전극(126a, 126b)은 상기 데이터라인에 평행한 방향으로 배치된다.

그리고 상기 공통배선(120c) 상부에 오버랩된 제 1 화소전극(127a)에 의해서 제 1 화소영역에 제 1 스토리지 커패시터가 형성된다.

상기에서 제 1, 제 2 드레인전극(126a, 126b)은 각각 'Y'축에 평행하도록 배치한다.

상기 제 1 게이트전극(122a)과 제 1 소오스전극(125a)과 제 1 드레인전극(126a)이 조합하여 제 1 박막트랜지스터(TFT1)를 구성하고, 제 2 게이트전극(122b)과 제 2 소오스전극(125b)과 제 2 드레인전극(126b)이 조합하여 제 2 박막트랜지스터(TFT2)를 구성한다.

상기 구성에 의해서 제 1, 제 2 박막트랜지스터(TFT1, TFT2)의 채널영역은 'U'형상을 한다.

이와 같이, 하나의 수직 라인의 화소 영역들이 인접한 2개의 데이터라인에 의해 구동되도록 박막트랜지스터가 데이터 라인을 중심으로 지그재그 형태로 배치되더라도, 제 1, 제 2 소오스전극(125a, 125b)이 동일 모양을 갖으므로, 상기 제 1 박막트랜지스터(TFT1)의 제 1 게이트전극(122a)과 제 1 드레인전극(126a)이 오버랩되어 형성되는 Cgd(빗금친 영역)는 제 2 박막트랜지스터(TFT2)의 제 2 게이트전극(122b)과 제 2 드레인전극(126b)이 오버랩되어 형성되는 Cgd와 동일하다.

상기 구성을 갖는 액정표시장치는 소오스/드레인전극과 게이트전극간에 'X'축 방향으로 미스얼라인이 발생하더라도, 제 1, 제 2 드레인전극(126a, 126b)이 제 1, 제 2 게이트전극(122a, 122b)과 X축 방향으로 오버랩되어 돌출되는 부분이 없기 때문에 이웃하는 화소영역에 배치된 제 1, 제 2 박막트랜지스터(TFT1, TFT2)의 Cgd에는 변화가 생기지 않는다.

또한, 이와 같은 구성은 'Y'축 방향으로 미스얼라인이 발생하여도 이웃하는 화소영역에서의 Cgd의 증가/감소가 동일하기 때문에 Cgd 편차가 발생하지 않는다.

또한, 상기와 같이 구성하면, Z-인버전(inversion)이나 공통배선의 스윙(swing)시 액정패널내 Cgd 편차를 최소화하여 화질을 향상시킬 수도 있다.

다음에, 본 발명의 제 4 실시예에 따른 액정표시장치에 대하여 설명하기로 한다.

도 13은 도 11에 따른 본 발명의 제 4 실시예에 따른 액정표시장치의 레이아웃도이다.

본 발명의 제 4 실시예에 따른 액정표시장치는 도 13에 도시한 바와 같이, 제 1, 제 2 박막트랜지스터(TFT1, TFT2)의 제 1, 제 2 소오스전극(125a, 125b)이 '┐' 이나 '┌' 형상을 갖으며, 이에 따라서 각 채널영역이 '┐' 이나 '┌' 형상을 갖는다는 것을 제외하고는 본 발명의 제 3 실시예의 구성과 동일하다.

상기 구성을 갖는 본 발명의 제 4 실시예에 따른 액정표시장치도 제 3 실시예에 설명한 바와 같이, 소오스/드레인전극과 게이트전극간에 'X'축 방향으로 미스얼라인이 발생하더라도, 제 1, 제 2 드레인전극(126a, 126b)이 제 1, 제 2 게이트전극(122a, 122b)과 X축 방향으로 오버랩되어 돌출되는 부분이 없기 때문에 이웃하는 화소영역에 배치된 제 1, 제 2 박막트랜지스터(TFT1, TFT2)의 Cgd에는 변화가 생기지 않는다.

또한, 이와 같은 구성은 'Y'축 방향으로 미스얼라인이 발생하여도 이웃하는 화소영역에서의 Cgd의 증가/감소가 동일하기 때문에 Cgd 편차가 발생하지 않는다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술 사상을 이탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다.

따라서, 본 발명의 기술 범위는 상기 실시예에 기재된 내용으로 한정되는 것이 아니라, 특허 청구의 범위에 의하여 정해져야 한다.

발명의 효과

상기와 같은 본 발명의 액정표시장치는 다음과 같은 효과가 있다.

Y축방향이나 X축방향으로 각 층의 미스얼라인이 발생더라도 이웃하는 화소영역에서의 Cgd 편차를 최소화하여 화질이 저하되는 것을 방지할 수 있다.

도면의 간단한 설명

도 1은 일반적인 액정표시장치의 단위 화소에 대한 등가회로도

도 2는 종래 기술에 따른 액정표시장치의 TFT 어레이 회로도

도 3은 도 2에 따른 액정표시장치의 레이아웃도

도 4는 도 3의 레이아웃에서 Y축으로 미스얼라인이 발생하였을 때의 레이아웃도

도 5는 종래의 다른 기술에 따른 액정표시장치의 TFT 어레이 회로도

도 6은 도 5에 따른 액정표시장치의 레이아웃도

도 7은 도 6의 레이아웃에서 X축으로 미스얼라인이 발생하였을 때의 레이아웃도

도 8은 본 발명의 제 1, 제 2 실시예에 적용하기 위한 액정표시장치의 TFT 어레이 회로도

도 9는 도 8에 따른 본 발명의 제 1 실시예에 따른 액정표시장치의 레이아웃도

도 10은 도 8에 따른 본 발명의 제 2 실시예에 따른 액정표시장치의 레이아웃도

도 11은 본 발명의 제 3, 제 4 실시예에 적용하기 위한 액정표시장치의 TFT 어레이 회로도

도 12는 도 11에 따른 본 발명의 제 3 실시예에 따른 액정표시장치의 레이아웃도

도 13은 도 11에 따른 본 발명의 제 4 실시예에 따른 액정표시장치의 레이아웃도

* 도면의 주요 부분에 대한 부호의 설명 *

90a, 90b : 제 1, 제 2 게이트라인 92a, 92b : 제 1, 제 2 게이트전극

93a, 93b : 제 1, 제 2 액티브층 94 : 데이터라인

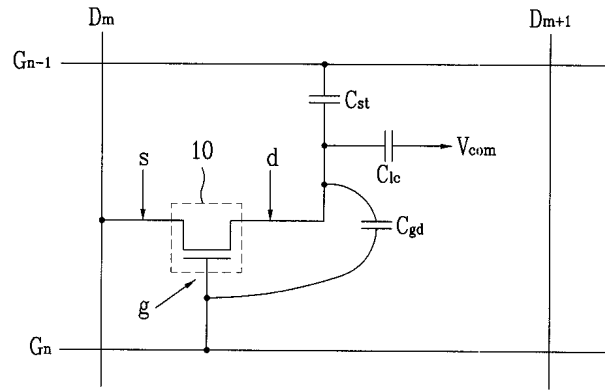
94a, 94b : 제 1, 제 2 데이터라인 95a, 95b : 제 1, 제 2 소오스전극

96a, 96b : 제 1, 제 2 드레인전극 97a, 97b : 제 1, 제 2 화소전극

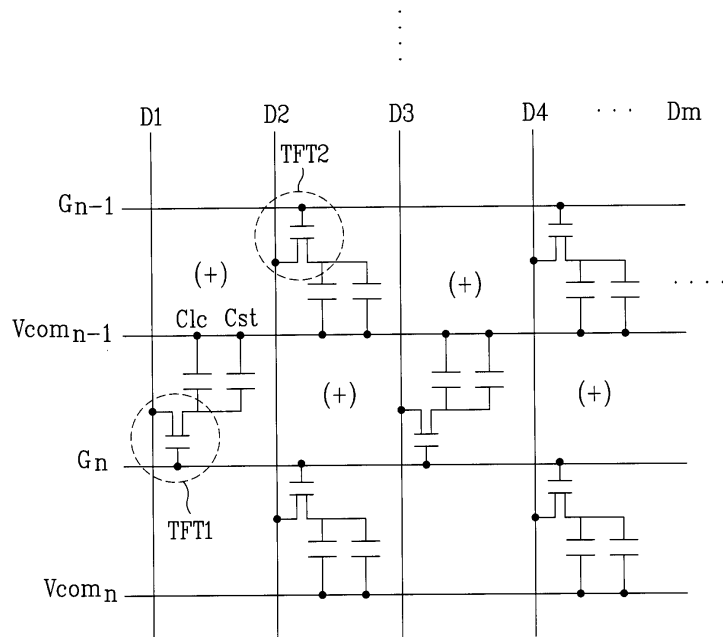
98a, 98b : 제 1, 제 2 콘택홀

도면

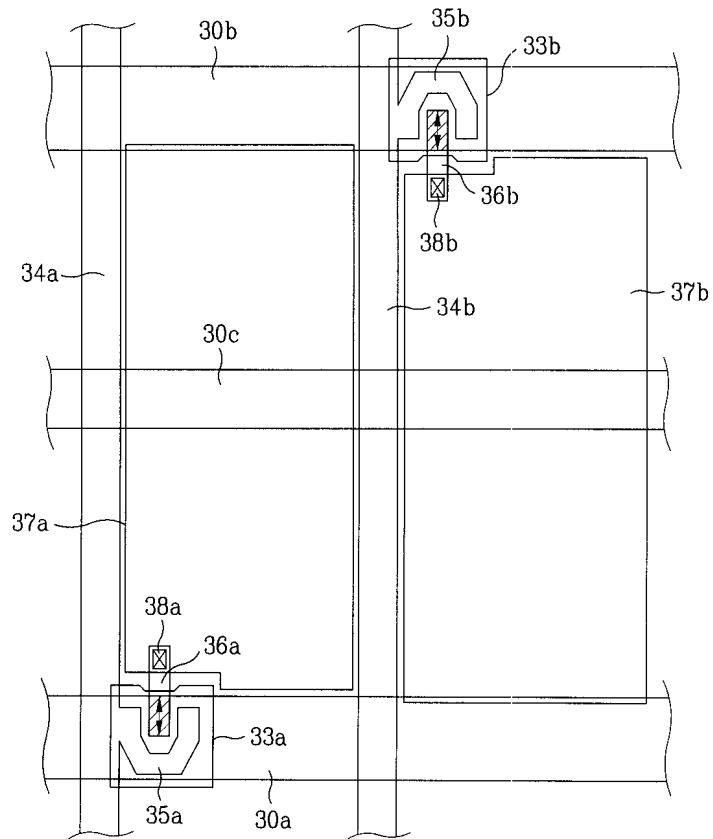
도면1



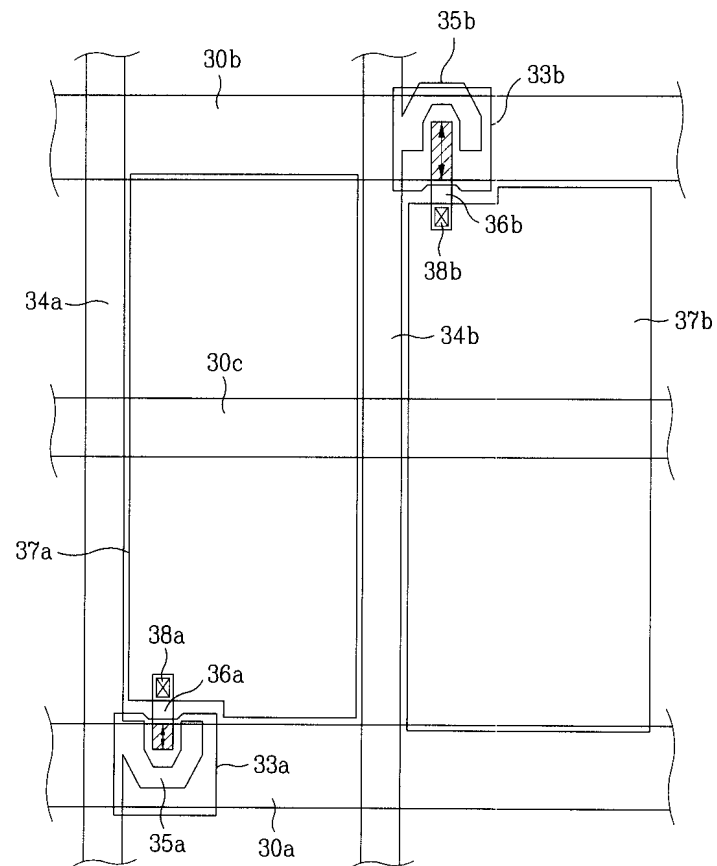
도면2



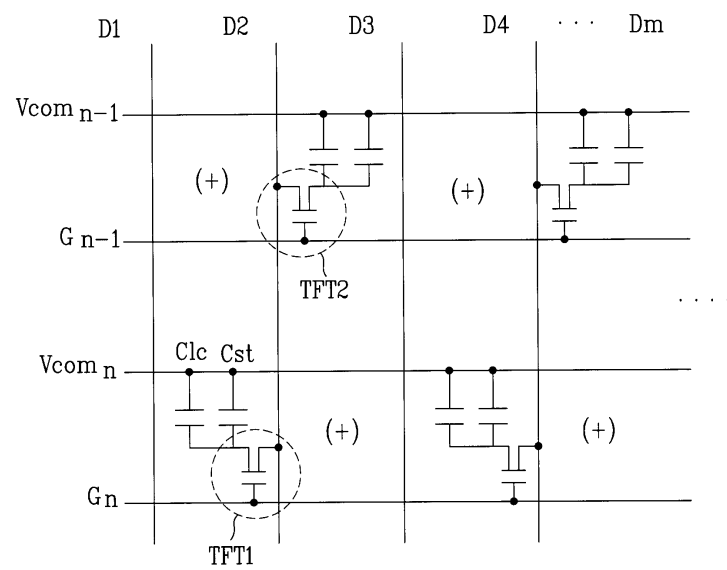
도면3



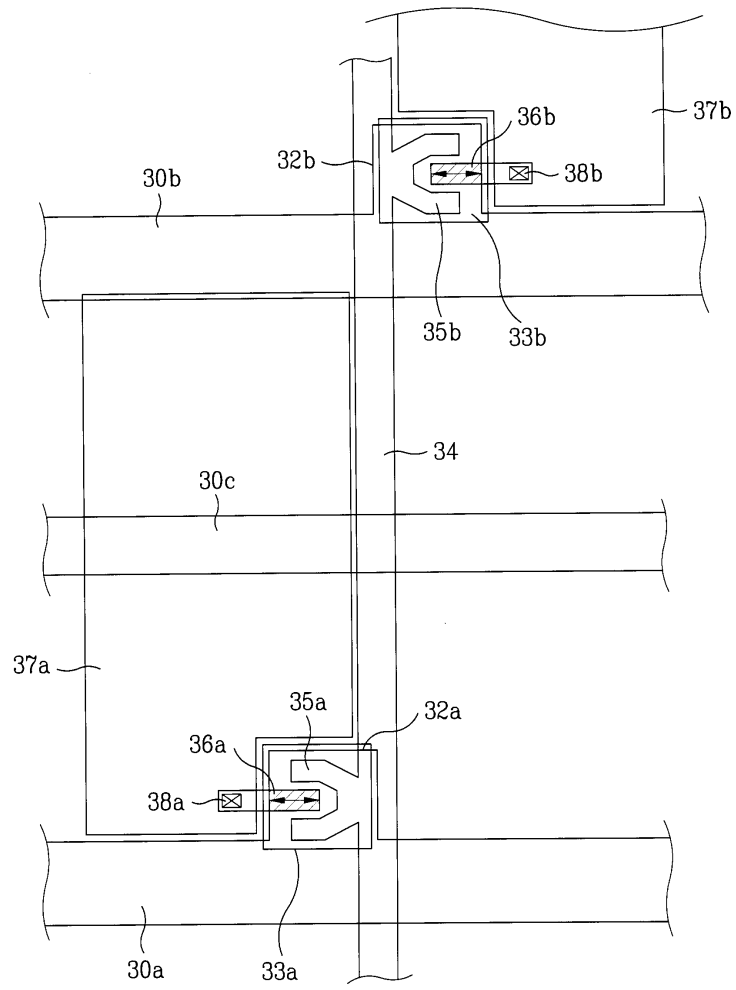
도면4



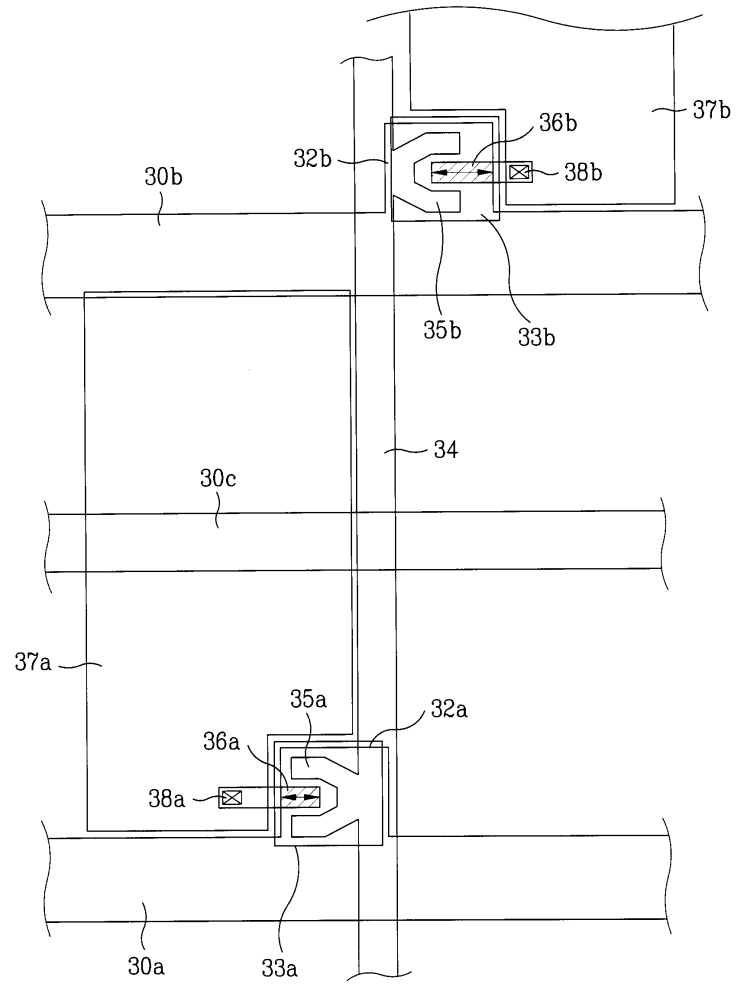
도면5



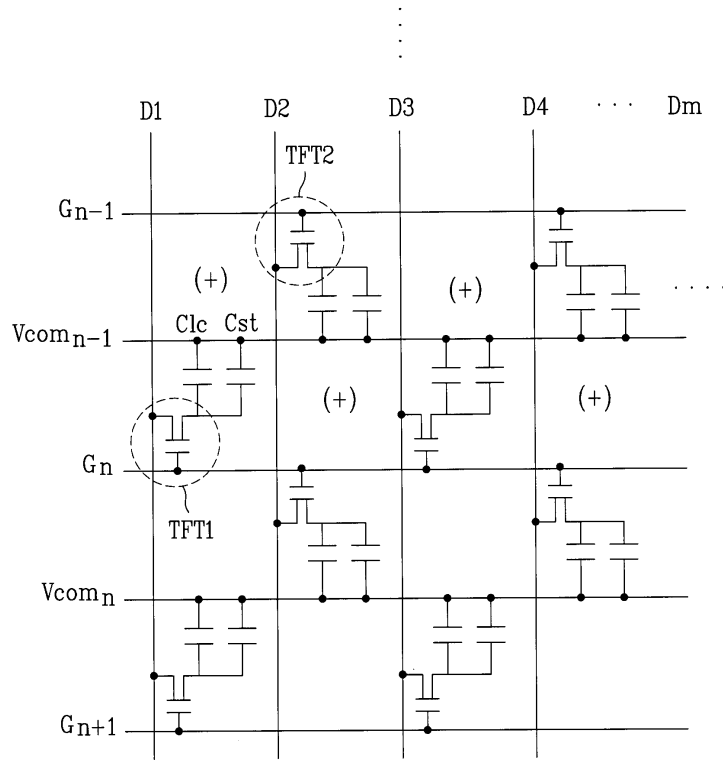
도면6



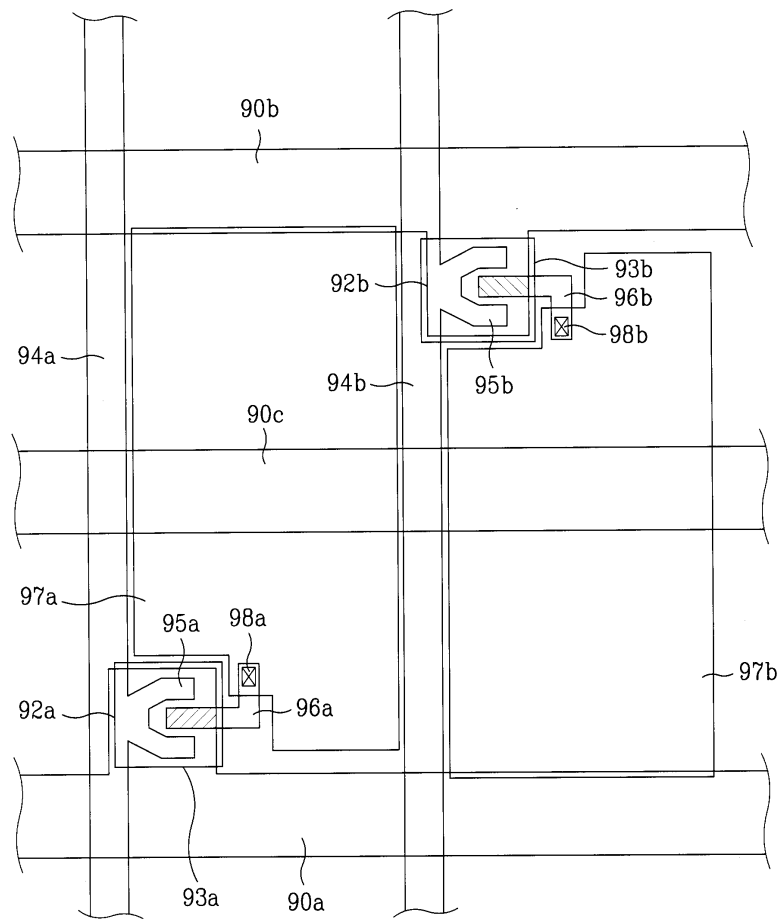
도면7



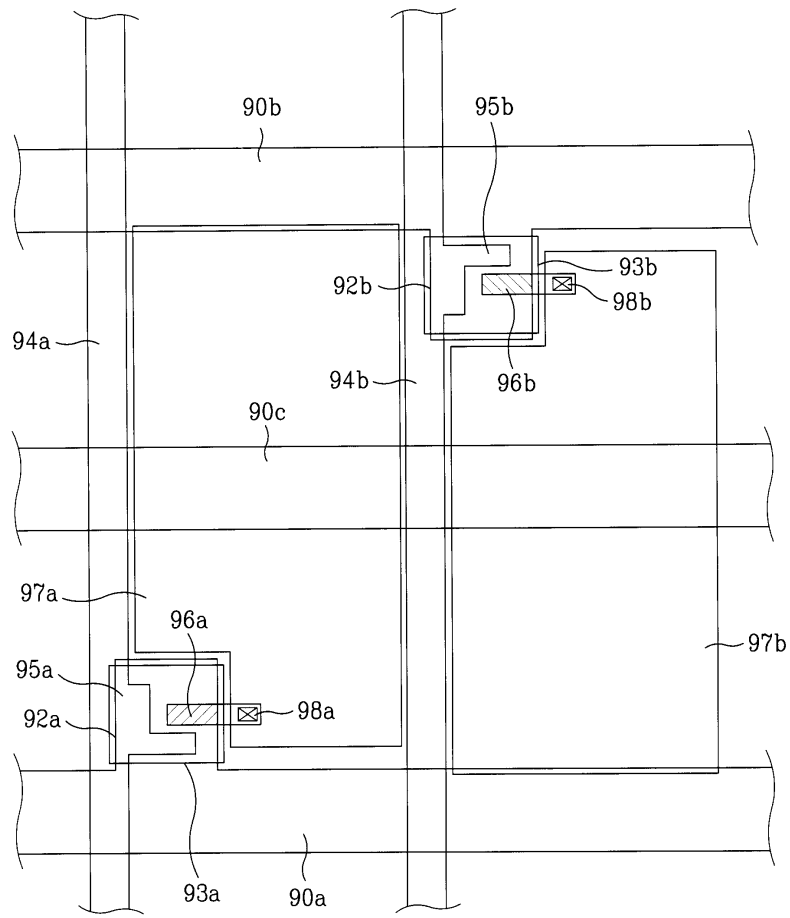
도면8



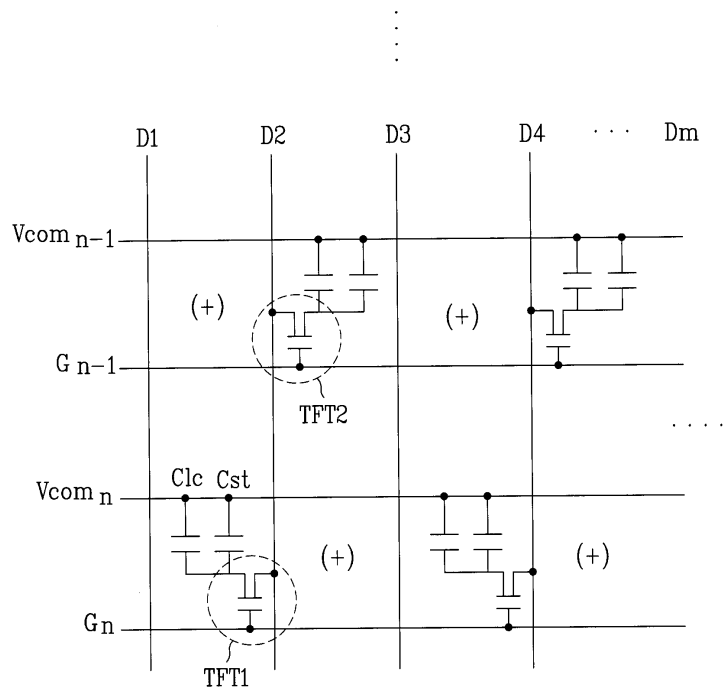
도면9



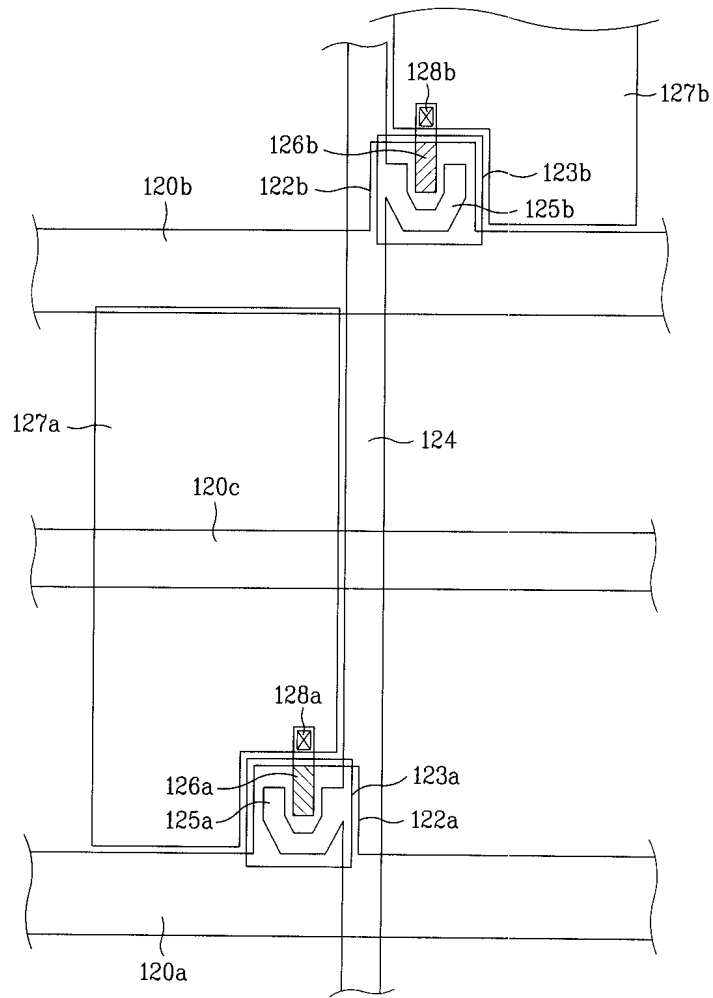
도면10



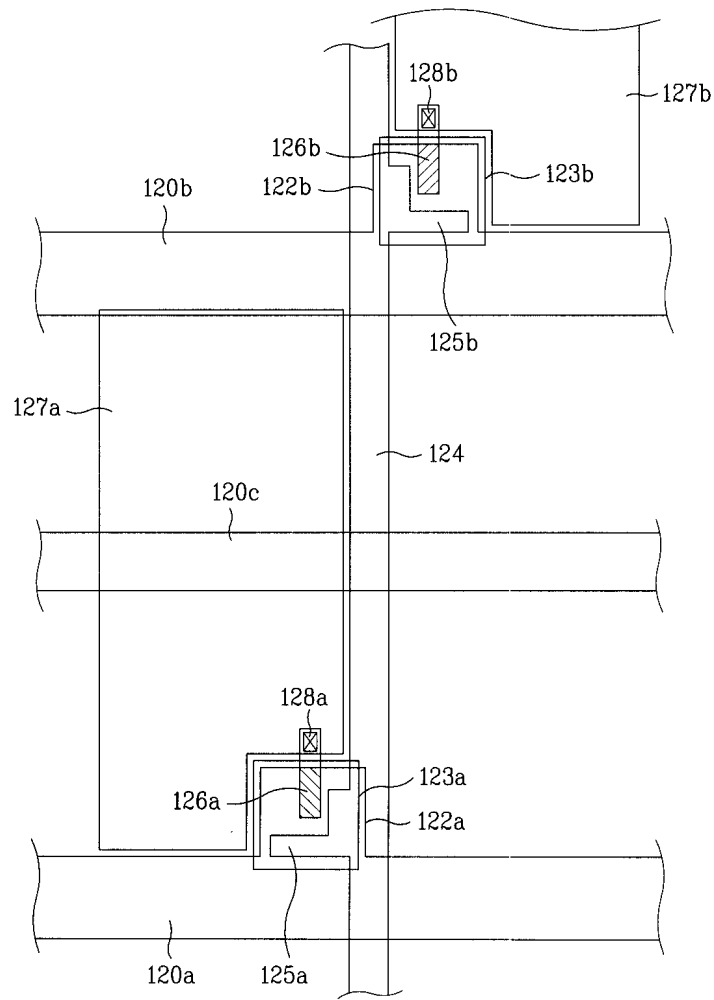
도면11



도면12



도면13



专利名称(译)	液晶显示器		
公开(公告)号	KR100698048B1	公开(公告)日	2007-03-23
申请号	KR1020030042028	申请日	2003-06-26
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE JAEKYUN 이재균 LEE DONGHOON 이동훈		
发明人	이재균 이동훈		
IPC分类号	G02F1/136 G02F1/1343 G02F1/1362		
CPC分类号	G02F1/1362 G02F1/134309		
代理人(译)	金勇 新昌		
其他公开文献	KR1020050001743A		
外部链接	Espacenet		

摘要(译)

用途：提供LCD（液晶显示器），以尽量减少相邻像素区域的寄生电容（Cgd）偏差，即使向Y轴和X轴产生未对准，从而防止产生图像不良。

