(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [7]
G02F 1/133

(45) 공고일자 2002년08월07일
(11) 등록번호 10-0347558
(24) 등록일자 2002년07월23일

(21) 출원번호 10-2000-0042066
(22) 출원일자 2000년07월21일

(65) 공개번호 특2001-0015406
(43) 공개일자 2001년02월26일

(30) 우선권주장 11-208329 1999년07월23일 일본(JP)
12-125055 2000년04월26일 일본(JP)
12-172582 2000년06월08일 일본(JP)

(73) 특허권자 닛본 덴기 가부시끼가이샤
일본국 도꾜도 미나도꾸 시바 5쪼메 7방 1고

(72) 발명자 다카토리겐이치
일본국도꾜도미나도꾸시바5쪼메7방1고닛본덴기가부시끼가이샤나이
이마이마사오
일본국도꾜도미나도꾸시바5쪼메7방1고닛본덴기가부시끼가이샤나이
기무라가즈노리
일본국도꾜도미나도꾸시바5쪼메7방1고닛본덴기가부시끼가이샤나이
아사다히데키
일본국도꾜도미나도꾸시바5쪼메7방1고닛본덴기가부시끼가이샤나이

(74) 대리인 조의제

심사관 : 고종욱

(54) 액정표시장치 및 그 구동방법

요약

본 발명의 액정표시장치는, 구형의 표시영역이 대향하는 2변의 양측에 따라 설치된 데이터구동회로와, 다른 대향하는 2변에 따라 설치된 게이트구동회로를 가지고, 액정표시부는 게이트구동회로가 복수로 분할하여 형성되고, 데이터구동회로의 각각으로부터 연장되는 각각의 데이터선군이, 복수로 분할된 게이트구동회로의 각각으로 전기적으로 분리되어, 표시영역에 색도가 다른 광을 순차 입사하도록 배치된 색시분할입사광학계와, 액정표시부와 색시분할입사광학계를 소정의 조건으로 동기하는 동기부로 이루어진다.

대표도

도 33

색인어

액정표시장치, 액정표시장치의 구동방법

명세서

도면의 간단한 설명

도 1은, 본 발명의 제1실시형태에 있어서의 액정표시장치의 구성을 나타내는 블럭도이다.

도 2는, 본 발명의 제2실시형태에 있어서의 액정표시장치의 구성을 나타내는 블럭도이다.

도 3은, 본 발명의 제1실시형태에 있어서의 액정표시부의 표시영역 및 구동회로를 나타내는 개략도이다.

도 4는, 본 발명의 제2실시형태에 있어서의 액정표시부의 표시영역 및 구동회로를 나타내는 개략도이다.

도 5는, 본 발명의 제3실시형태에 있어서의 액정표시부의 표시영역 및 구동회로를 나타내는 개략도이다.

도 6은, 본 발명의 제4실시형태에 있어서의 액정표시부의 표시영역 및 구동회로를 나타내는 개략도이다.

도 7은, 본 발명의 제5실시형태에 있어서의 액정표시부의 표시영역 및 구동회로를 나타내는 개략도이다.

도 8은, 본 발명의 제6실시형태에 있어서의 액정표시부의 표시영역 및 구동회로를 나타내는 개략도이다.

도 9는, 본 발명의 액정표시장치의 구동방법의 리셋형태를 나타내는 타이밍 챠트이다.

도 10은, 본 발명의 액정표시장치의 구동방법의 리셋형태를 나타내는 타이밍 챠트이다.

도 11은, 본 발명의 액정표시장치에 있어서의 제28실시형태에 의한 구동방법의 배선과 화소의 배치를 나타내는 개략도이다.

도 12는, 본 발명의 액정표시장치에 있어서의 제29실시형태에 의한 구동방법의 광조사의 모양을 나타내는 개략도면이고, (a)는 4분할되어 있는 좌측위에 광을 조사하고 있는 순간, (b)는 오른쪽 위에 조사하고 있는 순간, (c)는 좌측밑에 조사하고 있는 순간, (d)는 오른쪽밑으로 조사하고 있는 순간을 나타낸다.

도 13은, 본 발명의 제3실시형태에 의한 구동방법의 주사선마다의 타임 챠트이다.

도 14는, 본 발명의 제3실시형태에 의한 구동방법에 있어서의, 위에서 1개번째의 주사선의 주사선전압과 투과율의 파형도이다.

도 15는, 본 발명의 제3실시형태에 의한 구동방법에 있어서의, 위에서 8개번째의 주사선의 주사선전압과 투과율의 파형도이다.

도 16은, 본 발명의 제11실시형태에 의한 구동방법에 있어서의, 주사선마다의 타임 챠트이다.

도 17은, 본 발명의 제11실시형태에 의한 구동방법에 있어서의, 위에서 1개번째의 주사선의 주사선전압과 투과율의 파형도이다.

도 18은, 본 발명의 제11실시형태에 의한 구동방법에 있어서의, 위에서 8개번째의 주사선의 주사선전압과 투과율의 파형도이다.

도 19는, 본 발명의 제1-1실시예에 관계되는 박막 트랜지스터어레이를 나타내는 개략도이다.

도 20은, 본 발명의 제1-2실시예의 일부에서 채용한 특원평10-041689호공보의 도11의 광원의 점멸법이고, 광원휘도와 주사선마다의 타임 챠트이다.

도 21은, 본 발명의 제1-3실시예에 관계되는 색시분할입사광학계를 나타내는 개략도이다.

도 22는, 본 발명의 제1-6실시예에서 사용한 플레이너형폴리실리콘 TFT 스위치의 구조를 나타내는 단면도이다.

도 23은, 본 발명의 제1-6실시예에서 사용한 V 자형스위칭의 전압투과율특성을 나타내는 도면이다.

도 24는, 종래의 AC구동법에서 데이터신호파형을 설명하는 도면이고, (a)는 데이터선인가전압의 파형도, (b)는 게이트선인가전압의 파형도, (c)는 고속응답액정에 (a),(b)의 전압을 인가한 때의 투과율변화를 나타내는 도면이다.

도 25는, 도 24의 종래의 AC구동법에서의 주사선마다의 타이밍 챠트 및 주사선마다의 표시휘도를 나타내는 도면이다.

도 26은, 종래의 OCB모드에 대하여 리셋법의 구동을 적용한 경우의 휘도의 시간변화를 나타내는 도면이다.

도 27은, 종래의 스텝응답을 방지하기 위한 데이터신호파형을 설명하는 인가전압의 파형도이다.

도 28은, 도 27의 인가전압때의 투과율변화를 나타내는 도면이다.

도 29는, 종래의 리셋구동의 형태에 있어서의 전체면일괄리셋을 나타내는 타이밍챠트이다.

도 30은, 종래의 리셋구동의 형태에 있어서의 주사리셋을 나타내는 타이밍챠트이다.

도 31은, 종래의 유사 DC구동법에서 데이터신호파형을 설명하는 도면이고, (a)는 데이터선인가전압의 파형도, (b)는 게이트선인가전압의 파형도, (c)는 고속응답액정에 (a),(b)의 전압을 인가한 때의 투과율변화를 나타내는 도면이다.

도 32는, 도 31의 종래의 유사DC 구동법에서의 주사선마다의 타임 챠트 및 주사선마다의 표시휘도를 나타내는 도면이다.

도 33은, 본 발명의 제3실시형태에 의한 액정표시장치의 개략구성을 나타내는 도면이다.

도 34는, 도 33의 독출회로의 구성예를 나타내는 블럭도이다.

도 35는, 본 발명의 제3실시형태에 의한 액정표시장치의 1화소분의 구성을 나타내는 도면이다.

도 36은, 본 발명의 제3실시형태에 의한 액정표시장치의 증폭출력검출시의 구동방법을 나타내는 도면이다.

도 37은, 본 발명의 제3실시형태에 의한 액정표시장치의 1화소분의 다른 구성예를 나타내는 도면이다.

도 38은, 본 발명의 제3실시형태에 의한 액정표시장치의 증폭출력검출시의 구동방법을 나타내는 도면이다.

도 39는, 본 발명의 제4실시형태에 의한 액정표시장치의 개략구성을 나타내는 도면이다.

도 40은, 본 발명의 제4실시형태에 의한 액정표시장치의 동작을 설명하기위한 블럭도이다.

도 41은, 본 발명의 제5실시형태에 의한 액정표시장치의 개략구성을 나타내는 도면이다.

도 42는, 본 발명의 제6실시형태에 의한 액정표시장치의 개략구성을 나타내는 도면이다.

도 43은, 본 발명의 제7실시형태에 의한 액정표시장치의 개략구성을 나타내는 도면이다.

도 44는, 본 발명의 제8실시형태에 의한 액정표시장치의 개략구성을 나타내는 도면이다.

도 45는, 본 발명의 제9실시형태에 의한 액정표시장치의 개략구성을 나타내는 도면이다.

도 46은, 도 45도의 보간회로에 의한 보간방법을 나타내는 개념도이다.

도 47은, 본 발명의 제9실시형태에 의한 액정표시장치의 보정회로부의 다른 구성예를 나타내는 블럭도이다.

도 48은, 본 발명의 제10실시형태에 의한 액정표시장치의 개략구성을 나타내는 도면이다.

도 49는, 본 발명의 제10실시형태에 의한 액정표시장치의 동작을 설명하기위한 도면이다.

도 50은, 종래 예에 의한 액정표시장치의 구성을 나타내는 도면이다.

도 51은, 종래 예에 의한 액정표시장치의 구동방법을 나타내는 도면이다.

도 52는, 종래 예에 의한 액정표시장치에 있어서의 표시전용화소의 일구성예를 나타내는 도면이다.

도 53은, 종래 예에 의한 액정표시장치에 있어서의 표시전용화소의 다른 구성예를 게시하는 도면이다.

도 54는, 본 발명에 의한 액정표시장치의 제11실시형태를 나타내는 구성도면이다.

도 55는, 제11실시형태의 액정표시장치의 구동방법을 나타내는 타이밍챠트이다.

도 56은, 제11실시형태의 액정표시장치의 효과를 나타내는 특성도이다.

도 57은, 제11실시형태의 액정표시장치의 변형예를 나타내는 구성도이다.

도 58은, 제11실시형태의 액정표시장치의 다른 변형예를 나타내는 구성도이다.

도 59는, 제11실시형태의 액정표시장치의 또다른 변형예를 나타내는 구성도이다.

도 60은, 도 59의 액정표시장치의 구동방법을 나타내는 타이밍챠트이다.

도 61은, 제11실시형태의 액정표시장치의 또다른 변형예를 나타내는 구성도이다.

도 62는, 제11실시형태의 액정표시장치의 또다른 변형예를 나타내는 구성도이다.

도 63은, 제11실시형태의 액정표시장치의 또다른 변형예를 나타내는 구성도이다.

도 64는, 제11실시형태의 액정표시장치의 또다른 변형예를 나타내는 구성도이다.

도 65는, 제11실시형태의 액정표시장치의 또다른 변형예를 나타내는 구성도이다.

도 66은, 도 65의 액정표시장치의 구동방법을 나타내는 타이밍 챠트이다.

도 67은, 본 발명의 제12실시형태에 있어서의 액정표시장치의 구성을 나타내는 구성도이다.

도 68은, 제12실시형태의 액정표시장치의 1화소분의 회로구성을 나타내는 구성도이다.

도 69는, 도 68의 액정표시장치의 구동방법을 나타내는 타이밍 챠트이다.

도 70은, 도 12의 액정표시장치의 효과를 나타내는 특성도이다.

도 71은, 본 발명에 의한 제13실시형태에 있어서의 액정표시장치의 1화소분의 회로구성을 나타내는 구성도이다.

도 72는, 도 13의 실시형태의 액정표시장치의 구동방법을 나타내는 타이밍챠트이다.

도 73은, 제 11 제 13실시형태에 있어서의 액정표시장치를 원리적으로 설명하기위한 전류원을 사용한 등가회로를 나타내는 구성도이다.

도 74는, 종래의 아날로그증폭를 부가한 액정표시장치의 구성도이다.

※도면의 주요부분에 대한 설명

1, 2.....데이터구동회로 3, 4.....데이터선군

5, 6.....게이트구동회로 7.....색시분할입사광학계

8.....액정표시부 9.....동기부

11.....명암점멸입사광학계 51.....신호전극선

52.....박막트랜지스터 53.....주사전극선

54.....화소전극 55.....편광분리소자

56.....편광회전소자 57.....거울

58.....황색-청색편광판 59, 61...액정소자

60.....단색편광판 62.....시안색-적색편광판

501...출력전송부 501i...게이트구동기

501j...데이터구동기

502, 511, 514, 517, 520, 522, 524, 526.....보정회로부

502a...독출회로 502b...검출회로

502c...A/D변환기 502d...메모리

502e...전압출력수단 503...신호원

504...V-T보정부 505...증폭출력검출용화소

508, 527...외부측정장치

509, 512, 515, 518, 521, 525...표시부

510, 513, 516, 519...출력전송부

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치 및 그 구동방법에 관한 것으로, 특히, 표시의 고성능화를 꾀한 액정표시장치 및 그 구동방법에 관한 것이다.

현재, 액정표시소자는 그 대부분이 비틀림네마틱(twisted nematic, TN)형 표시방식의 것이다. 이 TN형표시방식의 액정표시소자는, 네마틱액정조성물을 이용하고 있어, 크게 2개로 나누어진다.

그 중의 하나는, 각 화소에 스위칭소자를 설치한 능동매트릭스방식이고, 예컨대, TN형표시방식에 박막트랜지스터(TFT : Thin Film Transistor)를 사용한 것(TN-TFT 방식)이 알려져 있다. 또 하나는, STN(Super Twisted Nematic)방식이다.

이 STN 방식은, 종래의 TN형을 사용한 단순매트릭스방식에 비하여 콘트래스트 및 시각 의존성에 관하여는 개량되어 있지만, 응답속도가 느리기 때문에 동화표시에는 적합하지 않는다. 또한, TFT을 사용한 능동매트릭스방식에 비교하여 표시품위가 낮다고 하는 결점이 있다. 이러한 결과, 현재에서는, TN-TFT 방식이 시장의 주류로 되어 있다.

한편, 더욱 향상된 고화질화의 요구에 따라, 시야각을 개선한 방법이 연구개발되어 실용화에 이르고 있다. 그 결과, 현재의 고성능액정디스플레이의 주류는, TN모드에 보상필름을 사용한 방식, 혹은 인·플랜·스위칭(IPS:In Plane Switching)모드, 혹은 멀티도메인버티컬얼라인드(MVA:Multi Domain Vertical Aligned)모드의 TFT 방식 능동매트릭스액정표시장치의 3종류로 되어 있다. 이들 능동매트릭스액정표시장치에서는, 통상, 화상신호가 30Hz로 정부(正負)의 기록을 행하기 때문에 60Hz로 고쳐쓰이며, 1필드의 시간은, 약16.7ms (밀리초)이다(정부쌍방의 필드의 합계시간은, 1프레임이라고 불리고 약33.3ms이다). 이에 대하여, 현상의 액정의 응답속도는, 가장 빠른 상태라도 이 프레임시간정도이다. 이것 때문에, 동화로 이루어지는 영상신호를 표시하는 경우나, 고속인 컴퓨터화상을 표시하는 경우나, 고속인 게임화상을 표시하는 경우에는, 현재의 프레임시간보다 빠른 응답속도가 필요하게 된다.

한편, 보다 향상된 고세밀화를 지향하기 위해서, 액정표시장치의 조명광인 백라이트를, 빨강·초록·파랑과 시간적으로 절환하는 필드시퀀셜(시분할)칼라액정표시장치도 검토되고 있다. 이방식에서는, 칼라필터를 공간적으로 배치하는 필요가 없기 때문에, 종래의 3배의 고세밀화가 가능하다. 필드시퀀셜액정표시장치로서는, 1필드의 1/3의 시간으로 1색을 표시할 필요가 있기 때문에, 표시에 사용 가능한 시간은 약 5ms정도가 된다. 따라서, 액정자신은, 5ms보다 빨리 응답하는 것이 요구된다. 이러한 고속응답을 실현할 수 있는 액정으로서, 강유전성액정이나 반강유전성액정같은 자발분극을 갖는 액정이 검토되고 있다. 또한, 네마틱액정에 있어서도, 유전이방성을 크게 하거나, 점성을 낮게 하거나, 박막화하거나, 액정배향을 파이형의 배향등으로 변경한다거나, 구동전압파형을 궁리함으로서 고속화가 검토되고 있다.

여기서, 능동매트릭스액정표시소자로 실제로 액정부에 전압 및 전하가 기입되는 시간은, 각 주사선의 선택시간(기록시간)뿐이다. 이 시간은, 1000개의 라인을 갖고, 1필드시간으로 보통으로 기록하는 경우, 16.7μs(마이크로초)이고, 특히,

필드시퀀셜구동을 행한 경우는 약 5μs다. 현상으로서는, 이 시간내에 응답이 종료하는 액정 또는 액정의 사용형태는, 거의 존재하지 않는다. 상술한 자발분극을 갖는 액정이나 고속화한 네마틱액정에 있어서도, 이러한 빠른 응답을 하는 소자는 알려져 있지 않다. 그 결과, 신호의 기록종료 후에 액정이 응답하여, 다음과 같은 문제 가 발생한다. 먼저, 자발분극을 가지는 액정에는, 자발분극의 회전에 의한 반전장이 발생하여, 액정층양단의 전압이 급격히 저하한다. 이 때문에 액정층양단에 기록한 전압은 크게 변화한다. 한편, 고속네마틱액정이라도 유전율의 이방성에 의한 액정층의 용량변화가 지극히 커지기 때문에, 액정층에 기록 보지되어야할 보지전압에 변화가 일어난다. 이러한 보지전압의 저하, 즉, 실효인가전압의 저하는, 기록 부족때문에 콘트래스트를 저하시킨다. 또한, 같은 신호를 계속 기록한 경우, 보지전압이 저하하지 않게 될 때까지 휘도가 변화를 계속하여, 안정한 휘도를 얻는 데 수프레임을 요하게 되어버린다.

또한, 재파니스 어프레이드 피직스의 제 36권의 파트(part)1 넘버(number)2의 720페이지 729페이지에 나타내여진 바와 같이, 화상신호가 변화하여 신호전압의 절대치가 변화한 프레임으로부터 같은 화상신호를 수프레임에 걸쳐 계속 기록한 경우에「스텝응답」이라고 불리는 현상을 볼 수 있다. 이 현상은, 같은 진폭의 AC 구동의 신호전압에 대하여, 수프레임에 걸쳐 투과율이 명암의 진동을 하는 현상이고, 이후에 일정한 투과광량으로 안정된다. 이 현상의 예를, 도 24에 모식도로 나타낸다. 도 24(a)는 데이터전압의 파형도, 도 24(b)는 게이트전압의 파형도, 도 24(c)는 그 때의 투과율의 파형도이다. 투과율은 AC 구동때에 스텝응답후 안정된다. 안정된 때의 투과율을 2점점선으로, 최고로 어두울때의 투과율을 일점점선으로 나타내고 있다.

또한, 도 25는, 도 24의 구동에 있어서의 주사선마다의 타이밍 챠트이고, 정(正)의 표시기간(102)및 부(負)의 표시기간(104)의 농담은, 도 24(c)의 투과율에 근거하는 휘도를 모식적으로 나타내고 있다. 또한, 도면중에 1필드시간인 16.7ms의 시간을 화살표로 나타내었다. 이 도면으로서는 6개의 주사선을 상정하고 있고, 위의 주사선으로부터 순차, 정의 기록(101)을 행하여, 정의 표시(102)를 얻은 후, 다시 위의 주사선으로부터 순차적으로 부의 기록(103)을 행하여, 부의 표시(104)를 얻는다. 각 주사선에 대하여, 정의 기록(101)과 정의 표시(102)의 기간을 가한 것이 제 1필드, 부의 기록(103)과 부의 표시(104)의 기간을 가한 것이 제 2필드이고, 양필드의 합계가 1프레임이 된다. 그런데, 도 24(a)의 데이터전압을 인가하여, 도 24(b)의 게이트전압으로 TFT스위치를 온하면, 도 24(c)와 같이 필드마다 투과율이 명암의 진동을 한다. 이러한 투과율의 진동은, 플리커(flicker)로서 관찰되며, 표시의 품위의 열화를 초래하다. 또한, 이 도면에서는, 신호전압인가 후 2프레임번째(4필드)로 일정한 투과율에 정착된다. 그 결과, 휘도변화도 도25와같이 진동한다. 이와 같이, 고속응답액정을 사용하더라도, 실제 의 휘도의 안정에는 수프레임을 필요로 하기 때문에, 표시화상의 고속성이 상실되어 버린다.

한편, 능동매트릭스구동에 있어서는 액정응답후의 투과율은 인가한 신호전압이 아니라, 액정응답후의 액정용량에 비축된 전하량에 따라 결정된다. 능동구동에서는 보지된 전하로 액정을 응답시키는 정전하구동이기 때문이다. 능동소자로부터 공급되는 전하량은, 미소한 누설등을 무시하면, 소정의 신호기록 이전의 축적전하와, 신규로 기록한 기록 전하에 따라 결정된다. 또한, 액정이 응답한 후의 축적전하는, 액정의 물성정수 및 전기적파라미터 및 축적용량등의 화소설계값에 따라서도 변화한다. 이 때문에, 신호전압과 투과율의 대응을 이루기 위해서는, (1)신호전압과 기록 전하의 대응, (2)기록 이전의 축적전하, (3)응답후의 축적전하의 계산을 하기 위한 정보와 실제의 계산 등이 필요해진다. 이 결과, (2)를 전화면에 걸쳐 기억하기 위한 프레임메모리나, (1)이나 (3)의 계산부가 필요하게 된다. 이것은, 시스템의 부품수의 증대를 초래하여 바람직하지 못하다.

이들 문제를 해결하는 방법으로서, 신규데이터기록을 하기전에 소정의 액정상태로 갖춘것 같은 리셋전압을 인가하는 리셋펄스법이, 흔히 사용된다. 일례로서, 아이 · 디 · 알 · 시1997의 L-66페이지로부터 L-69페이지에 기재된 기술에 관해서 언급한다. 이 문헌에서는, 네마틱액정의 배향을 파이형의 배향으로 하여 보상필름을 부가한 OCB(옵티컬리 · 콤펜세이티드 · 바이리프리젠스)모드를 사용하고 있다. 이 액정모드의 응답속도는 약 2밀리초에서 5밀리초로 되고, 종래의

TN모드보다 격단으로 빠르다. 그 결과, 원래 1프레임내에서 응답이 종료할 터이지만, 전술한 바와 같이, 액정의 응답에 따른 유전율의 변화에 의해 보지전압의 대폭적인 저하가 일어나고 안정된 투과율이 얻어질 때까지 수프레임을 요한다. 그래서, 1프레임내에서 백표시의 기록 후 반드시 흑표시를 기록하는 방법을, 도 26(상기 문헌의 제 5도면)에 나타낸다. 가로축은 시간이고, 세로축은 휘도이다. 점선이 통상의 구동의 경우의 휘도변화이고, 3프레임번째로 안정된 휘도에 도달하고 있다. 이 리셋펄스법에 의하면, 신규데이터기록 시에는 반드시 소정의 상태로 되어 있기 때문에, 기록한 일정신호전압에 대하여 일정투과율이라는 1대1의 대응을 볼 수 있다. 이 1대1대응에 의해 구동용의 신호의 발생은 대단히 간편하게 됨과 동시에, 전회의 기록 정보를 기억하여 두는 프레임메모리 등의 수단이 불필요하게 된다.

또한, 다른 리셋전압의 인가의 방식으로서, 일정한 화상신호에 대하여 정 및 부의 데이터신호전압을 생성하여, 정(부)를 인가한 후, 부(정)를 인가하여, 그 후에 리셋전압을 인가하는 방법이 사용되고 있다. 이 경우, 단순히 진폭이 같은 정부의 데이터신호전압을 인가하면, 전술한「스텝응답」이 발생해 버린다. 그래서, 도 27, 도 28과 같은 데이터신호전압의 인가가 행하여 진다.

도 27은 데이터전압의 파형도면, 도 28은 그 때의 투과율의 파형도이다. 도면에서 점선으로 나타낸 파형은, 진폭이 같은 데이터전압의 파형 및 그것을 인가한 때의 투과율의 파형이다. 한편, 이것들의 도면에서는 간단화를 위해, 데이터전압은 공통전압을 빼어 나타내고 있다 (실제로는 공통전압이 도면의 0볼트전압의 위치에 해당한다). "스텝응답"을 막기 위해서는, 프레임초기의 데이터전압(여기서는 정의 데이터전압)의 진폭을 낮게 설정하고, 프레임후반의 데이터전압(여기서는 부의 데이터전압)의 진폭은 점선의 파형과 동일하게 한다. 이것에 의해 스텝응답이 저지되어, 도 28에 나타낸 바와 같이, 프레임전반·후반 모두 같은 투과율을 얻을 수 있다. 이 다음, 프레임종료시에 리셋을 함으로서, 반드시 소정의 리셋된 액정상태로 정돈 된다. 다음 프레임에서는 신규로 같은 파형을 인가하는 것으로, 일정한 신호전압에 대하여 일정한 투과율이라는 1대1의 대응이 보여진다. 또한, 여기서는 리셋전압을 공통전압에 대하여 0볼트로 하고 있지만, 이것은 액정표시모드나 리셋로 실현하고 싶은 소정의 상태에 따라서 다르다.

또한, 이들의 리셋구동에 의한 방법은, 각 주사선의 리셋을 필드내의 어떤 타이밍으로 행하느냐 하는 조건으로 크게 두 가지로 분류된다. 즉, 패널전체면의 모든 주사선을 한 번에 리셋하는 방법(이하, 전체면 일괄 리셋)과, 주사기록과 같이 각 주사선, 또는, 주사선을 복수 모은 주사선블럭을 주사하면서 리셋하는 방법(이하, 주사리셋)이다. 전체면일괄리셋는, 리셋시에 모든 주사선이 같은 블럭이 된 주사리셋라고 간주 할 수도 있다 (그러나, 이 사고방식으로서는 리셋의 주사가 생기지 않기 때문에 주사리셋와 전체면 일괄리셋는 별도의 분류로 취급한다).

도 29, 도 30에 각각의 리셋방법에서의 주사선마다의 타이밍챠트를 나타낸다. 도 29는, 전체면일괄리셋에서의 주사선마다의 타이밍 챠트이고, 도 30은 주사리셋에서의 주사선마다의 타이밍챠트이다. 가로축이 시간, 세로축은 주사선방향을 나타낸다. 기록기간, 응답기간, 표시기간, 리셋기간의 각 기간이 도시되어 있다. 도 29, 도 30모두, 기록기간에는 주사선을 순차로(여기서는 위에서 밑으로)주사하면서 기록이 행하여진다. 기록기간(필요에 따라 Tw라고 약칭한다)은, 각 주사선의 기록에 필요한 시간 tw을 주사선의 갯수 n으로 곱한것으로 표시되고, $Tw = n \times tw$ 이다. 그 후, 액정의 응답이 거의 안정되기까지의 응답기간(필요에 따라 Tm로 약칭한다)이 존재한다. 다음에, 액정의 응답이 안정되어 리셋이 시작되기까지의 표시전용의 기간(필요에 따라 Td로 약칭한다)이 이어진다. 리셋이 시작되면 도 29와 도30에서는 큰 차분가 생긴다. 즉, 도 29의 전체면일괄리셋에서는, 모든 주사선을 동시에 리셋한다. 리셋기간(필요에 따라 Tr로 약칭한다)은, 리셋의 기록에 필요한 시간과 액정이 소정의 상태로 거의 안정되기 까지의 시간의 합이다. 한편, 도 30의 주사리셋에서는, 주사선을 순차로 주사하여 리셋한다. 이 결과, 도 30의 주사리셋방식으로서는, 리셋기간 Tr과 기록 기간 Tw는, 꽤 많은부분에서 겹쳐 있다. 이와 같이 주사리셋방식쪽이 시간배분에 낭비가 없다.

또한, 이들의 스텝응답등의 문제 를 해결하는 다른 수단으로서, EMLCD97의 다이제스트의 119페이지에서 122페이지

에 나타난 "유사DC구동"이라는 구동방법이 제안되어 있다. 이 기술을 도 31을 참조하여 설명한다. 도 31은 도 24와 같이, 도 31(a)은 데이터전압의 파형도, 도 31(b)은 게이트전압의 파형도, 도 31(c)은 그 때의 투과율의 파형도이다. 또한, 도 32는 주사선마다의 타이밍 챠트이고, 정 및 부의 표시기간(102, 104)의 농담은, 도 31(c)의 투과율에 근거하는 휘도를 나타낸다.

또한, 도 32중에 16.7 ms의 시간을 화살표로 나타내었다. 문헌내의 기재에서는, 16.7ms를 1프레임시간으로 정의하고 있지만, 이 정의는 일반적이지 않기 때문에 본 명세서내의 도면에서는 변경하고 있다 (문헌에 기재된 1프레임시간은, 본명세서에서 통상의 종래기술에 대하여 말하는 1필드시간에 해당한다). "의사DC구동"으로서는 통상의 도 24에 나타낸 AC구동과 다르고, 복수의 필드의 사이, 같은 부호의 데이터전압이 계속 인가된다. 복수필드 후에, 데이터전압의 부호가 반전되어, 전기적인 기울기를 없앤다. 도 31에서는, 4필드의 정의 기록 후, 4필드의 부의 기록이 행하여져 하나의 화상신호의 표시가 끝난다. 주사선마다의 기록의 타이밍은, 도 32에 나타내는 바와 같고, 위에서 순차 정의 데이터를 기록, 그것을 4회 반복한 후, 위에서 순차 부의 데이터를 기록하는 것을 4회 반복한다. 이 방법으로는, 인가한 일정한 DC 전압과 액정의 양단의 보지전압이 같아지는 상태를 얻을 수 있다. 그 결과, 액정의 응답에 의한 보지전압의 저하가 없고, 또한, 도 24의 AC 구동과 같이 액정의 응답에 의해 보지전압이 저하하는 방법에 비하여, 최종적인 투과율이 높게 된다. 그러나, 이 방법에서의 1프레임시간은, 각각의 부호의 복수프레임을 합계한 것으로 된다. 즉, 도 31의 예에서는, 본 방식의 1프레임시간은, 도 24의 프레임의 4배되는 시간이 걸리고 있다.

또, 필드시퀀셜과는 다른 목적으로 광원을 점멸하는 기술이 알려져 있다. 이것은, 동화대응을 목적으로 하고있다. 이것은, CRT와 같이 형광체의 특성에 의해 고휘도 후에 급격히 휘도가 감소하는 표시방식을 임펄스형, 액정표시장치와같이 1필드기간내에서 휘도가 보지되는 경우를 홀드형으로 분류한 경우의 표시특성의 해석결과에 따라서 터잡아 이루어지고 있다. 이러한 해석은, 액정학회의 LCD 포럼주최의 세미너(seminar) "LCD가 CRT 모니터시장에 먹혀들어 가기 위해서는 1동화표시의 관점에서・・・"의 예고집(豫稿集)의 제 1페이지에서 제 6페이지에 나타나 있다. 그 해석의 결과, 홀드형으로 양호한 동화표시를 행하기 위해서는, 액정의 응답속도가 개선되는 것 만으로는 불충분하고, 표시광이 홀드된다고 하는 홀드형의 동작방식 그 자체에 기인하는 문제가 있다는 것이 지적되고 있다. 이것을 개선하기 위해서는, (1) 표시광의 홀드시간을 짧게 하고, (2)표시광을 될 수 있는 한 화상의 움직임에 따른 화면위치에 배치한다, 라는 두가지 방법이 생각된다. (1)의 홀드시간을 짧게 하는 방법으로서, 상기 예고집의 제 20페이지에서 제 23페이지에는, 보상판을 사용한 π셀구조를 사용하여 고속화한 LCD로 백라이트광원을 점멸하여 표시한 기술이 나타나 있다. 또한, 백라이트광원은 정상적으로 점등하여, 리셋상태를 삽입하는 것에 의해 홀드시간을 짧게 하는 기술에 관해서도 언급되어 있다.

또한, 도 50는 비틀림네마틱(twisted nematic)액정(TN 액정)을 사용한 경우의 능동매트릭스형 액정표시장치의 한 화소분의 등가회로의 예를 개시한 것이다.

이 제 50도에 나타낸 바와 같이, 스위칭용 MOS형 트랜지스터(Qn, 551)의 게이트전극에 게이트주사선(5101)을, 소스전극에 데이터신호선(5102)을, 드레인전극에 액정소자(501g)의 화소전극(501e)을 각각 접속하여, 대향전극(501f)과의 사이에서 액정에 전압을 인가하여 구동하는 구성으로 되어 있다.

또한, 통상, 화소전극(501e)과 전압보지용량전극(501c)과의 사이에는 전압보지용량(501d)이 제작된다. 이 때의 게이트주사전압(Vg), 데이터신호전압(Vd), 화소전극의 전압(Vpix)의 일반적인 타이밍 챠트를 제 51도에 나타낸다.

게이트주사전압(Vg)이 수평주사기간중, 하이레벨(VgH)로 됨으로서, MOS 형트랜지스터(551)는 ON상태로 되어, 신호선에 입력되어 있는 데이터신호(Vd)가 MOS형트랜지스터(551)를 경유하여 화소전극(501e)에 전송된다.

수평주사기간이 종료하여, 게이트주사전압(Vg)이 로우레벨로 되면, M0S형트랜지스터(551)는 오프상태로 되어, 화소전극(501e)에 전송된 데이터신호는 전압보지용량(501d) 및 액정용량에 의해서 보지된다. 이때, 화소전압(Vpix)는,

MOS형트랜지스터(551)가 오프상태가 되는 시각에, MOS형트랜지스터(551)의 게이트·소스간 용량을 경유하여 피드스루(feed through)전압이라고 불리는 전압쉬프트를 일으킨다. 도 51에서는 그 전압쉬프트를 Vf1, Vf2, Vf3로 나타내고 있고, 이 전압쉬프트의 량은 전압보지용량(501d)의 값을 크게 함으로서 작게 할 수가 있다.

화소전압(Vpix)은 다음 수평주사기간에 있어서, 다시 게이트주사전압(Vg)이 하이레벨로 되고, MOS형트랜지스터(551)가 ON상태로 될 때까지 보지된다. 그 때, 보지기간에 있어서, 화소전압(Vpix)은 각 필드에서, 각각 ΔV1, ΔV2, ΔV3만큼 변동한다. 이것은 액정의 응답에 따라서, 액정의 용량이 변화하는 것에 기인하고 있다. 통상, 이 변동이 가능한한 작게 되도록, 전압보지용량(501d)을 화소용량(Cpix)에 대하여, 2 3배 이상의 큰 값으로 설계된다. 이상 설명한 바와 같이, 제 50도에 나타낸 화소회로구성에 의해서 TN 액정을 구동할 수가 있다.

그렇지만, 이러한 축적용량을 사용하더라도 원리적으로 전하보지기능의 저하방지에는 한계가 있고, 또한, 고집적화된 매트릭스표시장치에 있어서, 전압변동을 억제 할 수 있는 정도로 대면적의 용량을 화소마다 설치하는 것은, 데이터신호 구동기나 스위칭용 MOS형트랜지스터(551)에 대한 부하를 증대시킴과 동시에, 화소개구율의 저하라는 문제를 발생케 한다.

또한, 액정표시장치의 고성능화를 도모하기 위해서 여러가지 액정재료가 연구 개발되어 있는데, 그 중에는 편광판을 사용하지 않기 때문에, 광의 투과율이 높아지는 고분자액정재료, 고속응답성·고시야각특성을 구비한 강유전성액정, 반강유전성액정등의 분극을 갖는 액정재료, OCB 모드액정재료등이 존재한다.

그런데, 예컨대 고분자액정재료는 비저항이 작고, TN액정에 비교하여 누설전류가 커지기 때문에, 보지기간중의 화소전압변동이 커진다. 분극을 갖는 액정재료에 있어서도 마찬가지로, 분극에 의해서 생기는 전하의 재분배 등에 의하여, 보지기간중의 화소전압변동이 TN 액정의 경우보다 증대하기 때문에, 종래의 화소구성으로는 이러한 액정재료를 사용한 표시장치의 실용화는 곤란하다.

이러한 문제를 해결하기 위한 방법으로서는 소오스플로우어형의 증폭를 병용하는 것으로, 보지기간중의 화소전압(Vpix)을 일정하게 유지하는 구성이, 일본 특개평2-272521호공보, 특개평7-20820호공보, 특개평10-148848호공보, 특개평1-292979호공보, 특개평5-173175호공보, 특개평11-326946호공보 등에 개시되어 있다. 이방법에 의하면, 보지기간중의 화소전압(Vpix)을 일정에 유지할 수 있다.

제 52도는 이러한 아날로그증폭회로부대화소의 일례를 나타내는 도면이다. 제 52도에 나타낸 바와 같이, 스위칭용 MOS형 트랜지스터(Qn, 561)의 게이트전극에 주사선(5101)을, 소스전극에 신호선(5102)을, 아날로그증폭회로(562)의 입력전극에 MOS 형트랜지스터(561)의 드레인전극을, 출력전극에 액정소자(501g)의 화소전극(501e)을 각각 접속하여, 대향전극(501f)과의 사이에서 액정에 전압을 인가하여 구동하는 구성으로 되어 있다.

통상, 화소전극(501e)과 전압보지용량전극(501c)과의 사이에는 전압보지용량(501d)이 제작된다. 아날로그증폭회로(562)의 전원선은 별도로 설치한 증폭정전원전극(564) 및 증폭부전원전극(563)에 접속하거나, 혹은 회로구성을 간소히 하기 위해서, 한쪽을 주사선에, 한쪽을 전압보지용량전극(501c) 등의 기존의 전극에 접속하는 구성을 취한다.

제 52도에는 증폭정전원전극(564) 및 증폭부전원전극(563)을 설치한 경우를 나타내고 있다. 이 회로의 동작은 기본적으로는 제 50도 및 제 51도에 나타내는 회로에서 설명한 경우와 마찬가지지만, 스위칭용 트랜지스터가 오프상태에 있을 때, 아날로그증폭회로(562)에 의해서 액정소자(501g)에 소정의 전압이 계속 인가되되기 때문에, 제 51도에서 생기고 있는 전압변동 ΔV1, ΔV2, ΔV3을 억제 할 수가 있다.

또한, 일본 특개평2-272521호공보, 특개평7-20820호공보, 특개평10-148848호공보에는, 소오스플로워형 증폭회로의 정전원(VDD)라인과 부전원(VSS)라인을 통상의 버스라인과는 별도로 설치하는 구성이 개시되어 있다.

그러나, 이러한 구성으로서는, 회로구성이 복잡해져, 개구율도 저하되어 버린다.

상기 특개평10-148848호공보에 있어서는, 복수행으로 전원라인을 공유하여 공간 절약화를 꾀하는 등 하고 있지만, 배선갯수의 증가가 필연적으로 생긴다. 한편, 특개평1-292979호공보, 특개평5-173175호공보, 특개평11-326946호공보등에 있어서는, 증폭회로의 부전원선 또는 정전원선의 어느쪽인가 한쪽을 게이트주사선에 접속 하는 것으로, 특별한 버스라인을 불필요하게 하는 구성이 제안되고 있다. 이방법에 의하면, 개구율을 그다지 저하시키지 않은 간소한 구성으로, 보지기간중의 화소전압(Vpix)을 일정하게 유지할 수 있다.

상술한 의사DC구동에서는, AC구동에 비하여 긴 프레임시간(도 31 및 도 32에서는 AC 구동의 4배)을 필요로 하여, 고속응답성을 살릴 수 없다. 또한, 그 결과로서, 도 32의 농담으로 휘도를 나타낸 바와 같은 통상의 프레임시간(16.7 ms)의 수배로 진동하는 장주기의 플리커(flicker)를 발생한다. 이들의 결과, 동화에 대응한 표시가 곤란하다는 문제가 있었다.

또한, 기록 전후의 축적전하를 비교하는 방법으로서는, 전술한 바와 같이, 프레임메모리에 추가로 비교연산부등이 필요하고, 시스템의 증대를 초래한다는 문제가 있었다.

더욱이, 리셋법으로서는, 1필드기간중에, 기록기간, 응답기간(기록 후에 응답이 안정되기까지의 시간), 리셋기간(리셋의 기록과 리셋에 의해 일정상태에 안정되기까지의 시간)등이 존재한다. 실질적으로 표시사용할 수 있는 기간은, 1필드시간에서 이들의 기간을 제외한 시간이 된다. 이 결과, 리셋 펄스법으로서는, 리셋기간만큼, 표시에 사용할 수 있는 시간이 짧게 되어버린다고 하는 문제가 있었다.

또한, 리셋기간분, 주사기간이 짧게 된다고 하는 문제가 생긴다. 통상, 주사기간(기록 시간)은, 프레임시간의 절반의 시간인 필드시간을 주사선갯수로 나눈것에 거의 같다. 그러나, 필드시간중에 리셋기간이 마련되면, 도 29와 같이 주사기간은, 필드시간에서 리셋시간을 뺀 것을 주사선 갯수로 나눈 것으로 된다. 이 결과, 리셋에 의해 주사기간이 짧게 된다. 이 리셋기간이 주사기간에 영향을 주지 않도록 하기 위하여 인터레스구동과 리셋을 조합하는 수법이, 예컨대, 특개평4-186217호공보에 나타내여지고 있다. 이 방법으로는, 인터레스모드로 FLC(강유전성액정)패널을 구동하여, 비표시기간에 있는 주사선을 리셋한다. 이것에 의해, 리셋기간을 마련한 것에 따른 주사기간의 감소가 약간 방지된다. 또한, 상호 인접된 라인의 리셋의 주기가 어긋나기 때문에, 평균화에 의해 플릭커(flicker)가 감소한다고 생각된다. 그러나, 이 방법이라도, 역시 리셋기간 만큼, 표시에 사용할 수 있는 시간이 짧게 되어 버린다고 하는 문제 가 있었다.

이러한 표시기간의 감소는 필드시퀀셜표에 있어서는 특히 심각하고, 휘도의 확보가 지극히 곤란하게 된다.

나아가서, 리셋에 의해 패널면내에서 휘도에 얼룩이 생기는 일이 있다. 이 점에 관한 대책은, 특원평10-041689호공보에 기재된 기술등에 의해 약간 개선하는 것이 가능하다.

또한, 제 52도에 나타낸 바와 같이 종래의 화소구성에 아날로그증폭회로를 병용한 구성으로 하면, TN액정뿐만아니라, 고분자액정재료같은 저비저항재료나, 강유전액정 · 반강유전성액정같은 분극을 갖는 액정재료에 있어서도 액정화소전위의 변동을 억제 하는 것이 가능하지만, 이 화소구성으로 표시를 하는 경우, 증폭의 출력변동이 그대로 화소의 표시변동으로 되기 때문에, 화소마다의 증폭출력을 일정하게 하거나, 혹은 증폭출력의 변동에 따라 입력전압에 보정을 할 필요가 생긴다.

이러한 증폭의 출력변동은, 아날로그증폭회로를 구성하는 트랜지스터의 특성차등이 주요인이다. 제 53도는 아날로그증폭회로를 부가한 화소의 트랜지스터를 사용한 구체적인 구성을 나타내는 1화소분의 등가회로를 나타내고 있다. 제 53도에 나타나는 바와 같이, 게이트전극이 주사선(5101)에 접속되며 또한 소스전극 및 드레인전극의 한쪽이 신호선(5102)에 접속된 n형 MOS트랜지스터(Qn, 571)과, 게이트전극이 그 n형 MOS트랜지스터(571)의 소스전극 및 드레인전

극의 다른쪽에 접속되며 또한 소스전극 및 드레인전극의 한쪽이 주사선(5101)에 접속됨 과 동시에, 소스전극 및 드레인전극의 다른쪽이 화소전극(50le)에 접속된 p형 MOS트랜지스터(572)와, 그 p형 MOS트랜지스터(572)의 게이트전극과 전압보지용량전극(501c)과의 사이에 형성된 전압보지용량(50ld)과, 화소전극(50le)과 전압보지용량전극(501c)과의 사이에 접속된 저항(RL, 573)과, 화소전극(501e)과 대향전극(50lf)과의 사이에서 스위칭시키는 액정(50lg)으로 구성되어 있다.

제 53도에 나타내는 구성에 의하면, 수평주사기간종료 후에도, 화소전극 (50le)은 아날로그증폭회로에 의해서 구동되기 때문에, 종래기술에서 언급한 바와 같은 액정의 응답에 수반되는 화소전압(Vpix){= 증폭출력전압(Vout)}의 시간변동을 억제 할 수가 있다.

그 때, 증폭출력전압은 p형 M0S트랜지스터의 트랜스·콘덕턴스(gmp)와 저항(RL)과의 값에 따라서 변하지만, 증폭입력전압(Va)과 증폭에 사용하고 있는 M0S형트랜지스터의 한계치(Vt)를 사용한 식, 요컨대

Vout= Va-Vt ··· (1)라는 식으로 대략 표시된다.

그러므로, 아날로그증폭회로를 부착된 것 뿐인 종래기술에 있어서는, 한계치의 화소마다의 변동이 그대로 화소전압의 변동으로 되어, 색얼룩 등의 화질저하가 발생해 버린다. 이러한 화질저하는 트랜지스터의 특성차가 증대하는 대화면의 경우는 물론, 고세밀·다층조의 요구가 엄격한 현재의 상황하에서는, 소형화면에 있어서도 문제가 된다.

또한, 종래의 화소구성에 아날로그증폭회로를 병용한 구성으로 하면, 간소한 회로구성으로, 개구율을 그만큼 저하시키는 일없이, 액정화소전위의 변동을 억제 하는 것이 가능하지만, 이 화소구성으로 표시을 행하는 경우, 이하에 언급하는 문제 가 발생한다.

제 50도에 나타낸 종래의 화소구성에 있어서는, 게이트주사선에 접속되어 있는 것은 스위칭트랜지스터(Qn, 551)의 게이트전극만 이지만, 도 74의 구성에 있어서는, 아날로그증폭회로(2302)를 통하여, 증폭의 정전원측에서 부전원측에 대하여 항상 전류가 공급되기 때문에, 스위칭트랜지스터가 오프상태에 있을때, 게이트주사선의 전위는, n형 M0S에서는 게이트구동기의 로우레벨측전원전압에 대하여 플러스로, p형 M0S에서는 게이트구동기의 하이레벨측전원전압에 대하여 마이너스로, 각각 쉬프트되어 버린다. 이 전압쉬프트량은 화소수에 대하여 단조롭게 증가하기 때문에, 고해상도패널에 있어서는, 게이트주사전위의 로우레벨이 스위칭트랜지스터의 한계치를 넘어버려, 화소선택이 정상으로 행하여지지 않게 된다는 문제 가 생긴다.

발명이 이루고자 하는 기술적 과제

그러므로, 본 발명의 목적의 하나는, 실질적으로 표시에 사용할 수 있는 기간이 긴 액정표시장치 및 그 구동방법을 제공하는 것에 있다.

또한, 본 발명의 다른 목적은, 광의 이용율이 높은 액정표시장치 및 그 구동방법을 제공하는 것에 있다.

본 발명의 또다른 목적은, 광원과의 연동이 용이한 액정표시장치의 구동방법을 제공하는 것에 있다.

나아가,본 발명의 또다른 목적은, 액정표시부의 구동방법과 광학계의 점등방법을 동기시킨 액정표시장치를 제공하는 것에 있다.

또한 본 발명의 다른 목적은, 보지기간중의 화소전압변동을 억제하기 위해서 아날로그증폭회로가 부가된 구성의 화소에 있어서, 증폭출력의 변동에 기인하는 화소마다의 표시변동를 억제 할 수가 있는 액정표시장치를 제공하는 것에 있다.

또한 본 발명의 또다른 목적은, 보지기간중의 화소전압변동을 억제하기 위해서 아날로그증폭회로가 부가되고, 이 아날로그증폭회로의 전원선이 게이트주사선에 접속된 구성의 화소회로에 있어서, 상술한 바와 같이 생기는 게이트주사전위의 변동을 저감시켜, 스위칭트랜지스터의 온·오프가 적정하게 행하여지도록 하는 것으로, 회로의 간소화, 표시부의 고개구율화를 유지하면서, 화소전압의 변동을 억제 하며, 또한 분극을 갖는 액정재료나 비저항의 작은 액정재료를 사용할 수 있는 액정표시장치를 제 공하는 것에 있다.

발명의 구성 및 작용

당해 발명에 의하면, 그 목적은, 구형의 표시영역이 대향하는 2변의 양측에 따라 설치된 데이터구동회로와, 다른 대향하는 2변에 따라 설치된 게이트구동회로를 갖는 액정표시부를 구비한 액정표시장치에 있어서, 액정표시부는, 게이트구동회로가 복수로 분할하여 형성되어, 데이터구동회로의 각각으로부터 연장되는 각각의 데이터선군이, 복수로 분할된 게이트구동회로의 각각으로 전기적으로 분리되어, 표시영역에 색도가 다른 광을 순차 입사하도록 배치된 색시분할입사광학계와, 액정표시부와 색시분할입사광학계를 소정의 조건으로 동기시키는 동기부를 구비한 액정표시장치에 의해 달성된다.

보다 상세히는, 표시영역의 상하(또는 좌우)의 양쪽에 데이터구동회로가 있고, 표시영역의 왼쪽 또는 오른쪽(혹은 위 또는 밑)에 게이트구동회로가 있는 액정표시부를 가지는 액정표시장치에 있어서, 그 액정표시부가 각각의 데이터구동회로에서 연장되는 각각의 데이터선군은 표시영역의 상하(또는 좌우)에서는 전기적으로 분리되어 있고, 또한, 게이트구동회로가 상하(또는 좌우)로 분할된 형상이며, 또한, 이 표시영역에 색도가 다른 광을 순차 입사하는 색시분할입사광학계가 배치되고, 액정표시부와 색시분할입사광학계가 동기부에 의해서 소정의 조건에서 동기된다.

또한 본 발명에 의하면, 그 목적은, 구형의 표시영역의 대향되는 2변의 양측에 따라 설치된 데이터구동회로와, 표시영역의 다른 대향하는 2변에 따라 설치된 게이트구동회로를 가지는 액정표시부를 구비한 액정표시장치에 있어서, 액정표시부는, 게이트구동회로가 복수로 분할하여 형성되고, 데이터구동회로의 각각으로부터 연장되는 각각의 데이터선군이, 복수로 분할된 게이트구동회로의 각각에서 전기적으로 분리되어, 표시영역에 일정기간의 어두운 상태를 낀 점멸광(명암광)을 입사하 도록 배치된 명암점멸입사광학계와, 액정표시부 및 명암점멸입사광학계를 소정의 조건에서 동기시키는 동기부를 구비한 액정표시장치에 의해서 달성된다.

보다 상세하게는, 표시영역의 상하(또는 좌우)의 양쪽에 데이터구동회로가 있어, 표시영역의 왼쪽 또는 오른쪽(혹은 위 또는 밑)에 게이트구동회로가 있는 액정표시부를 가지는 액정표시장치에 있어서, 그 액정표시부가 각각의 데이터구동회로에서 연장되는 각각의 데이터선군은 표시영역의 상하(또는 좌우)에서는 전기적으로 분리되어 있고, 또한, 게이트구동회로가 상하(또는 좌우)로 분할된 형상이며, 또한, 이 표시영역에 일정기간의 어두운 상태를 낀 점멸광(명암광)을 입사하는 명암점멸입사광학계가 배치되어, 액정표시부와 명암점멸입사광학계가 동기부에 의해서 소정의 조건에서 동기된다.

또한, 당해 발명에 의하면, 그 목적은 상기 기재의 액정표시장치를 구동시키는 액정표시장치의 구동방법에 있어서, 각 게이트구동회로내에서 리셋을 일괄해서 행하는 것으로 달성된다. 즉, 리셋을 각 게이트구동회로내에서 일괄해서 행하는 것을 특징으로 한다.

즉, 상술한 액정표시장치에 있어서, 게이트가 분할되어, 기록 및 리셋의 동작에 따라 연동하여 광원이 점멸, 또는, 색시분할을 행함으로서, 표시시간을 증대시킬 수 있다. 또한, 광원의 점등방법이 블럭마다의 일괄점등인가, 순차 주사점등인가에 따라, 액정표시부의 구동을 선택하기 때문에, 표시기간을 증대시키거나 광이용효율을 증대시키는 것이 가능하다.

이것에 의해, 광원이 일괄점등식의 경우에 있어서 각 게이트구동회로블럭의 주사를 거의 동시에 시작하기때문에, 표시에 사용할 수 있는 기간이 긴 액정표시장치를 실현할 수 있다는 효과를 얻을 수 있다.

또한, 표시기간이 길게 되고, 또한, 구동법의 궁리에 의해 액정표시와 광원과의 연동이 가능하기 때문에, 광의 이용효율이 높은 액정표시장치를 얻을 수 있다는 효과를 나타낸다.

나아가, 당해 발명은, 구동회로를 분할하여, 각 구동회로단위를 작게 하고 있기 때문에, 염가로 구성이 간단한 구동회로를 사용할 수 있다는 효과를 가져온다.

또한, 당해 발명은, 광원과 구동방법과의 동기를 최적화하기 때문에, 지극히 고화질인 표시를 얻을 수 있다는 효과를 나타낸다.

또한, 당해 발명에 의하면, 그 목적은, 복수의 주사선과 복수의 신호선과의 각 교점부근에 각각 배치되며 또한 증폭출력전송기능을 구비한 M0S형트랜지스터회로에 의해서 화소전극을 구동하는 액정표시장치로, 상기 증폭출력전송기능의 출력을 전체 비트에 관해서 검출하는 검출수단과, 상기 검출수단의 검출결과에 따라서 화소마다 상기 증폭출력전송기능의 출력보정을 행하는 보정수단을 구비한 액정표시장치에 의해서 달성된다.

즉, 상기 기재의 액정표시장치는, 복수의 주사선과 복수의 신호선과의 각 교점부근에 각각 배치된 M0S형트랜지스터회로에 의해서 화소전극이 구동되는 능동매트릭스형액정표시장치에 있어서, 게이트전극이 주사선에 접속되며 또한 소스전극 및 드레인전극의 한쪽이 신호선에 접속된 M0S트랜지스터와, 입력전극이 M0S트랜지스터의 소스전극 및 드레인전극의 다른쪽에 접속되며 또한 출력전극이 화소전극에 접속된 M0S형아날로그증폭회로와, M0S형아날로그증폭회로의 입력전극과 전압보지용량전극과의 사이에 형성된 전압보지용량과, 입력단이 M0S형아날로그증폭회로의 출력전극에 접속되며 또한 출력단이 증폭모니터선 또는 신호선에 접속된 스위치에 의하여 M0S형트랜지스터회로를 형성하고 있다.

또한, 상기 기재의 액정표시장치는, 상기한 구성에 있어서, 증폭모니터선 또

는 신호선을 통하여 독출 회로에 의해서 소정의 순서로 전송된 증폭출력전압에 대하여 기준전압과의 차분를 검출하는 검출장치와, 차분전압을 기억하는 메모리와, 입력화상신호에 대하여 메모리의 데이터를 기초로 보정전압을 인가하는 전압발생수단을 구비하고 있다.

또한, 당해 발명에 의하면, 그 목적은, 복수의 주사선과 복수의 신호선과의 각 교점부근에 각각 배치된 증폭출력전송기능을 구비한 M0S형트랜지스터회로에 의해서 화소전극을 구동하는 액정표시장치로, 상기 M0S형트랜지스터회로는, 게이트전극이 상기 주사선에 접속되며 또한 소스전극 및 드레인전극의 한쪽이 상기 신호선에 접속된 M0S트랜지스터와, 입력전극이 상기 M0S트랜지스터의 소스전극 및 드레인전극의 다른쪽에 접속되며 또한 출력전극이 화소전극에 접속된 M0S형아날로그증폭회로와, 상기 M0S형아날로그증폭회로의 입력전극과 전압보지용량전극과의 사이에 형성된 전압보지용량과, 입력단이 상기 M0S형아날로그증폭회로의 출력전극에 접속되며 또한 출력단이 증폭모니터선및 상기 신호선의 한쪽에 접속된 스위치에 의하여 형성되고, 상기 증폭모니터선 및 신호선의 한쪽을 통하여 상기 아날로그증폭회로의 출력전압을 독출하는 독출회로와, 상기 독출회로에 의해서 소정의 순서로 전송되는 상기 아날로그증폭회로의 출력전압과 미리 설정된 기준전압과의 차분를 검출하는 검출회로와, 상기 검출회로로부터의 차분전압을 디지탈데이타로 변환하는 변환수단과, 상기 디지탈화된 상기 차분전압을 기억하는 메모리와, 상기 메모리의 기억데이터에 따라 입력화상신호에 대하여 보정전압을 인가하는 전압발생수단을 구비한 액정표시장치에 의해서 달성된다.

즉, 상기 기재의 액정표시장치는, 상기의 구성에 있어서, 복수의 주사선과 복수의 신호선과의 각 교점부근에 각각 배치된 M0S형트랜지스터회로에 의해서 화소전극이 구동되는 능동매트릭스형액정표시장치에 있어서, 게이트전극이 주사선에 접속되며 또한 소스전극 및 드레인전극의 한쪽이 신호선에 접속된 M0S트랜지스터와, 입력전극이 M0S트랜지스터

의 소스전극 및 드레인전극의 다른쪽에 접속되며 또한 출력전극이 화소전극에 접속된 M0S형아날로그증폭회로와, M0S형아날로그증폭회로의 입력전극과 전압보지용량전극과의 사이에 형성된 전압보지용량과, 입력단이 M 0S형아날로그증폭회로의 출력전극에 접속되며 또한 출력단이 증폭모니터선 또는 신호선에 접속된 스위치에 의하여 M0S형트랜지스터회로를 형성하고 있다.

또한, 상기 기재의 액정표시장치에서는, 상기한 구성에 있어서, 증폭모니터선의 일단이 외부측정장치에의한 측정이 가능하도록 단자전극으로 되어있는 것을 특징으로 하고 있다. 더욱이, 본 발명의 제 2의 액정표시장치로서는, 상기의 구성에 있어서, 외부측정장치에 의해서 검출된 차분전압을 기억하는 불휘발성메모리와, 입력화상신호에 대하여 불휘발성메모리의 데이터를 기초로 보정전압을 인가하는 전압발생수단을 구비하고 있다.

상술한 액정표시장치에서는, 실제로 화소로 사용되어 있는 아날로그증폭회로의 출력을 전체 비트에 관해서 검출하여, 이 출력값을 기초로 화소마다 아날로그증폭회로의 출력보정을 행하고 있기때문에, 아날로그증폭회로의 특성차에 기인하는 표시얼룩 등의 화질저하가 생기지 않는다.

또한, 당해 발명에 의하면, 그 목적은, 복수의 주사선과 복수의 신호선과의

각 교점부근에 각각 배치된 증폭출력전송기능을 구비한 M0S형트랜지스터회로에 의해서 화소전극이 구동되는 능동매트릭스형액정표시장치에 있어서, 상기 M0S형트랜지스터회로는, 게이트전극이 상기 주사선에 접속되며 또한 소스전극 및 드레인전극의 한쪽이 상기 신호선에 접속된 M0S트랜지스터와, 입력전극이 상기 M0S트랜지스터의 소스전극 및 드레인전극의 다른쪽에 접속되며 또한 출력전극이 화소전극에 접속된 M0S형아날로그증폭회로와, 상기 M0S형아날로그증폭회로의 입력전극과 전압보지용량전극과의 사이에 형성된 전압보지용량과, 입력단이 상기 M0S형아날로그증폭회로의 출력전극에 접속되며 또한 출력단이 증폭모니터선및 상기 신호선의 한쪽에 접속된 스위치에 의하여 형성되고, 상기 증폭모니터선 및 상기 신호선중의 한쪽의 일단에 접속되며 또한 상기 M0S형아날로그증폭회로의 출력을 외부로 출력하는 단자전극과, 외부에서 측정된 상기 M0S형아날로그증폭회로의 출력전압데이터를 기억하는 메모리와, 상기 메모리의 기억데이터에 따라 입력화상신호에 대하여 보정전압을 인가하는 전압발생수단을 구비한 액정표시장치에 의해서 달성된다.

즉 상기 기재의 액정표시장치는, 복수의 주사선과 복수의 신호선과의 각 교점부근에 각각 배치된 M0S형트랜지스터회로에 의해서 화소전극이 구동되고, M0S형트랜지스터회로의 반도체층이 레이저아닐(레이저 강화)에 의해서 결정화 혹은 재결정화된 박막반도체층이고, 레이저아닐시의 레이저의 주사방향이 주사선과 평행 또는 그것에 준하는 각도인 능동매트릭스형액정표시장치에 있어서, 게이트전극이 주사선에 접속되며 또한 소스전극 및 드레인전극의 한쪽이 신호선에 접속된 M0S형트랜지스터와, 입력전극이 M0S형트랜지스터의 소스전극 및 드레인전극의 다른쪽에 접속되며 또한 출력전극이 화소전극에 접속된 M0S형아날로그증폭회로와, M0S형아날로그증폭회로의 입력전극과 전압보지용량전극과의 사이에 형성된 전압보지용량에 의하여 구성된 표시용화소이외에, 화면단부의 1주사선상에 형성된 증폭출력검출용화소가 존재하는 것을 특징으로 하고있다.

이 증폭출력검출용화소는 표시용화소의 구성에, 입력단이 M0S형아날로그증폭회로의 출력전극에 접속되며 또한 출력단이 증폭모니터선 또는 신호선에 접속된 스위치를 덧붙인 것이다.

또한, 상기 기재의 액정표시장치에서는, 상기의 구성에 있어서, 증폭모니터선 또는 신호선을 통하여 독출회로에 의해서 소정의 순서로 전송된 증폭출력전압에 대하여 기준전압과의 차분를 검출하는 검출장치와, 차분전압을 기억하는 메모리와, 입력화상신호에 대하여 메모리의 데이터를 기초로 보정전압을 인가하는 전압발생수단을 구비하고 있다.

또한, 당해 발명에 의하면, 그 목적은, 복수의 주사선과 복수의 신호선과의 각 교점부근에 각각 배치되며 또한 증폭출력

전송기능을 구비한 M0S형트랜지스터회로에 의해서 화소전극을 구동하고, 상기 M0S형트랜지스터회로의 반도체층이 레이저아닐에 의해서 결정화및 재결정화의 어느 것인가가 시행된 박막반도체층이고, 상기 레이저아닐 시에 상기 주사선과 대략 평행으로 레이저가 주사되는 액정표시장치로, 상기 증폭출력전송기능의 출력을 검출하는 검출수단과, 상기 검출수단의 검출결과에 따라서 상기 레이저아닐 시의 레이저주사방향에 대하여만 상기 증폭출력전송기능의 출력보정을 하는 보정수단과를 구비하고 있다.

즉, 상기 기재의 액정표시장치는, 복수의 주사선과 복수의 신호선과의 각 교점부근에 각각 배치된 M0S형트랜지스터회로에 의해서 화소전극이 구동되고, M0S형트랜지스터회로의 반도체층이 레이저아닐에 의해서 결정화 혹은 재결정화된 박막반도체층이고, 레이저아닐 시의 레이저의 주사방향이 주사선과 평행 또는 그것에 준하는 각도인 능동매트릭스형액정표시장치에 있어서, 게이트전극이 주사선에 접속되며 또한 소스전극 및 드레인전극의 한쪽이 신호선에 접속된 M0S트랜지스터와, 입력전극이 M0S트랜지스터의 소스전극 및 드레인전극의 다른쪽에 접속되며 또한 출력전극이 화소전극에 접속된 M0S형아날로그증폭회로와, M0S형아날로그증폭회로의 입력전극과 전압보지용량전극과의 사이에 형성된 전압보지용량에 의하여 구성된 표시용화소이외에, 화면단부의 1주사선상에 형성된 증폭출력검출용화소가 존재하는 액정표시장치에 의해서 달성된다.

이 증폭출력검출용화소는 표시용화소의 구성에, 입력단이 M0S형아날로그증폭회로의 출력전극에 접속되며 또한 출력단이 증폭모니터선 또는 신호선에 접속된 스위치를 덧붙인 것으로, 증폭모니터선의 일단은 외부측정장치에의한 측정이 가능하도록 단자전극으로 되어 있다.

또한, 상기 기재의 액정표시장치는, 상기의 구성에 있어서, 외부측정장치에 의해서 검출된 차분전압을 기억하는 불휘발성메모리와, 입력화상신호에 대하여 불휘발성메모리의 데이터를 기초로 보정전압을 인가하는 전압발생수단을 구비하고 있다.

또한, 당해 발명에 의하면, 그 목적은, 복수의 주사선과 복수의 신호선과의 각 교점부근에 각각 배치되며 또한 증폭출력전송기능을 구비한 M0S형트랜지스터회로에 의해서 화소전극을 구동하고, 상기 M0S형트랜지스터회로의 반도체층이 레이저아닐에 의해서 결정화 및 재결정화의 어느것인가가 시행된 박막반도체층이고, 상기 레이저아닐 시에 상기 주사선과 대략 평행으로 레이저가 주사되는 액정표시장치이고, 게이트전극이 상기 주사선에 접속되며 또한 소스전극 및 드레인전극의 한쪽이 상기 신호선에 접속된 M0S트랜지스터와, 입력전극이 상기 M0S트랜지스터의 소스전극 및 드레인전극의 다른쪽에 접속되며 또한 출력전극이 화소전극에 접속된 M0S형아날로그증폭회로와, 상기 M0S형아날로그증폭회로의 입력전극과 전압보지용량전극과의 사이에 형성된 전압보지용량과로 이루어지는 표시용화소와, 입력단이 상기 M0S형아날로그증폭회로의 출력전극에 접속되며 또한 출력단이 증폭모니터선 및 상기 신호선의 한쪽에 접속된 스위치를 상기 표시용화소의 구성에 덧붙인 증폭출력검출용화소와, 상기 증폭출력검출용화소의 상기 M0S형아날로그증폭회로의 출력전압을 상기 증폭모니터선 및 상기 신호선의 한쪽을 통하여 독출하는 독출회로와, 상기 독출 회로에 의해서 소정의 순서로 전송되는 상기 M0S형아날로그증폭회로의 출력전압과 기준전압과의 차분를 검출하는 검출회로와, 상기 검출회로로 부터의 차분전압을 디지탈데이타로 변환하는 변환수단과, 상기 변환수단에서 디지탈화된 상기 차분전압을 기억하는 메모리와, 상기 메모리의 기억데이터에 따라 입력화상신호에 대하여 보정전압을 인가하는 전압발생수단을 구비한 액정표시장치에 의해서 달성된다.

즉 상기 기재의 액정표시장치는, 복수의 주사선과 복수의 신호선과의 각 교점부근에 각각 배치된 M0S형트랜지스터회로에 의해서 화소전극이 구동되고, M0S형트랜지스터회로의 반도체층이 레이저아닐에 의해서 결정화 혹은 재결정화된 박막반도체층이고, 레이저아닐 시의 레이저의 주사방향이 신호선과 평행 또는 그것에 준하는 각도인 능동매트릭스형액정표시장치에 있어서, 게이트전극이 주사선에 접속되며 또한 소스전극 및 드레인전극의 한쪽이 신호선에 접속된 M0S트랜지스터와, 입력전극이 M0S트랜지스터의 소스전극 및 드레인전극의 다른쪽에 접속되며 또한 출력전극이 화소전극에 접속된 M0S형아날로그증폭회로와, M0S형아날로그증폭회로의 입력전극과 전압보지용량전극과의 사이에 형성된 전

압보지용량으로 구성된 표시용화소이외에, 화면단부의 1신호선상에 형성된 증폭출력검출용화소가 존재하는 것을 특징으로 하고있다.

이 증폭출력검출용화소는 표시용화소의 구성에, 입력단이 M0S형아날로그증폭회로의 출력전극에 접속되며 또한 출력단이 증폭모니터선 또는 신호선에 접속된 스위치를 덧붙인 것이다.

또한, 상기 기재의 액정표시장치는, 상기의 구성에 있어서, 증폭모니터선 또는 신호선을 통하여 독출회로에 의해서 소정의 순서로 전송된 증폭출력전압에 대하여 기준전압과의 차분를 검출하는 검출장치와, 차분전압을 기억하는 메모리와, 입력화상신호에 대하여 메모리의 데이터를 기초로 보정전압을 인가하는 전압발생수단을 구비하고 있다.

또한, 당해 발명에 의하면, 그 목적은, 복수의 주사선과 복수의 신호선과의 각 교점부근에 각각 배치되며 또한 증폭출력전송기능을 구비한 M0S형트랜지스터회로에 의해서 화소전극을 구동하고, 상기 M0S형트랜지스터회로의 반도체층이 레이저아닐에 의해서 결정화 및 재결정화의 어느것인가가 시행된 박막반도체층이고, 상기 레이저아닐 시에 상기 주사선과 대략 평행히 레이저가 주사되는 액정표시장치이고, 게이트전극이 상기 주사선에 접속되며 또한 소스전극 및 드레인전극의 한쪽이 상기신호선에 접속된 M0S트랜지스터와, 입력전극이 상기 M0S트랜지스터의 소스전극 및 드레인전극의 다른쪽에 접속되며 또한 출력전극이 화소전극에 접속된 M0S형아날로그증폭회로와, 상기 M0S형아날로그증폭회로의 입력전극과 전압보지용량전극과의 사이에 형성된 전압보지용량과로 이루어지는 표시용화소와, 입력단이 상기 M0S형아날로그증폭회로의 출력전극에 접속되며 또한 출력단이 증폭모니터선 및 상기 신호선의 한쪽에 접속된 스위치를 상기 표시용화소의 구성에 덧붙인 증폭출력검출용화소와, 상기 증폭모니터선 및 상기 신호선중의 한쪽의 일단에 접속되며 또한 상기 증폭출력검출용화소의 상기 M0S형아날로그증폭회로의 출력을 외부로 출력하는 단자전극과, 외부에서 측정된 상기 M0S형아날로그증폭회로의 출력전압데이터를 기억하는 메모리와, 상기 메모리의 기억데이터에 따라 입력화상신호에 대하여 보정전압을 인가하는 전압발생수단을 구비한 액정표시장치에 의해서 달성된다.

즉 상기 기재의 액정표시장치는, 복수의 주사선과 복수의 신호선과의 각 교점부근에 각각 배치된 M0S형트랜지스터회로에 의해서 화소전극이 구동되고, M0S형트랜지스터회로의 반도체층이 레이저아닐에 의해서 결정화 혹은 재결정화된 박막반도체층이고, 레이저아닐 시의 레이저의 주사방향이 신호선과 평행 또는 그것에 준하는 각도인 능동매트릭스형액정표시장치에 있어서, 게이트전극이 주사선에 접속되며 또한 소스전극 및 드레인전극의 한쪽이 신호선에 접속된 M0S트랜지스터와, 입력전극이 M0S트랜지스터의 소스전극 및 드레인전극의 다른쪽에 접속되며 또한 출력전극이 화소전극에 접속된 M0S형아날로그증폭회로와, M0S형아날로그증폭회로의 입력전극과 전압보지용량전극과의 사이에 형성된 전압보지용량으로 구성된 표시용화소이외에, 화면단부의 1신호선상에 형성된 증폭출력검출용화소가 존재하는 것을 특징으로 하고있다.

이 증폭출력검출용화소는 표시용화소의 구성에, 입력단이 M0S형아날로그증폭회로의 출력전극에 접속되며 또한 출력단이 증폭모니터선 또는 신호선에 접속된 스위치를 덧붙인 것으로, 증폭모니터선의 일단은 외부측정장치에의한 측정이 가능하도록 단자전극으로 되어 있다.

또한, 상기 기재의 액정표시장치는, 상기의 구성에 있어서, 외부측정장치에 의해서 검출된 차분전압을 기억하는 불휘발성메모리와, 입력화상신호에 대하여 불휘발성메모리의 데이터를 기초로 보정전압을 인가하는 전압발생수단을 구비하고 있다.

또한, 상술한 액정표시장치에 의하면, 레이저아닐에 의해서 결정화 혹은 재결정화된 박막반도체층으로 이루어지는 p-Si 트랜지스터를 사용할 때에, 트랜지스터특성에 차분가 생기기 쉬운 레이저주사방향에 대하여만 증폭출력의 보정을 행하는 것으로, 소규모인 보정회로에 의해서 효과적인 보정을 하는 것이 가능하다.

또한, 당해 발명에 의하면, 그 목적은, 복수의 주사선과 복수의 신호선과의 각 교점부근에 각각 배치되며 또한 증폭출력전송기능을 구비한 M0S형트랜지스터회로에 의해서 화소전극을 구동하고, 상기 M0S형트랜지스터회로의 반도체층이 레이저아닐에 의해서 결정화 및 재결정화의 어느것인가가 시행된 박막반도체층이고, 상기 레이저아닐 시에 상기 신호선과 대략 평행히 레이저가 주사되는 액정표시장치이고, 게이트전극이 상기 주사선에 접속되며 또한 소스전극 및 드레인전극의 한쪽이 상기 신호선에 접속된 M0S트랜지스터와, 입력전극이 상기 M0S트랜지스터의 소스전극 및 드레인전극의 다른쪽에 접속되며 또한 출력전극이 화소전극에 접속된 M0S형아날로그증폭회로와, 상기 M0S형아날로그증폭회로의 입력전극과 전압보지용량전극과의 사이에 형성된 전압보지용량과로 이루어지는 표시용화소와, 입력단이 상기 M0S형아날로그증폭회로의 출력전극에 접속되며 또한 출력단이 증폭모니터선 및 상기 신호선의 한쪽에 접속된 스위치를 상기 표시용화소의 구성에 덧붙인 증폭출력검출용화소와, 상기 증폭모니터선 및 상기 신호선중의 한쪽의 일단에 접속되며 또한 상기 증폭출력검출용화소의 상기 M0S형아날로그증폭회로의 출력을 외부로 출력하는 단자전극과, 외부에서 측정된 상기 M0S형아날로그증폭회로의 출력전압데이터를 기억하는 메모리와, 상기 메모리의 기억데이터에 따라 입력화상신호에 대하여 보정전압을 인가하는 전압발생수단을 구비한 액정표시장치에 의해서 달성된다.

즉 상기 기재의 액정표시장치는, 복수의 주사선과 복수의 신호선과의 각 교점부근에 각각 배치된 M0S형트랜지스터회로에 의해서 화소전극이 구동되는 능동매트릭스형액정표시장치에 있어서, 게이트전극이 주사선에 접속되며 또한 소스전극 및 드레인전극의 한쪽이 신호선에 접속된 M0S트랜지스터와, 입력전극이 M0S트랜지스터의 소스전극 및 드레인전극의 다른쪽에 접속되며 또한 출력전극이 화소전극에 접속된 M0S형아날로그증폭회로와, M0S형아날로그증폭회로의 입력전극과 전압보지용량전극과의 사이에 형성된 전압보지용량으로 구성된 표시용화소와, 화면의 외주연부에 4점이상의 복수개 배설된 증폭출력검출용화소와로 이루어지는 것을 특징으로 하고있다.

이 증폭출력검출용화소는 표시용화소의 구성에, 입력단이 M0S형아날로그증폭회로의 출력전극에 접속되며 또한 출력단이 증폭모니터선 또는 신호선에 접속된 스위치를 덧붙인 것이다.

또한, 상기 기재의 액정표시장치는, 상기의 구성에 있어서, 증폭모니터선을 통하여 독출회로에 의해서 소정의 순서로 전송된 증폭출력전압에 대하여 기준전압과의 차분를 검출하는 검출장치와, 차분전압을 기억하는 제1의 메모리와, 제1의 메모리의 데이터로부터 전체 비트의 보정전압을 산출하는 보간회로와, 보간회로에 의해서 산출된 보정전압을 기억하는 제2의 메모리와, 입력화상신호에 대하여 제2의 메모리의 데이터를 기초로 보정전압을 인가하는 전압발생수단을 구비하고 있다. 이 경우, 선형보간은 보정전압을 산출하는 비트에 가장 가까운 증폭출력검출용화소 4점을 선택하여 행한다.

또한, 당해 발명에 의하면, 그 목적은, 복수의 주사선과 복수의 신호선과의 각 교점부근에 각각 배치되어 또한 증폭출력전송기능을 구비한 M0S형트랜지스터회로에 의해서 화소전극을 구동하는 액정표시장치로서, 상기 증폭출력전송기능의 출력을 미리 설정된 소정비트에 관해서 검출하는 검출수단과, 상기 검출수단의 검출결과에 따라서 상기 증폭출력전송기능의 출력의 검출을 행한 화소간에서 선형보간처리을 하는 보정수단을 구비한 액정표시장치에 의해서 달성된다.

즉 상기 기재의 액정표시장치는, 복수의 주사선과 복수의 신호선과의 각 교점부근에 각각 배치된 M0S형트랜지스터회로에 의해서 화소전극이 구동되는 능동매트릭스형액정표시장치에 있어서, 게이트전극이 주사선에 접속되며 또한 소스전극 및 드레인전극의 한쪽이 신호선에 접속된 M0S트랜지스터와, 입력전극이 M0S트랜지스터의 소스전극 및 드레인전극의 다른쪽에 접속되며 또한 출력전극이 화소전극에 접속된 M0S형아날로그증폭회로와, M0S형아날로그증폭회로의 입력전극과 전압보지용량전극과의 사이에 형성된 전압보지용량으로 구성된 표시용화소와, 화면의 외주연부에 4점이상의 복수개배설된 증폭출력검출용화소와로 이루어지는 것을 특징으로 하고있다.

이 증폭출력검출용화소는 표시용화소의 구성에, 입력단이 M0S형아날로그증폭회로의 출력전극에 접속되며 또한 출력단이 증폭모니터선 또는 신호선에 접속된 스위치를 덧붙인 것으로, 증폭모니터선의 일단은 외부측정장치에의한 측정이 가능하도록 단자전극으로 되어 있다.

또한, 상기 기재의 액정표시장치는, 상기의 구성에 있어서, 외부측정장치에 의해서 검출된 차분전압 및 상기 차분전압을 보간 하는 것으로 구하여진 전체 비트의 증폭출력보정전압을 기억하는 불휘발성메모리와, 입력화상신호에 대하여 불휘발성메모리의 데이터를 기초로 보정전압을 인가하는 전압발생수단을 구비하고 있다.

이 경우, 선형보간은 보정전압을 산출하는 비트에 가장 가까운 증폭출력검출용화소 4점을 선택하여 행한다.

더욱이, 상술한 액정표시장치에의하면, 전체 비트에 대하여 증폭출력의 검출을 행하지 않은 경우, 증폭출력검출을 행한 화소간에서 선형보간처리를 하는 것으로, 보정의 정밀도를 높이고 있기 때문에, 역시 소규모인 회로구성에 의해서 효과적인 보정을 행하는 것이 가능하다.

나아가, 보정전압을 기억하는 메모리를 불휘발성으로 하고, 검출과정의 일부에 외부측정장치를 사용함으로서, 증폭출력의 검출로부터 보정에 이르는 회로구성을 간략하게 하는 것이 가능해진다.

또한, 당해 발명에 의하면, 그 목적은, 복수의 주사선과 복수의 신호선과의 각 교점부근에 각각 배치된 증폭출력전송기능을 구비한 M0S형트랜지스터회로에 의해서 화소전극을 구동하는 액정표시장치로서, 게이트전극이 상기 주사선에 접속되며 또한 소스전극및 드레인전극의 한쪽이 상기 신호선에 접속된 M0S트랜지스터와, 입력전극이 상기 M0S트랜지스터의 소스전극 및 드레인전극의 다른쪽에 접속되며 또한 출력전극이 화소전극에 접속된 M0S형아날로그증폭회로와, 상기 M0S형아날로그증폭회로의 입력전극과 전압보지용량전극과의 사이에 형성된 전압보지용량과로 이루어지는 표시용화소와, 입력단이 상기 MOS형아날로그증폭회로의 출력전극에 접속되며 또한 출력단이 증폭모니터선 및 상기 신호선중의 한쪽에 접속된 스위치를 상기 표시용화소의 구성에 덧붙인 증폭출력검출용화소와, 상기 증폭출력검출용화소의 상기 M0 S형아날로그증폭회로의 출력전압을 상기 증폭모니터선 및 상기 신호선의 한쪽을 통하여 독출하는 독출회로와, 상기 독출회로에 의해서 소정의 순서로 전송되는 상기 M0S형아날로그증폭회로의 출력전압과 기준전압과의 차분를 검출하는 검출회로와, 상기 검출회로로 부터의 차분전압을 디지탈데이타로 변환하는 변환수단과, 상기 변환수단으로 디지탈화된 상기 차분전압을 기억하는 제1의 메모리와, 상기 제1의 메모리의 기억데이터로부터 전체 비트의 보정전압을 선형보간에 의하여 산출하는 보간수단과, 상기 보간수단으로 산출된 보정전압을 기억하는 제2의 메모리와, 상기 제 2의 메모리의 기억데이터에 따라 입력화상신호에 대하여 보정전압을 인가하는 전압발생수단을 구비한 액정표시장치에 의해서 달성된다.

또한, 당해 발명에 의하면, 그 목적은, 복수의 주사선과 복수의 신호선과의 각 교점부근에 각각 배치된 증폭출력전송기능을 구비한 M0S형트랜지스터회로에 의해서 화소전극을 구동하는 액정표시장치에 있어서, 게이트전극이 상기 주사선에 접속되며 또한 소스전극 및 드레인전극의 한쪽이 상기 신호선에 접속된 M0S트랜지스터와, 입력전극이 상기 M0S트랜지스터의 소스전극 및 드레인전극의 다른쪽에 접속되며 또한 출력전극이 화소전극에 접속된 M0S형아날로그증폭회로와, 상기 M0S형아날로그증폭회로의 입력전극과 전압보지용량전극과의 사이에 형성된 전압보지용량과로 이루어지는 표시용화소와, 입력단이 상기 MOS형아날로그증폭회로의 출력전극에 접속되며 또한 출력단이 증폭모니터선 및 상기 신호선중의 한쪽에 접속된 스위치를 상기 표시용화소의 구성에 덧붙인 증폭출력검출용화소와, 상기 증폭출력검출용화소의 상기 M0S형아날로그증폭회로의 출력전압을 상기 증폭모니터선 및 상기 신호선의 한쪽을 통하여 독출하는 독출회로와, 상기 독출회로에 의해서 소정의 순서로 전송되는 상기 M0S형아날로그증폭회로의 출력전압과 기준전압과의 차분를 검출하는 검출회로와, 상기 검출회로로 부터의 차분전압을 디지탈데이타로 변환하는 변환수단과, 상기 변환수단으로 디지탈화된 상기 차분전압을 기억하는 메모리와, 상기 메모리의 데이터로부터 전체 비트의 보정전압을 선형보간에 의하여 산출하는 보간수단과, 상기 보간수단으로 산출된 보정전압을 입력화상신호에 인가하는 전압발생수단을 구비한 액정표시장치에 의해서 달성된다.

또한, 당해 발명에 의하면, 그 목적은, 복수의 주사선과 복수의 신호선과의 각 교점부근에 각각 배치된 증폭출력전송기능을 구비한 M0S형트랜지스터회로에 의해서 화소전극을 구동하는 액정표시장치로서, 게이트전극이 상기 주사선에 접속되며 또한 소스전극 및 드레인전극의 한쪽이 상기 신호선에 접속된 M0S트랜지스터와, 입력전극이 상기 M0S트랜지스터의 소스전극 및 드레인전극의 다른쪽에 접속되며 또한 출력전극이 화소전극에 접속된 M0S형아날로그증폭회로와, 상기 M0S형아날로그증폭회로의 입력전극과 전압보지용량전극과의 사이에 형성된 전압보지용량과로 이루어지는 표시용화소와, 입력단이 상기 MOS형아날로그증폭회로의 출력전극에 접속되며 또한 출력단이 증폭모니터선 및 상기 신호선중의 한쪽에 접속된 스위치를 상기 표시용화소의 구성에 덧붙인 증폭출력검출용화소와, 상기 증폭모니터선 및 상기 신호선중의 한쪽 일단에 접속되며 또한 상기 증폭출력검출용화소의 상기 M0S형아날로그증폭회로의 출력을 외부로 출력하는 단자전극과, 외부에서 측정된 상기 M0S형아날로그증폭회로의 출력전압데이터를 기억하는 메모리와, 상기 메모리의 기억데이터에 따라 입력화상신호에 대하여 보정전압을 인가하는 전압발생수단을 구비하고 있다.

상술한 바와 같이, 본 발명에 입력전극이 스위칭용 M0S트랜지스터를 개재하여 신호선에 접속되며 또한 출력전극이 화소전극에 접속된 M0S형아날로그증폭회로를 부가하고 있기때문에, 고분자액정, 분극을 가지는 강유전액정·반강유전액정, OCB (Optical Compensated Birefringence)액정등의 종래기술로서는 보지기간중에 전압변동이 생기는 액정재료를 사용할 수가 있다는 효과를 얻을 수 있다.

또한, 상술한 액정표시장치에의하면, 복수의 주사선과 복수의 신호선과의 각 교점부근에 각각 배치되고 또한 증폭출력전송기능을 구비한 M0S형트랜지스터회로에 의해서 화소전극을 구동하는 액정표시장치에 있어서, 증폭출력전송기능의 출력을 전체비트에 관해서 검출하고, 그 검출결과에 따라서 화소마다 증폭출력전송기능의 출력보정을 행함으로서, 보지기간중의 화소전압변동을 억제하기 때문에 아날로그증폭회로가 부가된 구성의 화소에 있어서, 증폭출력의 격차에 기인하는 화소마다의 표시격차를 억제 할 수가 있다는 효과를 얻을 수 있다.

또한, 해당 발명에 의하면, 그 목적은, 게이트전극이 주사선에 접속되고, 소스전극·드레인전극의 한쪽이 신호선에 접속된 MOS트랜지스터와, 입력전극이 상기 MOS트랜지스터의 소스전극·드레인전극의 다른쪽에 접속되고, 출력전극이 화소전극에 접속되며, 정부전원선의 한쪽이 상기 주사선에 접속된 아날로그증폭회로와, 상기 아날로그증폭회로의 입력전극과 전압보지용량전극과의 사이에 형성된 전압보지용량과, 상기 화소전극과 대향전극과의 사이에서 스위칭시키는 액정소자와로 구성되어 있는 능동매트릭스형액정표시장치에 있어서, 상기 주사선을 형성하는 재료가, 저항치가 작은 금속 또는 금속실리사이드를 포함하고 있는 액정표시장치에 의해 달성된다.

또한, 해당 발명에 의하면, 그 목적은, 게이트전극이 주사선에 접속되고, 소스전극·드레인전극의 한쪽이 신호선에 접속된 n형 M0S트랜지스터와, 입력전극이 상기 n형 M0S트랜지스터의 소스전극·드레인전극의 다른쪽에 접속되고, 출력전극이 화소전극에 접속되며, 정부전원선의 한쪽이 상기 주사선에 접속된 아날로그증폭회로와, 상기 아날로그증폭회로의 입력전극과 전압보지용량전극과의 사이에 형성된 전압보지용량과, 상기 화소전극과 대향전극과의 사이에서 스위칭시키는 액정소자와로 구성되어 있는 능동매트릭스형액정표시장치에 있어서, 상기 주사선을 구동하는 게이트구동기의 로우레벨측전원이 부전원인 액정표시장치에 의해 달성된다.

또한, 당해 발명에 의하면, 그 목적은, 게이트전극이 주사선에 접속되고, 소스전극·드레인전극의 한쪽이 신호선에 접속된 p형 M0S트랜지스터와, 입력전극이 상기 p형 M0S트랜지스터의 소스전극·드레인전극의 다른쪽에 접속되어, 출력전극이 화소전극에 접속되며, 정부전원선의 한쪽이 상기 주사선에 접속된 아날로그증폭회로와, 상기 아날로그증폭회로의 입력전극과 전압보지용량전극과의 사이에 형성된 전압보지용량과, 상기 화소전극과 대향전극과의 사이에서 스위칭시키는 액정소자와로 구성되어 있는 능동매트릭스형액정표시장치에 있어서, 상기 주사선을 구동하는 게이트구동기의

하이레벨측전원이, 모든 화소에 있어서, 데이터신호전압의 최대치와 상기 p형 M0S트랜지스터 의 한계치와의 합보다도 게이트주사전압이 높게 될 것 같은 전압을 공급할 수 있는 액정표시장치에 의해 달성된다.

해당 발명은, 아날로그증폭회로의 출력단자를 액정소자에 접속하고, 입력단자를 스위칭트랜지스터의 소스·드레인간을 개재하여 신호선에 접속함 과 동시에, 이 아날로그증폭회로의 전원라인이 접속된 게이트주사선을, 적어도 금속 또는 금속실리사이드를 포함하는 재료에 의해 형성 하는 것으로, 게이트주사선의 비선택시 전압의 변동을 억제 하여 정상인 스위칭동작을 달성하며, 전원선을 생략한 간소한 구성에 있어서, 화질의 열화를 방지함과 동시에, 비저항이 작은 고분자 액정재료나, 분극을 가지는 강유전·반강유전액정재료등을 사용할 수가 있다는 효과를 나타낸다.

또한, 스위칭트랜지스터가 n형인 경우는, 아날로그증폭회로가 접속된 게이트주사선구동기전원의 로우레벨전압을 마이너스로 쉬프트 하는 것으로, 또한, p형인 경우는, 아날로그증폭회로가 접속된 게이트주사선구동기전원의 하이레벨전압을 충분히 높게 하는 것으로, 게이트주사선의 비선택시 전압의 쉬프트량을 저감시키고, 고저항의 배선재료에 있어서도 정상인 스위칭동작을 달성하며, 전원선을 생략한 간소한 구성에 있어서, 화질의 열화를 방지함과 동시에, 비저항이 작은 고분자액정재료나, 분극을 가지는 강유전·반강유전액정재료등을 사용할 수가 있다는 이점을 가져온다.

이하의 실시예는 청구항에 관련된 발명을 한정하는 것은 아니다. 또한, 목적의달성를 위해, 실시예속에서 설명되어 있는 특징의 모든 조합이 반드시 필요하여 지는 것은 아니다.

다음에, 본 발명의 실시의 형태에 관해서, 도면을 참조하여 상세히 설명한다.

도 1은, 본 발명의 제1실시형태에 있어서의 액정표시장치의 구성을 나타내는 블럭도이다. 이 액정표시장치는, 색시분할입사광학계(7)와 액정표시부(8)를 구비한다. 색시분할입사광학계(7)는, 이 표시영역에 색도가 다른 광을 순차 입사하기위해서 배치된다. 액정표시부(8)와 색시분할입사광학계(7)과는 동기부(9)에 의해서 소정의 조건에서 동기된다.

도 2는, 본 발명의 제2실시형태에 있어서의 액정표시장치의 구성을 나타내는 블럭도이다. 이 액정표시장치는, 도 1에 나타낸 액정표시장치의 제1실시형태와 같은 액정표시부(8)와, 표시영역에 일정기간이 어두운 상태를 낀 점멸광(명암광)을 입사하는 명암점멸입사광학계(11)가 배치되어, 액정표시부(8)와 명암점멸입사광학계(11)는, 동기부(9)에 의해서 소정의 조건에서 동기된다.

다음에, 상술한 본 발명의 제1 및 제2실시형태에 있어서, 액정표시부에 관하는 실시형태에 관해서 설명한다.

먼저, 상술한 제1실시형태에 있어서의 액정표시장치에 있어서, 제1 제6실시형태에 의한 액정표시부에 관해서 설명하고, 다음에, 상술한 본 발명의 제2실시형태에 있어서의 액정표시장치에 있어서, 제7 제12실시형태에 의한 액정표시부에 관해서 설명한다.

우선, 도 3을 참조하여, 본 발명의 제1실시형태에 의한 액정표시부에 관해서 설명한다. 도 3은, 본 발명에 있어서의 제1실시형태에 의한 액정표시부의 구성을 나타내는 개략도이다. 이 액정표시부는, 표시영역 및 구동회로로 이루어진다. 본 실시의 형태에서는, 액정표시장치의 표시영역의 상하(또는 좌우)의 양쪽에 데이터구동회로(1, 2)가 있어, 각각의 데이터구동회로(1, 2)로부터 연장되는 각각의 데이터선군(3, 4)은, 표시영역의 상하(또는 좌우)에서는 전기적으로 분리되고 있다. 또한, 이 상하(또는 좌우)에 대응하여 게이트구동회로(5, 6)가 상하(또는 좌우)로 분할된 형상으로 표시영역의 왼쪽 또는 오른쪽(혹는 위 또는 밑)에 배치된다. 도 3에서는, 게이트구동회로(5, 6)는 모두 좌측에 배치된 상태를 나타내고 있지만, 본 실시형태에서는, 게이트구동회로(5, 6)는 모드 오른쪽에 배치되어도 좋다.

다음에, 도 4를 참조하여, 본 발명의 제2실시형태에 의한 액정표시부에 관해서 설명한다. 도 4는, 본 발명에 있어서의 액정표시부의 제2실시형태의 구성을 나타내는 개략도면이다. 이 제2실시형태에 있어서의 액정표시부는, 상술한 제1실시형태에 있어서의 액정표시부와 동일하게, 본 발명의 제1실시형태에 의한 액정표시장치를 사용하고 있지만, 제1실시형태에 의한 액정표시부에서는, 게이트구동회로(5, 6)가 표시영역의 왼쪽 또는 오른쪽(또는 위 또는 밑)의 같은 측에 배치되어 있음에 대하여, 제2실시형태에 의한 액정표시부에서는, 도 4에 나타낸 바와 같이, 표시영역의 왼쪽 또는 오른쪽(또는 위 또는 밑)의 한쪽에 게이트구동회로(5a, 6a)를 분할하여 배치하고, 다른쪽에 게이트구동회로(5b, 6b)를 분할하여 배치하고 있다. 데이터구동회로(1, 2)의 배치에 관하여는, 제1실시형태와 동일하다.

이와 같이, 제2실시형태에 의한 액정표시부에서는, 게이트구동회로(5 a, 5b, 6a, 6b)가 상하(또는 좌우)에 분할된 형상임과 동시에 표시영역의 좌우(또는 상하)의 양측에 배치된다.

다음에, 도 5를 참조하여, 본 발명에 있어서의 제3실시형태에 의한 액정표시부에 관해서 설명한다. 도 5는, 본 발명에 있어서의 제3실시형태에 있어서의 액정표시부의 구성을 나타내는 개략도이다. 제3실시형태에 의한 액정표시부에서는, 제 1또는 제2실시형태에 있어서의 액정표시부와 동일하게, 본 발명의 제1실시형태에 있어서의 액정표시장치를 사용하고 있지만, 데이터구동회로(1, 2)가 위와 밑(또는 왼쪽과 오른쪽)으로 각각 가로(또는 세로)로 복수로 분할되고, 데이터구동회로(1a, 1b, 2a, 2b)로 되어 있다. 게이트구동회로(5 a, 5b, 6a, 6b)는, 상술한 제2실시형태에 의한 액정표시부와 같다. 이와 같이, 도 5에 나타낸 제3실시형태에 의한 액정표시부는, 도 4에 나타낸 제2실시형태에 의한 액정표시부의 데이터구동회로(1, 2)를 둘로 분할하여, 데이터구동회로(1a, 1b, 2a, 2b)로 한 경우의 예이다. 그리고, 보다 다수의 분할을 하더라도 상관없다.

다음에, 도 6을 참조하여, 본 발명에 있어서의 제4실시형태에 의한 액정표시부에 관해서 설명한다. 도 6은, 본 발명에 있어서의 제4실시형태에 의한 액정표시부의 구성을 나타내는 개략도면이다. 본 실시의 형태에서는, 제1 제3실시형태에 의한 액정표시부의 게이트구동회로가 더욱 다수로 분할된다. 즉, 제3실시형태에 의한 액정표시부의 게이트구동회로(5a, 5b, 6a, 6b)는, 본 실시의 형태에서는, 게이트구동회로(5a-1, 5a-2, 5b-1, 5b-2, 6a-1, 6a-2, 6b-1, 6b-2)로 분할되어 있다. 이와 같이, 도 6에 나타낸 제4실시형태에 의한 액정표시부에서는, 게이트구동회로를 4분할하는 경우의 액정표시부의 일부의 예를 나타낸다.

다음에, 도 7, 도 8을 참조하여, 본 발명에 있어서의 제5실시형태에 의한 액정표시부에 관해서 설명한다. 제5실시형태에 의한 액정표시부에서는, 상술한 제4실시형태에 의한 액정표시부에서, 데이터선과 주사선과 교차하는 점 모두에 능동소자를 배치한 경우 에서의 동작을 생각한다. 예컨대, 게이트구동회로들{(5a-1)와 (5a-2)}이 주사되는 타이밍이 시간적으로 겹쳐 있지 않은 경우는 전혀 문제가 없다. 그러나, 시간적으로 겹치고 있으면 데이터신호가 수개소의 주사선에 기록된다. 그래서, 본 실시의 형태에 의한 액정표시부에서는, 데이터선과 주사선과가 교차하는 교점 중 선택한 소정의 교점에만 능동소자를 배치한다. 도 7, 도 8에, 도 6의 일부를 확대하여, 제5실시형태에 의한 액정표시부를 적용한 예를 게시한다. 도 7에서는, 시소나무 형상으로 능동소자를 배치하였지만, 도 8과 같이, 능동소자를 배치하는 영역과 배치 하지 않은 영역을 각 블럭마다로 하는 방법도 있다. 더욱이, 도 7과 도 8을 조합한것 같은 구조로해도 좋다. 또한, 배선의 배치위치를 적절히 변경하여 개구율이 좋아지도록 변경하여도 좋다.

다음에, 본 발명에 있어서의 제6실시형태에 의한 액정표시부에서는, 제5실시형태에 의한 액정표시부에 있어, 더 나아가 배선의 일부 또는 전부를 매설, 또는, 브리지 형상으로 설치한다. 즉, 별도의 층으로 설치한다. 이 경우, 일부를 다른 층에서 설치하고, 접촉을 취하여 통상의 배선층으로 되돌려도 좋다.

다음에, 본 발명의 제2실시형태에 의한 액정표시장치를 사용하여, 각 실시형태에 있어서의 액정표시부에 관해서 설명한다.

본 발명의 제7실시형태에 의한 액정표시부에서는, 도 2의 액정표시장치의 제2실시형태를 사용하여, 도 3에서 설명한 제1실시형태에 의한 액정표시부와 같은 구성을 실현한 것이다. 즉, 제7실시형태에 의한 액정표시부에서는, 도 3에 나타낸 바와 같이, 표시영역의 상하(또는 좌우)의 양쪽에 데이터구동회로(1, 2)가 있고, 각각의 데이터구동회로(1, 2)로부터 연장되는 각각의 데이터선군(3, 4)은, 표시영역의 상하(또는 좌우)에서는 전기적으로 분리하고 있다. 나아가, 이 상하(또는 좌우)에 대응하여 게이트구동회로(5, 6)가 상하(또는 좌우)로 분할된 형상으로 표시영역의 왼쪽 또는 오른쪽(또는 위 또는 밑)에 배치된다.

본 발명에 있어서의 제8실시형태에 의한 액정표시부에서는, 도 2에 나타낸 제2실시형태에 있어서의 액정표시장치를 사용하여, 도 4로 설명한 제2실시형태에 의한 액정표시부와 같은 구성을 실현한 것이다. 즉, 제8실시형태에 의한 액정표시부에서는, 도 4에 나타낸 바와 같이, 게이트구동회로(5, 6)가 상하(또는 좌우)로 분할된 형상임과 동시에 표시영역의 좌우(또는 상하)의 양측에 배치된다.

본 발명의 제9실시형태에 의한 액정표시부에서는, 도 2에 나타낸 제2실시형태에 있어서의 액정표시장치를 사용하여, 도 5로 설명한 제3실시형태에 의한 액정표시부와 같은 구성을 실현한 것이다. 즉, 액정표시부에서의 데이터구동회로가 위와 밑(또는 왼쪽과 오른쪽)으로 각각 가로(또는 세로)로 복수로 분할되어 있다. 즉, 제9실시형태에 의한 액정표시부는, 도 5에 나타낸 바와 같이, 데이터구동회로를 둘로 분할하여, 데이터구동회로는 1a, 1b, 2a, 2b로 한다. 또한, 보다 다수의 분할을 하더라도 상관없다.

본 발명의 제10실시형태에 의한 액정표시부에서는, 도 2에 나타낸 제2실시형태에 있어서의 액정표시장치를 사용하여, 도 6에서 설명한 제4실시형태에 의한 액정표시부와 같은 구성을 실현한 것이다. 즉, 제7, 제8실시형태에 있어서의 액정표시부에 있어서, 게이트구동회로가 더욱 다수로 분할된 것이고, 도 6에 나타낸 바와 같이, 게이트구동회로를 4분할하여, 5a-1, 5a-2, 5b-1, 5b-2, 6a-1, 6a-2, 6b-1, 6b-2로 분할되어 있다.

본 발명의 제11실시형태에 의한 액정표시부에서는, 도 2에 나타낸 제2실시형태에 있어서의 액정표시장치를 사용하여, 도 7, 도 8로 설명한 제5실시형태에 의한 액정표시부와 같은 구성을 실현한 것이다. 즉, 본 실시형태로서는, 제7 1 0실시형태에 의한 액정표시부에 있어서, 데이터선과 주사선이 교차하는 교점중 선택한 소정의 교점에만 능동소자를 배치한다.

본 발명의 제12실시형태에 의한 액정표시부에서는, 도 2에 나타낸 제2실시형태에 있어서의 액정표시장치를 사용하여, 도 7, 8로 설명한 제6실시형태에 의한 액정표시부와 같은 구성을 실현한 것이다. 즉, 제12실시형태에 의한 액정표시부는, 제7 제11실시형태에 의한 액정표시부에 있어서, 배선의 일부 또는 전부를 매설, 또는, 브리지 형상으로 마련한다. 즉, 배선의 일부 또는 전부를 별도의 층으로 마련하여도 좋다.

이상, 본 발명의 액정표시장치에 있어서의 제1 제12실시형태에 의한 액정표시부에 관해서 상세히 설명하여 왔지만, 다음에, 본 발명의 능동소자에 관해서 설명한다. 본 발명의 능동소자로서는, MIM(metal insulator metal)구조의 다이오드, TFT 기타 스위칭소자가 생각된다. TFT의 경우는, 비결정질실리콘(α-Si)이라도 폴리실리콘(poly Si)이라도 다른 재료에 의해서도 상관없다. 또한, DRAM 기판에의한 스위칭을 하더라도 상관없다.

또한, 본 발명의 구동회로는, 단결정실리콘을 사용하여 액정표시의 유리기판과 별도로 제작하여 접속하더라도 좋고, 폴리실리콘에 의해 유리기판상에 형성하더라도 좋다. 구동회로내의 회로의 구성은, 이하의 구동방법의 실시형태에 따라 시프트 레지스터나 버퍼나 랫치나 그 밖의 회로에 의해 적절히 형성된다.

다음에, 본 발명의 액정표시장치의 구동방법의 실시형태에 관해서 설명하기 전에, 우선, 도 9, 도 10에 나타낸 구동방법의 리셋형태를 나타내는 타이밍 챠트에 관해서 설명한다. 도 9에서는, 각 게이트구동회로의 기록을 거의 동시에 스타트하고, 도 10에서는, 어떤 게이트회로내에서의 주사종료후, 다음 게이트회로를 주사하여, 패널전체면에서의 순차주사를 가능하게 한다. 도 9, 도 10에 관해서의 상세한 것은 후술한다.

다음에, 본 발명의 액정표시장치에 있어서, 제1 제29실시형태에 의한 구동방법에 관하여 설명한다.

본 발명의 액정표시장치에 있어서의 제1실시형태에 의한 구동방법은, 상술한 제1 제12실시형태에 있어서의 액정표시부의 어느 것인가를 구동할 때, 리셋을 각 게이트구동회로내에서는 일괄해서 행하는 것이다. 즉, 전술한 전체면일괄리셋을 게이트구동회로마다 채용한다. 당연히, 모든 게이트구동회로를 동시에 리셋하는 것에 의해 완전한 전체면일괄리셋의 형태로 하여도 좋다.

본 발명의 액정표시장치에 있어서의 제2실시형태에 의한 구동방법은, 제1실시형태에 의한 구동방법의 각 게이트구동회로의 리셋을 거의 동시에 스타트하여, 거의 완전한 전체면일괄리셋의 형태로 한것이다.

본 발명의 액정표시장치에 있어서의 제3실시형태에 의한 구동방법은, 제1 및 제2실시형태에 의한 구동방법에 있어서, 예컨대, 도 13 도 15 (일본 특원평10-041689호공보의 도 1)와같이, 제 1필드에서의 주사방향을 위에서 밑(또는 왼쪽에서 오른쪽), 제 2필드에서의 주사방향을 밑에서 위(또는 오른쪽에서 왼쪽)로 한다. 이와 같이, 주사방향을 바꾸는 것에 의해 패널면내에서의 휘도분포를 없애는 것이 가능하다. 한편, 리셋전압이나 데이터전압은, 도 14, 도 15에 한정되는 것은 아니고 액정표시모드나 구동의 종류에 따라 임의로 선택이 가능하다. 또한, 특원평10-041689호공보에 기재한 그 밖의 방법을 적용하는 것도 가능하다.

본 발명의 액정표시장치에 있어서의 제4실시형태에 의한 구동방법은, 제1 제3실시형태에 의한 구동방법에 있어서, 각 게이트구동회로내에서의 각 주사선의 기록을 순차 주사에 의해 행한다.

본 발명의 액정표시장치에 있어서의 제5실시형태에 의한 구동방법에서는, 제4실시형태에 의한 구동방법에 있어서, 각 게이트구동회로의 기록을 일정시간 간격을 두고 순차스타트한다. 이방법을 다시 변경하여, 어떤 게이트회로내에서의 주사종료후, 다음 게이트회로를 주사하는 것에 의해, 패널전체면에서의 순차주사가 가능하다.

본 발명의 액정표시장치의 제6실시형태에 의한 구동방법은, 제4실시형태에 의한 구동방법에 있어서, 각 게이트구동회로의 기록을 거의 동시에 스타트한다. 이 경우의 구동의 타이밍 챠트를 도 9에 나타내고 있다. 이방법에 의하면, 도 29에 나타낸 종래의 구동에 비교하여, 표시기간이 매우 증대할 수 있다.

본 발명의 액정표시장치에 있어서의 제7실시형태에 의한 구동방법은, 제1 제3실시형태에 의한 구동방법에 있어서, 각 게이트구동회로내에서의 각 주사선의 기록을 전주사선 거의 동시에 행한다. 이것에 의해 더욱 표시기간의 증대가 가능하다.

본 발명의 액정표시장치에 있어서의 제8실시형태에 의한 구동방법은, 리셋을 각 게이트회로내에서 주사하면서 행한다. 즉, 전술한 주사리셋을 게이트구동회로마다 채용한다. 당연히, 모든 게이트구동회로를 순차로 리셋하는 것에 의해 전체면을 순차로 주사하는 주사리셋로 하여도 좋다.

본 발명의 액정표시장치에 있어서의 제9실시형태에 의한 구동방법은, 상술한 주사를 각 주사선마다 행한다.

본 발명의 액정표시장치에 있어서의 제10실시형태에 의한 구동방법은, 임의로 선택된 복수의 주사선을 1블럭으로 하여 이 블럭을 동시에 리셋하고, 또한 블럭을 임의로 선택하여 주사한다.

본 발명의 액정표시장치에 있어서의 제11실시형태에 의한 구동방법은, 제10실시형태에 의한 구동방법에 있어서, 특원평10-041689호공보에 나타낸 주사방법을 적용한다. 예컨대, 도 16 도 18(특원평10-041689호공보의 도 3)과 같이, 제 1필드에서 기록을 한 제 1의 주사선군은 제 2필드의 끝에 리셋하고, 제 2필드에서 제 1의 주사선군의 방향과 역방향에서 기록을 한 제 2의 주사선군은 다음 프레임의 제 1필드의 끝에서 리셋을 한다. 이와 같이, 주사방향을 바꾸는 것에 의해 패널면내에서의 휘도분포를 완화하는 것이 가능하다. 한편, 리셋전압이나 데이터전압은, 도 17, 도 18에 한정되는 것은 아니고 액정표시모드나 구동의 종류에 따라 임의로 선택이 가능하다. 또한, 특원평10-041689호공보에

기재한 그 밖의 방법을 적용하는 것도 가능하다.

본 발명의 액정표시장치에 있어서의 제12실시형태에 의한 구동방법은, 제8 제11실시형태에 의한 구동방법에 있어서 각 게이트구동회로내에서의 각 주사선의 기록을 순차 주사에 의해 행한다.

본 발명의 액정표시장치에 있어서의 구동방법의 제13실시형태에 의한 구동방법은, 제12실시형태에 의한 구동방법에 있어서, 각 게이트구동회로의 기록을 일정시간 간격을 두고 순차로 스타트한다.

본 발명의 액정표시장치에 있어서, 제14실시형태에 의한 구동방법은, 제13실시형태에 의한 구동방법을 다시 변경한 기술이고, 어떤 게이트회로내에서의 주사종료후, 다음 게이트회로를 주사한다. 이방법에 의해, 패널전체면에서의 순차 주사가 가능하다. 이 경우의 구동의 타이밍챠트를 도 10에 나타낸다. 타이밍챠트는, 외관상 도 30과 같아진다. 그러나, 게이트구동회로가 분할되어 있는 점에서 크게 다르다.

본 발명의 액정표시장치에 있어서의 제15실시형태에 의한 구동방법은, 제12실시형태에 의한 구동방법에 있어서, 각 게이트구동회로의 기록을 거의 동시에 스타트한다.

본 발명의 액정표시장치에 있어서의 제16실시형태에 의한 구동방법에서는, 제8 제11실시형태에 의한 구동방법에 있어서, 각 게이트구동회로내에서의 각 주사선의 기록을 전주사선 거의 동시에 행한다. 이것에 의해 더욱 표시기간의 증대가 가능하다.

본 발명의 액정표시장치에 있어서 제17실시형태에 의한 구동방법은, 광학계가 액정표시부전체면을 일괄해서 점등한다.

본 발명의 액정표시장치에 있어서의 제18실시형태에 의한 구동방법은, 광학계가 액정표시부의 안, 각 게이트구동회로마다의 블럭내를 일괄해서 점등하고, 다른 게이트구동회로에서는 다른 타이밍으로 점등한다.

본 발명의 액정표시장치에 있어서의 제19실시형태에 의한 구동방법은, 제1 제16실시형태에 의한 구동방법에 있어서, 제17 또는 제18실시형태를 행하는 것이다.

본 발명의 액정표시장치에 있어서의 제20실시형태에 의한 구동방법은, 제19실시형태에 의한 구동방법중, 특히, 제6 또는 제7실시형태에 의한 구동방법을 채용한 제17 및 제18실시형태에 의한 구동방법이다. 제20실시형태에 의한 구동방법중, 제6실시형태에 의한 구동방법을 채용한 제17실시형태에 의한 구동방법은, 이하와 같다.

도 9의 타이밍챠트로 기록의 주사 및 리셋이 행하여진다. 이때문에, 도 29에 나타낸 종래의 구동에 비교하여, 기록 및 응답에 사용되는 시간이 대폭 감소된다. 그 결과, 표시에 사용할 수 있는 기간이 증대한다. 광원을 표시영역전체면에 일괄점등한 경우, 표시에 사용할 수 있는 기간이 긴 본 실시형태쪽이 고휘도의 표시를 얻을 수 있다. 이와 같이 광의 이용효율이 증대한다. 또한, 액정이 충분히 응답한 안정된 표시를 하는 것이 가능한 시간이 증대되어 있기 때문에, 색시분할이나 명암의 점멸을 행하는 경우에 표시가 안정된 고화질인 표시가 가능하다. 이와 같이 광원일괄점등에 있어서, 제6실시형태를 채용하면, 지극히 효율적인 광의 이용이 가능하다. 또한, 고화질인 표시가 가능해진다. 제7실시형태를 채용하면 더욱 광원일괄점등에 알맞는 효율적인 광의 이용이 가능하다. 한편, 표시기간을 같은 시간으로 한 경우에서는, 각 주사선에의 기록 시간을 증대할 수 있다. 즉, 게이트구동회로의 주파수를 저감할 수 있다. 이 쌍방의 효과를 더불어 가지며, 게이트구동회로의 주파수를 저감하면서, 또한, 표시기간을 증대하는 것도 가능하다.

본 발명의 액정표시장치에 있어서의 제21실시형태에 의한 구동방법은, 광학계가 액정표시부를 주사하면서 점등한다. 이것은, 주사식의 광학계라고 말 할 수있다.

본 발명의 액정표시장치에 있어서의 제22실시형태에 의한 구동방법은, 광학계가 액정표시부중, 각 게이트구동회로마다의 블럭내를 주사하여 점등하여, 다른 게이트구동회로에서는 다른 타이밍으로 점등한다.

본 발명의 액정표시장치에 있어서의 제23실시형태에 의한 구동방법은, 제1 제16실시형태에 의한 구동방법에 있어서, 제21 또는 제22실시형태에 의한 구동방법을 사용한다.

본 발명의 액정표시장치에 있어서의 제24실시형태에 의한 구동방법은, 제23실시형태에 의한 구동방법중, 특히, 제14실시형태에 의한 구동방법을 채용한 제21 및 제22실시형태이다. 제24실시형태중, 제14실시형태를 채용한 제21실시형태의 동작은 이하와 같다.

도 10의 타이밍챠트로 기록의 주사 및 리셋이 행하여진다. 그러므로 외관상은 도 30에 나타낸 종래의 구동과 같아 진다. 그러나, 각 구동회로에서는 구동해야 할 주사선갯수가 줄고 있고, 종래의 주사선이 구동할 수 없는 회로에서의 구동이 가능하다. 이것에 의해 염가로 양호한 특성의 구동회로를 사용할 수 있다. 한편, 액정표시부의 구동과 동기하여 광원을 표시영역을 순차로 주사하여 점등한 경우, 대단히 양호한 표시를 얻을 수 있다. 이와 같이, 이 실시형태에의하면, 광원이 주사식인 경우에 있어서도 양호한 표시를 얻을 수 있다.

본 발명의 액정표시장치에 있어서의 제25실시형태에 의한 구동방법은, 제1 제24실시형태에 의한 구동방법에 있어서, 필요에 따라서, 주사선의 주사의 타이밍, 및 광원의 휘도의 순발 특성을 고려하고, 또한, 패널면내에서의 표시얼룩의 발생을 고려하여 주사선과 광원의 동기를 행한다. 동기에는 클럭 및 설정된 소정클럭의 어긋남을 발생케 하기위한 카운터가 설치된다. 이 카운터로서는, 바이너리 카운터(binary counter)나 존슨카운터를 사용하여도, 또는 그 밖의 형태의 카운터를 사용하여도 상관없다.

본 발명의 액정표시장치에 있어서의 제26실시형태에 의한 구동방법은, 제1 제25실시형태에 의한 구동방법에 있어서, 입사광학계에의한 광이 데이터구동회로 및 게이트구동회로의 구동회로부에 입사되지 않게끔 되어 있다. 이 입사되지않는 방법은, 차광층 또는 패터닝된 셔터층에 의하여도 좋고, 그 밖의 방법에 의하여도 좋다.

본 발명의 액정표시장치에 있어서의 제27실시형태에 의한 구동방법은, 표시영역내의 스위치부에 광이 입사되지않은 것같은 형상의 광이 입사광학계에서 액정표시부에 출사된다. 이 형상으로서는, 스트라이프상, 체크무늬모양, 암부의 점들이 존재하는 형상등이 생각되고, 또한 다른 형상이라도 상관없다.

본 발명의 액정표시장치에 있어서의 제28실시형태에 의한 구동방법에서는, 상기의 모든 실시형태에 의한 구동방법에 있어서, 데이터선의 갯수를 배로 하여, 주사선의 갯수를 반감하는 방법을 적용한다. 이에 의해, 게이트구동회로의 부담이 대폭 감소된다. 이 경우의 화소배열의 예를 도 11에 나타내고 있다.

본 발명의 액정표시장치에 있어서의 제29실시형태에 의한 구동방법은, 분할된 각 게이트구동회로와 각 데이터구동회로에 의해 형성되는 다수의 표시영역 블럭으로부터 선택되는 블럭을 광학계에서 순차 주사하는 액정표시장치이다.

도 12에 나타내는 바와 같은 게이트구동회로가 2분할되고, 데이터구동회로도 2분할되어 있는 도 4에 나타낸 액정표시부를 사용하여, 제29실시형태에 의한 구동방법의 예를 모식적에 나타낸다. (a)는 4분할되어 있는 좌측위에 광을 조사하고 있는 순간이고, (b)는 오른쪽위에 조사하고 있는 순간, (c)는 좌측밑에 조사하고 있는 순간, (d)는 오른쪽밑으로 조사하고 있는 순간이다. 예컨대, (a) - (b) - (c) - (d)의 순으로 광을 주사한다. 그러나, 이 순서로 할 필요는 전혀 없다. 또한, 이 도면에서는, 광의 주사시의 각 블럭이 전체면 점등되어 있는 것으로 되어 있지만, 각 블럭내에서 주사하여 조사되더라도 좋다. 나아가서는, 복수의 블록을 동시에 조사하여도 좋다.

상술한 여러가지의 실시의 형태에 있어서의 구동방법으로서는, 도 2와같이 동기부가 독립되어 있는 도면밖에 게재되어 있지 않은 액정표시부를 사용하여 설명하였지만, 다른 구성으로 이루어지는 액정표시부를 구동하는 것으로 하여도 좋다. 예컨대, 동기부를 액정표시부의 구동회로내에 설치하여도 좋고, 광원의 구동회로내에 설치하여도 좋다.

다음에, 도면을 참조하여, 본 발명의 1-1 1-6실시예에 관해서 상세히 설명한다. 먼저, 도 10을 참조하여, 본 발명의 액정표시장치의 제1-1실시예에 관해서 설명한다. 도 19는, 본 발명의 제1-1실시예에 있어서의 TFT를 어레이형상으로 형성한 유리기판을 나타내는 확대도이다. 제1-1실시예는, OCB (옵티컬리 · 콤펜세이티드 · 바이리프리젠스)라고 불리는 π셀에 보상판을 부가하여 광시야각으로 한 액정표시소자로 액정표시부를 형성하여, 본 발명을 적용한 예이다. 보상판의 구성을 변화시키면, 캄플리멘터리 · π셀 · 스트럭춰(CPS: Complementary pi-cel1 structure)모드로 하는 것도 가능하다. 480개의 게이트버스라인(주사전극선)및 640개의 드레인버스라인(신호전극선)은 스패터법으로 형성된 크롬(Cr)을 사용하여, 선폭을 10μm로 하고, 게이트절연막에는 질화실리콘(SiNx)을 사용하였다. 1단위화소의 크기는 서로 330μm, 횡110μm으로 하고, 비결정질 실리콘을 사용하여 TFT(박막트랜지스터)을 형성하고, 화소전극은 투명전극인 산화인듐석(ITO)을 사용하여, 스패터법으로 형성하였다. 이와 같이 도 19에 일부의 확대도를 나타낸 바와 같이 TFT를 어레이형상으로 형성한 유리기판을 제1기판으로 하였다. 이 제1기판과 대향하는 제2기판에는, 크롬을 사용한 차광막을 형성한 후, 칼라필터를 염색법에 의해 매트릭스상에 형성하였다. 이 칼라필터의 형성시에 각 색의 칼라필터는 1.5μm 으로 하여 3색 중첩하는 것으로 4.5μm의 요철구조를 얻었다. 또한, 칼라필터이외의 투명수지재료를 사용하여 적층함으로서 두께가 6μm가 되도록 하였다. 더욱이, 요철구조는 TFT 기판과 대향시킨 때에, 화소개구부 이외의 영역에 신호전극선과 대향하도록 신호전극선 3개당 1개의 비율로 형성하였다. 제1 및 제2기판에, 스핀코트법에 의해 폴리아믹산을 도포하여 200℃로 베킹하여 이미드화하여 폴리이미드막을 형성하였다. 이 폴리이미드막 위를, 레이온을 사용한 바프포를 직경50mm의 롤러에 감아 붙이고, 롤러의 회전수 600rpm, 스테이지이동속도 40mm/초, 압입량 0.7mm, 라빙 회수 2회로 파라렐라빙으로 될 것 같은 방향으로 라빙하였다. 접촉단차계로 측정한 배향막의 두께는 약 500Å이고, 크리스탈 로테이션(crystal rotation)법으로 측정한 프레틸트 각은 7도 이었다. 이러한 한쌍의 유리기판의 한쪽에 약6μm 직경의 원주상의 유리제 로드스페이서를 분산시킨 자외선경화성의 시일재를 도포하였다. 이들의 기판을 라빙 처리방향이 서로 평행라빙 되도록 양기판을 대향시켜 배치하고 비접촉으로 자외선을 조사하는 처리로 시일재를 경화시켜 갭 6μm의 패널을 짜세웠다. 이 패널에, 네마틱 액정을 주입하였다. 본 실시예에서는, S · I · D 94 · 다이제스트의 927페이지에서 930페이지에 나타나 있는 OCB표시모드와 동일한 효과를 얻을 수 있도록 설계한 보상판을 부가하였다. 이렇게 하여 제작한 액정패널에, 구동용의 구동기를 부착하여 액정표시부로 하였다. 이 액정표시부로는, 고속 · 광시야각인 표시를 얻을 수 있었다.

본 실시예에서는 구동방법으로서, 상술한 제20실시형태에 의한 구동방법중, 제6실시형태에 의한 구동방법을 채용한 제17실시형태에 의한 구동방법을 채용하였다. 입사광원으로서, 통상의 액정디스플레이에서 사용되는 전체면에 광을 입사하는 백라이트를 사용하고, 인버터회로의 개조에 의해 명암의 점멸을 할 수 있도록 하였다. 이방법에 의해, 종래의 액정학회의 LCD 포럼주최의 세미나(seminar)에서의「LCD가 CRT 모니터시장에 먹혀들기 위해서는 1동화표시의 관점에서 · · ·」의 예고집의 20페이지에서 23페이지의 방식보다 고휘도인 표시를 얻을 수 있었다. 또한, 휘도를 증대하지 않고, 패널면내에서의 휘도 얼룩이 없어지겠끔 백라이트의 점멸시간을 조절한 바, 지극히 고화질인 표시를 얻을 수 있었다. 더욱이, 보상판을 캄플리멘터리 · π셀 · 스트럭춰(CPS: Complementary pi-cel1 structure)모드의 구성으로 바꾼 바, 색얼룩이 거의 없는 고화질인 표시를 얻을 수 있었다.

다음에, 도 20을 참조하여, 본 발명의 제1-2실시예에 관해서 설명한다. 도 20은, 본 발명의 제1-2실시예에 있어서의 광원의 타이밍을 나타내는 개략도이다. 본 발명의 제1-2실시예에서는, 제1-1실시예와 액정표시모드는 같지만, 칼라필터 및 돌기형상의 스페이서를 형성하지 않고, 실리카에의한 볼형상스페이서를 살포하여 패널을 제작하였다. 이 액정표시부에, 색시분할광학계를 조합시켰다. 색시분할광학계로서는, 우선, 백색광원에 회전식의 색시분할용의 색필터를 사용한 구성을 사용하였다. 광원의 점멸의 타이밍은, 도 20(특원평10-041689호공보의 도 11)의 방법을 따랐다. 이것에 의해 색시분할에의한 표시가 가능하였다.

다음에, 도 21을 참조하여, 본 발명의 제1-3실시예에 관해서 설명한다. 도 21은, 제1-3실시예에 있어서 사용되는 액정표시장치의 광학계를 나타내는 개략도이다. 제1-3실시예에서는, 제1-2실시예의 색시분할광학계를 다음의 광학계로

변경하였다. 본 실시예에서의 색시분할광학계는, 미국의 칼라링크(ColorLink)사의 미국특허 5751384호에 나타내여지는 고투과율의 2색편광판을 사용하여 제작한 예를 다음에 나타낸다. 도 21에 광학계의 개략을 모식도로 나타낸다. 백색광원의 광(도면의 좌측밑의 화살표로 입사방향을 나타내었다)을, 편광분리소자(55)를 사용하여 두 가지의 직선편광으로 나눈 후, 한쪽의 직선편광에 편광회전소자(56)를 사용하여 다른쪽의 직선편광과 같은 진동방향으로 한 후, 합성하였다. 이 편광변환의 방법에 의해, 백색광은 지극히 손실이 적게 한쪽의 직선편광으로 갖춰진다. 여기서는 거울(57)을 사용하였지만, 광학계의 연구에 따라서는 필요없다. 또한, 구조에 따라서는 편광변환광학계를 다시 박형으로 하는 것도 가능하다. 이 다음, 황색一청색의 2색편광판(58), 액정소자A(59), 단색편광판(60), 액정소자B(61), 시안색一적색의 2색편광판(62)의 순으로 배치한다. 황색一청색2색편광판 및 시안색一적색2색편광판은 칼라링크사의 구성에 의해 지극히 손실이 적은 것으로 하였다. 다만, 칼라링크사의 구성에서 입사시에 필요로 하는 단색편광판을 없애고, 상기의 편광변환방법에 의해 구성하였기때문에, 광의 손실이 지극히 적다. 이방법으로는, 액정소자A(59)및 액정소자B(61)의 각각에서, 편광을 90도회전하는 조건과, 편광을 회전시키지 않는 조건을 스위칭하는 것을 조합시킴으로서 흑·빨강·초록·파랑의 빛을 출력하는 것이 가능하다. 이방법에 의해, 제 41도의 방식에서의 색시분할이 가능하였다. 이방식으로서는, 제1-2실시예와 비교하여 더욱 광의 이용율이 높고 양호한 표시를 할 수 있었다.

다음에, 본 발명의 제1-4실시예에 관해서 설명한다.

본 발명의 제1-4실시예는, 본 발명의 액정표시장치에 스메크텍액정을 사용한 것이다. TFT기판 및 CF기판은 제1-1실시예와 같이 작성하였다. 단지, 칼라필터의 각 색중 1색의 막두께를 1.6μm으로 하고, 이 층만을 사용하여 요철구조를 형성하였다. 또한, 표시영역의 외부에도 요철구조를 표시영역을 둘러싸고, 또한, 일부영역만 개방된 형상으로 설치하였다. 이 표시영역의 외부의 요철구조가 시일재(차폐재)의 벽을 대신하고, 입이 열린 영역이 액정주입구가 된다. 또한, 접촉부의 절연층은 패터닝하여 제거하였다. 그 후, 양기판에 스핀코트법에 의해 폴리아믹산을 도포하여 180℃로 베킹하여 이미드 화하여 폴리이미드막을 형성하였다. 이 폴리이미드막을 나일론을 사용한 바프포를 직경 50mm의 롤러에 말아 붙이고, 롤러의 회전수 600rpm, 스테이지이동속도 40mm/초, 압입량 0.7mm, 라빙회수 2회에 10°크로스라빙이 될 것 같은 방향으로 라빙하였다. 접촉단차계로 측정한 배향막의 두께는 약500Å이고, 크리스탈 로테이션(crystal rotation)법으로 측정한 프레틸트 각은 1.5도이었다. 이러한 한쌍의 유리기판을 라빙처리방향이 서로 10°크로스라빙이 되도록 양기판을 대향시켜 배치하여 220℃의 열처리에 의해 배향막에 사용한 폴리이미드를 더욱 경화시켜 접착성을 갖게 하고, 갭 1.6μm의 패널을 짜세웠다. 이 패널에, 아시아·디스플레이95의 61페이지에서 64페이지에 나타내여지는 V자형 스위칭을 하는 반강유전성액정조성물과 같은 액정조성물을, 진공중에 있어 85℃의 등방상(Iso)의 상태로 주입하였다. 이 액정의 자발분극값을 삼각파를 인가하여 측정한 바, 165 nC/cm2이었다. 또한, 응답속도는 층조전압에 따라서 달랐지만, 200마이크로초로부터 800마이크로초의 사이였다. 85℃인채로, 임의파형발생기와 출력증폭를 사용하여 패널전체면에 주파수가 3kHz에서 진폭이 ±10V의 구형파를 인가하고, 전계를 인가하면서, 실온까지 0.1℃/분의 속도로 서냉하였다. 이렇게하여 제작한 액정패널에, 구동용의 구동기 IC를 부착하여 액정표시부로 하였다. 얻어진 액정패널의 표시는, 충분한 콘트래스트가 확보되어 있고 (콘트래스트비200이상), 넓은 시야각을 가지고 있고, 또한, 소부(燒付)잔상이 없는 양호한 표시이었다. 액정배향은 10°의 크로스라빙의 중앙, 즉, 각각의 라빙방향에서 5°어긋난 위치에 배향 하고 있었다.

본 실시예의 구동방법으로는, 본 발명의 제24실시형태에 의한 구동방법에 있어서, 특히 제14실시형태를 채용한 제21실시형태를 사용하였다. 입사광원으로서, 제3실시예의 칼라링크방식에 의한 색시분할광학계를 사용하였다. 단지, 액정소자A 및 액정소자B에서는, 전극을 패터닝하여 형성함으로서, 주사식으로 사용할 수 있도록 하였다. 액정소자A 및 B에서 사용하는 액정은, 강유전성액정에의한 SSFLC(표면안정화강유전성액정)을 사용하여 고속응답을 실현하였다. 본 실시예에서는, 고화질인 색시분할법에의한 표시가 실현되었다.

다음에, 본 발명의 액정표시장치의 제1-5실시예에 관해서 설명한다.

본 실시예는, 제1-1실시예와 마찬가지로 하였지만, 광원으로서, 명암점멸광원을 사용하였다. 이 점멸광원에 있어서는, 전극을 패터닝한 셔터효과를 가지는 액정소자를 배치하고, 주사식으로 하였다. 이것에 의해 양호한 주사식의 명암점멸광원에의한 표시가 실현되었다. 이방식으로는, 특히 셔터용의 액정소자의 온·오프의 타이밍을 조절하는 것에 의해, 동화표시에서의 셔터효과에의한 개선의 정도를 조절하는 것이 가능하였다.

다음에, 도 22 및 도 23을 참조하여, 본 발명의 액정표시장치의 제1-6실시예에 관해서 설명한다. 도 22는, 본 발명의 액정표시장치의 제1-6실시예에의한 플레이너형화소스위치를 나타내는 단면도이고, 도 23은 사용한 액정재료의 전압·투과율특성을 나타내는 도면이다. 이 실시예로서는, 폴리실리콘(다결정실리콘, poly Si)의 TFT 어레이를 제작하고, 자발분극값이 작은 스메크티크 액정재료를 구동하였다. 구체적으로는, 유리기판상에 산화실리콘막을 형성한 후, 비결정질 실리콘을 성장시키었다. 다음에, 엑사이머(excimer)레이저를 사용하여 아닐하고 비결정질 실리콘을 폴리실리콘화시켜, 다시100Å의 산화실리콘막을 성장시키었다. 패터닝한 후, 포토레지스트를 게이트형상보다 약간크게(후에 LDD 영역을 형성하기 위해서) 패터닝하여 인이온을 도핑하는 것에 의해 소스와 드레인영역을 형성하였다. 다시, 산화실리콘막을 성장시킨 후, 마이크로크리스탈실리콘(μ-c-Si)과 텅스텐실리사이드(WSi)를 성장시켜, 게이트형상으로 패터닝하였다. 나아가, 패터닝한 포토레지스트에 의해 필요영역에만 인이온을 도핑하는 것에 의해 LDD영역을 형성하였다. 산화실리콘막과 질화실리콘막을 연속성장시킨 뒤, 접촉용의 구멍을 뚫고, 알루미늄 및 티타늄을 스패터로 형성하여 패터닝하였다. 질화실리콘막을 형성하여, 접촉용의 구멍을 뚫고, 화소전극용으로 투명전극인 ITO를 형성하여 패터닝하였다. 이렇게하여 도 22에 나타내는 바와 같은 플레이너형의 TFT화소스위치를 작성하여 TFT어레이를 형성하였다. 유리기판상에는 TFT스위치에의한 화소어레이만 마련하고 구동회로는 기판내에 설치하지 않고, 단결정실리콘에 의해 외부에 부착하였다. 이렇게하여 제작한 TFT어레이기판과, 대향전극이 되는 ITO를 전체면에 패터닝한 후, 차광용의 크롬의 패터닝층을 갖는 대향기판을 준비하였다. 대향기판측에 1.8μ의 패터닝된 기둥을 제작하고, 스페이서 및 내충격력을 갖도록 하였다. 또한, 대향기판의 화소영역외부에 자외선경화용의 시일재를 도포하였다. 다음에, TFT 기판과 대향기판을 접착한 후, 액정을 주입하였다. 액정재료로서는, 자발분극값이 거의 18 [nC/cm2]로 연속층조표시가 가능한 스메크티크 액정재료를 사용하였다. 또한, 사용한 액정재료의 전압·투과율특성은, 도 23에 나타내는 것 같은 형상이었다.

본 실시예의 구동방법으로는, 상술한 본 발명의 구동방법의 제24실시형태중, 제14실시형태를 채용한 제21실시형태를 사용하였다. 입사광원으로서, 본 발명자에 의해 발명된 특원평11-019095호공보의 제1실시형태의 광원을 채용하였다. 이 결과, 광의 손실이 거의 없이 순차 주사가 가능한 광원을 얻을 수 있었다. 이 결과, 지극히 높은 광이용효율로, 고화질을 얻을 수 있었다.

다음에, 본 발명의 제3실시형태에 의한 액정표시장치에 관해서 설명한다. 도 33은 본 발명의 제3실시형태에 의한 액정표시장치의 개략구성을 나타내는 도면이다. 도 33에 있어서, 본 발명의 제3실시형태에 의한 액정표시장치는 출력전송부(501)와, 보정회로부(502)와, 신호원(503)과, V-T (전압투과율) 보정부(504)를 구비하고 있다.

출력전송부(501)는 게이트구동기(50li)에 의해서 순차 구동되는 복수의 주사선(5101)과, 데이터구동기(501j)에 의해서 순차 데이터신호가 전송되는 복수의 신호선(5102)과의 각 교점부근에, 게이트전극이 주사선(5101)에 접속되며 또한 소스전극 및 드레인전극의 한쪽이 신호선(5102)에 접속된 MOS형트랜지스터(Qn, 50la)와, 입력전극이 MOS형트랜지스터(Qn, 50la)의 소스전극 및 드레인전극의 다른쪽에 접속되며 또한 출력전극이 화소전극(50le)에 접속된 아날로그증폭회로(501b)와, 아날로그증폭회로(50lb)의 입력전극과 전압보지용량전극(501c)과의 사이에 형성된 전압보지용량(501d)과, 화소전극(50le)과 대향전극(50lf)과의 사이에서 스위칭시키는 액정(50lg)과, 입력단이 아날로그증폭회로(501b)의 출력전극에 접속되며 또한 출력단이 증폭모니터선(5103) 또는 신호선(5102)에 접속된 스위치(50lh)로 이루어지는 증폭출력검출용화소에 의해서 구성되어 있다. 이 출력전송부(501)는 그대로 화상표시부가 된다.

보정회로부(502)는 스위치(50lh) 및 증폭모니터선(5103){신호선(5102)이 이것을 겸하는 경우도 있음}을 통하여 아날로그증폭회로(501b)의 출력전극에 접속된 독출회로(502a)와, 독출회로(502a)로부터의 출력과 기준전압(Vref)과의 차분를 검출하는 검출회로(502b)와, 검출회로(502b)로부터의 출력을 A/D (아날로그/디지털)변환하는 A/D변환

기(502c)와, A/D변환기(502c)의 출력을 기억하는 메모리(502d)와, 메모리(502d)의 기억내용에 따른 전압을 데이터신호에 인가하는 전압출력수단(502e)으로 구성되어 있다.

도 34는 도 33의 독출회로(502a)의 구성예를 개시하는 블럭도이다. 도 34에 있어서, 독출회로(502a)는 스위치(521a)와 시프트레지스터(521b)로 구성되고, 증폭출력검출용화소(505)로부터 보내어져 온 증폭출력전압(Vout)을 소정의 순서에 따라 검출회로(502b)로 전송한다.

도 35는 본 발명의 제3실시형태에 의한 액정표시장치의 1화소분의 구성을 나타내는 도면이다. 도 35에 있어서, 본 발명의 제3실시형태에 의한 액정표시장치는, 게이트전극이 주사선(5201)에 접속되며 또한 소스전극 및 드레인전극의 한쪽이 N번째의 신호선(5202)에 접속된 제 1의 MOS형트랜지스터(Qnl, 531)와, 입력전극이 제 1의 MOS형트랜지스터(531)의 소스전극 및 드레인전극의 다른쪽에 접속되며 또한 출력전극이 화소전극(50le)에 접속된 아날로그증폭회로(50lb)와, 게이트전극이 스위치선택선(5201)에 접속되며 또한 소스전극 및 드레인전극의 한쪽이 아날로그증폭회로(50lb)의 출력전극에 접속됨과 동시에, 소스전극 및 드레인전극의다른쪽(타면)이 N+1번째의 신호선(5203)에 접속된 제 2의 MOS형트랜지스터(Qn2, 532)와, 아날로그증폭회로(50lb)의 입력전극과 전압보지용량전극(501c)과의 사이에 형성된 전압보지용량(50ld)과, 화소전극(501e)과 대향전극(50lf)의 사이에서 스위칭시키는 액정(50lg)으로 구성되어 있다.

여기서, 제1MOS형트랜지스터(531) 및 제2MOS형트랜지스터(532) 및 아날로그증폭회로(50lb)는 p-SiTFT(Thin Film Transistor)로 구성되어 있다. 또한, 아날로그증폭회로(50lb)의 이득은 1배로 설정되어 있다.

도 36은 본 발명의 제3실시형태에 의한 액정표시장치의 증폭출력검출시의 구동방법을 나타내는 도면이다. 이 도 36을 참조하여, 상기의 화소구성을 사용한 액정표시장치의 증폭출력검출방법에 관해서 설명한다.

도 36은 도 35에 나타내는 화소구성에 의해서 액정을 구동한 경우의 게이트주사전압(Vg), 데이터신호전압(Vd), 스위치선택선전압(Vsw), 증폭입력전압(Va), 증폭출력전압(Vout){= 화소전압(Vpix)}의 타이밍챠트를 나타낸 것이다.

도 36에 나타낸 바와 같이, 게이트주사전압(Vg)가 하이레벨(VgH)로 됨으로서제1MOS형트랜지스터(531)는 ON상태가 되고, N번째의 신호선에 입력되어 있는 기준전압(Vref)가 제1MOS형트랜지스터(531)를 경유하여 아날로그증폭회로(50lb)의 입력전극에 전송된다.

아날로그증폭회로(50lb)는 증폭입력전압(Va)에 따른 증폭출력전압(Vout)을 출력하지만, 이 때, 스위치선택선전압(Vsw)는 로우레벨(VswL)로 설정되어 있고, 제 2MOS형트랜지스터(532)는 오프상태가 되어, 증폭출력전압(Vout)은 N+1번째의 신호선에 출력되지 않는다.

게이트주사전압(Vg)이 로우레벨이 되면, 제1MOS형트랜지스터(531)는 오프상태가 되어, 아날로그증폭회로(50lb)의 입력전극에 전송된 기준전압(Vref)은 전압보지용량전극(501c)에 의해서 보지된다. 그 때, 증폭입력전압(Va)는 제1MOS형트랜지스터(531)가 오프상태가 되는 시각에서, 제1MOS형트랜지스터(531)의 게이트·소스간용량을 경유하여 피드스루전압이라고 불리는 전압쉬프트를 일으킨다. 도 36에서는 그 전압쉬프트를 Vf로 나타내고 있다.

제1MOS형트랜지스터(531)가 오프상태로 된 후, 신호선에는 데이터구동기 (50lj)로 부터의 전압인가가 없어지고, 또한 스위치선택선전압(Vsw)이 하이레벨 (VswH)로 된다. 그 결과, 제2MOS형트랜지스터(532)가 ON상태로 되어, 증폭출력전압(Vout)이 N+ 1번째의 신호선에 출력된다.

증폭입력전압(Va)은 다시 게이트주사전압(Vg)이 하이레벨로 되어, 제1트랜지스터(531)가 선택될 때까지 보지되고, 아날로그증폭회로(50lb)는 증폭입력전압(Va)가 변화하기 까지의 동안, 그 보지된 증폭입력전압(Va)에 따른 전압을 계속 출력한다. 그 때문에, N+1번째의 신호선을 모니터 함으로서, 증폭출력전압을 검출하는 것이 가능해진다.

이와 같이, 신호선은 게이트주사전압(Vg)이 하이레벨의 경우에 통상의 신호선으로서, 게이트주사전압(Vg)이 로우레벨의 경우에 증폭출력의 검출선으로서 사용된다. 스위치 선택선전압(Vsw)이 하이레벨인 기간은, N+1번째의 신호선의 부하용량에의한 동작개시 지연이 문제가 되지 않는 정도로 충분히 길게 잡는다.

증폭출력의 검출이 종료되면, 스위치선택선전압(Vsw)은 다시 로우레벨로 되어, 제2MOS형트랜지스터(532)는 오프상태로 된다. 또한, 화상표시을 행하는 경우에는, 스위치선택선전압(Vsw)을 항상 로우레벨로 설정하여 놓으면 좋다.

다음에, 도 33에 나타내는 회로의 동작에 관해서 설명한다. 증폭모니터선

(5103){도 34에 나타내는 화소구성에 있어서는 신호선(5102)이 이것을 겸함}에 의해서 출력된 증폭출력전압(Vout)은, 독출회로(502a)에 보내여진다.

독출회로(502a)는 증폭출력검출용화소에서 보내여진 증폭출력전압(Vout)을, 소정의 순서에 따라 검출회로(502b)로 전송할 수가 있다. 검출회로(502b)에서는 증폭출력전압(Vout)과 기준전압(Vref)과의 차분전압을 검출한다. 이 차분데이터는 A/D변환기(502c)에 의해서 디지탈데이타로 변환되어, 메모리(502d)에 비축된다.

화상표시에 있어서는 화상데이터신호의 전송에 타이밍을 맞추어서, 메모리(502d)에서 전압출력수단(502e)로 차분데이터가 보내여지고, 전압출력수단(502e)에 의해서 그에 따른 보정전압이 화상데이터신호에 대하여 가산된다. 도 33에 있어서는, 화상데이터신호에 대한 다른 보정으로서 V-T보정이 기술되어 있지만, 통상, 이밖에에도 극성반전, 상전개등의 처리가 행하여진다.

다음에, 본 발명의 제3실시형태에 의한 액정표시장치의 효과에 관해서 설명한다. 본 발명의 제3실시형태에 의한 액정표시장치에서는 수평주사기간종료후도, 화소전극(50le)이 아날로그증폭회로(50lb)에 의해서 구동되기때문에, 종래에서 언급된 바와 같은 액정의 응답에 따르는 화소전압(Vpix){= 증폭출력전압(Vout)}의 시간변동을 없앨 수 있다.

그 때, 예컨대 제 53도에 나타내는 구성에 있어서, 증폭출력전압은 증폭입력전압(Va)과 증폭에 사용하고 있는 M0S형트랜지스터의 한계치(Vt)를 사용한 다음식으로, 요컨대,

Vpix = Va - Vt .....(2)

라는 식으로 표현된다.

그러므로, 아날로그증폭회로를 부착한 것 뿐인 종래기술에 있어서는, 한계치의 화소마다의 격차가 그대로 화소전압의 격차로 되어, 색얼룩 등의 화질저하가 생겨 버리지만, 본 발명의 제3실시형태에 의한 액정표시장치에서는 화소마다의 아날로그증폭회로(501b)의 출력특성에 따른 보정을 하고 있기때문에, 그러한 화질의 저하가 생기지 않는다.

이렇게 하여, 고분자액정, 분극을 가지는 강유전액정·반강유전액정, 0CB액정등, 종래기술에서 언급된 바와 같은 보지기간중에 전압변동이 생기는 액정재료를 사용할 수가 있고, 이러한 액정이나 종래 사용하고 있는 TN액정등의 액정을 구동하는 경우에, 보다 정확한 층조표시를 실현하여, 화면의 변동이나 색얼룩 등을 억제 한다는 효과가 얻어진다.

본 실시형태로는 제1MOS형트랜지스터(531)와 제2MOS형트랜지스터(532)와 아날로그증폭회로(50lb)를 각각 p-SiTFT로 형성한다 하였으나, a-SiTFT, 카드뮴·셀렌(selen)박막트랜지스터등의 다른 박막트랜지스터로 형성하여도 좋고, 단결정실리콘트랜지스터로 형성하여도 좋다. 또한, 본 실시형태로는 아날로그증폭회로(50lb)의 이득을 1배로 설정하고 있지만, 화소전압을 입력전압과 다르게 하기 위해서, 전압증폭도를 변화시켜도 좋다.

더욱이, 본 실시형태로는 화소의 선택스위치로서 n형 M0S트랜지스터를 채용하고 있지만, p형 M0S트랜지스터를 채용하여도 좋다. 그 경우, 게이트주사신호로서, 선택시에 로우레벨, 비선택때에 하이레벨로 되는 펄스신호를 입력한다.

나아가, 본 실시형태로는 증폭출력스위치로서 n형 M0S트랜지스터를 채용하고 있지만, p형 M0S트랜지스터를 채용하여도 좋다. 그 경우, 화소스위치가 선택되어 있는 때는 스위치선택선에 하이레벨(VswH)을, 화소스위치가 비선택일 때에는 스위치선택선에 로우레벨(VswL)을 입력한다.

상기의 메모리(502d)에는 개서 가능한 메모리, 재기록 불가능한 메모리의 어느 쪽을 사용하더라도 좋다. 개서 가능한 메모리를 사용하는 경우에는, 휘발성, 불휘발성의 메모리인가는 문제되지 않는다. 휘발성의 메모리를 사용하는 경우, 증폭출력의 검출및 메모리에의 기록은 액정표시장치의 작동개시마다 자동적으로 실시되지만, 불휘발성의 메모리에 있어서도 같은 처치를 적용하는 것도 가능하다. 또한, 휘발성·불휘발성에 불구하고, 개서 가능한 메모리를 사용하는 경우는, 증폭출력의 검출및 메모리의 갱신을 사용자가 임의의 타이밍으로 행할 수 있도록 하여도 좋다. 또한, 개서 가능한 메모리를 사용한 경우는, 증폭출력의 검출 및 메모리에의 기록에 시간을 요하지만, 증폭회로특성의 경시변화등에 대응하는 것이 가능해진다.

도 37은 본 발명의 제3실시형태에 의한 액정표시장치의 1화소분의 다른 구성예를 개시하는 도면이다. 도 37에 있어서, 본 발명의 제3실시형태에 의한 액정표시장치는 게이트전극이 주사선(510l)에 접속되며 또한 소스전극 및 드레인전극의 한쪽이 신호선(5102)에 접속된 제1MOS형트랜지스터(Qn1, 541)와, 입력전극이 제1MOS형트랜지스터(541)의 소스전극 및 드레인전극의 다른쪽에 접속되며 또한 출력전극이 화소전극(50le)에 접속된 아날로그증폭회로(50lb)와, 게이트전극이 주사선(5101)에 접속되며 또한 소스전극 및 드레인전극의 한쪽이 아날로그증폭회로(50lb)의 출력전극에 접속됨과 동시에, 소스전극 및 드레인전극의 다른쪽이 증폭모니터선(5401)에 접속된 제2MOS형트랜지스터(Qn2, 542)와, 아날로그증폭회로(50lb)의 입력전극과 전압보지용량전극(501c)과의 사이에 형성된 전압보지용량(501d)과, 화소전극(50le)과 대향전극(50lf)의 사이에서 스위칭시키는 액정(501g)으로 구성되어 있다.

여기서, 제1MOS형트랜지스터(541)와 제2MOS형트랜지스터(542)와 아날로그증폭회로(501b)는 각각 p-SiTFT로 구성되어 있다. 또한, 아날로그증폭회로(501b)의 이득은 1배로 설정되어 있다.

도 38는 본 발명의 제3실시형태에 의한 액정표시장치의 증폭출력검출시의 구동방법을 나타내는 도면이다. 이 도 38을 참조하여, 상기의 화소구성을 사용한 액정표시장치의 증폭출력검출방법에 관해서 설명한다.

도 38은 도 37에 나타내는 화소구성에 의하여 액정을 구동한 경우의 게이트주사전압(Vg), 데이터신호전압(Vd), 증폭입력전압(Va), 증폭출력전압(=화소전압) (Vout)의 타이밍챠트를 나타낸 것이다.

도 38에 나타낸 바와 같이, 게이트주사전압(Vg)이 하이레벨(VgH)로 됨으로서, 제1MOS형트랜지스터(541)는 ON상태로 되어, 신호선에 입력되어 있는 기준전압 (Vref)이 제1MOS형트랜지스터(541)를 경유하여 아날로그증폭회로(50lb)의 입력전극에 전송된다.

아날로그증폭회로(50lb)는 증폭입력전압(Va)에 따른 증폭출력전압(Vout)을 출력한다. 이 때, 제2MOS형트랜지스터(542)도 ON상태이고, 증폭출력전압(Vout)은 증폭모니터선(5401)에 출력되기때문에, 이것을 모니터 함으로서, 증폭출력을 검출하는 것이 가능해진다.

게이트주사전압(Vg)이 로우레벨이 되면, 제1MOS형트랜지스터(541) 및 제2MOS형트랜지스터(542)는 함께 오프상태로 되어, 증폭모니터선(5401)에의 출력이 중단된다. 아날로그증폭회로(501b)의 입력전극에 전송된 기준전압(Vref) 자체는 전압보지용량전극(501c)에 의해서 보지되어, 아날로그증폭회로(50lb)는 증폭입력전압(Va)이 변화하기 까지의 동안, 그 보지된 증폭입력전압(Va)에 따른 전압을 계속 출력한다.

그 때, 증폭입력전압(Va)은 제1MOS형트랜지스터(541)가 오프상태가 되는 시각에 있어서, 트랜지스터의 게이트·소스간용량을 경유하여 피드스루전압이라고 불리는 전압쉬프트를 일으킨다. 도 38에는 그 전압쉬프트를 Vf로 나타내고 있다.

게이트주사전압이 하이레벨인 기간은 증폭모니터선(5401)의 부하용량에 의한 동작개시 지연이 문제가 되지 않을 정도로 충분히 길게 잡는다. 도 37에 나타내는 구조로는, 증폭출력을 검출하는 경우와 화상표시를 행하는 경우에 있어서 타이밍챠트에 큰 차분는 없고, 수평주사기간의 길이를 조절하는 것만으로 족하다.

도 33에 나타내는 액정표시장치를 구성하는 화소에 도 37에 나타내는 구조를 사용한 경우의 동작은 독출회로(502a)에 접속되는 선이 증폭모니터선(5401)인 이외는, 도 35에 나타내는 구조를 사용한 경우와 동일하다.

도 37에 나타내는 구조에 있어서도, 도 35에 나타내는 구조의 경우와 같은 효과가 얻어진다. 덧붙여, 증폭출력전압검출시의 게이트주사전압(Vg), 데이터신호전압(Vd)의 타이밍 챠트가, 수평주사기간의 길이를 제외하면, 화상표시를 행하는 경우와 동일 하기 때문에, 수평주사기간을 규정하는 펄스폭 또는 펄스수를 변경하는 것 만으로 용이하게 증폭출력전압(Va)의 검출 루틴을 실행할 수가 있다는 효과를 갖는다.

본 실시형태로는 제1MOS형트랜지스터(541)와 제2 MOS형트랜지스터(542)와 아날로그증폭회로(50lb)를 p-SiTFT로 형성한다고 말하였지만, a-SiTFT, 카드뮴·셀렌(selen)박막트랜지스터등의 다른 박막트랜지스터로 형성하여도 좋고, 단 결정실리콘트랜지스터로 형성하여도 좋다. 또한, 본 실시형태로는 아날로그증폭회로(50lb)의 이득을 1배로 설정하고 있지만, 화소전압을 입력전압과 다르게 하기위해서, 전압증폭도를 변화시켜도 좋다.

더욱이, 본 실시형태로는 화소의 선택스위치 및 증폭출력스위치로서, n형 M0S트랜지스터를 채용하고 있지만, p형 M0S트랜지스터를 채용하여도 좋다. 그 경우, 게이트주사신호로서, 선택시에 로우레벨, 비선택시에 하이레벨로 되는 펄스신호를 입력한다.

또한, 메모리(502d)에는 개서 가능한 메모리, 개서 불가능한 메모리의 어느 쪽을 사용하여도 좋다. 개서 가능한 메모리를 사용하는 경우에는, 휘발성, 불휘발성의 메모리인가는 문제 되지 않는다. 휘발성의 메모리를 사용하는 경우, 증폭출력의 검출 및 메모리에의 기록은 액정표시장치의 작동개시마다 자동적으로 실시되지만, 불휘발성의 메모리에 있어서도 같은 처치를 적용하는 것도 가능하다. 또한, 휘발성·불휘발성에 불구하고, 개서 가능한 메모리를 사용하는 경우는, 증폭출력의 검출 및 메모리의 갱신을 사용자가 임의의 타이밍으로 행할 수 있 도록 하여도 좋다. 또한, 개서 가능한 메모리를 사용한 경우는, 증폭출력의 검출및 메모리에의 기록에 시간을 요하지만, 증폭회로특성의 경과시간변화등에 대응하는 것이 가능해진다.

도 39는 본 발명의 제4실시형태에 의한 액정표시장치의 개략구성을 나타내는 도면이다. 도 39에 있어서, 본 발명의 제4실시형태에 의한 액정표시장치는 출력전송부(506)와, 보정회로부(507)와, 신호원(503)과, V-T보정부(504)를 구비하고 있다.

출력전송부(506)는 게이트구동기(501i)에 의해서 순차 구동되는 복수의 주사선(5101)과, 게이트구동기(50lj)에 의해서 순차 데이터신호가 전송되는 복수의 신호선(5102)과의 각 교점부근에, 게이트전극이 주사선(5101)에 접속되며 또한 소스전극 및 드레인전극의 한쪽이 신호선(5102)에 접속된 MOS형트랜지스터(Qn, 50la)와, 입력전극이 MOS형트랜지스터(50la)의 소스전극 및 드레인전극의 다른쪽에 접속되며 또한 출력전극이 화소전극(501e)에 접속된 아날로그증폭회로(50lb)와, 아날로그증폭회로(501b)의 입력전극과 전압보지용량전극(501c)과의 사이에 형성된 전압보지용량(50ld)과, 화소전극(50le)과 대향전극(501f)의 사이에서 스위칭 시키는 액정(501g)과, 입력단이 아날로그증폭회로(50lb)의 출력전극에 접속되며 또한 출력단이 증폭모니터선(5103) 또는 신호선(5102)에 접속된 스위치(50lh)와로 이루어지는 증폭출력검출용화소에 의해서 구성되어 있고, 증폭모니터선(5103)의 한쪽의 끝이 외부측정장치(도시하지 않음)에 의한 측정이 가능하도록 단자전극(506a)인 구성으로 되어 있다.

이 출력전송부(506)는 그대로 화상표시부가 된다. 보정회로부(507)는 불휘발성메모리(507a)와, 불휘발성메모리(507a)의 기억내용에 따른 전압을 데이터신호로 인가하는 전압출력수단(502e)으로 구성되어 있다.

도 40은 본 발명의 제4실시형태에 의한 액정표시장치의 동작을 설명하기 위한 블럭도이다. 도 40은 본 발명의 제4실시형태에 의한 액정표시장치에 있어서의 증폭출력보정의 순서를 나타내고 있다.

증폭출력전압(Vout)은 증폭모니터선(5103) 또는 신호선(5102)에 의해서 단자전극(506a)에 출력된다. 외부측정장치(508)는 단자전극(506a)의 전압(Vout)을 읽어내는 전압계(508a)와, 증폭출력전압(Vout)과 기준전압(Vref)과의 차분전압을 검출하는 차분검출장치(508b)와, 그 차분데이터를 불휘발성메모리(507a)에 기록하는 기록장치(508c)로 구성되어 있다.

이렇게하여, 각 화소마다의 증폭출력특성이 불휘발성메모리(507a)에 기록된다. 화상표시에 있어서는 화상데이터신호의 전송에 타이밍을 맞추어서, 불휘발성메모리(507a)에서 전압출력수단(502e)으로 차분데이터가 보내여지고, 전압출력수단(502e)에 의해서 그 차분데이터에 따른 보정전압이 화상데이터신호에 대하여 가산된다.

본 발명의 제4실시형태에 의한 액정표시장치에 있어서의 l 화소의 구성은 도 35 및 도 37에 나타내는 구조와 동일이다. 본 발명의 제4실시형태에 의한 액정표시장치에 있어서도, 본 발명의 제3실시형태에 의한 액정표시장치와 동일한 효과가 얻어진다. 덧붙여, 본 발명의 제3실시형태에 의한 액정표시장치에 있어서 필요했던 독출회로(502a), 검출회로(502b), A/D변환기(502c)가 불필요하게 되기 때문에, 회로의 구성이 간단해 진다는 효과를 가진다.

제 41도는 본 발명의 제5실시형태에 의한 액정표시장치의 개략구성을 나타내는 도면이다. 제 41도에 있어서, 본 발명의 제5실시형태에 의한 액정표시장치는 표시부(509)와, 출력전송부(510)와, 보정회로부(511)와, 신호원(503)과, V-T보정부(504)를 구비하고 있다.

본 발명의 제5실시형태에 의한 액정표시장치는 트랜지스터의 반도체층이 레이저아닐에 의해서 결정화 혹은 재결정화된 박막반도체층이고, 그 때의 레이저주사방향은 주사선(5101)과 평행이던지 그에 준하는 각도로 되어 있다.

표시부(509)는 게이트구동기(50li)에 의해서 순차구동되는 복수의 주사선(5101)과, 데이터구동기(50lj)에 의해서 순차데이터신호가 전송되는 복수의 신호선(5102)과의 각 교점부근에, 게이트전극이 주사선(5101)에 접속되며 또한 소스전극 및 드레인전극의 한쪽이 신호선(5102)으로 접속된 MOS트랜지스터(Qn) (50la)와, 입력전극이 MOS형트랜지스터(50la)의 소스전극 및 드레인전극의 다른쪽에 접속되며 또한 출력전극이 화소전극(50le)에 접속된 아날로그증폭회로(50lb)와, 아날로그증폭회로(50lb)의 입력전극과 전압보지용량전극(501c)과의 사이에 형성된 전압보지용량(501d)과, 화소전극(501e)과 대향전극(50lf)의 사이에서 스위칭 시키는 액정(50lg)으로 이루어지는 표시용화소에 의해서 구성되어 있다.

출력전송부(510)는 게이트전극이 최종단주사선(5104)에 접속되며 또한 소스 전극 및 드레인전극의 한쪽이 신호선(5102)에 접속된 MOS형트랜지스터(Qn, 50la)와, 입력전극이 MOS형트랜지스터(501a)의 소스전극 및 드레인전극의 다른쪽에 접속되며 또한 출력전극이 화소전극(50le)에 접속된 아날로그증폭회로(501b)와, 아날로그증폭회로(50lb)의 입력전극과 전압보지용량전극(501c)과의 사이에 형성된 전압보지용량(50ld)과, 화소전극(50le)과 대향전극(501f)의 사이에서 스위칭 시키는 액정(50lg)과, 입력단이 아날로그증폭회로(50lb)의 출력전극에 접속되며 또한 출력단이 증폭모니터선(5103) 또는 신호선(5102)에 접속된 스위치(50lh)와로 이루어지는 증폭출력검출용화소에 의해서 구성되어 있다. 이들의 증폭출력검출용화소는 데이터구동기(50lj)에서 가장 떨어진 최종단주사선(5104)에 설치되어 있다.

보정회로부(511)는 스위치(50lh)에 접속된 독출회로(502a)와, 독출회로(502 a)로부터의 출력과 기준전압(Vref)과의 차분를 검출하는 검출회로(502b)와, 검출회로(502b)로부터의 출력을 A/D 변환하는 A/D변환기(502c)와, A/D변환기(502c)의 출력을 기억하는 메모리(502d)와, 메모리(502d)의 기억내용에 따른 전압을 데이터신호로 인가하는 전압출력수단(502e)으로 구성되어 있다.

본 발명의 제5실시형태에 의한 액정표시장치에 있어서의 표시부화소의 구성은 도 52에 나타내는 구조와 동일하게 되어 있다. 또한, 본 발명의 제5실시형태에 의한 액정표시장치에 있어서의 증폭출력검출용화소의 구성은 도 35 및 도 37에 나타내는 구조와 동일이다. 다만, 도 35에 있어서의 스위치선택선(5201)의 대신에, 표시에 사용되지 않은 주사선을 사용하여도 좋다.

도 41에 나타내는 본 발명의 제5실시형태에 의한 액정표시장치의 동작은 본 발명의 제3실시형태에 의한 액정표시장치의 경우와 동일이다. 다만, 본 발명의 제3실시형태에 의한 액정표시장치 및 본 발명의 제4실시형태에 의한 액정표시장치에 있어서는, 증폭출력보정용의 차분데이터가 비트마다 존재하지만, 본 발명의 제5실시형태에 의한 액정표시장치에 있어서는 신호선이 공통인 경우, 보정용차분데이터로 동일의 것이 사용된다.

본 실시형태로는 증폭출력검출용의 비트가 게이트구동기(50lj)에서 가장 떨어진 최종단주사선(5104)에 접속된다고 하였지만, 이들의 증폭출력검출용비트는 실제의 화상표시에 사용되어도 좋고, 또한 실제의 표시에 사용되지 않은 더미(dummy)비트를 사용하여도 좋다. 더미비트를 사용하는 경우에는, 더미비트이면 어느 것을 사용하여도 좋고, 게이트구동기(50lj)에서 가장 떨어진 주사선이라는 기술에 한정되지 않는다.

또한, 본 실시형태로는 MOS형트랜지스터(501a) 및 아날로그증폭회로(50lb)를 p-SiTFT로 형성한다고 하였으나, 단결정실리콘트랜지스터로 형성하여도 좋고, 제작프로세스에 레이저주사를 사용하는 다른 박막트랜지스터로 형성하여도 좋다. 나아가, 레이저주사에 한하지 않고, 제작상 주사선방향에 현저한 격차가 예상되는 프로세스를 사용하는 경우에도 본 실시형태는 유효하다. 더욱이 본 실시형태로는 아날로그증폭회로(50lb)의 이득을 1배로 설정하고 있지만, 화소전압을 입력전압과 다르게 하기위해서, 전압증폭도를 변화시켜도 좋다.

본 실시형태로는 화소의 선택스위치로서 n형 M0S트랜지스터를 채용하고 있지만, p형 M0S트랜지스터를 채용하여도 좋다. 그 경우, 게이트주사신호로서, 선택시에 로우레벨, 비선택시에 하이레벨로 되는 펄스신호를 입력한다.

또, 상기의 메모리(502d)에는 개서 가능한 메모리, 개서 불가능한 메모리의 어느 쪽을 사용하여도 좋다. 개서 가능한 메모리를 사용하는 경우에는, 휘발성, 불휘발성의 메모리인가는 문제되지 않는다. 휘발성의 메모리를 사용하는 경우, 증폭출력의 검출및 메모리에의 기록은 액정표시장치의 작동개시마다 자동적으로 실시되지만, 불휘발성의 메모리에 있어서도 같은 처치를 적용하는 것도 가능하다. 또한, 휘발성·불휘발성에 불구하고, 개서 가능한 메모리를 사용하는 경우는, 증폭출력의 검출 및 메모리의 갱신을 사용자가 임의의 타이밍으로 행할 수 있도록 하여도 좋다. 또한, 개서 가능한 메모리를 사용한 경우는, 증폭출력의 검출및 메모리에의 기록에 시간을 요하지만, 증폭회로특성의 경과시간변화등에 대응하는 것이 가능해진다.

본 발명의 제5실시형태에 의한 액정표시장치에 있어서는, 트랜지스터의 특성격차가 큰 레이저아닐 시의 레이저주사방향에 대하여 증폭출력의 보정을 하고 있고, 화면전체에 대하여 본 발명의 제3실시형태에 의한 액정표시장치와 같은 효과가 얻어진다. 덧붙여, 증폭출력검출용의 비트를 화상표시부와 잘라 나누어 있기 때문에 (최대에서도 1주사선분밖에 화상에 영향을 주지않음), 화소개구율을 저하시키는 일없이 증폭출력을 보정하는 것이 가능하다.

또한, 보정데이터는 신호선으로 공통이기 때문에, 본 발명의 제3실시형태에 의한 액정표시장치및 본 발명의 제4실시형태에 의한 액정표시장치와 비교하여, 메모리(502e)의 용량을 삭감할 수가 있다는 효과도 갖는다. 게다가, 데이터신호에의 보정전압인가도 간략화, 고속화하는 것이 가능해진다.

도 42는 본 발명의 제6실시형태에 의한 액정표시장치의 개략구성을 나타내는 도면이다. 도 42에 있어서, 본 발명의 제6실시형태에 의한 액정표시장치는 표시부(512)와, 출력전송부(513)와, 보정회로부(514)와, 신호원(503)과, V-T보정부(504)를 구비하고 있다.

본 발명의 제6실시형태에 의한 액정표시장치에 있어서는, 트랜지스터의 반도체층이 레이저아닐에 의해서 결정화 혹은 재결정화된 박막반도체층이고, 그 때의 레이저주사방향은 주사선(5101)과 평행이거나 그에 준하는 각도로 되어 있다.

표시부(512)는 게이트구동기(50li)에 의해서 순차구동되는 복수의 주사선(5101)과, 데이터구동기(50lj)에 의해서 순차 데이터신호가 전송되는 복수의 신호선(5102)과의 각 교점부근에, 게이트전극이 주사선(5101)에 접속되며 또한 소

스전극 및 드레인전극의 한쪽이 신호선(5102)에 접속된 MOS형트랜지스트(Qn) (50la)와, 입력전극이 MOS형트랜지스터(50la)의 소스전극 및 드레인전극의 다른쪽에 접속되며 또한 출력전극이 화소전극(50le)에 접속된 아날로그증폭회로(50lb)와, 아날로그증폭회로(50lb)의 입력전극과 전압보지용량전극(501c)과의 사이에 형성된 전압보지용량(50ld)과, 화소전극(50le)과 대향전극(50lf)의 사이에서 스위칭 시키는 액정(50lg)과로 이루어지는 표시용화소에 의해서 구성되어 있다.

출력전송부(513)는 게이트전극이 최종단주사선(5104)에 접속되며 또한 소스전극 및 드레인전극의 한쪽이 신호선(5102)에 접속된 MOS형트랜지스터(Qn, 50la)와, 입력전극이 MOS형트랜지스터(50la)의 소스전극 및 드레인전극의 다른쪽에 접속되며 또한 출력전극이 화소전극(50le)에 접속된 아날로그증폭회로(501b)와, 아날로그증폭회로(50lb)의 입력전극과 전압보지용량전극(501c)과의 사이에 형성된 전압보지용량(50ld)과, 화소전극(50le)과 대향전극(501f)과의 사이에서 스위칭 시키는 액정(50lg)과, 입력단이 아날로그증폭회로(50lb)의 출력전극에 접속되며 또한 출력단이 증폭모니터선(5103) 또는 신호선(5102)에 접속된 스위치(50lh)로 이루어지는 증폭출력검출용화소에 의해서 구성되어 있다.

이것들의 증폭출력검출용화소는 데이터구동기(50lj)에서 가장 떨어진 최종단주사선(5104)에 설치되어 있다. 또한, 증폭모니터선(5103)의 한쪽의 끝은 외부측정장치(도시하지 않음)에의한 측정이 가능하도록 단자전극(506a)인 구성으로 되어 있다. 보정회로부(514)는 불휘발성메모리(507a)와, 불휘발성메모리(507a)의 기억내용에 따른 전압을 데이터신호에 인가하는 전압출력수단(502e)으로 구성되어 있다.

도 42에 나타내는 본 발명의 제6실시형태에 의한 액정표시장치의 동작은 도 39에 나타내는 본 발명의 제4실시형태에 의한 액정표시장치의 동작과 동일하다. 본 발명의 제6실시형태에 의한 액정표시장치에 있어서의 증폭출력검출용화소화소의 구성은, 도 35 및 도 37에 나타내는 구조와 동일이다. 다만, 도 35에 나타내는 스위치선택선 대신에, 표시에 사용되지 않은 주사선을 사용하여도 좋다.

본 실시형태로는 증폭출력검출용의 비트가 게이트구동기(50lj)에서 가장 떨어진 최종단주사선(5104)에 접속된다고 하였지만, 이들의 증폭출력검출용비트는 실제의 화상표시에 사용되어도 좋고, 또한 실제의 표시에 사용되지 않은 더미(dummy)비트를 사용하여도 좋다. 더미비트를 사용하는 경우에는 더미비트이면 어느것을 사용하여도 좋고, 게이트구동기(50lj)에서 가장 떨어진 주사선이라는 기술에 한정되지 않는다.

또한, 본 실시형태로는 MOS형트랜지스터(50la)와 아날로그증폭회로(50lb)를 p-SiTFT로 형성한다고 하였지만, 단결정실리콘트랜지스터로 형성하여도 좋고, 제작프로세스에 레이저주사를 사용하는 다른 박막트랜지스터로 형성하여도 좋다.

더욱이, 레이저주사에 한하지 않고, 제작상, 주사선방향에 현저한 격차가 예상되는 프로세스를 사용하는 경우에도 본 실시형태는 유효하다.

나아가, 본 실시형태로는 아날로그증폭회로(50lb)의 이득을 1배로 설정하고 있지만, 화소전압을 입력전압과 다르게 하기 위해서, 전압증폭도를 변화시켜도 좋다. 본 실시형태로는 화소의 선택 스위치로서 n형 M0S트랜지스터를 채용하고 있지만, p형 M0S트랜지스터를 채용하더라도 좋다. 그 경우, 게이트주사신호로서, 선택시에 로우레벨, 비선택시에 하이레벨이 되는 펄스신호를 입력한다.

본 발명의 제6실시형태에 의한 액정표시장치에 있어서도, 본 발명의 제5실시형태에 의한 액정표시장치와 동일한 효과를 얻을 수 있다. 덧붙여, 본 발명의 제 5실시형태에의한 액정표시장치에 있어서 필요하던 독출회로(502a), 검출회로(502b), A/D변환기(2c)가 불필요하기 때문에, 회로의 구성이 간단히 된다고 하는 효과를 갖는다.

도 43은 본 발명의 제7실시형태에 의한 액정표시장치의 개략구성을 나타내는 도면이다. 도 43에 있어서, 본 발명의 제7실시형태에 의한 액정표시장치는 표시부(515)와, 출력전송부(516)와, 보정회로부(517)와, 신호원(503)과, V-T보정부(504)를 구비하고 있다.

본 발명의 제7실시형태에 의한 액정표시장치에 있어서는, 트랜지스터의 반도체층이 레이저아닐에 의해서 결정화 혹은 재결정화된 박막반도체층이고, 그 때의 레이저주사방향은 신호선(5102)과 평행이거나 그에 준하는 각도로 되어 있다.

표시부(515)는 게이트구동기(50li)에 의해서 순차 구동되는 복수의 주사선

(5101)과, 데이터구동기(50lj)에 의해서 순차데이터신호가 전송되는 복수의 신호선(5102)과의 각 교점부근에, 게이트전극이 주사선(5101)에 접속되며 또한 소스전극 및 드레인전극의 한쪽이 신호선(5102)에 접속된 MOS트랜지스터(Qn, 50la)와, 입력전극이 MOS형트랜지스터(50la)의 소스전극 및 드레인전극의 다른쪽에 접속되며 또한 출력전극이 화소전극(50le)에 접속된 아날로그증폭회로(501b)와, 아날로그증폭회로(50lb)의 입력전극과 전압보지용량전극(501c)과의 사이에 형성된 전압보지용량(50ld)과, 화소전극(50le)과 대향전극(501f)의 사이에서 스위칭시키는 액정(501g)으로 이루어지는 표시용화소에 의해서 구성되어 있다.

출력전송부(516)는 게이트전극이 주사선(5101)에 접속되며 또한 소스전극 및 드레인전극의 한쪽이 최종단신호선(5105)에 접속된 MOS형트랜지스터(Qn, 50la)와, 입력전극이 트랜지스터 MOS형트랜지스터(50la)의 소스전극 및 드레인전극의 다른쪽에 접속되며 또한 출력전극이 화소전극(50le)에 접속된 아날로그증폭회로(50lb)와, 아날로그증폭회로(50lb)의 입력전극과 전압보지용량전극(501c)과의 사이에 형성된 전압보지용량(50ld)과, 화소전극(50le)과 대향전극(50lf)의 사이에서 스위칭 시키는 액정(50lg)과, 입력단이 아날로그증폭회로(50lb)의 출력전극에 접속되며 또한 출력단이 증폭모니터선(5103) 또는 신호선(5102)에 접속된 스위치(50lh)로 이루어지는 증폭출력검출용화소에 의해서 구성되어 있다. 이들의 증폭출력검출용화소는 게이트구동기(50li)에서 가장 떨어진 최종신호선(5105)에 설치되고 있다.

보정회로부(517)는 스위치(501h)에 접속된 독출회로(502a)와, 독출회로(502 a)로 부터의 출력과 기준전압(Vref)과의 차분를 검출하는 검출회로(502b)와, 검출회로(502b)로부터의 출력을 A/D 변환하는 A/D변환기(502c)와, A/D 변환기(502c)의 출력을 기억하는 메모리(502d)와, 메모리(502d)의 기억내용에 따른 전압을 데이터신호에 인가하는 전압출력수단(502e)으로 구성되어 있다.

본 발명의 제7실시형태에 의한 액정표시장치에 있어서의 증폭출력검출용화소의 구성은 도 35 및 도 37에 나타내는 구조와 동일이다. 다만, 도 37에 있어서의 증폭모니터선의 대신에, 표시에 사용되지 않은 신호선을 사용하여도 좋다.

도 43에 나타내는 본 발명의 제7실시형태에 의한 액정표시장치의 동작은 도 33에 나타내는 본 발명의 제3실시형태에 의한 액정표시장치의 동작과 동일이다. 다만, 본 발명의 제3실시형태에 의한 액정표시장치에 있어서는 증폭출력보정용의 차분데이터가 비트마다 존재하지만, 본 발명의 제7실시형태에 의한 액정표시장치에 있어서는 주사선이 공통인 경우, 보정용차분데이터에 동일의 것이 사용된다.

도 43에 있어서는, 증폭검출용의 비트는 한개의 증폭모니터선(또는, 신호선)으로 접속되어 있지만, 각 증폭출력검출용비트마다 독립으로 증폭모니터선을 독출회로(502a)에 접속하도록 하여도 좋다. 또한, 본 실시형태로는 증폭출력검출용의 비트가 게이트구동기(50li)에서 가장 떨어진 최종신호선(5105)에 접속된다고 하였지만, 이것은 게이트구동기(50li)가 화면의 한 쪽에만 설치되어 있는 경우 이고, 화면의 양측에 설치되어 있는 경우에는 어느쪽인가의 게이트구동기에 가장 가까운 신호선에 접속한다. 이들의 증폭출력검출용비트는 실제의 화상표시에 사용되어도 좋고, 또한 실제의 표시에 사용되지 않은 더미비트를 사용하여도 좋다. 더미비트를 사용하는 경우에는 더미비트이면 어느 것을 사용하여도 좋고, 게이트구동기(50li)에서 가장 떨어진(양측입력의 경우는 가장 가까운) 신호선이라는 기술에 한정되지 않는다.

또한, 본 실시형태로는 MOS형트랜지스터(50la)와 아날로그증폭회로(50lb)를 p-SiTFT로 형성한다고 하였지만, 단결정실리콘트랜지스터로 형성하여도 좋고, 제작프로세스에 레이저주사를 사용하는 다른 박막트랜지스터로 형성하여도 좋다. 이 경우, 레이저주사에 한하지 않고, 제작상, 신호선방향에 현저한 격차가 예상되는 프로세스를 사용하는 경우에 본 실시형태는 유효하다.

더욱이, 본 실시형태로는 아날로그증폭회로(50lb)의 이득을 1배로 설정하고 있지만, 화소전압을 입력전압과 다르게 하기위해서, 전압증폭도를 변화시켜도 좋다. 또한, 본 실시형태로는 화소의 선택스위치로서 n형 M0S트랜지스터를 채용하고 있지만, p형 M0S트랜지스터를 채용하여도 좋다. 그 경우, 게이트주사신호로서, 선택시에 로우레벨, 비선택시에 하이레벨이 되는 펄스신호를 입력한다.

상기의 메모리(502d)에는 개서 가능한 메모리, 개서 불가능한 메모리의 어느 쪽을 사용하여도 좋다. 개서 가능한 메모리를 사용하는 경우에는, 휘발성, 불휘발성의 메모리인가는 문제되지 않는다. 휘발성의 메모리를 사용하는 경우, 증폭출력의 검출및 메모리에의 기록은 액정표시장치의 작동개시때 마다 자동적으로 실시되지만, 불휘발성의 메모리에 있어서도 같은 처치를 적용하는 것도 가능하다.

또한, 휘발성·불휘발성에 불구하고, 개서 가능한 메모리를 사용하는 경우는, 증폭출력의 검출 및 메모리의 갱신을 사용자가 임의의 타이밍으로 행할 수 있 도록 하여도 좋다. 또한, 개서 가능한 메모리를 사용한 경우는, 증폭출력의 검출 및 메모리에의 기록에 시간을 요하지만, 증폭회로특성의 경과시간변화등에 대응하는 것이 가능해진다. 본 발명의 제7실시형태에 있어서의 액정표시장치에 있어서도, 본 발명의 제5실시형태에 있어서의 액정표시장치에의한 것과 같은 효과가 얻을 수 있다.

도 44는 본 발명의 제8실시형태에 의한 액정표시장치의 개략구성을 나타내는 도면이다. 도 44에 있어서, 본 발명의 제8실시형태에 의한 액정표시장치는 표시부(518)와, 출력전송부(519)와, 보정회로부(520)와, 신호원(503)과, V-T보정부(504)를 구비하고 있다.

본 발명의 제8실시형태에 의한 액정표시장치에 있어서는, 트랜지스터의 반도체층이 레이저아닐에 의해서 결정화 혹은 재결정화된 박막반도체층이고, 그 때의 레이저주사방향은 주사선(5101)과 평행이거나 또한 그에 준하는 각도로 되어 있다.

표시부(518)는 게이트구동기(50li)에 의해서 순차 구동되는 복수의 주사선(5101)과, 데이터구동기(50lj)에 의해서 순차 데이터신호가 전송되는 복수의 신호선(5102)과의 각 교점부근에, 게이트전극이 주사선(5101)에 접속되며 또한 소스전극 및 드레인전극의 한쪽이 신호선(5102)에 접속된 MOS형트랜지스터(Qn, 501a)와, 입력전극이 MOS형트랜지스터(50la)의 소스전극 및 드레인전극의 다른쪽에 접속되며 또한 출력전극이 화소전극(50le)에 접속된 아날로그증폭회로(50lb)와, 아날로그증폭회로(50lb)의 입력전극과 전압보지용량전극(501c)과의 사이에 형성된 전압보지용량(50ld)과, 화소전극(50le)과 대향전극(50lf)의 사이에서 스위칭 시키는 액정(50lg)과로 이루어지는 표시용화소에 의해서 구성되어 있다.

출력전송부(519)는 게이트전극이 주사선(5101)에 접속되며 또한 소스전극 및 드레인전극의 한쪽이 최종단신호선(5105)에 접속된 MOS형트랜지스터(Qn, 501a)와, 입력전극이 MOS형트랜지스터(50la)의 소스전극 및 드레인전극의 다른쪽에 접속되며 또한 출력전극이 화소전극(501e)에 접속된 아날로그증폭회로(50lb)와, 아날로그증폭회로(50lb)의 입력전극과 전압보지용량전극(501c)과의 사이에 형성된 전압보지용량(50ld)과, 화소전극(50le)과 대향전극(50lf)의 사이에서 스위칭 시키는 액정(50 lg)과, 입력단이 아날로그증폭회로(501b)의 출력전극에 접속되며 또한 출력단이 증폭모니터선(5103) 또는 신호선(5102)에 접속된 스위치(501h)와로 이루어지는 증폭출력검출용화소에 의해서 구성되어 있다. 이들의 증폭출력검출용화소는 게이트구동기(50li)에서 가장 떨어진 최종신호선(5105)에 설치되고 있다. 또한, 증폭모니터선(5103)의 일단은 외부측정장치(도시하지 않음)에 의한 측정이 가능하도록 단자전극(506a)인

구성으로 되어 있다.

보정회로부(520)는 불휘발성메모리(507a)와, 불휘발성메모리(507a)의 기억내용에 따른 전압을 데이터신호에 인가하는 전압출력수단(502e)으로 구성되어 있다.

도 44에 나타내는 본 발명의 제8실시형태에 의한 액정표시장치의 동작은 도 42에 나타내는 본 발명의 제6실시형태에 의한 액정표시장치와 동일하다.

본 발명의 제8실시형태에 의한 액정표시장치에 있어서의 증폭출력검출용화소의 구성은 도 35 및 도 37에 나타내는 구조와 동일이다. 다만, 도 37에 있어서의 증폭모니터선의 대신에, 표시에 사용되지 않은 신호선을 사용하여도 좋다. 또한, 도 44에 있어서는 증폭검출용의 비트는 한개의 증폭모니터선(또는, 신호선)으로 접속되어 있지만, 각 증폭출력검출용비트마다 독립으로 단자전극(506a)를 집어내어도 좋다.

또한, 본 실시형태로는 증폭출력검출용의 비트가 게이트구동기(50li)에서 가장 떨어진 최종신호선(5105)에 접속된다고 하였지만, 이것은 게이트구동기가 화면의 한쪽에만 설치되어 있는 경우이고, 화면의 양측에 설치되어 있는 경우에는 어느쪽인가의 게이트구동기에 가장 가까운 신호선에 접속한다. 이들의 증폭출력검출용비트는 실제의 화상표시에 사용되어도 좋고, 또한 실제의 표시에 사용되지 않은 더미비트를 사용하여도 좋다. 더미비트를 사용하는 경우에는 더미비트이면 어느것을 사용하여도 좋고, 게이트구동기(50li)에서 가장 떨어진(양측입력의 경우는 가장 가까운) 신호선이라는 기술에 한정되지 않는다.

또한, 본 실시형태로는 MOS형트랜지스터(501a)와 아날로그증폭회로(50lb)를 p-SiTFT로 형성한다고 하였지만, 단결정실리콘트랜지스터로 형성하여도 좋고, 제작프로세스에 레이저주사를 사용하는 다른 박막트랜지스터로 형성하여도 좋다.

이 경우, 레이저주사에 한하지 않고, 제작상, 신호선방향에 현저한 격차가 예상되는 프로세스를 사용하는 경우에 본 실시형태는 유효하다.

더욱이, 본 실시형태로는 아날로그증폭회로(50lb)의 이득을 1배로 설정하고 있지만, 화소전압을 입력전압과 다르게 하기위해서, 전압증폭도를 변화시켜도 좋다. 나아가, 본 실시형태로는 화소의 선택스위치로서 n형 M0S트랜지스터를 채용하고 있지만, p형 M0S트랜지스터를 채용하여도 좋다. 그 경우에는 게이트주사신호로서, 선택시에 로우레벨, 비선택시에 하이레벨이 되는 펄스신호를 입력한다. 본 발명의 제8실시형태에 의한 액정표시장치에 있어서도, 본 발명의 제6실시형태에 의한 액정표시장치와 동일한 효과가 얻어진다.

도 45는 본 발명의 제9실시형태에 의한 액정표시장치의 개략구성을 나타내는 도면이다. 도 45에 있어서, 본 발명의 제9실시형태에 의한 액정표시장치는 표시부(521)와, 보정회로부(522)와, 증폭출력검출용화소(523)와, 신호원(503)과, V-T보정부(504)를 구비하고 있다.

표시부(521)는 게이트구동기(501i)에 의해서 순차구동되는 복수의 주사선(5101)과, 데이터구동기(50lj)에 의해서 순차 데이터신호가 전송되는 복수의 신호선(5102)과의 각 교점부근에, 게이트전극이 주사선(5101)에 접속되며 또한 소스전극 및 드레인전극의 한쪽이 신호선(5102)에 접속된 MOS형트랜지스터(Qn, 501a)와, 입력전극이 MOS형트랜지스터(50la)의 소스전극 및 드레인전극의 다른쪽에 접속되며 또한 출력전극이 화소전극(50le)에 접속된 아날로그증폭회로(50lb)와, 아날로그증폭회로(50lb)의 입력전극과 전압보지용량전극(501c)과의 사이에 형성된 전압보지용량(50ld)과, 화소전극(50le)과 대향전극(50lf)의 사이에서 스위칭 시키는 액정(501g)과로 이루어지는 표시용화소에 의해서 구성되어 있다.

4개의 증폭출력검출용화소523는 표시화면의 네 구석에 배설되고, 게이트전극이 주사선(5101)에 접속되며 또한 소스전극 및 드레인전극의 한쪽이 신호선(5102)에 접속된 MOS형트랜지스트(Qn, 50la)와, 입력전극이 MOS형트랜지스터(50la)의 소스전극 및 드레인전극의 다른쪽에 접속되며 또한 출력전극이 화소전극(50le)에 접속된 아날로그증폭회로(50lb)와, 아날로그증폭회로(501b)의 입력전극과 전압보지용량전극(501c)과의 사이에 형성된 전압보지용량(50ld)과, 화소전극(50le)과 대향전극(50lf)의 사이에서 스위칭 시키는 액정(501g)과, 입력단이 아날로그증폭회로(50 lb)의 출력전극에 접속되며 또한 출력단이 증폭모니터선(5103) 또는 신호선(5102)에 접속된 스위치(50lh)로 각각 구성되어 있다.

보정회로부(522)는 스위치(50lh)에 증폭모니터선(5103) 또는 신호선(5102)에 의해서 접속된 독출회로(502a)와, 독출회로(502a)로 부터의 출력과 기준전압(Vref)과의 차분를 검출하는 검출회로(502b)와, 검출회로(502b)로부터의 출력을 A/D변환하는 A/D변환기(502c)와, A/D변환기(502c)의 출력을 기억하는 제1메모리(522a)와, 제1메모리(522a)의 기억내용으로부터 각 화소마다의 보정전압을 계산하는 보간회로(522b)와, 보간회로(522b)의 출력결과를 기억하는 제2메모리(522c)와, 제2메모리(522c)의 기억내용에 따른 전압을 데이터신호에 인가하는 전압출력수단(502e)으로 구성되어 있다.

본 발명의 제9실시형태에 의한 액정표시장치에 있어서의 증폭출력검출용화소의 구성은 도 35 및 도 37에 나타내는 구조와 동일이다. 다만, 도 35에 있어서의 스위치선택선의 대신에, 표시에 사용되지 않은 주사선을 사용하여도 좋다. 마찬가지로, 도 37에 있어서의 증폭모니터선 대신에, 표시에 사용되지 않은 신호선을 사용하여도 좋다.

이 도 45를 참조하여 본 발명의 제9실시형태에 의한 액정표시장치의 동작에 관해서 설명한다. 증폭모니터선(5103){신호선(5102)이 이를 겸할 수 도 있음}에 의해서 출력된 증폭출력전압(Vout)은 독출회로(502a)에 의해서 소정의 순서로 검출회로(502b)로 전송된다.

검출회로(502b)에서는 증폭출력전압(Vout)과 기준전압(Vref)과의 차분전압을 취출하고, 이 차분데이터는 A/D변환기(502c)에 의해서 디지탈데이타로 변환되어, 제1메모리(522a)에 비축된다. 보간회로(522b)에 있어서는 제1메모리(522a)에 비축된 4점분의 데이터를 기초로 전체 비트의 보정데이터가 산출된다.

도 46은 도 45의 보간회로(522b)에 의한 보간방법을 나타내는 개념도이다. 이 도 46을 참조하여 보간회로(522b)에 의한 보간방법에 관해서 이하 설명한다. 여기서, 네 구석의 증폭출력검출용화소를 각각 A, B, C, D로 하고, 각각의 증폭출력보정전압을 △Va, △Vb, △Vc, △Vd로 한다. 또한, A, B를 포함하는 A-B 간의 비트수를 N+1, C을 포함하는 A-C 간의 비트수를 M+1로 한다. 이 때, A를(0, 0)로 한 경우의 A로부터 세어서(k행, 1열)에 있는 비트의 보정전압은,

$$AV1 + (\triangle V2 - \triangle V1) \times k/M \quad \cdot \cdot \cdot (3)$$

$$\triangle V1 = \triangle Va + (\triangle Vb - \triangle Va) \times 1/N \quad \cdot \cdot \cdot (4)$$

$$\triangle V2 = \triangle Vc + (\triangle Vd - \triangle Vc) \times 1/N \quad \cdot \cdot \cdot (5)$$

이라는 식으로 표시된다.

이렇게하여 산출된 전체 비트의 보정데이터는 제2메모리(522c)에 기록된다. 화상표시에 있어서는 화상데이터신호의 전송에 타이밍을 맞추어서, 제2메모리(522c)에서 전압출력수단(502e)에 차분데이터가 보내여지고, 전압출력수단(502e)에 의해서 그에 따른 보정전압이 화상데이터신호에 대하여 가산된다. 한편, 제 45도에 있어서는 화상데이터신호에 대한 다른 보정으로서 V-T 보정이 기술되어 있지만, 통상, 이외에도 극성반전, 상전개등의 처리가 행하여진다.

도 47은 본 발명의 제9실시형태에 의한 액정표시장치의 보정회로부의 다른 구성예를 개시하는 블럭도이다. 도 47에 있어서, 보정회로부(524)에 있어서는 증폭출력검출용화소(523)로부터 독출회로(502a)를 거쳐 검출회로(502b)로 전송된 증폭출력전압(Vout)이 검출회로(502b)에 의해서 기준전압(Vref)과의 차분값으로 변환되고, A/D변환기(502c)에 의해서 다시 디지탈데이타로 변환되어 메모리(524a)에 비축된다.

화상표시에 있어서는 화상데이터신호의 전송에 타이밍을 맞추어서, 메모리(524a)에서 보간회로(522b)로 보정데이터가 보내여지고, 보간회로(522b)에 의해서 보간처리가 행하여진다. 그 결과는 전압출력수단(502e)에 보내여지고, 전압출력수단(502e)에 의해서 그에 따른 보정전압이 화상데이터신호에 대하여 가산된다.

도 47에 나타내는 보정회로부(524)의 구성에 의하면, 메모리(524a)를 도 45의 보정회로부(522)에 비교하여 소규모로 하는 것이 가능하다. 다만, 화상데이터에 대한 보간처리를 리얼타임으로 행하지 않으면 안된다.

본 실시형태로는 증폭출력검출용의 비트가 표시화면의 네 구석에 배설된다고 하고 있어, 이에는 표시에 사용되지 않은 더미비트를 사용하는 것이 바람직하지만, 표시화소이어도 좋다. 또한, 도 45에 있어서, 증폭모니터라인은, 동일신호선에 접속된 증폭출력검출비트에 관해서 동일한 것을 사용하고 있으나, 각 증폭출력검출용비트마다 독립으로 증폭모니터선을 독출회로(502a)에 접속하도록 하여도 좋다.

또한, 본 실시형태에서는 MOS형트랜지스터(501a)와 아날로그증폭회로(501 b)를 p-SiTFT로 형성한다고 하였으나, a-SiTFT, 카드뮴·셀렌박막트랜지스터등의 다른 박막트랜지스터로 형성하여도 되고, 단결정실리콘트랜지스터로 형성하더라도 된다. 이 경우, 본 실시형태에서는 아날로그증폭회로(50lb)의 이득을 1배로 설정하고 있지만, 화소전압을 입력전압과 다르게 하기위해서, 전압증폭도를 변화시켜도 된다.

한편, 본 실시형태에서는 화소의 선택 스위치로서 n형 M0S트랜지스터를 채용하고 있지만, p형 M0S트랜지스터를 채용하여도 좋다. 그 경우, 게이트주사신호로서, 선택시에 로우레벨, 비선택시에 하이레벨이 되는 펄스신호를 입력한다. 본 실시형태에 있어서는 독출 회로(502a)를 사용하지 않고, 증폭출력검출용화소(523)의 출력을 그대로 검출회로(502b)에 접속하는것도 가능하다.

본 실시형태에서는 증폭출력검출용의 비트가 표시화면의 네 구석(A, B, C, D)에 배설된다고 하였으나, A-B-C-D의 각 면에, 증폭출력검출용의 비트를 추가하여 설치하여도 좋고, 최대로, 어떤 일렬 또는 일행의 모든 비트를 증폭출력검출용으로 할 수가 있다.

이러한 경우의 보간처리는 보간을 행하는 비트에 가장 근접된 증폭출력검출용비트 4점을 사용하여, 도 46에 나타내는 보간방법의 경우와 동일하게 행한다. 이에 의해서, 보간의 정밀도를 향상시키는 것이 가능해진다.

본 발명의 제9실시형태에 의한 액정표시장치에 있어서도, 본 발명의 제3실시형태에 의한 액정표시장치와 동일한 효과를 얻을 수 있다. 게다가, 증폭출력검출용의 비트가 네 구석에 밖에 존재하지않기 때문에, 화소개구율을 저하시키는 일없이, 증폭출력을 보정하는 것이 가능하다. 다만, 보간처리를 위해 특별한 회로를 설치할 필요가 있다. 또한, 보정전압을 구하는 데 보간처리를 사용하고 있기 때문에, 본 발명의 제7실시형태에 의한 액정표시장치에 비교하여, 보정전압은 정확성이 결여된다.

도 48은 본 발명의 액정표시장치의 제10실시형태에 의한 액정표시장치의 개략구성을 나타내는 도면이다. 도 48에 있어서, 본 발명의 제10실시형태에 의한 액정표시장치는 표시부(525)와, 보정회로부(526)와, 증폭출력검출용화소(523)와, 신호원(503)과, V-T 보정부(504)를 구비하고 있다.

표시부(525)은 게이트구동기(50li)에 의해서 순차 구동되는 복수의 주사선(5101)과, 데이터구동기(50lj)에 의해서 순차데이터신호가 전송되는 복수의 신호선(5102)과의 각 교점부근에, 게이트전극이 주사선(5101)에 접속되며 또한 소스전극 및 드레인전극의 한쪽이 신호선(5102)에 접속된 MOS형트랜지스터(Qn, 50 la)와, 입력전극이 MOS형트랜

지스터(501a)의 소스전극 및 드레인전극의 다른쪽에 접속되며 또한 출력전극이 화소전극(50le)에 접속된 아날로그증폭회로(50lb)와, 아날로그증폭회로(501b)의 입력전극과 전압보지용량전극(501c)과의 사이에 형성된 전압보지용량(50ld)과, 화소전극(50le)과 대향전극(50lf)의 사이에서 스위칭 시키는 액정(50lg)과로 이루어지는 표시용화소에 의해서 구성되어 있다.

4개의 증폭출력검출용화소(523)는 화소의 네 구석에 배설되고, 게이트전극이 주사선(5101)에 접속되며 또한 소스전극 및 드레인전극의 한쪽이 신호선(5102)에 접속된 MOS형트랜지스터(Qn, 50la)와, 입력전극이 MOS형트랜지스터(50la)의 소스전극 및 드레인전극의 다른쪽에 접속되며 또한 출력전극이 화소전극(50le)에 접속된 아날로그증폭회로(50lb)와, 아날로그증폭회로(50lb)의 입력전극과 전압보지용량전극(501c)과의 사이에 형성된 전압보지용량(50ld)과, 화소전극(50le)과 대향전극(50 lf)의 사이에서 스위칭 시키는 액정(50lg)과, 입력단이 아날로그증폭회로(50lb)의 출력전극에 접속되며 또한 출력단이 증폭모니터선(5103) 또는 신호선(5102)에 접속된 스위치(501h)로 각각 구성되어 있다.

또한, 증폭모니터선(5103)의 일단은 외부측정장치(도시하지 않음)에 의한 측정이 가능하도록 단자전극(506a)으로 되어 있다. 보정회로부(526)는 불휘발성메모리(507a)와, 불휘발성메모리(507a)의 기억내용에 따른 전압을 데이터신호에 인가하는 전압출력수단(502e)으로 구성되어 있다.

본 발명의 제10실시형태에 의한 액정표시장치에 있어서의 증폭출력검출용화소의 구성은 도 35 및 도 37에 나타내는 구조와 동일이다. 다만, 도 35에 있어서의 스위치선택선 대신에, 표시에 사용되지 않은 주사선을 사용하여도 좋다. 마찬가지로, 도 37에 있어서의 증폭모니터선 대신에, 표시에 사용되지 않은 신호선을 사용하여도 좋다.

도 49는 본 발명의 제10실시형태에 의한 액정표시장치의 형태의 동작을 설명하기위한 도면이다. 도 49는 본 발명의 제10실시형태에 의한 액정표시장치에 있어서의 증폭출력보정의 순서를 나타낸 것이다.

증폭출력전압(Vout)은 증폭모니터선(5103) 또는 신호선(5102)에 의해서 단자전극(506a)에 출력된다. 외부측정장치(527)는 단자전극(506a)의 전압(Vout)을 읽어내는 전압계(508a)와, 증폭출력전압(Vout)과 기준전압(Vref)과의 차분전압을 검출하는 차분검출장치(508b)와, 차분데이터를 보간하여 전체 비트의 보정전압을 산출하는 보간장치(527a)와, 이 전체 비트분의 보정전압을 불휘발성메모리(507a)로 기록하는 기록장치(508c)로 구성되어 있다.

보간장치(527a)에서 행하여지는 보간처리는, 도 46에 나타내는 보간방법과 동일하다. 이렇게하여, 각 화소마다의 증폭출력특성이 불휘발성메모리(507a)에 기록된다. 화상표시에 있어서는 화상데이터신호의 전송에 타이밍을 맞추어서, 불휘발성메모리(507a)에서 전압출력수단(502e)로 차분데이터가 보내여지고, 전압출력수단(502e)에 의해서 또한 그에 따른 보정전압이 화상데이터신호에 대하여 가산된다.

본 실시의 형태로는 증폭출력검출용의 비트가 표시화면의 네 구석에 배설된다고 하고 있고, 이에는 표시에 사용되지 않은 더미비트를 사용하는 것이 바람직하지만, 표시화소이어도 된다.

또한, 본 실시형태로는, MOS형트랜지스터(50la)와 아날로그증폭회로(50lb)를 p-SiTFT로 형성한다고 하였지만, a-SiTFT, 카드뮴·셀렌박막트랜지스터등의 다른 박막트랜지스터로 형성하여도 좋고, 단결정실리콘트랜지스터로 형성하더여도 좋다. 이 경우, 본 실시형태에서는 아날로그증폭회로(50lb)의 이득을 1배로 설정하고 있지만, 화소전압을 입력전압과 다르게 하기위해서, 전압증폭도를 변화시켜도 좋다.

또한, 도 48에 있어서, 증폭모니터라인은 동일신호선에 접속된 증폭출력검출비트에 관해서 동일한 것을 사용하고 있지만, 각 증폭출력검출용비트마다 독립으로 증폭모니터선을 인출하여, 그 일단을 단자전극(506a)로 하여도 좋다.

또한, 본 실시형태로서는 화소의 선택스위치로서 n형 M0S트랜지스터를 채용하고 있지만, p형 M0S트랜지스터를 채용하여도 좋다. 그 경우, 게이트주사신호로서, 선택시에 로우레벨, 비선택시에 하이레벨이 되는 펄스신호를 입력한다.

본 실시형태에 있어서는 증폭출력검출용의 비트가 표시화면의 네 구석(A, B, C, D)에 배설된다고 하였지만, A-B-C-D의 각 변에, 증폭출력검출용의 비트를 추가로 설치하여도 좋고, 최대로, 어떤 일렬 또는 일행의 모든 비트를 증폭출력검출용으로 할 수 있다. 이러한 경우의 보간처리는 보간을 행하는 비트에 가장 근접한 증폭출력검출용비트 4점을 사용하여, 도 46에 나타내는 보간방법과 동일하게 하여 행한다. 이에 의해서, 보간의 정밀도를 향상시키는 것이 가능해진다.

본 발명의 제10실시형태에 의한 액정표시장치에 있어서도, 본 발명의 제9실시형태에 의한 액정표시장치와 동일한 효과를 얻을 수 있다. 덧붙여, 검출회로(502b), A/D변환기(502c), 보간회로(522b)등이 불필요하여 지기 때문에, 회로의 구성이 간단히 된다고 하는 효과를 갖는다.

이와 같이, 본 발명의 제3 제10실시형태에 의한 액정표시장치에 있어서, 메모리(502d, 524a), 불휘발성메모리(507a), 제1메모리(522a), 제2메모리(522c)에 비축되는 데이터는 증폭출력전압(Vout)과 기준전압(Vref)과의 차분전압 그대로 이어도 좋고, 이것을 보정전압으로 변환한 전압이어도 좋다.

또한, 본 발명의 제3 제10실시형태에 의한 액정표시장치가 전압구동형이면, 액정소자에 한하지 않고, 다른 표시소자에 적용하는 것도 가능하다.

이상과 같이, 본 발명의 제3 제10실시형태에 의한 액정표시장치에의하면, TN 액정변동이나 콘트래스트 저하를 방지함과 동시에, 비저항이 작은 고분자액정이나, 분극을 갖는 강유전·반강유전액정재료등을 표시재료로 사용하는 것이 가능하다. 이것은 화소에 부대한 아날로그증폭회로(50lb)에 의해서 전압변동을 억제하는것이 가능하기 때문이다.

또한, 본 발명의 제3 제10실시형태에 의한 액정표시장치에 의하면, 이러한 아날로그증폭회로(50lb)를 부대한 화소간의 표시얼룩을 저감하는것이 가능하다. 이것은 기준전압에 대하는 증폭출력의 검출수단 및 보정수단을 구비함으로서, 화면전체에 걸쳐 정확히 증폭출력의 보정을 할 수 있기 때문이다.

다음에, 본 발명의 제11실시형태에 관해서 설명한다. 먼저, 제11실시형태에 의한 액정표시장치를 원리적으로 설명한다. 도 74는 아날로그증폭회로의 전원선의 한쪽을 게이트주사선에 접속한 화소구성을 갖는 액정표시장치의 구성도를 나타내는 도면이고, 도 73은 도 74의 1주사선을 전류원을 사용한 등가회로로 나타낸 도면이다.

도 73에 있어서, 각 화소마다 아날로그증폭회로를 통하여 게이트주사선에 공급되는 전류를 전류원(I1, I2, I 3···I n)으로 바꿔 놓고 있다. 주사선(7401)의 비트피치당의 저항을 R, 비트총수를 n, 입력전극(2001)에 입력되는 전압을 VgO(게이트구동기의 전원전압에 상당하고, 스위칭트랜지스터가 n형 M0S의 경우는 로우레벨측전원전압, p형 M0S의 경우는 하이레벨측전원전압이 됨), 입력전극(2001)측으로부터 세어서 k번째의 전류원(Ik)과 주사선(7401)과의 접속점(Xk)에서의 전위를 Vk(k번째의 비트에 있어서의 게이트주사전위에 상당), 입력전극(2001)과 최초의 전류유입점(X1) 간의 저항을 R0로 한다.

여기서, 전류원에서 공급되는 전류가 모두 일정값 I라고 가정하더라도 현상의 본질은 다르지 않는다. 이 경우, k번째의 비트에 있어서의 게이트주사선전위 Vk는, 이하의 (6)식으로 표시된다.

$$Vk = -I^{*}R^{*}k^{2}/2 + I^{*}R^{*}(n-0.5)^{*}k + I^{*}R^{*}n + I^{*}R0^{*}n + Vg0 \quad \cdots \quad (6)$$

스위칭트랜지스터가 n형 M0S의 경우는 I 0이기때문에, 주사선전위(Vk)는 비트수 k의 증가에 대하여, 비트총수 n까지 단조롭게 증가한다. p형 M0S의 경우는 I< 0이기때문에, 거꾸로 단조롭게 감소한다. k= n일 때, (6)식은 이하의(7)식과 같이 된다.

$$Vn = I^{*}R^{*}n^{*}(n+1)/2 + I^{*}R0^{*}n + Vg0 \quad \cdots \quad (7)$$

도 74에 있어서, 스위칭트랜지스터(Qn, 2301)가 n형MOS의 경우를 생각한다. 이 회로가 정상인 스위칭동작을 하기 위해서는, 게이트주사전압의 로우레벨(VgL), 데이터신호전압의 로우레벨(VdL), 트랜지스터(2301)의 한계치(Vt)의 사이에는, 적어도 이하의(8)식이 성립될 필요가 있다.

VgL - VdL < Vt ・ ・ ・(8)

여기서, 위에서 언급한 바와 같이 VgL ≤ Vn 이니까, VgL = Vn인 경우에 관해서 (8)식이 성립되면, 모든 비트에 관해서 (8)식이 성립된다. 게이트주사선의 비트피치당의 저항(R)에 대하여 단조증가이기 때문에, 게이트주사선의 저항을 내리는 것이 유효하다. 또한 Vg0를 작게 하는 것도 효과가 있다.

스위칭트랜지스터(2301)가 p형MOS의 경우, 게이트주사전위를 하이레벨(VgH), 데이터신호전압을 하이레벨(VdH)로 하여, 정상인 스위칭동작를 위해서는, 적어도 이하의(9)식이 성립될 필요가 있다.

Vt < VgH - VdH ・ ・ ・(9)

여기서, Vn ≦ VgH 이니까, VgH = Vn의 경우에 관해서 (9)식이 성립되면 된다. (7)식으로부터, 배선저항을 작게 하는 것, Vg0을 크게하는 것이 유효하다는 것을 알 수 있다.

본 실시형태로서는, 게이트주사선의 형성재료의 일부 또는 전부에, 저항치가작은 금속 또는 금속실리사이드를 사용하고 있다. 이때문에, 비선택시의 게이트주사전위의 변동량을 억제하여, 정상인 스위칭동작을 행하는것이 가능하다.

또한, 스위칭트랜지스터가 n형 M0S의 경우에는, 게이트구동기의 로우레벨측전원에 부전원을 사용하고 있기 때문에, 게이트주사전위의 로우레벨의 최대치가 작게 되어, 역시 정상인 스위칭동작을 행하는것이 가능하다.

또한, 스위칭트랜지스터가 p형 M0S의 경우에는, 게이트구동기의 하이레벨전원전압을, 게이트주사전위의 전압강하를 미리 감안하여, 고출력측으로 쉬프트시키고 있기 때문에, 게이트주사전위의 하이레벨의 최소치가 커져서, 역시 정상인 스위칭 동작을 행하는 것이 가능하다.

다음에, 본 발명의 제11　제13실시형태에 있어서의 액정표시장치에 관해서 도면을 참조하여 상세히 설명한다.

도 54는, 본 발명의 제11실시형태에 있어서의 액정표시장치의 구성을 나타내는 도면이다.

도면에 나타내는 바와 같이, 본 실시형태의 액정표시장치는, 게이트전극이, 적어도 금속 또는 금속실리사이드를 포함하는 재료에 의해 형성된 주사선(701)에 접속되고, 소스전극 및 드레인전극의 한쪽이 신호선(702)에 접속된 MOS형트랜지스터(Qn, 703)와, 입력전극이 트랜지스터(Qn, 703)의 소스전극 및 드레인전극의 다른쪽에 접속되고, 출력전극이 화소전극(708)에 접속되며, 정부전원선의 어느쪽인가 한쪽이 상기 주사선(701)에 접속되고, 전원선의 다른쪽은 증폭전원전극(Vamp, 710)에 접속된 아날로그증폭회로(704)와, 이 아날로그증폭회로(704)의 입력전극과 전압보지용량전극(705)과의 사이에 형성된 전압보지용량((706))과, 화소전극(708)과 대향전극(707)과의 사이에서 스위칭 시키는 액정(709)과로 구성되어 있다.

여기서, MOS형트랜지스터(Qn, 703) 및 아날로그증폭회로(704)는, p-SiTFT로 구성되어 있다. 또한, 아날로그증폭회로(704)의 이득은 1배로 설정되어 있다.

이하, 이 화소구성을 사용한 액정표시장치의 구동방법을, 도 55를 사용하여 설명한다. 도 55는 도 54에 나타낸 화소구성에 의해 액정을 구동한 경우의, 게이트주사전압(Vg), 데이터신호전압(Vd), 증폭입력전압(Va), 화소전압(Vpix)의 타이밍챠트를 나타낸 것이다. 게이트구동기의 부전원전압을 VgL0, 게이트주사전압의 로우레벨전압을 VgL로 한다.

도 55에 나타낸 바와 같이, 게이트주사전압(Vg)이 수평주사의 기간에 하이레벨(VgH)로 됨으로서, 트랜지스터(Qn, 703)는 ON상태로 되어, 신호선에 입력되어 있는 데이터신호(Vd)가 트랜지스터(703)를 경유하여 아날로그증폭회로(704)의 입력전극에 전송된다. 수평주사기간이 종료되여, 게이트구동기로부터 주사선(701)에 대하여 로우레벨전압(VgL0)이 출력되면, 트랜지스터(Qn. 703)는 오프상태로 되어, 아날로그증폭회로의 입력전극에 전송된 데이터신호는 전압보지용량((706))에 의해 보지된다.

이때, 증폭입력전압(Va)은, 트랜지스터(Qn)가 오프상태가 되는 시각에 있어, 트랜지스터(Qn)의 게이트·소스간 용량을 경유하여 피드스루전압이라고 불리는 전압쉬프트를 일으킨다. 이것은 도 55에서는, Vf1, Vf2, Vf3로 표시되어 있다.

증폭입력전압(Va)은 다음 필드기간에 있어서 다시 게이트주사전압(Vg)이 하이레벨로 되고, 트랜지스터(Qn, 703)가 선택될 때까지 보지된다.

아날로그증폭회로(704)는, 다음 필드에서 증폭입력전압이 변화하기까지의 동안, 그 보지된 증폭입력전압(Va)에 따른 아날로그층조전압을 출력할 수가 있다. 이 보지기간중, 주사선(701)에는 아날로그증폭회로의 정전원선으로부터 부전원선을 거쳐 항상 전류가 유입하여, 게이트주사전압(Vg)의 로우레벨출력(VgL)을 쉬프트시킨다. 이것은 도 55에서는 △VgL1, △VgL2, △VgL3으로 표시되어 있다.

이 결과, VgL은, △VgL을 정하여

$$VgL = VgL0 + \triangle VgL \quad (1또는\ 2또는\ 3) \cdots (10)$$

이 된다. △VgL은 동일주사선상에 있더라도 화소마다 다르고, 또한 동일화소에 있어서는 데이터신호전압(Vd)의 값에 따라 변화한다. 본 발명의 제15실시형태에 있어서는, 재료에 저항의 작은 금속 또는 금속실리사이드를 사용하여 주사선의 배선저항을 낮게 하고 있기 때문에 △VgL의 절대치가 작고, VgL의 최대치가 작아 지기때문에, 정상인 스위칭의 필요조건인,

$$VgL - VdL < Vt \cdots (8)$$

이 성립되어 있다.

다음에, 본 발명의 제11실시형태에 의한 액정표시장치의 효과에 관해서 설명한다.

본 실시형태에 있어서의 액정표시장치로는, 주사선(701)에는, 아날로그증폭회로(704)의 정전원선으로부터 부전원선을 거쳐서 항상 전류가 유입하고 있다.

이때문에, 게이트주사전압(Vg)의 로우레벨출력이 밀어 올려져 버리게 되지만, 이 상승량은 주사선저항에 따라 증가되고 있다. 이것에 대하여, 본 실시형태와같이, 주사선을 적어도 금속 또는 금속실리사이드를 포함하는 재료로 형성함으로써 저저항화하는 것에 의해, 주사전압(Vg)의 로우레벨출력변동을 작게끔 억제할 수 있어, 스위칭용 MOS형트랜지스터(703)의 동작불량을 방지할 수 있다.

이것에의해, 수평주사기간종료후도 화소전극(708)은 아날로그증폭회로(704)에 의해서 구동되기 때문에, 종래기술에서 언급된 바와 같은 액정의 응답에 수반된 화소전압(Vpix)의 변동을 없앨 수 있다. 이것 때문에, 고분자액정, 분극을 갖는 강유전액정·반강유전액정, OCB 액정등, 종래기술에 있어서 보지기간중에 전압변동이 생겨 버리는 액정재료 등도 사용하는것이 가능해진다.

또한, TN 액정등의 다른 액정을 구동하는 경우에 관해서도, 보다 정확한 층조표시를 실현하여, 화면의 변동이나 콘트러스트 저하를 억제하는 효과를 얻을 수 있다.

나아가, 아날로그증폭회로(704)의 전원선의 한쪽을 주사선으로 겸용하고 있기 때문에, 회로의 간소화를 실현할 수 있고, 화소개구율을 그다지 저하시키지 않고서, 상기한 효과를 얻을 수가 있다.

도 56(a)는, 본 실시형태의 효과를 나타내는 주사선의 배선저항과 주사선로우레벨전압의 상관도이다. 게이트구동기의 하이레벨측전원전압을 16V, 로우레벨측전원전압을 0V, 데이터신호전압의 하이레벨을 11V, 로우레벨을 1V, 1주사선의 비트수를 640으로 하고, 주사선의 시트저항을 변화시킨 경우의, 640번째의 비트에 있어서의 주사선로우레벨전압의 값을 시뮬레이션에 의해 구하였다. 계산에 사용한 스위칭 MOS형트랜지스터의 한계치(Vtn)는 1V이다.

게이트주사전압의 로우레벨은 시트저항의 감소에 따라 단조롭게 감소하고 있어, 금속 또는 금속실리사이드를 사용하는 것에 의해 저저항의 주사선을 형성한다는 본 실시형태에 의한 유효성이 표시되어 있다. 또한, 스위칭동작을 정상으로 행하기위해서는, 게이트주사전압의 로우레벨이, 적어도 데이터신호의 로우레벨전압과 한계치의 합(도 56의 예로서는 2V)보다 작을 필요가 있다. 도 56(a)의 예에서는 저항이 적어도 3Ω이하이고, 이것은, 배선높이를 500nm 1㎛ 정도로 가정한때, 1.5×10^{-4} 3×10^{-4} 〔Ω·cm〕 이하의 저항율에 해당한다. 주사선을 형성하는 금속 또는 금속실리사이드는, 예컨대 저항율이 적어도 이 값 이하이면 된다.

도 56(b)는 본 실시형태의 효과를 나타내는 1주사선당의 총비트수와 주사선로우레벨전압의 상관도이다. 시뮬레이션조건은 도 56(a)의 경우와 동일하고, 주사선의 시트저항을 일정하게하여 1주사선당의 총비트수를 변화시킨 경우의, 최대의 비트에 있어서의 주사선로우레벨전압의 값을 시뮬레이션에 의해 구하였다. 0.06Ω와 5Ω의 두가지의 주사선 시트저항에 관해서 계산을 하고있다.

배선높이를 가령 500nm으로 하면, 시트저항 0.06Ω은 저항율 3×10^{-6} 〔Ω·cm〕에 해당하고, 이는 거의 Al의 저항율에 해당한다. 이와 같이, 본 실시형태의 일례로서 게이트주사선을 A1으로 형성한 경우, 비트수가 6000(= 2000×RGB)정도라도 정상인 스위칭이 가능하게 되어 있다.

한편, 저항이 5Ω의 경우는 저항율 2.5×10^{-4} 〔Ω·cm〕에 해당되지만, 정상인 스위칭동작이 가능하다고 생각되는 것은 비트수가 기껏 320까지의 경우이다. 본 실시형태와 같이, 주사선을 형성하는 재료에, 적어도 금속 또는 금속실리사이드를 사용하는 것에 의해, 비트수가 증가하더라도 정상인 스위칭을 행하는것이 가능하다.

배선저항은, 동일재료의 경우라도 선고·선폭등에 의해 변화하지만, 저저항화때문에 선고나 선폭을 극단적으로 크게하는 것은, 단선이나 액정의 배향불량의 원인이 되고, 또한 개구율의 저하를 발생시키기 때문에, 피하는 것이 좋고, 그러한 점에서도 본 실시형태에 있어서의 액정표시장치는 유효하다.

도 57은, 제 11실시형태에 의한 액정표시장치의 변형예를 게시하는 1화소분의 회로구성도이다. 도면에 나타낸 바와 같이, 본예의 액정표시장치는, 게이트전극이, 적어도 금속 또는 금속실리사이드를 포함하는 재료에 의해 형성된 N번째(N은 2이상의 정수)의 주사선(403)에 접속되고, 소스전극 및 드레인전극의 한쪽이 신호선(702)에 접속된 MOS형트랜지스터(401)와, 입력전극이 상기 MOS형트랜지스터(401)의 소스전극 및 드레인전극의 다른쪽에 접속되며, 정부전원선의 한쪽이, 적어도 금속 또는 금속실리사이드를 포함하는 재료에 의해 형성된 (N-1)번째의 주사선(404)에 접속되고, 전원선의 다른쪽은 증폭전원전극(Vamp, 710)에 접속되고, 출력전극이 화소전극(708)에 접속된 아날로그증폭회로(402)와, 이 아날로그증폭회로(402)의 입력전극과 전압보지용량전극(705)과의 사이에 형성된 전압보지용량((706))과, 화소전극(708)과 대향전극(707)과의 사이에서 스위칭 시키는 액정(709)과로 구성되어 있다.

도 57의 변형예에 있어서도, 도 54의 경우와 도일한 효과를 얻을 수 있다.

도 58은, 제 11실시형태에 의한 액정표시장치의 다른 변형예를 게시하는 1화소분의 회로구성도이다. 도면에 나타낸 바와 같이, 본 예의 액정표시장치는, 게이트전극이, 적어도 금속 또는 금속실리사이드를 포함하는 재료에 의해 형성된 주사선(701)에 접속되고, 소스전극 및 드레인전극의 한쪽이 신호선(702)에 접속된 MOS형트랜지스터(Qn, 750)과, 입력전극이 트랜지스터(Qn, 750)의 소스전극 및 드레인전극의 다른쪽에 접속되며, 출력전극이 화소전극(708)에 접속되

고, 정부전원선의 어느쪽인지 한쪽이 상기 주사선(701)에 접속되고, 전원선의 다른쪽이 전압보지용량전극(705)에 접속된 아날로그증폭회로(755)와, 이 아날로그증폭회로(755)의 입력전극과 상기 전압보지용량전극(705)과의 사이에 형성된 전압보지용량((706))과, 화소전극(708)과 대향전극(707)과의 사이에서 스위칭 시키는 액정(709)과로 구성되어 있다.

이 변형예에 있어서는, 아날로그증폭회로(755)의 정부어느쪽의 전원선에 대해서도 특별한 배선이 필요없기 때문에, 화소의 회로구조를 더욱 간소히 할수있고, 개구율을 높게 할 수가 있다.

도 58의 변형예에 있어서는, 도 54의 효과에 덧붙여, 화소의 회로구성을 한층더 간략하게 할 수 있고, 개구율을 향상시킬 수 있다고 하는 효과도 가진다.

또, 아날로그증폭회로(755)의 주사선에 접속되어 있는 전원선이, 도 57의 변형예와 같이 인접하는 주사선에 접속되는 형이어도 좋다.

상기도 54, 도 57, 도 58의 각 변형예에서는, MOS형트랜지스터(Qn, 703, 401, 750) 및 아날로그증폭회로(704, 402, 755)가, 폴리-SiTFT로 형성한다고 하였지만, a-SiTFT, 카드뮴·셀렌박막트랜지스터 등의 다른 박막트랜지스터로 형성하여도 좋고, 단결정실리콘트랜지스터로 형성하여도 좋다.

또한, 상기 도 54, 도 57, 도 58의 각 변형예에서는, 화소의 선택스위치로서, n형 M0S트랜지스터를 채용하고 있지만, p형 M0S트랜지스터를 채용하여도 좋다. 그 경우, 게이트주사신호로서, 선택시에 로우레벨, 비선택시에 하이레벨이 되는 펄스신호를 입력한다.

또한, 상기 도 54, 도 57, 도 58의 각 변형예에서는, 아날로그증폭회로의 이득은 1로 설정되어 있지만, 화소전압을 입력전압과 다르게 하기위해서, 전압증폭도를 변화시켜도 좋다.

도 59는, 제11실시형태에 있어서의 액정표시장치의 또다른 변형예를 게시하는 1화소분의 회로구성도이고, 도 54의 아날로그증폭회로(704)를 트랜지스터로 구성하는 경우가 구체적인 구성예이다.

도면에 나타낸 바와 같이, 본 예의 액정표시장치는, 게이트전극이, 적어도 금속 또는 금속실리사이드를 포함하는 재료에 의해 형성된 주사선(701)에 접속되고, 소스전극 및 드레인전극의 한쪽이 신호선(702)에 접속된 n형 MOS트랜지스터(Qn, 601)와, 게이트전극이 그 n형트랜지스터(Qn, 601)의 소스전극 및 드레인전극의 다른쪽에 접속되며, 소스전극 및 드레인전극의 한쪽이 주사선(701)에 접속되고, 소스전극 및 드레인전극의 다른쪽이 화소전극(708)에 접속된 p형 MOS트랜지스터(Qp, 602)와, 이 p형 MOS트랜지스터(Qp, 602)의 게이트전극과 전압보지용량전극(705)과의 사이에 형성된 전압보지용량((706))과, 화소전극(708)과 전압보지용량전극(705)의 사이에 접속된 저항(RL, 603)과, 화소전극(708)과 대향전극(707)과의 사이에서 스위칭 시키는 액정(709)과로 구성되어 있다.

저항(RL, 603)은, 반도체 박막 혹은 불순물도핑된 반도체 박막으로 형성되어 있다.

이하, 도 59에 나타낸 화소회로구성을 사용한 액정표시장치의 구동방법에 관해서 설명한다.

도 60은 도 59에 나타낸 화소구성에 의해 액정을 구동한 경우의, 게이트주사전압(Vg), 데이터신호전압(Vd), p형 MOS트랜지스터(Qp, 602)의 게이트전압(Va), 화소전압(Vpix)의 타이밍챠트를 나타낸 것이다. 게이트구동기의 부전원전압을 VgL0, 게이트주사전압의 로우레벨전압을 VgL로 한다.

도면에 나타낸 바와 같이, 게이트주사전압(Vg)이 수평주사의 기간, 하이레벨 (VgH)로 됨으로서, n형 MOS트랜지스터(Qn, 601)는 ON상태로 되어, 신호선에 입력되어 있는 데이터신호(Vd)가 n형 MOS트랜지스터(Qn, 601)를 경유하여 p형 MOS트랜지스터(Qp, 602)의 게이트전극에 전송된다.

한편, 그 수평주사기간에 있어서, 화소전극(708)은, p형 MOS트랜지스터(Qp) (602)를 경유하여 게이트주사전압(VgH)이 전송되는 것에 의해 리셋상태로 된다. 여기서, 하기에 언급하듯이, p형 MOS트랜지스터(Qp, 602)는, 수평주사기간이 종료한 후, 소스플로워형의 아날로그증폭으로서 동작하지만, 수평주사기간에 있어서 화소전압(Vpix)이 VgH로 되는 것으로, p형 MOS트랜지스터(Qp, 602)의 리셋이 동시에 행하여진다.

수평주사기간이 종료되어, 게이트주사전압(Vg)이 로우레벨로 되면, n형 M0S

트랜지스터(Qn, 601)는 오프상태로 되어, p형 MOS트랜지스터(Qp, 602)의 게이트전극에 전송된 데이터신호는 전압보지용량((706))에 의해 보지된다. 이때, p형 MOS트랜지스터(Qp, 602)의 게이트입력전압(Va)은, n형 MOS트랜지스터(Qn, 601)가 오프상태가 되는 시사이에서, n형 MOS트랜지스터(Qn, 601)의 게이트·소스간 용량을 경유하여 피드스루전압이라고 불리는 전압쉬프트를 일으킨다. 이것은 도 60에서는, Vf1, Vf2, Vf3으로 나타내여지고 있다.

p형 MOS트랜지스터(Qp, 602)의 게이트입력전압(Va)은, 다음의 필드기간에 있어서, 다시 게이트주사전압(Vg)이 하이레벨로 되어, n형 M0S트랜지스터(Qn, 601)가 선택될 때까지 보지된다.

한편, p형 MOS트랜지스터(Qp, 602)는, 수평주사기간에 리셋이 완료되어 있어, 화소전극(708)을 소스전극으로 한 소스플로워형 아날로그증폭으로서 동작한다. 이때, 전압보지용량전극(705)에는, p형 MOS트랜지스터(Qp, 602)를 아날로그증폭으로서 동작시키기 위해서, 적어도 (Vdmax-Vtp) 보다도 높은 전압을 공급하여 둔다. 여기서, Vdmax는 데이터신호(Vd)의 최대치, Vtp는 p형 MOS트랜지스터(Qp, 602)의 한계치전압이다.

p형 MOS트랜지스터(Qp, 602)는 다음 필드로에서 게이트주사전압이 VgH로 되어 리셋이 행하여지는 까지의 동안, 그 보지된 게이트입력전압(Va)에 따른 아날로그층조전압을 출력할 수가 있다. 그 출력전압은, p형 MOS트랜지스터의 트랜스·콘덕턴스(gmp)와 저항(RL, 603)과의 값에 의해서 변하지만, 대략 다음 식으로 표시된다.

Vpix　Va-Vtp·　·　·(11)

여기서, Vtp는 통상 부의 값이기 때문에, 도 60에 나타낸 바와 같이, Vpix는 Va보다도 p형 MOS트랜지스터(Qp, 602)의 한계치전압의 절대치만큼 높은 전압이 된다. 이 보지기간중, 주사선(701)에는, 아날로그증폭회로의 정전원선으로부터 부전원선을 경우하여 항상 전류가 유입하여, 게이트주사전압(Vg)의 로우레벨출력(VgL)을 쉬프트시킨다. 이것은 도 60에서는, △VgL1, △VgL2, △VgL3으로 표시되어 있다. 이 결과, VgL은, △VgL을 정으로하여

VgL= VgL0+△VgL (1또는 2또는 3)　·　·　·(10)

으로 된다.

△VgL은 동일주사선상에 있더라도 화소마다 다르고, 또한 동일화소에 있어서는 데이터신호전압(Vd)의 값에 따라 변화한다. 제11실시형태에 있어서는, 재료로 저항이 작은 금속 또는 금속실리사이드를 사용하여 주사선의 배선저항을 낮게 하고 있기 때문에, △VgL의 절대치가 작고, VgL의 최대치가 작게 되기때문에, 정상인 스위칭의 필요조건인

VgL-VdL< Vt　·　·　·(8) .

가 성립되고 있다. 이렇게 하여, 화소전압(Vpix)의 변동없이, 액정을 구동하는 것이 가능해진다.

도 59의 변형예에 있어서도, 도 54의 경우와 같은 효과를 얻을 수 있다.

도 61은, 제11실시형태에 있어서의 액정표시장치의 다른 변형예를 게시하는 1화소분의 회로구성도이고, 도 54의 아날로그증폭회로(704)를 2개의 트랜지스터로 실시한 예이다.

도면에 나타낸 바와 같이, 본 예의 액정표시장치는, 게이트전극이, 적어도 금속 또는 금속실리사이드를 포함하는 재료

에 의해 형성된 주사선(701)에 접속되어, 소스전극 및 드레인전극의 한쪽이 신호선(702)에 접속된 n형 MOS형트랜지스터(Qn, 801)와, 게이트전극이 그 n형트랜지스터(Qn, 801)의 소스전극 및 드레인전극의 다른쪽에 접속되며, 소스전극 및 드레인전극의 한쪽이 주사선(701)에 접속되며, 소스전극 및 드레인전극의 다른쪽이 화소전극(708)에 접속된 제1p형MOS트랜지스터(Qp1, 802)와, 이 제1p형MOS트랜지스터(Qp1, 802)의 게이트전극과 전압보지용량전극(705)과의 사이에 형성된 전압보지용량(706)과, 게이트전극이 바이어스전원(VB, 804)에 접속되고, 소스전극이 상기 전압보지용량전극(705)에 접속되며, 드레인전극이 화소전극(708)에 접속된 제2p형MOS트랜지스터(Qp2, 803)와, 화소전극(708)과 대향전극(707)과의 사이에서 스위칭 시키는 액정(709)과로 구성되어 있다.

제2p형MOS트랜지스터(Qp2, 803)는, 제1p형MOS트랜지스터(Qp1, 802)를 아날로그증폭으로서 동작시키는 경우의, 바이어스전류원으로서 동작하고 있다.

이 도 61의 변형예의 액정표시장치의 구동방법은, 도 59의 액정표시장치의 구동방법과 동일하다.

도 61의 변형예에 있어서도, 도 59의 경우와 동일한 효과를 기대할 수 있다. 덧붙여, 도 61의 변형예는, 제2p형MOS트랜지스터(Qp2, 803)의 게이트전극을 바이어스전원(VB, 804), 소스전극을 전압보지용량전극(705)에 접속하고 있기 때문에, 양자의 전압을 조절하는 것으로, 제2p형MOS트랜지스터(803)의 동작영역을 제어하는것이 가능하고, 도 59의 경우보다도 아날로그증폭회로의 제어성이 높다고 하는 효과를 갖는다.

도 62는, 제11실시형태에 있어서의 액정표시장치의 또다른 변형예를 게시하는 1화소분의 회로구성도이고, 도 54의 아날로그증폭회로(704)를 2개의 트랜지스터로 실시한 별도의 예이다.

도면에 나타낸 바와 같이, 본 예의 액정표시장치는, 게이트전극이, 적어도 금속 또는 금속실리사이드를 포함하는 재료에 의해 형성된 주사선(701)에 접속되고, 소스전극 및 드레인전극의 한쪽이 신호선(702)에 접속된 n형 MOS형트랜지스터(Qn, 901)와, 게이트전극이 그 n형트랜지스터(Qn, 901)의 소스전극 및 드레인전극의 다른쪽에 접속되며, 소스전극 및 드레인전극의 한쪽이 주사선(701)에 접속되고, 소스전극 및 드레인전극의 다른쪽이 화소전극(708)에 접속된 제1p형MOS트랜지스터(Qp1, 902)와, 이 제1p형MOS트랜지스터(Qp1, 902)의 게이트전극과 전압보지용량전극(705)과의 사이에 형성된 전압보지용량(706)과, 게이트전극이 전압보지용량전극(705)에 접속되고, 소스전극이 소스전원(VS, 904)에 접속되며, 드레인전극이 화소전극(708)에 접속된 제2p형MOS트랜지스터(Qp2, 903)와, 화소전극(708)과 대향전극(707)과의 사이에서 스위칭 시키는 액정(709)과로 구성되어 있다.

제2p형MOS트랜지스터(Qp2, 903)는, 제1p형MOS트랜지스터(Qp1, 902)를 아날로그증폭으로서 동작시키는 경우의, 바이어스전류원으로서 동작하고 있다.

이 변형예의 액정표시장치의 구동방법은, 도 59의 액정표시장치의 구동방법과 동일하다.

도 62의 변형예에 있어서도, 도 59의 경우와 동일한 효과를 기대할 수 있다. 덧붙여, 도 62의 변형예는, 제2p형MOS트랜지스터(Qp2, 903)의 게이트전극을 전압보지용량전극(705), 소스전극을 소스전원(VS, 904)에 접속하고 있기 때문에, 양자의 전압을 조절하는 것으로, 제2p형MOS트랜지스터(Qp2, 903)의 동작영역을 제어하는것이 가능하고, 도 59의 경우보다도 아날로그증폭회로의 제어성이 높다고 하는 효과를 갖는다.

도 63은, 제11실시형태에 있어서의 액정표시장치의 또다른 변형예를 게시하는 1화소분의 회로구성도이고, 도 54의 아날로그증폭회로(704)를 2개의 트랜지스터로 실시한 별도의 예이다.

도면에 나타낸 바와 같이, 본 예의 액정표시장치는, 게이트전극이, 적어도 금속 또는 금속실리사이드를 포함하는 재료에 의해 형성된 주사선(701)에 접속되고, 소스전극 및 드레인전극의 한쪽이 신호선(702)에 접속된 n형 MOS형트랜지스터(Qn, 7001)와, 게이트전극이 그 n형 트랜지스터(Qn, 7001)의 소스전극 및 드레인전극의 다른쪽에 접속되며, 소

스전극 및 드레인전극의 한쪽이 상기 주사선(701)에 접속되고, 소스전극 및 드레인전극의 다른쪽이 화소전극(708)에 접속된 제1p형MOS트랜지스터(Qp1, 7002)와, 이 제1p형MOS트랜지스터(Qp1, 7002)의 게이트전극과 전압보지용량전극(705)과의 사이에 형성된 전압보지용량((706))과, 게이트전극및 소스전극이 전압보지용량전극(705)에 접속되며, 드레인전극이 화소전극(708)에 접속된 제2p형MOS트랜지스터(Qp2, 7003)와, 화소전극(708)과 대향전극(707)과의 사이에서 스위칭 시키는 액정(709)과로 구성되어 있다.

제2p형MOS트랜지스터(Qp2, 7003)의 게이트전극과 소스전극은 모두 전압보지용량전극(705)에 접속되어 있기 때문에, 제2p형MOS트랜지스터(Qp2, 7003)의 게이트·소스간 전압(Vgsp)은 0V로 된다. 이 바이어스조건하에서 아날로그증폭을 적정히 동작시키기위해서, 제2p형MOS트랜지스터(Qp2, 7003)의 한계치전압은 채널·도즈에 의해 쉬프트제어되고 있다. 제2p형MOS트랜지스터(Qp2, 7003)는, 제1p형MOS트랜지스터(Qp1, 7002)를 아날로그증폭으로서 동작시키는 경우의, 바이어스전류원으로서 동작하고 있다.

이 변형예의 액정표시장치의 구동방법은, 도 59의 액정표시장치의 구동방법과 동일하다.

도 63의 변형예에 있어서도, 도 59의 경우와 동일한 효과를 기대할 수 있다. 덧붙여, 도 63의 변형예에서는, 도 61, 도 62에서 필요하던 바이어스전원(VB, 804), 소스전원(VS, 904)이 불필요하여, 회로의 간소화, 고개구율화라는 효과도 갖는다. 다만, 제2p형MOS트랜지스터(Qp2, 7003)의 한계치 제어를 하기위해서, 채널도즈공정이 필요하게 된다.

도 64는, 제11실시형태에 있어서의 액정표시장치의 또다른 변형예를 게시하는 1화소분의 회로구성도이고, 도 54의 아날로그증폭회로(704)를 2개의 트랜지스터로 실시한 별도의 예이다.

도면에 나타낸 바와 같이, 본 예의 액정표시장치는, 게이트전극이, 적어도 금속 또는 금속실리사이드를 포함하는 재료에 의해 형성된 주사선(701)에 접속되며, 소스전극 및 드레인전극의 한쪽이 신호선(702)에 접속된 제1n형MOS형트랜지스터(Qnl, 7101)와, 게이트전극이 그 제1n형트랜지스터(Qnl, 7101)의 소스전극 및 드레인전극의 다른쪽에 접속되고, 소스전극 및 드레인전극의 한쪽이 주사선(701)에 접속되며, 소스전극 및 드레인전극의 다른쪽이 화소전극(708)에 접속된 p형 MOS트랜지스터(Qp, 7102)와, 이 p형 MOS트랜지스터(Qp, 7102)의 게이트전극과 전압보지용량전극(705)과의 사이에 형성된 전압보지용량(706)과, 게이트전극이 p형 MOS트랜지스터(Qp, 7102)의 게이트전극에 접속되어, 소스전극이 드레인전원(VD, 7104)에 접속되고, 소스전극이 화소전극(708)에 접속된 제2n형MOS트랜지스터(Qn2, 7103)와, 화소전극(708)과 대향전극(707)과의 사이에서 스위칭 시키는 액정(709)과로 구성되어 있다.

제2n형MOS트랜지스터(Qn2, 7103)는, p형 MOS트랜지스터(Qp, 7202)를 아날로그증폭으로서 동작시키는 경우의, 바이어스전류원으로서 동작하고 있다.

이 변형예에 있어서도, 도 59의 경우와 동일한 효과를 기대할 수 있다.

도 65는, 제11실시형태에 있어서의 액정표시장치의 또다른 변형예를 개시하는 1화소분의 회로구성도이고, 도 54의 아날로그증폭회로(704)를 트랜지스터로 구성한 별도의 예이다.

도면에 나타낸 바와 같이, 본 예의 액정표시장치는, 게이트전극이, 적어도 금속 또는 금속실리사이드를 포함하는 재료에 의해 형성된 주사선(701)에 접속되며, 소스전극 및 드레인전극의 한쪽이 신호선(702)에 접속된 p형 MOS형트랜지스터

(Qp, 7201)와, 게이트전극이 그 p형 트랜지스터(Qp, 7201)의 소스전극 및 드레인전극의 다른쪽에 접속되고, 소스전극 및 드레인전극의 한쪽이 상기 주사선(701)에 접속되며, 소스전극 및 드레인전극의 다른쪽이 화소전극(708)에 접속

된 n형 MOS트랜지스터(Qn, 7202)와, 이 n형 MOS트랜지스터(Qn, 7202)의 게이트전극과 전압보지용량전극(705)과의 사이에 형성된 전압보지용량(706)과, 화소전극(708)과 전압보지용량전극(705)의 사이에 접속된 저항(RL, 7203)과, 화소전극(708)과 대향전극(707)과의 사이에서 스위칭 시키는 액정(709)과로 구성되어 있다.

저항(RL, 7203)은, 반도체박막 혹은 불순물도핑된 반도체박막으로 형성되어 있다.

이하, 도 65의 화소회로구성을 사용한 액정표시장치의 구동방법에 관해서 설명한다.

도 66은, 도 65의 화소회로구성에 의해 액정을 구동한 경우의, 게이트주사전압(Vg), 데이터신호전압(Vd), n형 MOS트랜지스터(Qn, 7202)의 게이트전압(Va), 화소전압(Vpix)의 타이밍챠트를 나타낸 것이다.

도면에 나타낸 바와 같이, 게이트주사전압(Vg)이 수평주사기간, 로우레벨 (VgL)이 됨으로서, p형 MOS트랜지스터(Qp, 7201)는 ON상태로 되어, 신호선에 입력되어 있는 데이터신호(Vd)가 p형 MOS트랜지스터(Qp, 7201)를 경유하여 n형 MOS트랜지스터(Qn, 7202)의 게이트전극에 전송된다.

한편, 그 수평주사기간에 있어서, 화소전극(708)은, n형 MOS트랜지스터(Qn) (7202)를 경유하여 게이트주사전압(VgL)이 전송되는 것에 의해 리셋상태로 된다. 여기서, 하기에 언급하듯이, n형 MOS트랜지스터(Qn, 7202)는, 수평주사기간이 종료된 후, 소스플로워형의 아날로그증폭으로서 동작하지만, 수평주사기간에 있어서 화소전압(Vpix)이 VgL로 되는 것으로, n형 MOS트랜지스터(Qn, 7202)의 리셋이 동시에 행하여진다.

수평주사기간이 종료되어, 게이트주사전압(Vg)이 하이레벨이 되면, p형 M0S형트랜지스터(Qp, 7201)는 오프상태로 되어, n형 MOS트랜지스터(Qn, 7202)의 게이트전극에 전송된 데이터신호는 전압보지용량(706)에 의해 보지된다. 이때, n형 MOS트랜지스터(Qn, 7202)의 게이트입력전압(Va)은, p형 MOS트랜지스터(Qp, 7201)가 오프상태가 되는 시각에있서, p형 MOS트랜지스터(Qp, 7201)의 게이트·소스간용량을 경유하여 피드스루전압이라고 불리는 전압쉬프트를 일으킨다. 이것은 도 66에서는, (Vf1), (Vf2), (Vf3)으로 표시되어 있다.

n형 MOS트랜지스터(Qn, 7202)의 게이트입력전압(Va)은, 다음의 필드기간에 있어서, 다시 게이트주사전압(Vg)이 로우레벨로 되어, p형 M0S트랜지스터(Qp, 7201)가 선택될 때까지 보지된다. 한편, n형 MOS트랜지스터(Qn, 7202)는, 수평주사기간에 리셋이 완료되어 있어, 화소전극(708)을 소스전극으로 한 소스플로워형 아날로그증폭으로서 동작한다.

이때, 전압보지용량전극(705)에는, n형 MOS트랜지스터(Qn, 7202)를 아날로그증폭으로서 동작시키기 위해서, 적어도 (Vdmin - Vtn) 보다도 낮은 전압을 공급하여 둔다. 여기서, Vdmin은 데이터신호(Vd)의 최소값, Vtn은 n형 MOS트랜지스터(Qn) (7202)의 한계치 전압이다.

n형 MOS트랜지스터(Qn, 7202)는, 다음의 필드에서 게이트주사전압이 VgL로 되어 리셋이 행하여지기 까지의 동안, 그 보지된 게이트입력전압(Va)에 따른 아날로그층조전압을 출력할 수가 있다. 그 출력전압(Vpix)은, n형 MOS트랜지스터의 트랜스·콘덕턴스(gmn)와 저항(RL, 7203)과의 값에 의해서 변하지만, 대략 다음 식으로 표시된다.

Vpix Va - Vtn · · · (12)

여기서, Vtn은 통상 정의 값이기 때문에, 도 66에 나타낸 바와 같이, Vpix는 Va보다도 n형 MOS트랜지스터(Qn, 7202)의 한계치 전압의 절대치만큼 낮은 전압이 된다. 이 보지기간중, 주사선(701)으로부터는, 아날로그증폭회로의 부전원선으로부터 정전원선을 경유하여 항상 전류가 유출하여, 게이트주사전압(Vg)의 하이레벨출력(VgH)을 쉬프트시킨다. 이것은 도 60에서는, △VgH1, △VgH2, △VgH3으로 표시되어 있다.

이 결과, VgH는, △VgH를 정으로해서

VgH= VgH0-△VgH (1또는 2또는 3)・・・(13)

이 된다. △VgH는 동일주사선상에 있어서도 화소마다 다르고, 또한 동일화소에 있어서는 데이터신호전압(Vd)의 값에 의해 변화된다.

제11실시형태에 있어서의 액정표시장치에 있어서는, 재료로 저항이 작은 금속 또는 금속실리사이드를 사용하여 주사선의 배선저항을 낮게 하고 있기 때문에 △VgH의 절대치가 작고, VgH의 최소값이 커지기때문에, 정상인 스위칭의 필요조건인

V t< VgH-VdH ・・・(9)

가 성립된다. 여기서, VdH는 데이터신호의 하이레벨이다. 이렇게 하여, 화소전압 (Vpix)의 변동없이, 액정을 구동하는 것이 가능해진다.

도 65의 변형예에 있어서도, 도 59의 경우와 동일한 효과를 얻을 수 있다.

한편, 상기 도 59 도 64의 각 변형예에서는, 화소의 선택스위치로서, n형 M0S트랜지스터를 채용하고 있지만, p형 M0S트랜지스터를 채용하여도 좋다.

그 경우, 게이트주사신호로서, 선택시에 로우레벨, 비선택시에 하이레벨이 되는 펄스신호를 입력하고, 아날로그증폭회로를 구성하는 1개 또는 2개의 트랜지스터는, 각 변형예중의 p형은 n형으로, n형은 p형으로 변경한다.

도 65는, 이렇게 하여 도 59에 있어서의 스위칭용 n형 MOS트랜지스터를 p형 M0S트랜지스터로, 증폭용 p형 M0S트랜지스터를 n형 M0S트랜지스터로 바꿔놓은 경우의 변형예이다. 도 65의 변형예에서는 도 59의 변형예와 동일한 효과를 얻을 수 있고, 다른 도 61 도 64의 변형예에 관해서도, 스위칭용트랜지스터를 p형으로 변경하는 것이 가능하다.

또한, 상기 도 59 도 65의 각 변형예에서, n형 MOS트랜지스터(Qn, Qn1, Qn2) 및 p형 MOS트랜지스터(QP, QP1, QP2)는, 폴리-SiTF로 형성한다고 하였지만, a-SiTFT, 카드뮴・셀렌박막트랜지스터등의 다른 박막트랜지스터로 형성하여도 좋고, 단결정실리콘트랜지스터로 형성하여도 좋다. 또한, 아날로그증폭회로의 이득은 1로 설정되어 있지만, 화소전압을 입력전압과 다르게 하기 위해서, 전압증폭도를 변화시켜도 좋다.

이상 모든 변형예에 있어서, 주사선(701, 403, 404)은, 적어도 금속 또는 금속실리사이드를 포함하는 재료로 형성된 저저항인 배선으로 형성되어 있고, 비선택시의 게이트주사전압의 전압쉬프트량을 저감하는 것이 가능하다.

주사선의 저항은, 정상인 스위칭 동작이 행하여지는 정도로 낮은 값일 필요가 있다. 즉, 스위칭트랜지스터가 n형의 경우는, 게이트주사전압의 로우레벨이 적어도 데이터신호의 로우레벨전압과 한계치의 합 이하로 되는 저항치, 스위칭트랜지스터가 p형의 경우는, 게이트주사전압의 하이레벨이 데이터신호의 하이레벨전압과 한계치의 합 이상이 되는 저항치일 필요가 있다.

도 56(a)의 예로 말하면 주사선의 시트저항이 적어도 3Ω이하의 경우이고, 배선높이를 lμm 정도라고 생각하면, 이것은, 3×10^{-4} 〔Ω・cm〕 이하의 저항율에 해당된다. 주사선을 형성하는 금속 또는 금속실리사이드는, (배선높이를 1μm으로 한 경우) 저항율이 적어도 이 값 이하인 것이면 좋다.

다만 이것은 일예이고, 조건에 따라, 필요로 하는 저항율의 최대치는 다르다. 예컨대, 도 56(b)와 같이, 화소수의 증가에 따라 게이트로우레벨전압의 쉬프트량은 증가되기 때문에, 이러한 경우에는, 금속 또는 금속실리사이드의 저항치를, 화소수에 대략 반비례되는 크기가 되도록하면 된다.

또한, 주사선을 형성하는 재료는, 고융점금속 또는 고융점의 금속규화물인 것이 더욱 바람직하다. 이들은, 보다 구체적으로는, A l 및 A l 합금, Mo 및 Mo합금, W 및 W합금, MoSi2, WSi2, TiSi2, TaSi2등이다. A1합금은, 예컨대, Pd,

Ti, Ta, Nb, Co, Cr, Mo, V, Ni, Cu, Fe, Mn 등의 천이금속원소중, 적어도 1종류의 천이금속원소를 함유한 것이다. 이들의 재료는, 단일체로 사용하여도 좋고, 또한 두개 이상을 조합하여 다층으로 하여 사용하여도 좋다. 또한, 불순물도핑된 반도체박막 같은 고저항재료이더라도, 여기서 든 재료와 조합 다층으로 하는 등으로 사용이 가능하게 할 수도 있다.

도 67은, 본 발명에의한 제12실시형태에 있어서의 액정표시장치의 구성을 개략적으로 나타내는 도면이다.

이 도면에 있어서, 게이트구동기(7403)에 의해 순차구동되는 복수의 주사선(7401)과, 데이터구동기(7404)에 의해 순차 데이터신호가 전송되는 복수의 신호선(702)과의 각 교점부근에, MOS형트랜지스터회로(7402)가 배설되고, 이 MOS형트랜지스터회로(7402)에 의해, 화소전극(708)이 구동되는 능동매트릭스형 액정표시장치이고, 상기 게이트구동기(7403)로부터 주사선(7401)에 입력되는 게이트주사전압의 최소값(VgL0)은 부의 값이다.

도 68은, 도 67에 나타낸 액정표시장치의 1화소회로구성의 일례를 나타내는 도면이다.

도 68에 나타낸 바와 같이, 제12실시형태의 액정표시장치는, 게이트전극이, 주사선(7401)에 접속되어, 소스전극 및 드레인전극의 한쪽이 신호선(702)에 접속된 MOS형트랜지스터(Qn, 7501)와, 입력전극이 트랜지스터(Qn, 7501)의 소스전극 및 드레인전극의 다른쪽에 접속되고, 출력전극이 화소전극(708)에 접속되며, 정부전원선의 어느쪽인지 한쪽이 상기 주사선(7401)에 접속되며, 전원선의 다른쪽은 증폭전원전극(Vamp, 710)에 접속된 아날로그증폭회로(7502)와, 상기 아날로그증폭회로

(7502)의 입력전극과 전압보지용량전극(705)과의 사이에 형성된 전압보지용량(706)과, 화소전극(708)과 대향전극(707)과의 사이에서 스위칭시키는 액정(709)으로 구성되어 있다.

여기서, MOS형트랜지스터(Qn, 7501) 및 아날로그증폭회로(7502)는, p-SiTFT로 구성되어 있다. 또한, 아날로그증폭회로(7502)의 이득은 1배로 설정되어 있다.

이하, 이 화소구성을 사용한 액정표시장치의 구동방법을, 도 69를 사용하여 설명한다. 도 69는, 도 68에 나타낸 화소구성에 의해 액정을 구동한 경우의, 게이트주사전압(Vg), 데이터신호전압(Vd), 증폭입력전압(Va), 화소전압(Vpix)의 타이밍 챠트를 나타낸 것이다. 게이트구동기의 부전원전압을 VgL0, 화소부에 있어서의 게이트주사전압의 로우레벨전압을 VgL, 트랜지스터(Qn, 7501)의 한계치를 Vt로 한다.

도면에 나타낸 바와 같이, 게이트주사전압(Vg)이 수평주사기간에 하이레벨 (VgH)로 됨으로서, 트랜지스터(Qn, 7501)는 ON상태로 되어, 신호선(702)에 입력되어 있는 데이터신호(Vd)가 트랜지스터(Qn, 7501)를 경유하여 아날로그증폭회로

(7502)의 입력전극에 전송된다. 수평주사기간이 종료되어, 게이트구동기로부터 주사선(7501)에 대하여 로우레벨전압(VgL0)이 출력되면, 트랜지스터(Qn, 7501)는 오프 상태로 되어, 아날로그증폭회로(7502)의 입력전극에 전송된 데이터신호는 전압보지용량(706)에 의해 보지된다.

여기서 VgL0는,

$VgL0 < 0 \cdots (14)$

로 되는 전압이다. 이때, 증폭입력전압(Va)은, 트랜지스터(Qn, 7501)가 오프상태로 되는 시각에있어서, 트랜지스터(Qn, 7501)의 게이트·소스간 용량을 경유하여 피드스루전압이라고 불리는 전압쉬프트를 일으킨다. 이것은 도 69에서는, Vf1, Vf2, Vf3으로 표시되어 있다.

증폭입력전압(Va)는, 다음 필드기간에 있어서, 다시 게이트주사전압(Vg)이 하이레벨로 되어, 트랜지스터(Qn, 7501)가 선택될 때까지 보지된다. 아날로그증폭회로(7502)는, 다음 필드에서 증폭입력전압이 변화하는 까지의 동안, 그 보지된 증폭입력전압(Va)에 따른 아날로그층조전압을 출력할 수가 있다. 이 보지기간중, 주사선(7401)에는, 아날로그증폭회로의 정전원선으로부터 부전원선을 경유하여 항상 전류가 유입하여, 게이트주사전압(Vg)의 로우레벨출력(VgL)을 △VgL만큼 밀어 올리고 있다.

이 결과, VgL은, △VgL을 정으로하여

$$VgL = VgL0 + \triangle VgL \quad \cdots (15)$$

로 된다. △VgL은 동일주사선상에 있어서도 화소마다 다르고, 또한 동일화소에 있어서는 데이터신호전압(Vd)의 값에 따라 변화한다. 제12실시형태에 있어서는, VgL0이 부의 값이고, VgL의 최대치가 작기 때문에

$$VgL - VdL < Vt \quad \cdots (8)$$

가 성립된다.

다음에, 제12실시형태에 있어서의 액정표시장치의 효과에 관해서 설명한다.

도 70은 제12실시형태에 있어서의 액정표시장치의 효과를 나타내는 게이트구동기 출력의 최소값과 주사선로우레벨전압의 상관도이다. 게이트주사전압의 입력시 하이레벨을 16V, 데이터신호전압의 하이레벨을 11V, 로우레벨을 1V, 1주사선당의 화소수를 640, 배선의 시트 저항을 5Ω로하고, 게이트구동기출력의 최소값(VgL0)을 변화시킨 경우의, 640번째의 화소에 있어서의 주사선로우레벨전압값(VgL, 640)을 시뮬레이션에 의해 구하였다. 계산에 사용한 스위칭 M0S형트랜지스터의 한계치(Vtn)는 1V 이다.

게이트주사전압의 로우레벨이, 데이터신호로우레벨(Vdmin)과 스위칭 MOS트랜지스터의 한계치(Vt)의 합(이 경우는 2V)을 넘어있으면, 스위칭트랜지스터는 정상인 스위칭을 행할 수 없다. 계산을 행한 화소회로구성에 있어서는, 게이트구동기의 최소출력전압(VgL0)이, 통상사용되는 0V인 경우, VgL(640)은 3.2V이고, 스위칭트랜지스터는 정상으로 동작하지 않는다.

제12실시형태에 있어서의 액정표시장치를 사용하여, 게이트구동기의 최소출력전압(VgL0)을 -1.5V 이하로 설정하면, 시트 저항5Ω의 조건하에서,

$$VgL\ (640) < 2V \quad \cdots (16)$$

로 되어, 스위칭용 M0S형트랜지스터가 정상인 동작을 실현할 수 있다(마진을 고려하면 VgL0는 -1.5V 보다도 낮은 값이 바람직하다). 이것은, 도 56(a)의 예에 있어서는, 시트 저항이 3Ω이하에서 실현할 수 있는 것으로, 저항이 높은 재료를 사용한 경우라도, 화소 스위칭을 정상으로 동작시키는 것이 가능하게 되어 있다.

이와 같이, 제12실시형태에 있어서의 액정표시장치는, 주사선의 재료로 금속 또는 금속실리사이드를 사용하는 일없이, 이온도핑을 행한 폴리-Si막등의 고저항인 배선재료를 사용하는 것이 가능하게 되는 효과를 갖는다. 다만, 아날로그증폭회로(7502)에 사용하는 트랜지스터의 내압등의 관점에서, VgL0는 될 수 있는한 0V에 가까운 편이 바람직하고, 기껏 마이너스 수V정도인 것이 바람직하다. 그 때문에, 배선에는 저저항의 재료를 사용하는 것이 바람직하고, 제11실시형태와 조합하여 사용하는 것이 유효하다.

또, 제12실시형태에 있어서의 액정표시장치로서는, MOS형트랜지스터

(Qn, 7501) 및 아날로그증폭회로(7502)를 폴리-SiTFT로 형성한다고 하였으나, a-SiTFT, 카드뮴·셀렌박막트랜지스터 등의 다른 박막트랜지스터로 형성하여도 좋고, 단결정실리콘트랜지스터로 형성하여도 좋다. 또한, 아날로그증폭회로(7502)의 이득은 1로 설정되어 있지만, 화소전압을 입력전압과 다르게 하기 위해서, 전압증폭도를 변화시켜도 좋다.

제12실시형태에 있어서의 액정표시장치에서는, 주사선을 형성하는 재료로 금속 또는 금속실리사이드를 포함하지 않더라도 좋고, 게이트구동기의 최소출력전압(VgL0)의 값을 마이너스로 규정하면, 주사선의 재료를 규제하지않고 제11실시형태에 있어서의 액정표시장치의 각 변형예의 구성(도 54, 도 57 도59, 도 61 도 64)를 모두 사용하는 것이 가능하다.

도 71은, 본 발명에 의한 제13실시형태에 있어서의 액정표시장치의 화소회로구성을 나타내는 도면이다.

도면에 나타낸 바와 같이, 본 실시형태의 액정표시장치는, 게이트전극이, 주사선(7401)에 접속되어, 소스전극 및 드레인전극의 한쪽이 신호선(702)에 접속된 MOS형트랜지스터(Qp, 7801)과, 입력전극이 트랜지스터(Qp, 7801)의 소스전극 및 드레인전극의 다른쪽에 접속되고, 출력전극이 화소전극(708)에 접속되며, 정부전원선의 어느쪽인지 한쪽이 상기 주사선(7401)에 접속되고, 전원선의 다른쪽은 증폭전원전극(Vamp, 710)에 접속된 아날로그증폭회로(7802)와, 이 아날로그증폭회로(7802)의 입력전극과 전압보지용량전극(705)과의 사이에 형성된 전압보지용량(706)과, 화소전극(708)과 대향전극(707)과의 사이에서 스위칭 시키는 액정(709)과로 구성되어 있다.

여기서, MOS형트랜지스터(Qp, 7801) 및 아날로그증폭회로(7802)는, p-SiTFT로 구성되어 있다. 또한, 아날로그증폭회로(7802)의 이득은 1배로 설정되어 있다.

이하, 이 화소회로구성을 사용한 액정표시장치의 구동방법을, 도 72를 사용하여 설명한다. 도72는, 제 71도의 화소회로구성에 의해 액정을 구동한 경우의, 게이트주사전압(Vg), 데이터신호전압(Vd), 증폭입력전압(Va), 화소전압(Vpix)의 타이밍챠트를 나타낸 것이다. 게이트구동기의 정전원전압을 VgH0, 화소부에서의 게이트주사전압의 하이레벨전압을 VgH, 트랜지스터(Qp, 7801)의 한계치를 (Vt)로 한다.

도면에 나타낸 바와 같이, 게이트주사전압(Vg)이 수평주사기간, 로우레벨 (VgL)로 됨으로서, 트랜지스터(Qp, 7801)는 ON상태로 되어, 신호선에 입력되어 있는 데이터신호(Vd)가 트랜지스터(Qp, 7801)를 경유하여 아날로그증폭회로(7802)의 입력전극에 전송된다. 수평주사기간이 종료되어, 게이트구동기로부터 주사선(7401)에 대하여 하이레벨전압(VgH0)이 출력되면, 트랜지스터(Qp, 7801)는 오프상태로 되어, 아날로그증폭회로(7802)의 입력전극에 전송된 데이터신호는 전압보지용량(706)에 의해 보지된다.

이때, 증폭입력전압(Va)은, 트랜지스터(Qp, 7801)가 오프상태가 되는 시각에있어서, 트랜지스터(Qp, 7801)의 게이트·소스간 용량을 경유하여 피드스루전압이라고 불리는 전압쉬프트를 일으킨다. 이것은 도 72으로서는, Vf1, Vf2, Vf3으로 표시되어 있다.

증폭입력전압(Va)은 다음 필드기간에 있어서, 다시 게이트주사전압(Vg)이 로우레벨로 되어, 트랜지스터(Qp, 7801)가 선택될 때까지 보지된다. 아날로그증폭회로(7802)는, 다음 필드에서 증폭입력전압이 변화하는 까지의 동안, 그 보지된 증폭입력전압(Va)에 따른 아날로그층조전압을 출력할 수가 있다. 이 보지기간중, 주사선(7401)으로부터는, 아날로그증폭회로의 정전원선으로부터 부전원선에 대하여 항상 전류가 유출하여, 게이트주사전압(Vg)의 하이레벨출력(VgH)을 강하시킨다. 이것은 도 72에서는, △VgH1, △VgH2, △VgH3으로 표시되어지고 있다.

이 결과 VgH는, △VgH를 정으로하여

VgH= VgH0-△VgH (1또는 2또는 3) · · · (17)

로 된다. △VgH는 동일주사선상에 있어서도 화소마다 다르고, 또한 동일화소에 있어서는 데이터신호전압(Vd)에 따라 변화된다.

제13실시형태에 있어서의 액정표시장치에서는, 모든 화소에 있어서, 적어도

VgH VdH+ Vt · · · (18)

가 성립될 것 같은 VgH0를 공급하는 것이 가능하고, 이에 의해서 정상인 스위칭을 행하는 것이 가능하게 된다. 또, 여기서 VdH는 데이터신호의 하이레벨이다.

제13실시형태에 있어서의 액정표시장치를 사용하면, 스위칭용 MOS트랜지스터가 p형인 경우에 대해서, 제12실시형태에 있어서의 액정표시장치와 동일한 효과를 얻을 수 있다.

또, 제13실시형태에 있어서의 액정표시장치에서는, MOS형트랜지스터트랜지스터(Qp, 7801) 및 아날로그증폭회로(7802)가, 폴리-SiTFT로 형성한다고 하였으나, a-SiTFT, 카드뮴·셀렌박막트랜지스터 등의 다른 박막트랜지스터로 형성하여도 좋고, 단결정실리콘트랜지스터로 형성하여도 좋다. 또한, 아날로그증폭회로(7802)의 이득은 1로 설정되어 있지만, 화소전압을 입력전압과 다르게 하기위해서, 전압증폭도를 변화시켜도 좋다.

또한, 제13실시형태에 있어서의 액정표시장치에서는, 주사선을 형성하는 재료에 금속 또는 금속실리사이드를 포함시키지 않아도 좋고, 게이트구동기의 정전원전압(VgH0)을 충분히 높은 값으로 규정하면, 제11실시형태의 구성(도 65와 같이, 도 54 도 64로 스위칭용트랜지스터를 p형으로 변경한 구성)을 사용하는 것이 가능하다.

아날로그증폭회로(7802)에 사용하는 트랜지스터의 내압등의 관점에서, VgH0는 될수있는한 낮은 편이 바람직하다. 그 때문에, 배선에는 저저항의 재료를 사용하는 것이 바람직하고, 제11실시형태에 있어서의 액정표시장치와 조합하여 사용하는것이 유효하다.

발명의 효과

이상 설명한 바와 같이, 본 발명의 액정표시장치에서는, 광원이 일괄점등식의 경우에 있어서 각 게이트구동회로블럭의 주사를 거의 동시에 시작한다. 따라서, 표시에 사용할 수 있는 기간이 긴 액정표시장치를 얻을 수 있다고 하는 효과를 나타낸다.

또한, 표시기간이 길게 되고, 또한, 구동법의 궁리에 따라 액정표시와 광원과의 연동이 가능하기 때문에, 광의 이용효율이 높은 액정표시장치를 얻을 수 있다는 효과를 나타낸다.

더욱이, 구동회로를 분할하여, 각 구동회로단위를 작게 하고 있기 때문에, 염가로 구성이 간단한 구동회로를 사용할 수 있다는 효과를 나타낸다.

나아가, 광원과 구동방법과의 동기를 최적화하기 때문에, 지극히 고화질인 표시를 얻을 수 있다는 효과를 나타낸다.

또한, 본 발명에 의하면, 복수의 주사선과 복수의 신호선과의 각 교점부근에 각각 배치되며 또한 증폭출력전송기능을 구비한 MOS형트랜지스터회로에 의해서 화소전극을 구동하는 액정표시장치에 있어서, 증폭출력전송기능의 출력을 전체 비트에 관해서 검출하고, 그 검출결과에 의거하여 화소마다 증폭출력전송기능의 출력보정을 행함으로서, 보지기간중의 화소전압변동을 억제 하기위해서 아날로그증폭회로가 부가된 구성의 화소에 있어서, 증폭출력의 격차에 기인하는 화소마다의 표시격차를 억제 할 수가 있다고 하는 효과가 있다.

또한, 본 발명에 의하면 증폭회로의 출력단자를 액정소자에 접속하여, 입력단자를 스위칭트랜지스터의 소스·드레인간을 개재하여 신호선에 접속함과 동시에, 이 아날로그증폭회로의 전원라인이 접속된 게이트주사선을, 적어도 금속 또는 금속실리사이드를 포함하는 재료에 의해 형성하는 것으로, 게이트주사선의 비선택시, 전압의 변동을 억제하여 정상인 스위칭동작을 달성하고, 전원선을 생략한 간소한 구성에 있어서, 화질의 열화를 방지함과 동시에, 비저항이 작은 고분자액정재료나, 분극을 가지는 강유전·반강유전액정재료등을 사용할 수가 있다.

또한, 스위칭트랜지스터가 n형인 경우는, 아날로그증폭회로가 접속된 게이트주사선구동기전원의 하이레벨전압을 충분히 높게 하는 것으로, p형인 경우는, 아날로그증폭회로가 접속된 게이트주사선구동기전원의 로우레벨전압을 마이너스로 쉬프트하는 것으로, 게이트주사선의 비선택시 전압의 쉬프트량을 저감시키고, 고저항의 배선재료에 있어서도 정상인 스위칭동작을 달성하고, 전원선을 생략한 간소한 구성에 있어서, 화질의 열화를 방지함과 동시에, 비저항이 작은 고분자액정재료나, 분극을 갖는 강유전·반강유전액정재료 등을 사용할 수가 있다.

(57) 청구의 범위

청구항 1.

구형의 표시영역이 대향하는 2변의 양측을 따라 설치된 데이터구동회로와, 다른 대향하는 2변을 따라 설치된 게이트구동회로를 가지는 액정표시부를 구비한 액정표시장치에 있어서,

상기 액정표시부는, 상기 게이트구동회로가 복수로 분할되어 형성되고, 상기데이터구동회로의 각각으로부터 연장되는 각각의 데이터선군이, 상기 복수로 분할된 게이트구동회로의 각각에서 전기적으로 분리되고,

상기 표시영역에 색도가 다른 광을 순차 입사하도록 배치된 색시분할입사광학계와, 상기 액정표시부와 상기 색시분할입사광학계를 소정의 조건에서 동기시키는 동기부를 구비한 것을 특징으로 하는 액정표시장치.

청구항 2.

제 1항에 있어서, 상기 게이트구동회로가, 상기 표시영역의 상기 다른 대향하는 2변의 양측에 배치된 것을 특징으로 하는 액정표시장치.

청구항 3.

제 1항에 있어서, 상기 데이터구동회로가, 상기 표시영역의 상기 대향하는 2변을 따라, 복수로 분할되어 배치된 것을 특징으로 하는 액정표시장치.

청구항 4.

제 1항에 있어서, 상기 게이트구동회로가, 상기표시영역의 상기 다른 대향하는 2변을 따라, 복수로 분할되어 배치된 것을 특징으로 하는 액정표시장치.

청구항 5.

제 1항에 있어서, 상기 게이트구동회로에 의한 게이트선과 상기 데이터구동회로에 의한 데이터선과의 교점중, 선택된 교점에만 능동소자를 배치한 것을 특징으로 하는 액정표시장치.

청구항 6.

제 1항에 있어서, 배선의 일부를 매설, 또는 브리지형상으로 설치한 것을 특징으로 하는 액정표시장치.

청구항 7.

구형의 표시영역이 대향하는 2변의 양측을 따라 설치된 데이터구동회로와, 상기 표시영역의 다른 대향하는 2변을 따라 설치된 게이트구동회로를 가지는 액정표시부를 구비한 액정표시장치에 있어서,

상기 액정표시부는, 상기 게이트구동회로가 복수로 분할되어 형성되고, 상기데이터구동회로의 각각으로부터 연장되는 각각의 데이터선군이, 상기 복수로 분할된 게이트구동회로의 각각에서 전기적으로 분리되고,

상기 표시영역에 일정기간의 어두운 상태를 낀 점멸광(명암광)을 입사하도록 배치된 명암점멸입사광학계와, 상기 액정표시부 및 상기 명암점멸입사광학계를 소정의 조건에서 동기시키는 동기부를 구비한 것을 특징으로 하는 액정표시장치.

청구항 8.

제 7항에 있어서, 상기 게이트구동회로가, 상기 표시영역의 상기 다른 대향하는 2변의 양측을 따라 배치된 것을 특징으로 하는 액정표시장치.

청구항 9.

제 7항에 있어서, 상기 데이터구동회로가, 상기 표시영역의 상기 대향하는 2변을 따라, 복수로 분할되어 배치된 것을 특징으로 하는 액정표시장치.

청구항 10.

제 7항에 있어서, 상기 게이트구동회로가, 상기 표시영역의 상기 다른 대향하는 2변을 따라, 복수로 분할되어 배치된 것을 특징하는 액정표시장치.

청구항 11.

제 7항에 있어서, 상기 게이트구동회로에 의한 게이트선과 상기 데이터구동회로에 의한 데이터선과의 교점중, 선택된 교점에만 능동소자를 배치한 것을 특징으로 하는 액정표시장치.

청구항 12.

제 7항에 있어서, 배선의 일부를 매설, 또는 브리지형상으로 설치한 것을 특징으로 하는 액정표시장치.

청구항 13.

청구항 1에 기재된, 액정표시장치를 구동시키는 액정표시장치의 구동방법에 있어서, 각 게이트구동회로내에서 리셋을 일괄해서 행하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 14.

제 13항에 있어서, 상기 각 게이트구동회로의 리셋을 거의 동시에 스타트하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 15.

제 13항에 있어서, 상기 각 게이트구동회로내의 각 주사선은, 제 1필드에서의 주사방향과 제 2필드에서의 주사방향과가 다른 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 16.

제 13항에 있어서, 상기 각 게이트구동회로내의 각 주사선의 기록을 순차 주사에 의해 행하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 17.

제 16항에 있어서, 상기 각 게이트구동회로의 기록을 일정시간 간격을 두고 순차 스타트하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 18.

제 16항에 있어서, 상기 각 게이트구동회로의 기록을 거의 동시에 스타트하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 19.

제 13항에 있어서, 상기 각 게이트구동회로내에서의 각 주사선의 기록을 전주사선 거의 동시에 행하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 20.

청구항 7에 기재된 액정표시장치를 구동시키는 액정표시장치의 구동방법에 있어서, 각 게이트구동회로내에서 리셋을 일괄해서 행하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 21.

제 20항에 있어서, 상기 각 게이트구동회로의 리셋을 거의 동시에 스타트하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 22.

제 20항에 있어서, 상기 각 게이트구동회로내의 각 주사선은, 제 1필드에서의 주사방향과 제 2필드에서의 주사방향과가 다른 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 23.

제 20항에 있어서, 상기 각 게이트구동회로내의 각 주사선의 기록을 순차주사에 의해 행하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 24.

제 23항에 있어서, 상기 각 게이트구동회로의 기록을 일정시간 간격을 두고 순차 스타트하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 25.

제 23항에 있어서, 상기 각 게이트구동회로의 기록을 거의 동시에 스타트하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 26.

제 20항에 있어서, 상기 각 게이트구동회로내에서의 각 주사선의 기록을 전주사선 거의 동시에 행하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 27.

청구항 1에 기재된 액정표시장치를 구동하는 액정표시장치의 구동방법에 있어서, 각 게이트구동회로내에서 주사하면서 리셋을 하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 28.

제 27항에 있어서, 상기 각 게이트구동회로내의 각 주사선마다 주사하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 29.

제 27항에 있어서, 임의로 선택된 복수의 주사선을 1블럭으로 하여, 상기1블럭을 동시에 리셋하고, 또한, 블럭을 임의로 선택하여 주사하여 기록을 행하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 30.

제 29항에 있어서, 상기 각 게이트구동회로의 각 주사선은, 제 1필드에서의 주사방향과 제 2필드에서의 주사방향과가 다른 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 31.

제 27항에 있어서, 상기 각 게이트구동회로내에서의 각 주사선의 기록을 순차 주사하면서 행하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 32.

제 31항에 있어서, 상기 각 게이트구동회로내에서의 각 주사선의 기록을 일정시간 간격을 두고 순차 스타트하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 33.

제 32항에 있어서, 임의로 선택된 게이트구동회로에서의 주사가 종료된 후, 임의로 선택된 다른 게이트구동회로의 기록을 스타트하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 34.

제 33항에 있어서, 상기 게이트구동회로내의 각 주사선의 기록을 패널전체면을 순차 주사하면서 행하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 35.

제 31항에 있어서, 상기 각 게이트구동회로의 기록을 거의 동시에 스타트하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 36.

제 27항에 있어서, 상기 각 게이트구동회로내에서의 각 주사선의 기록을 전체 주사선 거의 동시에 행하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 37.

청구항 7에 기재된 액정표시장치를 구동하는 액정표시장치의 구동방법에 있어서, 각 게이트구동회로내에서 주사하면서 리셋을 하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 38.

제 37항에 있어서, 상기 각 게이트구동회로내의 각 주사선마다 주사하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 39.

제 37항에 있어서, 임의로 선택된 복수의 주사선을 1블럭으로 하여, 상기1블럭을 동시에 리셋하고, 또한, 블럭을 임의로 선택하여 주사하여 기록을 하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 40.

제 39항에 있어서, 상기 각 게이트구동회로의 각 주사선은, 제 1필드에서의 주사방향과 제 2필드에서의 주사방향과가 다른 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 41.

제 37항에 있어서, 상기 각 게이트구동회로내에서의 각 주사선의 기록을 순차 주사하면서 행하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 42.

제 41항에 있어서, 상기 각 게이트구동회로내에서의 각 주사선의 기록을 일정시간 간격을 두고 순차 스타트하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 43.

제 42항에 있어서, 임의로 선택된 게이트구동회로에서의 주사가 종료된 후, 임의로 선택된 다른 게이트구동회로의 기록을 스타트하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 44.

제 43항에 있어서, 상기 게이트구동회로내의 각 주사선의 기록을 패널전체면을 순차 주사하면서 행하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 45.

제 41항에 있어서, 상기 각 게이트구동회로의 기록을 거의 동시에 스타트하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 46.

제 37항에 있어서, 상기 각 게이트구동회로내에서의 각 주사선의 기록을 전체 주사선 거의 동시에 행하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 47.

제 13항에 있어서, 광학계가, 상기 액정표시부전체면을 일괄해서 점등하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 48.

제 13항에 있어서, 상기 각 게이트구동회로마다의 블럭내를 일괄해서 점등하고, 다른 게이트구동회로에서는 다른 타이밍으로 점등하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 49.

제 13항에 있어서, 광학계가, 상기 액정표시부전체면을 주사하면서 점등하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 50.

제 13항에 있어서, 상기 각 게이트구동회로마다의 블럭내를 주사하여 점등하고, 다른 게이트구동회로에서는 다른 타이밍으로 점등하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 51.

제 13항에 있어서, 상기 각 게이트구동회로의 각 주사선의 주사의 타이밍, 광원의 휘도의 순발 특성, 패널면내에서의 표시 얼룩의 발생을 고려하여, 주사선과 광원의 동기를 시행하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 52.

제 51항에 있어서, 상기 동기에 카운터를 사용하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 53.

제 13항에 있어서, 입사광학계에 의한 광이, 상기 데이터구동회로 및 상기게이트구동회로에 입사되지 않는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 54.

제 13항에 있어서, 입사광학계에 의한 광이, 상기 표시영역내의 능동소자부에 입사하지않는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 55.

제 13항에 있어서, 상기 데이터구동회로의 데이터선의 갯수를 배로 하고, 상기 각 게이트구동회로의 주사선의 갯수를 반감시킨 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 56.

제 13항에 있어서, 광학계가, 분할된 각 게이트구동회로와 각 데이터구동회로에 의해 형성되는 다수의 표시영역블럭으로부터 임의로 선택되는 하나 또는 복수의 블럭을, 임의의 순으로 순차 주사하여 점등하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 57.

제 20항에 있어서, 광학계가, 상기 액정표시부전체면을 일괄해서 점등하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 58.

제 20항에 있어서, 상기 각 게이트구동회로마다의 블럭내를 일괄해서 점등하고, 다른 게이트구동회로에서는 다른 타이밍으로 점등하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 59.

제 20항에 있어서, 광학계가, 상기 액정표시부전체면을 주사하면서 점등하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 60.

제 20항에 있어서, 상기 각 게이트구동회로마다의 블럭내를 주사하여 점등하고, 다른 게이트구동회로에서는 다른 타이밍으로 점등하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 61.

제 20항에 있어서, 상기 각 게이트구동회로의 각 주사선의 주사의 타이밍, 광원의 휘도의 순발특성, 패널면내에서의 표시 얼룩의 발생을 고려하여, 주사선과 광원의 동기를 시행하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 62.

제 61항에 있어서, 상기 동기에 카운터를 사용하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 63.

제 20항에 있어서, 입사광학계에 의한 광이, 상기 데이터구동회로 및 상기게이트구동회로에 입사되지 않는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 64.

제 20항에 있어서, 입사광학계에 의한 광이, 상기 표시영역내의 능동소자부에 입사되지 않은 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 65.

제 20항에 있어서, 상기 데이터구동회로의 데이터선의 갯수를 배로 하고, 상기 각 게이트구동회로의 주사선의 갯수를 반감시킨 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 66.

제 20항에 있어서, 광학계가, 분할된 각 게이트구동회로와 각 데이터구동회로에 의해 형성되는 다수의 표시영역블럭으로부터 임의로 선택되는 하나 또는 복수의 블럭을, 임의의 순으로 순차 주사하여 점등하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 67.

제 27항에 있어서, 광학계가, 상기 액정표시부전체면을 일괄해서 점등하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 68.

제 27항에 있어서, 상기 각 게이트구동회로마다의 블럭내를 일괄해서 점등하고, 다른 게이트구동회로에서는 다른 타이밍으로 점등하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 69.

제 27항에 있어서, 광학계가, 상기 액정표시부전체면을 주사하면서 점등하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 70.

제 27항에 있어서, 상기 각 게이트구동회로마다의 블럭내를 주사하여 점등하고, 다른 게이트구동회로에서는 다른 타이밍으로 점등하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 71.

제 27항에 있어서, 상기 각 게이트구동회로의 각 주사선의 주사의 타이밍, 광원의 휘도의 순발 특성, 패널면내에서의 표시 얼룩의 발생을 고려하여, 주사선과 광원의 동기를 시행하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 72.

제 71항에 있어서, 상기 동기에 카운터를 사용하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 73.

제 27항에 있어서, 입사광학계에 의한 광이, 상기 데이터구동회로 및 상기게이트구동회로에 입사되지 않는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 74.

제 27항에 있어서, 입사광학계에 의한 광이, 상기 표시영역내의 능동소자부에 입사되지 않는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 75.

제 27항에 있어서, 상기 데이터구동회로의 데이터선의 갯수를 배로 하고, 상기 각 게이트구동회로의 주사선의 갯수를 반감시킨 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 76.

제 27항에 있어서, 광학계가, 분할된 각 게이트구동회로와 각 데이터구동회로에 의해 형성되는 다수의 표시영역블럭으로부터 임의로 선택되는 하나 또는 복수의 블럭을, 임의의 순으로 순차 주사하여 점등하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 77.

제 37항에 있어서, 광학계가, 상기 액정표시부전체면을 일괄해서 점등하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 78.

제 37항에 있어서, 상기 각 게이트구동회로마다의 블럭내를 일괄해서 점등하고, 다른 게이트구동회로에서는 다른 타이밍으로 점등하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 79.

제 37항에 있어서, 광학계가, 상기 액정표시부전체면을 주사하면서 점등하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 80.

제 37항에 있어서, 상기 각 게이트구동회로마다의 블럭내를 주사하여 점등하고, 다른 게이트구동회로에서는 다른 타이밍으로 점등하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 81.

제 37항에 있어서, 상기 각 게이트구동회로의 각 주사선의 주사의 타이밍, 광원의 휘도의 순발 특성, 패널면내에서의 표시 얼룩의 발생을 고려하여, 주사선과 광원의 동기를 시행하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 82.

제 81항에 있어서, 상기 동기에 카운터를 사용하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 83.

제 37항에 있어서, 입사광학계에의한 광이, 상기 데이터구동회로 및 상기 게이트구동회로에 입사되지 않는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 84.

제 37항에 있어서, 입사광학계에 의한 광이, 상기 표시영역내의 능동소자부에 입사되지 않는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 85.

제 37항에 있어서, 상기 데이터구동회로의 데이터선의 갯수를 배로 하여, 상기 각 게이트구동회로의 주사선의 갯수를 반감한 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 86.

제 37항에 있어서, 광학계가, 분할된 각 게이트구동회로와 각 데이터구동회로에 의해 형성되는 다수의 표시영역 블럭으로부터 임의로 선택되는 하나 또는 복수의 블럭을, 임의의 순으로 순차 주사하여 점등하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 87.

복수의 주사선과 복수의 신호선과의 각 교점부근에 각각 배치되고 또한 증폭출력전송기능을 구비한 M0S형트랜지스터회로에 의해서 화소전극을 구동하는 액정표시장치로서, 상기 증폭출력전송기능의 출력을 전체 비트에 관해서 검출하는 검출수단과, 상기 검출수단의 검출결과에 따라서 화소마다 상기 증폭출력전송기능의 출력보정을 하는 보정수단을 갖는 것을 특징으로 하는 액정표시장치.

청구항 88.

복수의 주사선과 복수의 신호선과의 각 교점부근에 각각 배치된 증폭출력전송기능을 구비한 M0S형트랜지스터회로에 의해서 화소전극을 구동하는 액정표시장치로서,

상기 M0S형트랜지스터회로는, 게이트전극이 상기 주사선에 접속되며 또한 소스전극 및 드레인전극의 한쪽이 상기신호선에 접속된 M0S트랜지스터와, 입력전극이 상기 M0S트랜지스터의 소스전극 및 드레인전극의 다른쪽에 접속되고 또한 출력전극이 화소전극에 접속된 M0S형아날로그증폭회로와, 상기 M0S형아날로그증폭회로의 입력전극과 전압보지용량전극과의 사이에 형성된 전압보지용량과, 입력단이 상기 M0S형아날로그증폭회로의 출력전극에 접속되며 또한 출력단이 증폭모니터선 및 상기 신호선의 한쪽에 접속된 스위치로 형성되고,

상기 증폭모니터선 및 신호선의 한쪽을 통하여 상기 아날로그증폭회로의 출력전압을 독출하는 독출회로와, 상기 독출회로에 의해서 소정의 순서로 전송되는 상기 아날로그증폭회로의 출력전압과 미리 설정된 기준전압과의 차분를 검출하는 검출회로와, 상기 검출회로로 부터의 차분전압을 디지탈데이타로 변환하는 변환수단과, 상기 디지탈화된 상기 차분전압을 기억하는 메모리와, 상기 메모리의 기억데이터에 따라 입력화상신호에 대하여 보정전압을 인가하는 전압발생수단을 갖는 것을 특징으로 하는 액정표시장치.

청구항 89.

복수의 주사선과 복수의 신호선과의 각 교점부근에 각각 배치된 증폭출력전송기능을 구비한 M0S형트랜지스터회로에 의해서 화소전극이 구동되는 능동매트릭스형액정표시장치에 있어서,

상기 M0S형트랜지스터회로는, 게이트전극이 상기 주사선에 접속되며 또한 소스전극 및 드레인전극의 한쪽이 상기 신호선에 접속된 M0S트랜지스터와, 입력전극이 상기 M0S트랜지스터의 소스전극 및 드레인전극의 다른쪽에 접속되며 또한 출력전극이 화소전극에 접속된 M0S형아날로그증폭회로와, 상기 M0S형아날로그증폭회로의 입력전극과 전압보지용량전극과의 사이에 형성된 전압보지용량과, 입력단이 상기 M0S형아날로그증폭회로의 출력전극에 접속되며 또한 출력단이 증폭모니터선 및 상기 신호선의 한쪽에 접속된 스위치로 형성되고,

상기 증폭모니터선 및 상기 신호선중의 한쪽의 일단에 접속되며 또한 상기 MOS형아날로그증폭회로의 출력을 상기 액정표시장치의 외부에 출력하는 단자전극과, 상기 액정표시장치의 외부에서 측정된 상기 M0S형아날로그증폭회로의 출력전압데이터를 기억하는 메모리와, 상기 메모리의 기억데이터에 따라 입력화상신호에 대하여 보정전압을 인가하는 전압발생수단을 갖는 것을 특징으로 하는 액정표시장치.

청구항 90.

제 89항에 있어서, 상기 메모리의 기억데이터는, 상기 액정표시장치의 외부에서, 상기 MOS형 아날로그증폭회로의 출력전압의 측정과, 상기 출력전압과 기준전압과의 차분전압검출과, 그 검출결과의 디지탈데이타에의 변환이 이루어진 후에 상기 메모리로 기억되도록 구성한 것을 특징으로 하는 액정표시장치.

청구항 91.

복수의 주사선과 복수의 신호선과의 각 교점부근에 각각 배치되고 또한 증폭출력전송기능을 구비한 M0S형트랜지스터회로에 의해서 화소전극을 구동하고, 상기 M0S형트랜지스터회로의 반도체층이 레이저아닐에 의해서 결정화 및 재결정화의 어느것인가가 시행된 박막반도체층이고, 상기 레이저아닐시에 상기 주사선과 대략 평행으로 레이저가 주사되는 액정표시장치로서,

상기 증폭출력전송기능의 출력을 검출하는 검출수단과, 상기 검출수단의 검출결과에 의거하여 상기 레이저아닐시의 레이저주사방향에 대하여만 상기 증폭출력전송기능의 출력보정을 행하는 보정수단을 가지는것을 특징으로 하는 액정표시장치.

청구항 92.

복수의 주사선과 복수의 신호선과의 각 교점부근에 각각 배치되고 또한 증폭출력전송기능을 구비한 M0S형트랜지스터회로에 의해서 화소전극을 구동하고, 상기 M0S형트랜지스터회로의 반도체층이 레이저아닐에 의해서 결정화 및 재결정화의 어느것인가가 시행된 박막반도체층이고, 상기 레이저아닐시에 상기 주사선과 대략 평행으로 레이저가 주사되는 액정표시장치로서,

게이트전극이 상기 주사선에 접속되며 또한 소스전극 및 드레인전극의 한쪽이 상기 신호선에 접속된 M0S트랜지스터와, 입력전극이 상기 M0S트랜지스터의 소스전극 및 드레인전극의 다른쪽에 접속되며 또한 출력전극이 화소전극에 접속된 M0S형아날로그증폭회로와, 상기 M0S형아날로그증폭회로의 입력전극과 전압보지용량전극과의 사이에 형성된 전압보지용량과로 이루어지는 표시용화소와,

입력단이 상기 M0S형아날로그증폭회로의 출력전극에 접속되며 또한 출력단이 증폭모니터선 및 상기신호선의 한쪽에 접속된 스위치를 상기 표시용화소의 구성에 덧붙인 증폭출력검출용화소와,

상기 증폭출력검출용화소의 상기 M0S형아날로그증폭회로의 출력전압을 상기 증폭모니터선 및 상기 신호선의 한쪽을 통하여 독출하는 독출회로와,

상기 독출회로에 의해서 소정의 순서로 전송되는 상기 M0S형아날로그증폭회로의 출력전압과 기준전압과의 차분를 검출하는 검출회로와,

상기 검출회로로부터의 차분전압을 디지탈데이타로 변환하는 변환수단과,

상기 변환수단으로 디지탈화된 상기 차분전압을 기억하는 메모리와,

상기 메모리의 기억데이터에 따라 입력화상신호에 대하여 보정전압을 인가하는 전압발생수단을 갖는 것을 특징으로 하는 액정표시장치.

청구항 93.

제 92항에 있어서, 상기 증폭출력검출용화소는, 화면단부의 1주사선상에 형성된 것을 특징으로 하는 액정표시장치.

청구항 94.

제 92항에 있어서, 상기 증폭출력검출용화소의 MOS트랜지스터에 접속되는 주사선은, 표시에 사용되지 않는 주사선인 것을 특징으로 하는 액정표시장치.

청구항 95.

복수의 주사선과 복수의 신호선과의 각 교점부근에 각각 배치되며 또한 증폭출력전송기능을 구비한 MOS형트랜지스터회로에 의해서 화소전극을 구동하고, 상기 MOS형트랜지스터회로의 반도체층이 레이저아닐에 의해서 결정화 및 재결정화의 어느것인가가 시행된 박막반도체층이고, 상기 레이저아닐시에 상기 주사선과 대략 평행히 레이저가 주사되는 액정표시장치로서,

게이트전극이 상기 주사선에 접속되며 또한 소스전극 및 드레인전극의 한쪽이 상기신호선에 접속된 MOS트랜지스터와, 입력전극이 상기 MOS트랜지스터의 소스전극 및 드레인전극의 다른쪽에 접속되며 또한 출력전극이 화소전극에 접속된 MOS형아날로그증폭회로와, 상기 MOS형아날로그증폭회로의 입력전극과 전압보지용량전극과의 사이에 형성된 전압보지용량과로 이루어지는 표시용화소와,

입력단이 상기 MOS형아날로그증폭회로의 출력전극에 접속되며 또한 출력단이 증폭모니터선 및 상기 신호선의 한쪽에 접속된 스위치를 상기 표시용화소의 구성에 덧붙인 증폭출력검출용화소와,

상기 증폭모니터선 및 상기 신호선중의 한쪽의 일단에 접속되며 또한 상기 증폭출력검출용화소의 상기 MOS형아날로그증폭회로의 출력을 상기 액정표시장치의 외부에 출력하는 단자전극과,

상기 액정표시장치의 외부에서 측정된 상기 MOS형아날로그증폭회로의 출력전압데이터를 기억하는 메모리와,

상기 메모리의 기억데이터에 따라 입력화상신호에 대하여 보정전압을 인가하는 전압발생수단을 가지는 것을 특징으로 하는 액정표시장치.

청구항 96.

제 95항에 있어서, 상기 증폭출력검출용화소는, 화면단부의 1주사선상에 형성된 것을 특징으로 하는 액정표시장치.

청구항 97.

제 95항에 있어서, 상기 메모리의 기억데이터는, 상기 액정표시장치의 외부에있어서, 상기 MOS형아날로그증폭회로의 출력전압의 측정과, 상기 출력전압과 기준전압과의 차분전압검출과, 그 검출결과의 디지탈데이타로의 변환이 이루어진 후에 상기 메모리로 기억하도록 구성한 것을 특징으로하는 액정표시장치.

청구항 98.

제 95항에 있어서, 상기 증폭출력검출용화소의 MOS트랜지스터에 접속되는 주사선은, 표시에 사용되지 않는 주사선인 것을 특징으로 하는 액정표시장치.

청구항 99.

복수의 주사선과 복수의 신호선과의 각 교점부근에 각각 배치되며 또한 증폭출력전송기능을 구비한 M0S형트랜지스터회로에 의해서 화소전극을 구동하고, 상기 M0S형트랜지스터회로의 반도체층이 레이저아닐에 의해서 결정화 및 재결정화의 어느것인가가 시행된 박막반도체층이고, 상기 레이저아닐시에 상기 신호선과 대략 평행으로 레이저가 주사되는 액정표시장치로서,

게이트전극이 상기 주사선에 접속되며 또한 소스전극 및 드레인전극의 한쪽이 상기 신호선에 접속된 M0S트랜지스터와, 입력전극이 상기 M0S트랜지스터의 소스전극 및 드레인전극의 다른쪽에 접속되며 또한 출력전극이 화소전극에 접속된 M0S형아날로그증폭회로와, 상기 M0S형아날로그증폭회로의 입력전극과 전압보지용량전극과의 사이에 형성된 전압보지용량과로 이루어지는 표시용화소와,

입력단이 상기 M0S형아날로그증폭회로의 출력전극에 접속되며 또한 출력단이 증폭모니터선 및 상기 신호선의 한쪽에 접속된 스위치를 상기 표시용화소의 구성에 덧붙인 증폭출력검출용화소와,

상기 증폭출력검출용화소의 상기 M0S형아날로그증폭회로의 출력전압을 상기 증폭모니터선 및 상기 신호선의 한쪽을 통하여 독출하는 독출회로와,

상기 독출회로에 의해서 소정의 순서로 전송되는 상기 M0S형아날로그증폭회로의 출력전압과 기준전압과의 차분를 검출하는 검출회로와,

상기 검출회로로 부터의 차분전압을 디지탈데이타로 변환하는 변환수단과,

상기 변환수단에서 디지탈화된 상기 차분전압을 기억하는 메모리와,

상기 메모리의 데이터에 따라 입력화상신호에 대하여 보정전압을 인가하는 전압발생수단을 갖는 것을 특징으로 하는 액정표시장치.

청구항 100.

제 99항에 있어서, 상기 증폭출력검출용화소는, 화면단부의 1주사선상에 형성된 것을 특징으로 하는 액정표시장치.

청구항 101.

제 99항에 있어서, 상기 증폭출력검출용화소의 M0S트랜지스터에 접속되는 신호선은, 표시에 사용되지 않는 신호선인 것을 특징으로 하는 액정표시장치.

청구항 102.

복수의 주사선과 복수의 신호선과의 각 교점부근에 각각 배치되고 또한 증폭출력전송기능을 구비한 M0S형트랜지스터회로에 의해서 화소전극을 구동하고, 상기 M0S형트랜지스터회로의 반도체층이 레이저아닐에 의해서 결정화 및 재결정화의 어느것인가가 시행된 박막이고, 상기 레이저아닐시에 상기 신호선과 대략 평행히 레이저가 주사되는 액정표시장치로서,

게이트전극이 상기 주사선에 접속되며 또한 소스전극 및 드레인전극의 한쪽이 상기 신호선에 접속된 M0S트랜지스터와, 입력전극이 상기 M0S트랜지스터의 소스전극 및 드레인전극의 다른쪽에 접속되며 또한 출력전극이 화소전극에 접속된 M0S형아날로그증폭회로와, 상기 M0S형아날로그증폭회로의 입력전극과 전압보지용량전극과의 사이에 형성된 전압보지용량과로 이루어지는 표시용화소와,

입력단이 상기 M0S형아날로그증폭회로의 출력전극에 접속되며 또한 출력단이 증폭모니터선 및 상기 신호선의 한쪽에 접속된 스위치를 상기 표시용화소의 구성에 덧붙인 증폭출력검출용화소와,

상기 증폭모니터선 및 상기 신호선중의 한쪽의 일단에 접속되며 또한 상기 증폭출력검출용화소의 상기 M0S형아날로그증폭회로의 출력을 상기 액정표시장치의 외부에 출력하는 단자전극과,

상기 액정표시장치의 외부에서 측정된 상기 M0S형아날로그증폭회로의 출력전압데이터를 기억하는 메모리와,

상기 메모리의 기억데이터에 따라 입력화상신호에 대하여 보정전압을 인가하는 전압발생수단을 갖는 것을 특징으로 하는 액정표시장치.

청구항 103.

제 102항에 있어서, 상기 증폭출력검출용화소는, 화면단부의 1주사선상에 형성된 것을 특징으로 하는 액정표시장치.

청구항 104.

제 102항에 있어서, 상기 메모리의 기억데이터는, 상기 액정표시장치의 외부에 있어서, 상기 MOS형아날로그증폭회로의 출력전압의 측정과, 상기 출력전압과 기준전압과의 차분전압검출과, 그 검출결과의 디지탈데이타로의 변환이 이루어진 후에 상기 메모리로 기억하도록 구성한 것을 특징으로 하는 액정표시장치.

청구항 105.

제 102항에 있어서, 상기 증폭출력검출용화소의 MOS트랜지스터에 접속되는 신호선은, 표시에 사용되지 않은 신호선인 것을 특징으로 하는 액정표시장치.

청구항 106.

복수의 주사선과 복수의 신호선과의 각 교점부근에 각각 배치되고 또한 증폭출력전송기능을 구비한 M0S형트랜지스터회로에 의해서 화소전극을 구동하는 액정표시장치로서, 상기 증폭출력전송기능의 출력을 미리 설정된 소정비트에 관해서 검출하는 검출수단과, 상기 검출수단의 검출결과에 의거하여 상기 증폭출력전송기능의 출력의 검출을 행한 화소사이에서 선형보간처리를 시행하는 보정수단을 갖는 것을 특징으로 하는 액정표시장치.

청구항 107.

복수의 주사선과 복수의 신호선과의 각 교점부근에 각각 배치된 증폭출력전송기능을 구비한 M0S형트랜지스터회로에 의해서 화소전극을 구동하는 액정표시장치로서,

게이트전극이 상기 주사선에 접속되며 또한 소스전극 및 드레인전극의 한쪽이 상기 신호선에 접속된 M0S트랜지스터와, 입력전극이 상기 M0S트랜지스터의 소스전극 및 드레인전극의 다른쪽에 접속되며 또한 출력전극이 화소전극에 접속된 M0S형아날로그증폭회로와, 상기 M0S형아날로그증폭회로의 입력전극과 전압보지용량전극과의 사이에 형성된 전압보지용량과로 이루어지는 표시용화소와,

입력단이 상기 M0S형아날로그증폭회로의 출력전극에 접속되며 또한 출력단이 증폭모니터선 및 상기 신호선중의 한쪽에 접속된 스위치를 상기 표시용화소의 구성에 덧붙인 증폭출력검출용화소와,

상기 증폭출력검출용화소의 상기 M0S형아날로그증폭회로의 출력전압을 상기 증폭모니터선 및 상기 신호선의 한쪽을 통하여 독출하는 독출회로와,

상기 독출 회로에 의해서 소정의 순서로 전송되는 상기 M0S형아날로그증폭회로의 출력전압과 기준전압과의 차분를 검출하는 검출회로와,

상기 검출회로로 부터의 차분전압을 디지탈데이타로 변환하는 변환수단과,

상기 변환수단으로 디지탈화된 상기 차분전압을 기억하는 제1 메모리와,

상기 제1메모리의 기억데이터로부터 전체 비트의 보정전압을 선형보간에 의하여 산출하는 보간수단과,

상기 보간수단으로 산출된 보정전압을 기억하는 제2메모리와,

상기 제2메모리의 기억데이터에 따라 입력화상신호에 대하여 보정전압을 인가하다 전압발생수단을 가지는 것을 특징으로 하는 액정표시장치.

청구항 108.

제 107항에 있어서, 상기 증폭출력검출용화소는, 화면의 외주연부에 4점이상 배설된 것을 특징으로 하는 액정표시장치.

청구항 109.

제 107항에 있어서, 상기 증폭출력검출용화소는, 화면의 네 구석에 배설되어 있는 것을 특징으로 하는 액정표시장치.

청구항 110.

제 107항에 있어서, 상기 증폭출력검출용화소는, 표시에 사용되지 않는 더미비트로 형성되어 있는 것을 특징으로 하는 액정표시장치.

청구항 111.

제 107항에 있어서, 상기 보간수단은, 보정전압을 산출해야할 비트에 가장 가까운 4점을 선택하여 상기 전체 비트의 보정전압을 선형보간에 의하여 산출하도록 구성한 것을 특징으로 하는 액정표시장치.

청구항 112.

복수의 주사선과 복수의 신호선과의 각 교점부근에 각각 배치된 증폭출력전송기능을 구비한 M0S형트랜지스터회로에 의해서 화소전극을 구동하는 액정표시장치로서,

게이트전극이 상기 주사선에 접속되며 또한 소스전극 및 드레인전극의 한쪽이 상기 신호선에 접속된 M0S트랜지스터와, 입력전극이 상기 M0S트랜지스터 의 소스전극 및 드레인전극의 다른쪽에 접속되며 또한 출력전극이 화소전극에 접속된 M0S형아날로그증폭회로와, 상기 M0S형아날로그증폭회로의 입력전극과 전압보지용량전극과의 사이에 형성된 전압보지용량과로 이루어지는 표시용화소와,

입력단이 상기 M0S형아날로그증폭회로의 출력전극에 접속되며 또한 출력단이 증폭모니터선 및 상기 신호선중의 한쪽에 접속된 스위치를 상기표시용화소의 구성에 덧붙인 증폭출력검출용화소와,

상기 증폭출력검출용화소의 상기 M0S형아날로그증폭회로의 출력전압을 상기증폭모니터선 및 상기 신호선의 한쪽을 통하여 독출하는 독출회로와,

상기 독출회로에 의해서 소정의 순서로 전송되는 상기 M0S형아날로그증폭회로의 출력전압과 기준전압과의 차분를 검출하는 검출회로와,

상기 검출회로로 부터의 차분전압을 디지탈데이타로 변환하는 변환수단과,

상기 변환수단으로 디지탈화된 상기 차분전압을 기억하는 메모리와,

상기 메모리의 데이터로부터 전체 비트의 보정전압을 선형보간에 의하여 산출하는 보간수단과,

상기 보간수단으로 산출된 보정전압을 입력화상신호에 인가하는 전압발생수단을 갖는 것을 특징으로 하는 액정표시장치.

청구항 113.

제 112항에 있어서, 상기 증폭출력검출용화소는, 화면의 외주연부에 4점이상 배설된 것을 특징으로 하는 액정표시장치.

청구항 114.

제 112항에 있어서, 상기 증폭출력검출용화소는, 화면의 네 구석에 배설되어 있는 것을 특징으로 하는 액정표시장치.

청구항 115.

제 112항에 있어서, 상기 증폭출력검출용화소는, 표시에 사용되지 않는 더미비트로 형성되어 있는 것을 특징으로 하는 액정표시장치.

청구항 116.

제 112항에 있어서, 상기 보간수단은, 보정전압을 산출해야할 비트에 가장 가까운 4점을 선택하여 상기 전체 비트의 보정전압을 선형보간에 따라서 산출하도록 구성한 것을 특징으로 하는 액정표시장치.

청구항 117.

복수의 주사선과 복수의 신호선과의 각 교점부근에 각각 배치된 증폭출력전송기능을 구비한 M0S형트랜지스터회로에 의해서 화소전극을 구동하는 액정표시장치로서,

게이트전극이 상기 주사선에 접속되며 또한 소스전극 및 드레인전극의 한쪽이 상기 신호선에 접속된 M0S트랜지스터와, 입력전극이 상기 M0S트랜지스터의 소스전극 및 드레인전극의 다른쪽에 접속되며 또한 출력전극이 화소전극에 접속된 M0S형아날로그증폭회로와, 상기 M0S형아날로그증폭회로의 입력전극과 전압보지용량전극과의 사이에 형성된 전압보지용량과로 이루어지는 표시용화소와,

입력단이 상기 M0S형아날로그증폭회로의 출력전극에 접속되며 또한 출력단이 증폭모니터선 및 상기 신호선중의 한쪽에 접속된 스위치를 상기 표시용화소의 구성에 덧붙인 증폭출력검출용화소와,

상기 증폭모니터선 및 상기 신호선중의 한쪽의 일단에 접속되며 또한 상기 증폭출력검출용화소의 상기 M0S형아날로그증폭회로의 출력을 상기 액정표시장치의 외부에 출력하는 단자전극과,

상기 액정표시장치의 외부에서 측정된 상기 M0S형아날로그증폭회로의 출력전압데이터를 기억하는 메모리와,

상기 메모리의 기억데이터에 따라 입력화상신호에 대하여 보정전압을 인가하는 전압발생수단을 갖는 것을 특징으로 하는 액정표시장치.

청구항 118.

제 117항에 있어서, 상기 증폭출력검출용화소는, 화면의 외주연부에 4점이상 배설된 것을 특징으로 하는 액정표시장치.

청구항 119.

제 117항에 있어서, 상기 증폭출력검출용화소는, 화면의 네 구석에 배설되어 있는 것을 특징으로 하는 액정표시장치.

청구항 120.

제 117항에 있어서, 상기 증폭출력검출용화소는, 표시에 사용되지 않는 더미비트에 형성되어 있는 것을 특징으로 하는 액정표시장치.

청구항 121.

제 117항에 있어서, 상기 메모리의 기억데이터는, 상기 액정표시장치의 외부에 있어서, 상기 M0S형아날로그증폭회로의 출력전압의 측정과, 상기 출력전압과 기준전압과의 차분전압검출과, 그 검출결과의 디지탈데이타로의 변환과, 그 디지탈데이타의 선형보간이 이루어진 후에 상기 메모리로 기억하도록 구성한 것을 특징으로 하는 액정표시장치.

청구항 122.

제 121항에 있어서, 상기 디지탈데이타의 선형보간은, 보정전압을 산출해야할 비트에 가장 가까운 4점을 선택하여 행하도록한 것을 특징으로 하는 액정표시장치.

청구항 123.

청구항 88에 기재된 액정표시장치에 있어서, 상기 증폭출력전송기능을 구비한 M0S형트랜지스터회로는, 게이트전극이 주사선에 접속되며 또한 소스전극 및 드레인전극의 한쪽이 N번째의 신호선에 접속된 제1MOS형트랜지스터와, 입력전극이 상기 제1M0S형트랜지스터의 소스전극 및 드레인전극의 다른쪽에 접속되며 또한 출력전극이 화소전극에 접속된 아날로그증폭회로와, 게이트전극이 스위치 선택선에 접속되며 또한 소스전극 및 드레인전극의 한쪽이 상기 아날로그증폭회로의 출력전극에 접속됨과 동시에 상기 소스전극 및 드레인전극의 다른쪽이 N+1번째의 신호선에 접속된 제2M0S형트랜지스터와, 상기 아날로그증폭회로의 입력전극과 전압보지용량전극과의 사이에 형성된 전압보지용량과, 화소전극과 대향전극과의 사이에서 스위칭시키는 액정과로 이루어지는 것을 특징으로 하는 액정표시장치.

청구항 124.

청구항 89에 기재된 액정표시장치에 있어서, 상기 증폭출력전송기능을 구비한 M0S형트랜지스터회로는, 게이트전극이 주사선에 접속되며 또한 소스전극 및 드레인전극의 한쪽이 N번째의 신호선에 접속된 제1MOS형트랜지스터와, 입력전극이 상기 제1M0S형트랜지스터의 소스전극 및 드레인전극의 다른쪽에 접속되며 또한 출력전극이 화소전극에 접속된 아날로그증폭회로와, 게이트전극이 스위치선택선에 접속되며 또한 소스전극 및 드레인전극의 한쪽이 상기 아날로그증폭회로의 출력전극에 접속됨과 동시에 상기 소스전극 및 드레인전극의 다른쪽이 N+1번째의 신호선에 접속된 제2M0S형트랜지스터와, 상기 아날로그증폭회로의 입력전극과 전압보지용량전극과의 사이에 형성된 전압보지용량과, 화소전극과 대향전극과의 사이에서 스위칭시키는 액정과로 이루어지는 것을 특징으로 하는 액정표시장치.

청구항 125.

청구항 92에 기재된 액정표시장치에 있어서, 상기 증폭출력검출용화소는, 게이트전극이 주사선에 접속되며 또한 소스전극 및 드레인전극의 한쪽이 N번째의 신호선에 접속된 제1MOS형트랜지스터와, 입력전극이 상기 제1M0S형트랜지스터의 소스전극 및 드레인전극의 다른쪽에 접속되며 또한 출력전극이 화소전극에 접속된 아날로그증폭회로와, 게이트전극이 스위치 선택선에 접속되며 또한 소스전극 및 드레인전극의 한쪽이 상기 아날로그증폭회로의 출력전극에 접속됨과 동시에 상기 소스전극 및 드레인전극의 다른쪽이 N+1번째의 신호선에 접속된 제2MOS형트랜지스터와, 상기 아날로그

증폭회로의 입력전극과 전압보지용량전극과의 사이에 형성된 전압보지용량과, 화소전극과 대향전극과의 사이에서 스위칭 시키는 액정과로 이루어지는 것을 특징으로 하는 액정표시장치.

청구항 126.

청구항 95에 기재된 액정표시장치에 있어서, 상기 증폭출력검출용화소는, 게이트전극이 주사선에 접속되며 또한 소스전극 및 드레인전극의 한쪽이 N번째의 신호선에 접속된 제1MOS형트랜지스터와, 입력전극이 상기 제1M0S형트랜지스터의 소스전극 및 드레인전극의 다른쪽에 접속되며 또한 출력전극이 화소전극에 접속된 아날로그증폭회로와, 게이트전극이 스위치 선택선에 접속되며 또한 소스전극 및 드레인전극의 한쪽이 상기 아날로그증폭회로의 출력전극에 접속됨과 동시에 상기 소스전극 및 드레인전극의 다른쪽이 N+1번째의 신호선에 접속된 제2MOS형트랜지스터와, 상기 아날로그증폭회로의 입력전극과 전압보지용량전극과의 사이에 형성된 전압보지용량과, 화소전극과 대향전극과의 사이에서 스위칭시키는 액정과로 이루어지는 것을 특징으로 하는 액정표시장치.

청구항 127.

청구항 99에 기재된 액정표시장치에 있어서, 상기 증폭출력검출용화소는, 게이트전극이 주사선에 접속되며 또한 소스전극 및 드레인전극의 한쪽이 N번째의 신호선에 접속된 제1MOS형트랜지스터와, 입력전극이 상기 제1M0S형트랜지스터의 소스전극 및 드레인전극의 다른쪽에 접속되며 또한 출력전극이 화소전극에 접속된 아날로그증폭회로와, 게이트전극이 스위치 선택선에 접속되며 또한 소스전극 및 드레인전극의 한쪽이 상기 아날로그증폭회로의 출력전극에 접속됨과 동시에 상기 소스전극 및 드레인전극의 다른쪽이 N+1번째의 신호선에 접속된 제2MOS형트랜지스터와, 상기 아날로그증폭회로의 입력전극과 전압보지용량전극과의 사이에 형성된 전압보지용량과, 화소전극과 대향전극과의 사이에서 스위칭시키는 액정과로 이루어지는 것을 특징으로 하는 액정표시장치.

청구항 128.

청구항 102에 기재된 액정표시장치에 있어서, 상기 증폭출력검출용화소는, 게이트전극이 주사선에 접속되며 또한 소스전극 및 드레인전극의 한쪽이 N번째의 신호선에 접속된 제1MOS형트랜지스터와, 입력전극이 상기 제1M0S형트랜지스터의 소스전극 및 드레인전극의 다른쪽에 접속되며 또한 출력전극이 화소전극에 접속된 아날로그증폭회로와, 게이트전극이 스위치선택선에 접속되며 또한 소스전극 및 드레인전극의 한쪽이 상기 아날로그증폭회로의 출력전극에 접속됨과 동시에 상기 소스전극 및 드레인전극의 다른쪽이 N+1번째의 신호선에 접속된 제2MOS형트랜지스터와, 상기 아날로그증폭회로의 입력전극과 전압보지용량전극과의 사이에 형성된 전압보지용량과, 화소전극과 대향전극과의 사이에서 스위칭시키는 액정과로 이루어지는 것을 특징으로 하는 액정표시장치.

청구항 129.

청구항 107에 기재된 액정표시장치에 있어서, 상기 증폭출력검출용화소는, 게이트전극이 주사선에 접속되며 또한 소스전극 및 드레인전극의 한쪽이 N번째의 신호선에 접속된 제1MOS형트랜지스터와, 입력전극이 상기 제1M0S형트랜지스터의 소스전극 및 드레인전극의 다른쪽에 접속되며 또한 출력전극이 화소전극에 접속된 아날로그증폭회로와, 게이트전극이 스위치선택선에 접속되며 또한, 소스전극 및 드레인전극의 한쪽이 상기 아날로그증폭회로의 출력전극에 접속됨과 동시에 상기 소스전극 및 드레인전극의 다른쪽이 N+1번째의 신호선에 접속된 제2MOS형트랜지스터와, 상기 아날로그증폭회로의 입력전극과 전압보지용량전극과의 사이에 형성된 전압보지용량과, 화소전극과 대향전극과의 사이에서 스위칭시키는 액정과로 이루어지는 것을 특징으로 하는 액정표시장치.

청구항 130.

청구항 112에 기재된 액정표시장치에 있어서, 상기 증폭출력검출용화소는, 게이트전극이 주사선에 접속되며 또한 소스전극 및 드레인전극의 한쪽이 N번째의 신호선에 접속된 제1MOS형트랜지스터와, 입력전극이 상기 제1M0S형트랜지스터의 소스전극 및 드레인전극의 다른쪽에 접속되며 또한 출력전극이 화소전극에 접속된 아날로그증폭회로와, 게이트전극이 스위치선택선에 접속되며 또한 소스전극 및 드레인전극의 한쪽이 상기 아날로그증폭회로의 출력전극에 접속됨과 동시에 상기 소스전극 및 드레인전극의 다른쪽이 N+1번째의 신호선에 접속된 제2MOS형트랜지스터와, 상기 아날로그증폭회로의 입력전극과 전압보지용량전극과의 사이에 형성된 전압보지용량과, 화소전극과 대향전극과의 사이에서 스위칭시키는 액정과로 이루어지는 것을 특징으로 하는 액정표시장치.

청구항 131.

청구항 117에 기재된 액정표시장치에 있어서, 상기 증폭출력검출용화소는, 게이트전극이 주사선에 접속되며 또한 소스전극 및 드레인전극의 한쪽이 N번째의 신호선에 접속된 제1MOS형트랜지스터와, 입력전극이 상기 제1M0S형트랜지스터의 소스전극 및 드레인전극의 다른쪽에 접속되며 또한 출력전극이 화소전극에 접속된 아날로그증폭회로와, 게이트전극이 스위치선택선에 접속되며 또한 소스전극 및 드레인전극의 한쪽이 상기 아날로그증폭회로의 출력전극에 접속됨과 동시에 상기 소스전극 및 드레인전극의 다른쪽이 N+1번째의 신호선에 접속된 제2MOS형트랜지스터와, 상기 아날로그증폭회로의 입력전극과 전압보지용량전극과의 사이에 형성된 전압보지용량과, 화소전극과 대향전극과의 사이에서 스위칭시키는 액정과로 이루어지는 것을 특징으로 하는 액정표시장치.

청구항 132.

청구항 92에 기재된 액정표시장치에 있어서, 상기 증폭출력검출용화소는, 게이트전극이 M번째의 주사선에 접속되며 또한 소스전극 및 드레인전극의 한쪽이 신호선에 접속된 제1M0S형트랜지스터와, 입력전극이 상기제1M0S형트랜지스터의 소스전극 및 드레인전극의 다른쪽에 접속되며 또한 출력전극이 화소전극에 접속된 아날로그증폭회로와, 게이트전극이 M+1번째의 주사선에 접속되며 또한 소스전극 및 드레인전극의 한쪽이 상기 아날로그증폭회로의 출력전극에 접속됨과 동시에 상기 소스전극 및 드레인전극의 다른쪽이 증폭모니터선에 접속된 제2MOS형트랜지스터와, 상기 아날로그증폭회로의 입력전극과 전압보지용량전극과의 사이에 형성된 전압보지용량과, 화소전극과 대향전극과의 사이에서 스위칭시키는 액정과로 이루어지는 것을 특징으로 하는 액정표시장치.

청구항 133.

청구항 95에 기재된 액정표시장치에 있어서, 상기 증폭출력검출용화소는, 게이트전극이 M번째의 주사선에 접속되며 또한 소스전극 및 드레인전극의 한쪽이 신호선에 접속된 제1M0S형트랜지스터와, 입력전극이 상기 제1M0S형트랜지스터의 소스전극 및 드레인전극의 다른쪽에 접속되며 또한 출력전극이 화소전극에 접속된 아날로그증폭회로와, 게이트전극이 M+1번째의 주사선에 접속되며 또한 소스전극 및 드레인전극의 한쪽이 상기 아날로그증폭회로의 출력전극에 접속됨과 동시에 상기 소스전극 및 드레인전극의 다른쪽이 증폭모니터선에 접속된 제2MOS형트랜지스터와, 상기 아날로그증폭회로의 입력전극과 전압보지용량전극과의 사이에 형성된 전압보지용량과, 화소전극과 대향전극과의 사이에서 스위칭시키는 액정과로 이루어지는 것을 특징으로 하는 액정표시장치.

청구항 134.

청구항 107에 기재된 액정표시장치에 있어서, 상기 증폭출력검출용화소는, 게이트전극이 M번째의 주사선에 접속되며 또한 소스전극 및 드레인전극의 한쪽이 신호선에 접속된 제1M0S형트랜지스터와, 입력전극이 상기제1M0S형트랜지스터의 소스전극 및 드레인전극의 다른쪽에 접속되며 또한 출력전극이 화소전극에 접속된 아날로그증폭회로와, 게이트전극이 M+1번째의 주사선에 접속되며 또한 소스전극 및 드레인전극의 한쪽이 상기 아날로그증폭회로의 출력전극에 접속됨과 동시에 상기 소스전극 및 드레인전극의 다른쪽이 증폭모니터선에 접속된 제2M0S형트랜지스터와, 상기 아날로그증폭회로의 입력전극과 전압보지용량전극과의 사이에 형성된 전압보지용량과, 화소전극과 대향전극과의 사이에서 스위칭시키는 액정과로 이루어지는 것을 특징으로 하는 액정표시장치.

청구항 135.

청구항 112에 기재된 액정표시장치에 있어서, 상기 증폭출력검출용화소는, 게이트전극이 M번째의 주사선에 접속되며 또한 소스전극 및 드레인전극의 한쪽이 신호선에 접속된 제1M0S형트랜지스터와, 입력전극이 상기 제1M0S형트랜지스터의 소스전극 및 드레인전극의 다른쪽에 접속되며 또한 출력전극이 화소전극에 접속된 아날로그증폭회로와, 게이트전극이 M+1번째의 주사선에 접속되며 또한 소스전극 및 드레인전극의 한쪽이 상기 아날로그증폭회로의 출력전극에 접속됨과 동시에 상기 소스전극 및 드레인전극의 다른쪽이 증폭모니터선에 접속된 제2M0S형트랜지스터와, 상기 아날로그증폭회로의 입력전극과 전압보지용량전극과의 사이에 형성된 전압보지용량과, 화소전극과 대향전극과의 사이에서 스위칭시키는 액정과로 이루어지는 것을 특징으로 하는 액정표시장치.

청구항 136.

청구항 117에 기재된 액정표시장치에 있어서, 상기 증폭출력검출용화소는, 게이트전극이 M번째의 주사선에 접속되며 또한 소스전극 및 드레인전극의 한쪽이 신호선에 접속된 제1M0S형트랜지스터와, 입력전극이 상기 제1M0S형트랜지스터의 소스전극 및 드레인전극의 다른쪽에 접속되며 또한 출력전극이 화소전극에 접속된 아날로그증폭회로와, 게이트전극이 M+1번째의 주사선에 접속되며 또한 소스전극 및 드레인전극의 한쪽이 상기 아날로그증폭회로의 출력전극에 접속됨과 동시에 상기 소스전극 및 드레인전극의 다른쪽이 증폭모니터선에 접속된 제2M0S형트랜지스터와, 상기 아날로그증폭회로의 입력전극과 전압보지용량전극과의 사이에 형성된 전압보지용량과, 화소전극과 대향전극과의 사이에서 스위칭시키는 액정과로 이루어지는 것을 특징으로 하는 액정표시장치.

청구항 137.

청구항 88의 어느것 인가에 기재된 액정표시장치에 있어서, 상기 증폭출력전송기능을 구비한 M0S형트랜지스터회로는, 게이트전극이 주사선에 접속되며 또한 소스전극 및 드레인전극의 한쪽이 신호선에 접속된 제1M0S형트랜지스터와, 입력전극이 상기 제1M0S형트랜지스터의 소스전극 및 드레인전극의 다른쪽에 접속되며 또한 출력전극이 화소전극에 접속된 아날로그증폭회로와, 게이트전극이 상기 주사선에 접속되며 또한 소스전극 및 드레인전극의 한쪽이 상기 아날로그증폭회로의 출력전극에 접속됨과 동시에 상기 소스전극 및 드레인전극의 다른쪽이 증폭모니터선에 접속된 제2M0S형트랜지스터와, 상기 아날로그증폭회로의 입력전극과 전압보지용량전극과의 사이에 형성된 전압보지용량과, 화소전극과 대향전극과의 사이에서 스위칭시키는 액정과로 이루어지는 것을 특징으로 하는 액정표시장치.

청구항 138.

청구항 89의 어느것 인가에 기재된 액정표시장치에 있어서, 상기 증폭출력전송기능을 구비한 M0S형트랜지스터회로는, 게이트전극이 주사선에 접속되며 또한 소스전극 및 드레인전극의 한쪽이 신호선에 접속된 제1M0S형트랜지스터와, 입력전극이 상기 제1M0S형트랜지스터의 소스전극 및 드레인전극의 다른쪽에 접속되며 또한 출력전극이 화소전극에 접속된 아날로그증폭회로와, 게이트전극이 상기 주사선에 접속되며 또한 소스전극 및 드레인전극의 한쪽이 상기 아날로그증폭회로의 출력전극에 접속됨과 동시에 상기 소스전극 및 드레인전극의 다른쪽이 증폭모니터선에 접속된 제2M0S형트랜지스터와, 상기 아날로그증폭회로의 입력전극과 전압보지용량전극과의 사이에 형성된 전압보지용량과, 화소전극과 대향전극과의 사이에서 스위칭시키는 액정과로 이루어지는 것을 특징으로 하는 액정표시장치.

청구항 139.

청구항 92에 기재된 액정표시장치에 있어서, 상기 증폭출력검출용화소는, 게이트전극이 주사선에 접속되며 또한 소스전극 및 드레인전극의 한쪽이 신호선에 접속된 제1M0S형트랜지스터와, 입력전극이 상기 제1M0S형트랜지스터의 소스전극 및 드레인전극의 다른쪽에 접속되며 또한 출력전극이 화소전극에 접속된 아날로그증폭회로와, 게이트전극이 상기 주사선에 접속되며 또한 소스전극 및 드레인전극의 한쪽이 상기 아날로그증폭회로의 출력전극에 접속됨과 동시에 상기 소스전극 및 드레인전극의 다른쪽이 증폭모니터선에 접속된 제2M0S형트랜지스터와, 상기 아날로그증폭회로의 입력전극과 전압보지용량전극과의 사이에 형성된 전압보지용량과, 화소전극과 대향전극과의 사이에서 스위칭시키는 액정과로 이루어지는 것을 특징으로 하는 액정표시장치.

청구항 140.

청구항 95에 기재된 액정표시장치에 있어서, 상기 증폭출력검출용화소는, 게이트전극이 주사선에 접속되며 또한 소스전극 및 드레인전극의 한쪽이 신호선에 접속된 제1M0S형트랜지스터와, 입력전극이 상기 제1M0S형트랜지스터의 소스전극 및 드레인전극의 다른쪽에 접속되며 또한 출력전극이 화소전극에 접속된 아날로그증폭회로와, 게이트전극이 상기 주사선에 접속되며 또한 소스전극 및 드레인전극의 한쪽이 상기 아날로그증폭회로의 출력전극에 접속됨과 동시에 상기 소스전극 및 드레인전극의 다른쪽이 증폭모니터선에 접속된 제2M0S형트랜지스터와, 상기 아날로그증폭회로의 입력전극과 전압보지용량전극과의 사이에 형성된 전압보지용량과, 화소전극과 대향전극과의 사이에서 스위칭시키는 액정과로 이루어지는 것을 특징으로 하는 액정표시장치.

청구항 141.

청구항 99에 기재된 액정표시장치에 있어서, 상기 증폭출력검출용화소는, 게이트전극이 주사선에 접속되며 또한 소스전극 및 드레인전극의 한쪽이 신호선에 접속된 제1M0S형트랜지스터와, 입력전극이 상기 제1M0S형트랜지스터의 소스전극 및 드레인전극의 다른쪽에 접속되며 또한 출력전극이 화소전극에 접속된 아날로그증폭회로와, 게이트전극이 상기 주사선에 접속되며 또한 소스전극 및 드레인전극의 한쪽이 상기 아날로그증폭회로의 출력전극에 접속됨과 동시에 상기 소스전극 및 드레인전극의 다른쪽이 증폭모니터선에 접속된 제2M0S형트랜지스터와, 상기 아날로그증폭회로의 입력전극과 전압보지용량전극과의 사이에 형성된 전압보지용량과, 화소전극과 대향전극과의 사이에서 스위칭시키는 액정과로 이루어지는 것을 특징으로 하는 액정표시장치.

청구항 142.

청구항 102에 기재된 액정표시장치에 있어서, 상기 증폭출력검출용화소는, 게이트전극이 주사선에 접속되며 또한 소스

전극 및 드레인전극의 한쪽이 신호선에 접속된 제1M0S형트랜지스터와, 입력전극이 상기 제1M0S형트랜지스터의 소스전극 및 드레인전극의 다른쪽에 접속되며 또한 출력전극이 화소전극에 접속된 아날로그증폭회로와, 게이트전극이 상기 주사선에 접속되며 또한 소스전극 및 드레인전극의 한쪽이 상기 아날로그증폭회로의 출력전극에 접속됨과 동시에 상기 소스전극 및 드레인전극의 다른쪽이 증폭모니터선에 접속된 제2M0S형트랜지스터와, 상기 아날로그증폭회로의 입력전극과 전압보지용량전극과의 사이에 형성된 전압보지용량과, 화소전극과 대향전극과의 사이에서 스위칭시키는 액정과로 이루어지는 것을 특징으로 하는 액정표시장치.

청구항 143.

청구항 107에 기재된 액정표시장치에 있어서, 상기 증폭출력검출용화소는, 게이트전극이 주사선에 접속되며 또한 소스전극 및 드레인전극의 한쪽이 신호선에 접속된 제1M0S형트랜지스터와, 입력전극이 상기 제1M0S형트랜지스터의 소스전극 및 드레인전극의 다른쪽에 접속되며 또한 출력전극이 화소전극에 접속된 아날로그증폭회로와, 게이트전극이 상기 주사선에 접속되며 또한 소스전극 및 드레인전극의 한쪽이 상기 아날로그증폭회로의 출력전극에 접속됨과 동시에 상기 소스전극 및 드레인전극의 다른쪽이 증폭모니터선에 접속된 제2M0S형트랜지스터와, 상기 아날로그증폭회로의 입력전극과 전압보지용량전극과의 사이에 형성된 전압보지용량과, 화소전극과 대향전극과의 사이에서 스위칭시키는 액정과로 이루어지는 것을 특징으로 하는 액정표시장치.

청구항 144.

청구항 112에 기재된 액정표시장치에 있어서, 상기 증폭출력검출용화소는, 게이트전극이 주사선에 접속되며 또한 소스전극 및 드레인전극의 한쪽이 신호선에 접속된 제1M0S형트랜지스터와, 입력전극이 상기 제1M0S형트랜지스터의 소스전극 및 드레인전극의 다른쪽에 접속되며 또한 출력전극이 화소전극에 접속된 아날로그증폭회로와, 게이트전극이 상기 주사선에 접속되며 또한 소스전극 및 드레인전극의 한쪽이 상기 아날로그증폭회로의 출력전극에 접속됨과 동시에 상기 소스전극 및 드레인전극의 다른쪽이 증폭모니터선에 접속된 제2M0S형트랜지스터와, 상기 아날로그증폭회로의 입력전극과 전압보지용량전극과의 사이에 형성된 전압보지용량과, 화소전극과 대향전극과의 사이에서 스위칭 시키는 액정과로 이루어지는 것을 특징으로 하는 액정표시장치.

청구항 145.

청구항 117에 기재된 액정표시장치에 있어서, 상기 증폭출력검출용화소는, 게이트전극이 주사선에 접속되며 또한 소스전극 및 드레인전극의 한쪽이 신호선에 접속된 제1M0S형트랜지스터와, 입력전극이 상기 제1M0S형트랜지스터의 소스전극 및 드레인전극의 다른쪽에 접속되며 또한 출력전극이 화소전극에 접속된 아날로그증폭회로와, 게이트전극이 상기 주사선에 접속되며 또한 소스전극 및 드레인전극의 한쪽이 상기 아날로그증폭회로의 출력전극에 접속됨과 동시에 상기 소스전극 및 드레인전극의 다른쪽이 증폭모니터선에 접속된 제2M0S형트랜지스터와, 상기 아날로그증폭회로의 입력전극과 전압보지용량전극과의 사이에 형성된 전압보지용량과, 화소전극과 대향전극과의 사이에서 스위칭시키는 액정과로 이루어지는 것을 특징으로 하는 액정표시장치.

청구항 146.

청구항 99에 기재된 액정표시장치에 있어서, 상기 증폭출력검출용화소는, 게이트전극이 주사선에 접속되며 또한 소스전극 및 드레인전극의 한쪽이 N번째의 신호선에 접속된 제1M0S형트랜지스터와, 입력전극이 상기 제1M0S형트랜지스터의 소스전극 및 드레인전극의 다른쪽에 접속되며 또한 출력전극이 화소전극에 접속된 아날로그증폭회로와, 게이트전

극이 주사선에 접속되며 또한 소스전극 및 드레인전극의 한쪽이 상기 아날로그증폭회로의 출력전극에 접속됨과 동시에 상기 소스전극 및 드레인전극의 다른쪽이 N+1번째의 신호선에 접속된 제2MOS형트랜지스터와, 상기 아날로그증폭회로의 입력전극과 전압보지용량전극과의 사이에 형성된 전압보지용량과, 화소전극과 대향전극과의 사이에서 스위칭시키는 액정과로 이루어지는 것을 특징으로 하는 액정표시장치.

청구항 147.

청구항 102에 기재된 액정표시장치에 있어서, 상기 증폭출력검출용화소는, 게이트전극이 주사선에 접속되며 또한 소스전극 및 드레인전극의 한쪽이 N번째의 신호선에 접속된 제1MOS형트랜지스터와, 입력전극이 상기 제1M0S형트랜지스터의 소스전극 및 드레인전극의 다른쪽에 접속되며 또한 출력전극이 화소전극에 접속된 아날로그증폭회로와, 게이트전극이 주사선에 접속되며 또한 소스전극 및 드레인전극의 한쪽이 상기 아날로그증폭회로의 출력전극에 접속됨과 동시에 상기 소스전극 및 드레인전극의 다른쪽이 N+1번째의 신호선에 접속된 제2MOS형트랜지스터와, 상기 아날로그증폭회로의 입력전극과 전압보지용량전극과의 사이에 형성된 전압보지용량과, 화소전극과 대향전극과의 사이에서 스위칭시키는 액정과로 이루어지는 것을 특징으로 하는 액정표시장치.

청구항 148.

청구항 107에 기재된 액정표시장치에 있어서, 상기 증폭출력검출용화소는, 게이트전극이 주사선에 접속되며 또한 소스전극 및 드레인전극의 한쪽이 N번째의 신호선에 접속된 제1MOS형트랜지스터와, 입력전극이 상기 제1M0S형트랜지스터의 소스전극 및 드레인전극의 다른쪽에 접속되며 또한 출력전극이 화소전극에 접속된 아날로그증폭회로와, 게이트전극이 주사선에 접속되며 또한 소스전극 및 드레인전극의 한쪽이 상기 아날로그증폭회로의 출력전극에 접속됨과 동시에 상기 소스전극 및 드레인전극의 다른쪽이 N+1번째의 신호선에 접속된 제2MOS형트랜지스터와, 상기 아날로그증폭회로의 입력전극과 전압보지용량전극과의 사이에 형성된 전압보지용량과, 화소전극과 대향전극과의 사이에서 스위칭시키는 액정과로 이루어지는 것을 특징으로 하는 액정표시장치.

청구항 149.

청구항 112에 기재된 액정표시장치에 있어서, 상기 증폭출력검출용화소는, 게이트전극이 주사선에 접속되며 또한 소스전극 및 드레인전극의 한쪽이 N번째의 신호선에 접속된 제1MOS형트랜지스터와, 입력전극이 상기 제1M0S형트랜지스터의 소스전극 및 드레인전극의 다른쪽에 접속되며 또한 출력전극이 화소전극에 접속된 아날로그증폭회로와, 게이트전극이 주사선에 접속되며 또한 소스전극 및 드레인전극의 한쪽이 상기 아날로그증폭회로의 출력전극에 접속됨과 동시에 상기 소스전극 및 드레인전극의 다른쪽이 N+1번째의 신호선에 접속된 제2MOS형트랜지스터와, 상기 아날로그증폭회로의 입력전극과 전압보지용량전극과의 사이에 형성된 전압보지용량과, 화소전극과 대향전극과의 사이에서 스위칭시키는 액정과로 이루어지는 것을 특징으로 하는 액정표시장치.

청구항 150.

청구항 117에 기재된 액정표시장치에 있어서, 상기 증폭출력검출용화소는, 게이트전극이 주사선에 접속되며 또한 소스전극 및 드레인전극의 한쪽이 N번째의 신호선에 접속된 제1MOS형트랜지스터와, 입력전극이 상기 제1M0S형트랜지스터의 소스전극 및 드레인전극의 다른쪽에 접속되며 또한 출력전극이 화소전극에 접속된 아날로그증폭회로와, 게이트전극이 주사선에 접속되며 또한 소스전극 및 드레인전극의 한쪽이 상기 아날로그증폭회로의 출력전극에 접속됨과 동시에 상기 소스전극 및 소스전극의 다른쪽이 N+1번째의 신호선에 접속된 제2MOS형트랜지스터와, 상기 아날로그증폭회로

의 입력전극과 전압보지용량전극과의 사이에 형성된 전압보지용량과, 화소전극과 대향전극과의 사이에서 스위칭시키는 액정과로 이루어지는 것을 특징으로 하는 액정표시장치.

청구항 151.

청구항 88에 기재된 액정표시장치에 있어서, 상기 메모리는 휘발성메모리로 이루어져, 자기장치의 기동마다, 기준전압에 대한 증폭출력전압의 차분데이터검출과, 상기 차분데이터의 상기 메모리에의 기록을 행하도록 한 것을 특징으로 하는 액정표시장치.

청구항 152.

청구항 92에 기재된 액정표시장치에 있어서, 상기 메모리는 휘발성메모리로 이루어져, 자기장치의 기동마다, 기준전압에 대한 증폭출력전압의 차분데이터검출과, 상기 차분데이터의 상기 메모리에의 기록을 행하도록 한 것을 특징으로 하는 액정표시장치. .

청구항 153.

청구항 99에 기재된 액정표시장치에 있어서, 상기 메모리는 휘발성메모리로 이루어져, 자기장치의 기동마다, 기준전압에 대한 증폭출력전압의 차분데이터검출과, 상기 차분데이터의 상기 메모리에의 기록을 행하도록 한 것을 특징으로 하는 액정표시장치.

청구항 154.

청구항 107에 기재된 액정표시장치에 있어서, 상기 메모리는 휘발성메모리로 이루어져, 자기장치의 기동마다, 기준전압에 대한 증폭출력전압의 차분데이터검출과, 상기 차분데이터의 상기 메모리에의 기록을 행하도록 한 것을 특징으로 하는 액정표시장치.

청구항 155.

청구항 112에 기재된 액정표시장치에 있어서, 상기 메모리는 휘발성메모리로 이루어져, 자기장치의 기동마다, 기준전압에 대한 증폭출력전압의 차분데이터검출과, 상기 차분데이터의 상기 메모리에의 기록을 행하도록 한 것을 특징으로 하는 액정표시장치.

청구항 156.

청구항 117에 기재된 액정표시장치에 있어서, 상기 메모리는 휘발성메모리로 이루어져, 자기장치의 기동마다, 기준전압에 대한 증폭출력전압의 차분데이터검출과, 상기 차분데이터의 상기 메모리에의 기록을 행하도록 한 것을 특징으로 하는 액정표시장치.

청구항 157.

청구항 88의 어느것 인가에 기재된 액정표시장치에 있어서, 상기 메모리는 개서 교환 가능한 불휘발성메모리로 이루어져, 자기장치의 기동마다, 기준전압에 대한 증폭출력전압의 차분데이터검출과, 상기 차분데이터의 상기 메모리에의 기록을 행하도록 한 것을 특징으로 하는 액정표시장치.

청구항 158.

청구항 92의 어느것 인가에 기재된 액정표시장치에 있어서, 상기 메모리는 개서 가능한 불휘발성메모리로 이루어져, 자기장치의 기동마다, 기준전압에 대한 증폭출력전압의 차분데이터검출과, 상기 차분데이터의 상기 메모리에의 기록을 행하도록 한 것을 특징으로 하는 액정표시장치.

청구항 159.

청구항 99의 어느것 인가에 기재된 액정표시장치에 있어서, 상기 메모리는 개서 가능한 불휘발성메모리로 이루어져, 자기장치의 기동마다, 기준전압에 대한 증폭출력전압의 차분데이터검출과, 상기 차분데이터의 상기 메모리에의 기록을 행하도록 한 것을 특징으로 하는 액정표시장치.

청구항 160.

청구항 107의 어느것 인가에 기재된 액정표시장치에 있어서, 상기 메모리는 개서 가능한 불휘발성메모리로 이루어져, 자기장치의 기동마다, 기준전압에 대한 증폭출력전압의 차분데이터검출과, 상기 차분데이터의 상기 메모리에의 기록을 행하도록 한 것을 특징으로 하는 액정표시장치.

청구항 161.

청구항 112의 어느것 인가에 기재된 액정표시장치에 있어서, 상기 메모리는 개서 가능한 불휘발성메모리로 이루어져, 자기장치의 기동마다, 기준전압에 대한 증폭출력전압의 차분데이터검출과, 상기 차분데이터의 상기 메모리에의 기록을 행하도록 한 것을 특징으로 하는 액정표시장치.

청구항 162.

청구항 117의 어느것 인가에 기재된 액정표시장치에 있어서, 상기 메모리는 개서 가능한 불휘발성메모리로 이루어져, 자기장치의 기동마다, 기준전압에 대한 증폭출력전압의 차분데이터검출과, 상기 차분데이터의 상기 메모리에의 기록을 행하도록 한 것을 특징으로 하는 액정표시장치.

청구항 163.

청구항 88에 기재된 액정표시장치에 있어서, 상기 메모리는 휘발성메모리로 이루어져, 자기장치에 대한 소정의 조작에 의해서 임의의 타이밍으로, 기준전압에 대한 증폭출력전압의 차분데이터검출과, 상기 차분데이터의 상기 메모리에의 기록을 행하도록 한 것을 특징으로 하는 액정표시장치.

청구항 164.

청구항 92에 기재의 액정표시장치에 있어서, 상기 메모리는 휘발성메모리로 이루어져, 자기장치에 대한 소정의 조작에 의해서 임의의 타이밍으로, 기준전압에 대한 증폭출력전압의 차분데이터검출과, 상기 차분데이터의 상기 메모리에의 기록을 행하도록 한 것을 특징으로 하는 액정표시장치.

청구항 165.

청구항 99에 기재된 액정표시장치에 있어서, 상기 메모리는 휘발성메모리로 이루어져, 자기장치에 대한 소정의 조작에 의해서 임의의 타이밍으로, 기준전압에 대한 증폭출력전압의 차분데이터검출과, 상기 차분데이터의 상기 메모리에의 기록을 행하도록 한 것을 특징으로 하는 액정표시장치.

청구항 166.

청구항 107에 기재된 액정표시장치에 있어서, 상기 메모리는 휘발성메모리로 이루어져, 자기장치에 대한 소정의 조작에 의해서 임의의 타이밍으로, 기준전압에 대한 증폭출력전압의 차분데이터검출과, 상기 차분데이터의 상기 메모리에의 기록을 행하도록 한 것을 특징으로 하는 액정표시장치.

청구항 167.

청구항 112에 기재된 액정표시장치에 있어서, 상기 메모리는 휘발성메모리로 이루어져, 자기장치에 대한 소정의 조작에 의해서 임의의 타이밍으로, 기준전압에 대한 증폭출력전압의 차분데이터검출과, 상기 차분데이터의 상기 메모리에의 기록을 행하도록 한 것을 특징으로 하는 액정표시장치.

청구항 168.

청구항 117에 기재된 액정표시장치에 있어서, 상기 메모리는 휘발성메모리로 이루어져, 자기장치에 대한 소정의 조작에 의해서 임의의 타이밍으로, 기준전압에 대한 증폭출력전압의 차분데이터검출과, 상기 차분데이터의 상기 메모리에의 기록을 행하도록 한 것을 특징으로 하는 액정표시장치.

청구항 169.

청구항 88에 기재된 액정표시장치에 있어서, 상기 메모리는 개서 가능한 불휘발성메모리로 이루어져, 자기장치에 대한 소정의 조작에 의해서 임의의 타이밍으로, 기준전압에 대한 증폭출력전압의 차분데이터검출과, 상기 차분데이터의 상기 메모리에의 기록을 행하도록 한 것을 특징으로 하는 액정표시장치.

청구항 170.

청구항 92에 기재된 액정표시장치에 있어서, 상기 메모리는 개서 가능한 불휘발성메모리로 이루어져, 자기장치에 대한 소정의 조작에 의해서 임의의 타이밍으로, 기준전압에 대한 증폭출력전압의 차분데이터검출과, 상기 차분데이터의 상기 메모리에의 기록을 행하도록 한 것을 특징으로 하는 액정표시장치.

청구항 171.

청구항 99에 기재된 액정표시장치에 있어서, 상기 메모리는 개서 가능한 불휘발성메모리로 이루어져, 자기장치에 대한 소정의 조작에 의해서 임의의 타이밍으로, 기준전압에 대한 증폭출력전압의 차분데이터검출과, 상기 차분데이터의 상기 메모리에의 기록을 행하도록 한 것을 특징으로 하는 액정표시장치.

청구항 172.

청구항 107에 기재된 액정표시장치에 있어서, 상기 메모리는 개서 가능한 불휘발성메모리로 이루어져, 자기장치에 대한 소정의 조작에 의해서 임의의 타이밍으로, 기준전압에 대한 증폭출력전압의 차분데이터검출과, 상기 차분데이터의 상기 메모리에의 기록을 행하도록 한 것을 특징으로 하는 액정표시장치.

청구항 173.

청구항 112에 기재된 액정표시장치에 있어서, 상기 메모리는 개서 가능한 불휘발성메모리로 이루어져, 자기장치에 대한 소정의 조작에 의해서 임의의 타이밍으로, 기준전압에 대한 증폭출력전압의 차분데이터검출과, 상기 차분데이터의 상기 메모리에의 기록을 행하도록 한 것을 특징으로 하는 액정표시장치.

청구항 174.

청구항 117에 기재된 액정표시장치에 있어서, 상기 메모리는 개서 가능한 불휘발성메모리로 이루어져, 자기장치에 대한 소정의 조작에 의해서 임의의 타이밍으로, 기준전압에 대한 증폭출력전압의 차분데이터검출과, 상기 차분데이터의 상기 메모리에의 기록을 행하도록 한 것을 특징으로 하는 액정표시장치.

청구항 175.

게이트전극이 주사선에 접속되고, 소스전극·드레인전극의 한쪽이 신호선에 접속된 M0S트랜지스터와, 입력전극이 상기 M0S트랜지스터의 소스전극·드레인전극의 다른쪽에 접속되며, 출력전극이 화소전극에 접속되고, 정부전원선의 한쪽이 상기 주사선에 접속된 아날로그증폭회로와,

상기 아날로그증폭회로의 입력전극과 전압보지용량전극과의 사이에 형성된 전압보지용량과,

상기 화소전극과 대향전극과의 사이에서 스위칭시키는 액정소자와로 구성되어 있는 능동매트릭스형액정표시장치에 있어서,

상기 주사선을 형성하는 재료가, 저항치가 작은 금속 또는 금속실리사이드를 포함하고 있는 것을 특징으로 하는 액정표시장치.

청구항 176.

게이트전극이 주사선에 접속되고, 소스전극·드레인전극의 한쪽이 신호선에 접속된 n형 M0S트랜지스터와,

입력전극이 상기 n형 M0S트랜지스터의 소스전극·드레인전극의 다른쪽에 접속되며, 출력전극이 화소전극에 접속되고, 정부전원선의 한쪽이 상기 주사선에 접속된 아날로그증폭회로와,

상기 아날로그증폭회로의 입력전극과 전압보지용량전극과의 사이에 형성된 전압보지용량과,

상기 화소전극과 대향전극과의 사이에서 스위칭 시키는 액정소자와로 구성되어 있는 능동매트릭스형액정표시장치에 있어서,

상기 주사선을 구동하는 게이트구동기의 로우레벨측전원이 부전원인 것을 특징으로 하는 액정표시장치.

청구항 177.

게이트전극이 주사선에 접속되고, 소스전극·드레인전극의 한쪽이 신호선에 접속된 p형 M 0 S트랜지스터와, 입력전극이 상기 p형 M0S트랜지스터의 소스전극·드레인전극의 다른쪽에 접속되며, 출력전극이 화소전극에 접속되고, 정부전원선의 한쪽이 상기 주사선에 접속된 아날로그증폭회로와,

상기 아날로그증폭회로의 입력전극과 전압보지용량전극과의 사이에 형성된 전압보지용량과,

상기 화소전극과 대향전극과의 사이에서 스위칭시키는 액정소자와로 구성되어 있는 능동매트릭스형액정표시장치에 있어서,

상기 주사선을 구동하는 게이트구동기의 하이레벨측전원이, 모든 화소에 있어서, 데이터신호전압의 최대치와 상기 p형 M0S트랜지스터의 한계치와의 합보다도 게이트주사전압이 높게 될것 같은 전압을 공급할 수 있는 것을 특징으로 하는 액정표시장치.

청구항 178.

제 176항에 있어서, 상기 주사선을 형성하는 재료가, 저항치가 작은 금속 또는 금속실리사이드를 포함하고 있는 것을 특징으로 하는 액정표시장치.

청구항 179.

제 177항에 있어서, 상기 주사선을 형성하는 재료가, 저항치가 작은 금속 또는 금속실리사이드를 포함하고 있는 것을 특징으로 하는 액정표시장치.

청구항 180.

제 175항에 있어서, 상기 주사선을 형성하는 금속 또는 금속실리사이드의 저항치는 화소수에 대략 반비례되는 것을 특징으로 하는 액정표시장치.

청구항 181.

제 176항에 있어서, 상기 주사선을 형성하는 금속 또는 금속실리사이드의 저항치는 화소수에 대략 반비례되는 것을 특징으로 하는 액정표시장치.

청구항 182.

제 177항에 있어서, 상기 주사선을 형성하는 금속 또는 금속실리사이드의 저항치는 화소수에 대략 반비례되는 것을 특징으로 하는 액정표시장치.

청구항 183.

제 175항에 있어서, 상기 주사선에 접속되는 전원선을, 당해 화소가 접속된 주사선에 접속하거나 또는 당해 화소가 접속된 주사선의 인접주사선에 접속하고, 상기 주사선에 접속되지 않은 쪽의 전원선을, 전용의 배선으로 접속하거나 또는 상기 전압보지용량전극 혹은 상기 대향전극에 접속하는 것을 특징으로 하는 액정표시장치.

청구항 184.

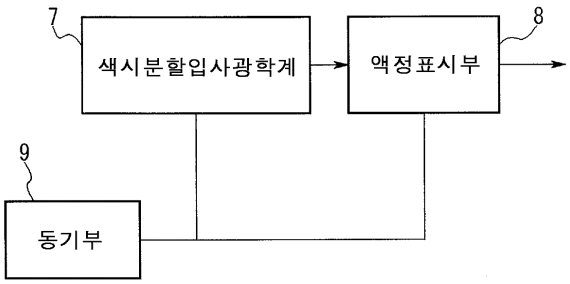
제 176항에 있어서, 상기 주사선에 접속되는 전원선을, 당해 화소가 접속된 주사선에 접속하거나 혹은 당해 화소가 접속된 주사선의 인접주사선에 접속하고, 상기 주사선에 접속되지 않은 쪽의 전원선을, 전용의 배선으로 접속하거나 혹은 상기 전압보지용량전극 또는 상기 대향전극에 접속하는 것을 특징으로 하는 액정표시장치.

청구항 185.

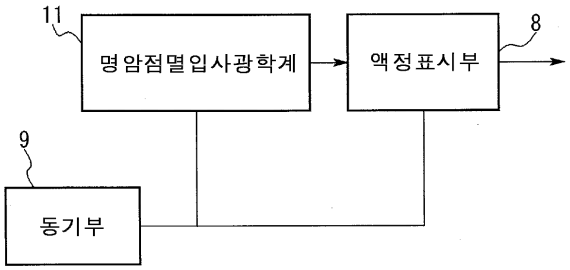
제 177항에 있어서, 상기 주사선에 접속되는 전원선을, 당해 화소가 접속된 주사선에 접속하거나 혹은 당해 화소가 접속된 주사선의 인접주사선에 접속하고, 상기 주사선에 접속되지 않은 쪽의 전원선을, 전용의 배선으로 접속하거나 또는 상기 전압보지용량전극 혹은 상기 대향전극에 접속하는 것을 특징으로 하는 액정표시장치.

도면

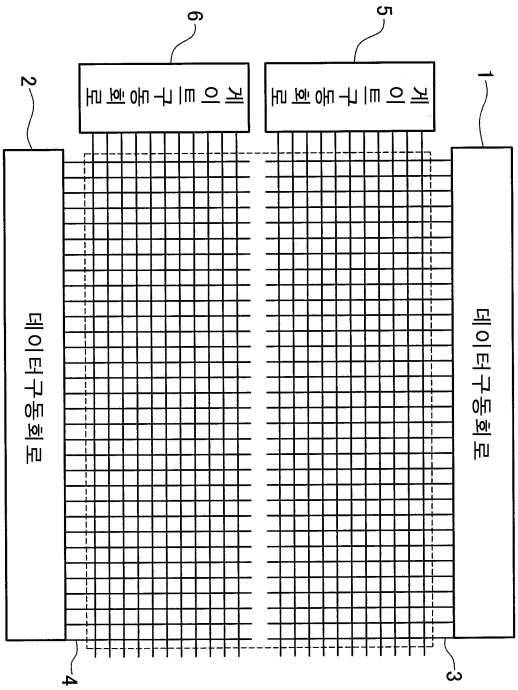
도면 1



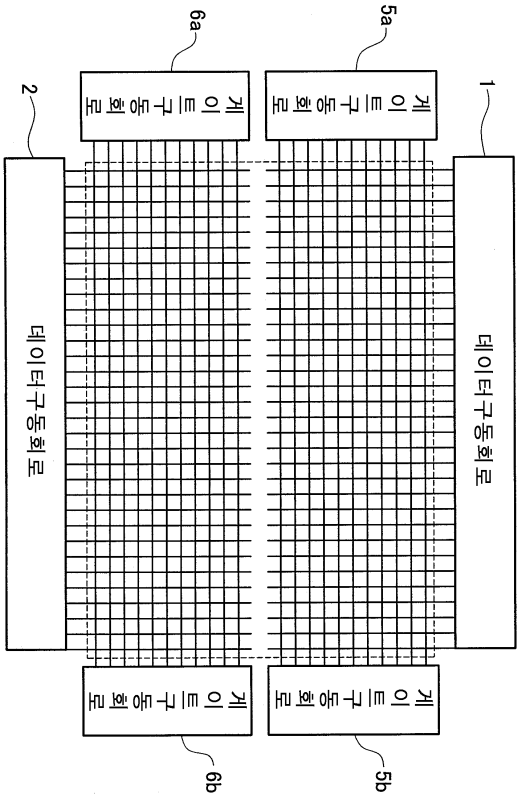
도면 2


11
명암점멸입사광학계
액정표시부
8
9
동기부

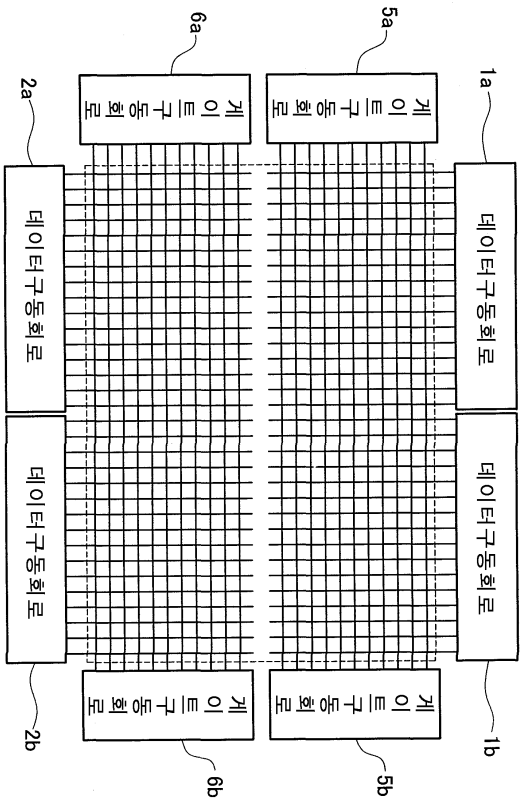
도면 3


6
5
게이트구동회로
게이트구동회로
2
1
데이터구동회로
데이터구동회로
4
3

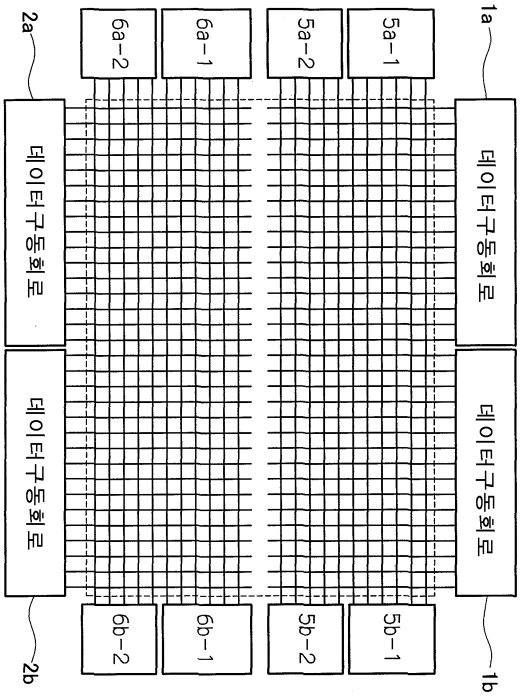
도면 4


6a
5a
게이트구동회로
게이트구동회로
2
1
데이터구동회로
데이터구동회로
게이트구동회로
게이트구동회로
6b
5b

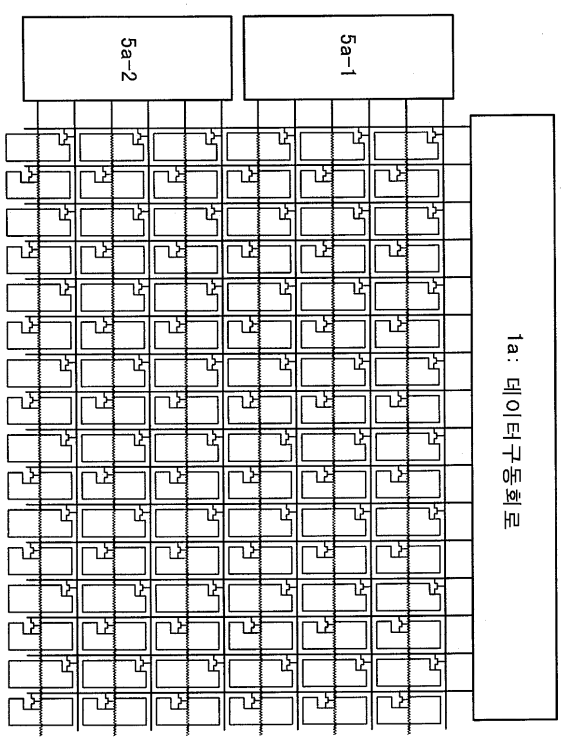
도면 5


6a
5a
1a
2a
게이트구동회로
게이트구동회로
데이터구동회로
데이터구동회로
데이터구동회로
데이터구동회로
2b
6b
5b
1b
게이트구동회로
게이트구동회로

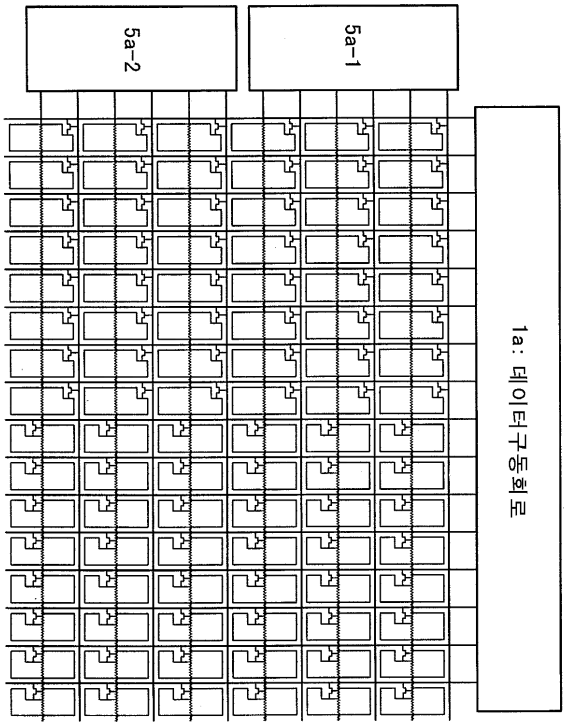
도면 6


1a
2a
1b
2b
5a-1
5a-2
6a-1
6a-2
5b-1
5b-2
6b-1
6b-2
데이터구동회로
데이터구동회로
데이터구동회로
데이터구동회로

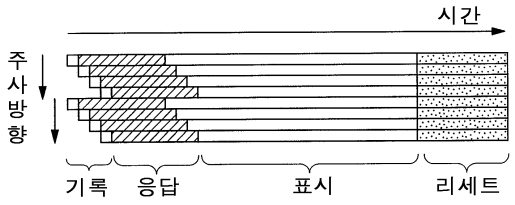
도면 7



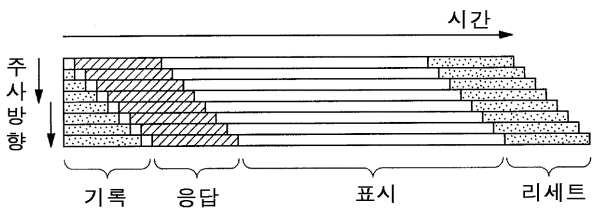
도면 8



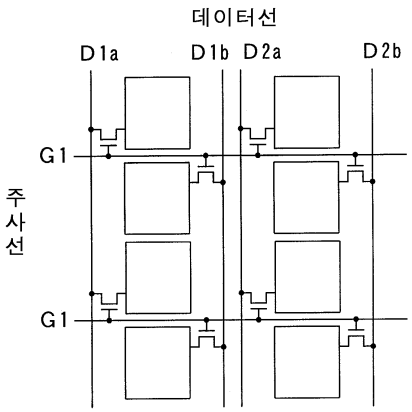
도면 9



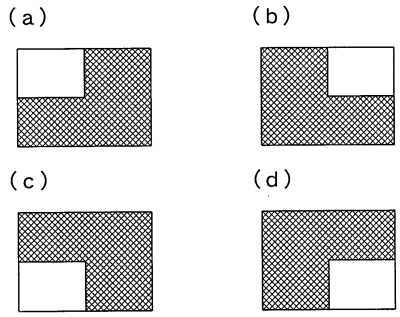
도면 10



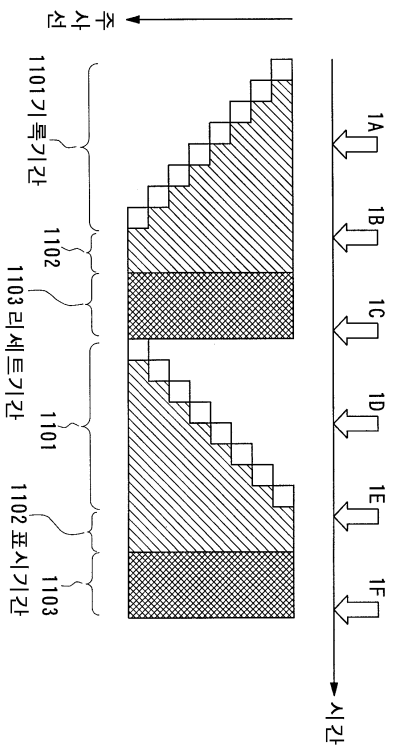
도면 11



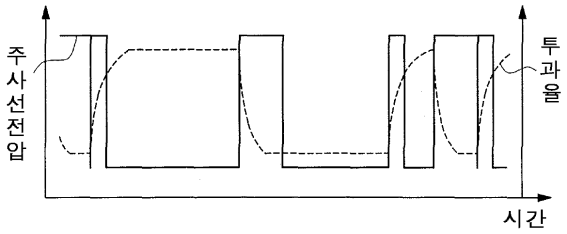
도면 12



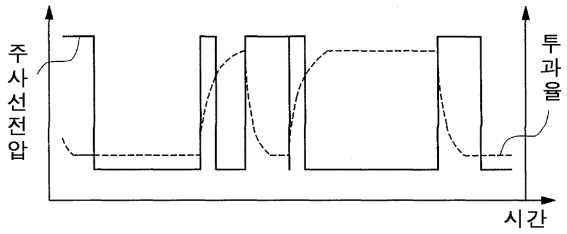
도면 13


주사선
1101 기록기간
1102
1103 리세트기간
1101
1102 표시기간
1103
1A
1B
1C
1D
1E
1F
시간

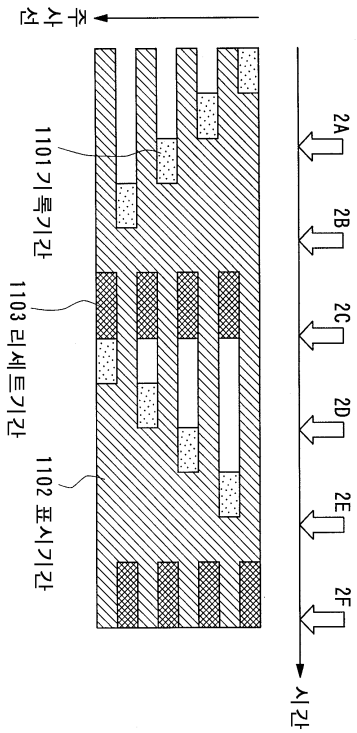
도면 14


주사선전압
투과율
시간

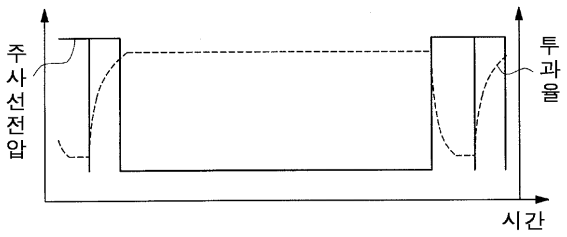
도면 15


주사전전압
투과율
시간

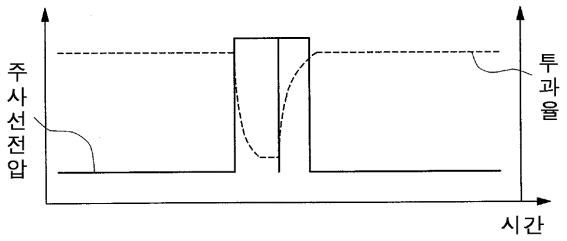
도면 16


주사선
1101 기록기간
1103 리세트기간
1102 표시기간
2A
2B
2C
2D
2E
2F
시간

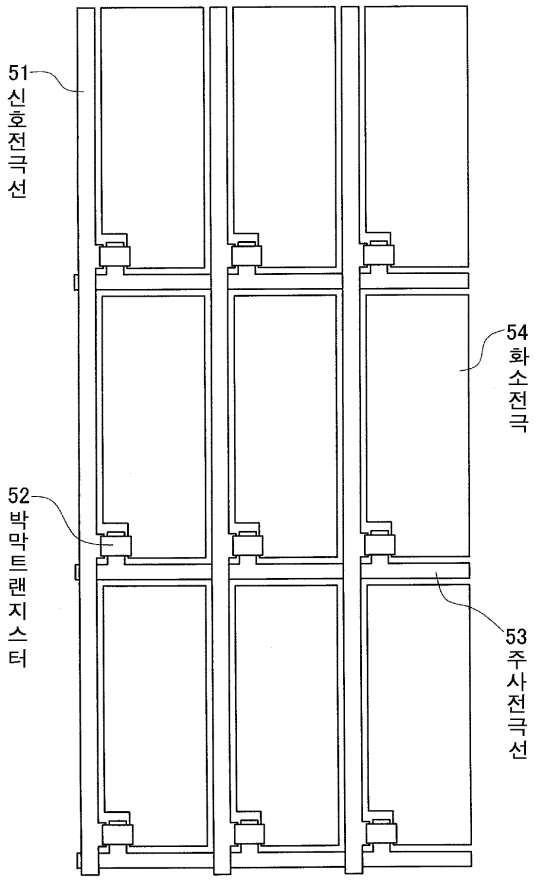
도면 17



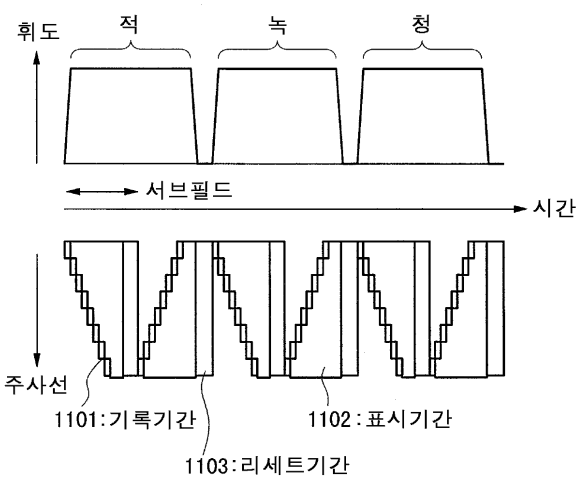
도면 18



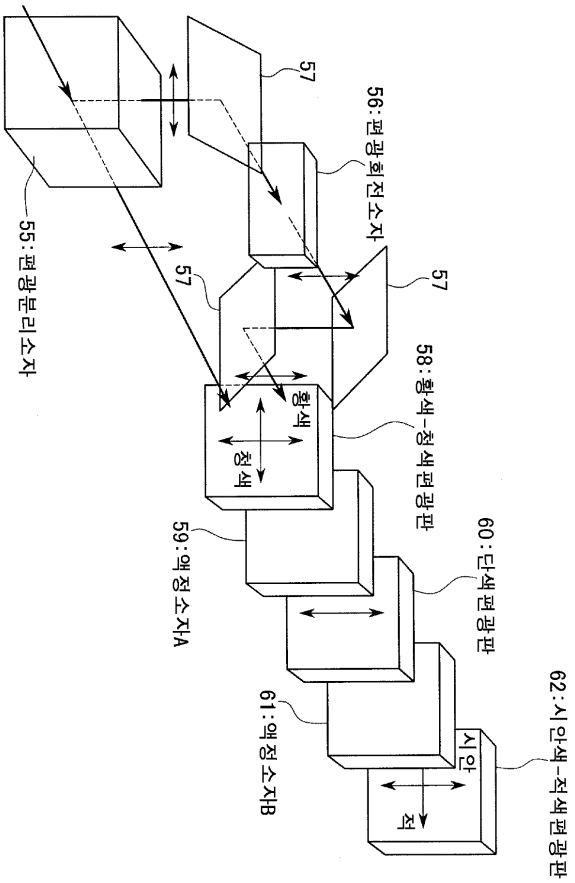
도면 19



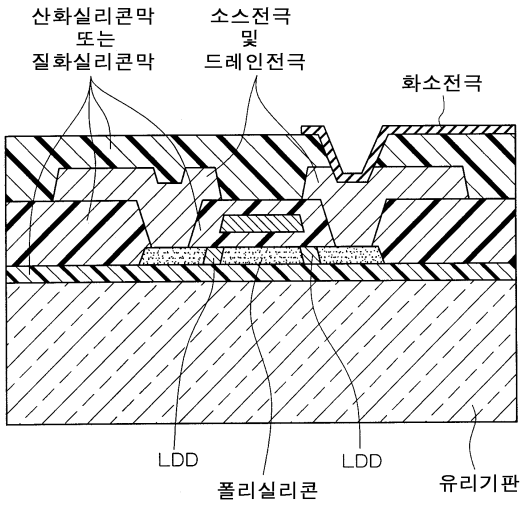
도면 20



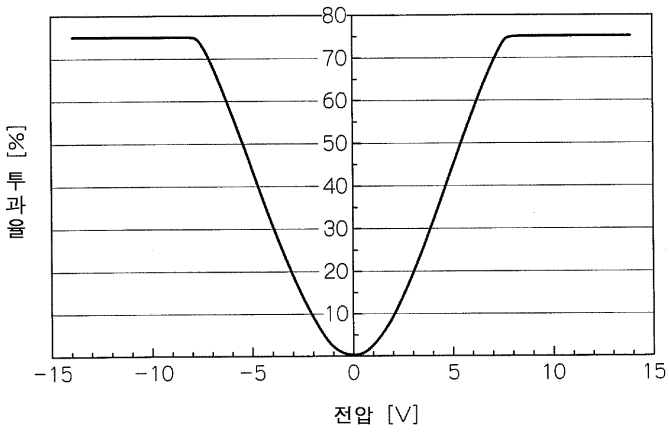
도면 21


55:편광분리소자
57
56:편광회전소자
57
57
58:황색-청색편광판
황색
청색
59:액정소자A
60:단색편광판
61:액정소자B
시안
적
62:시안색-적색편광판

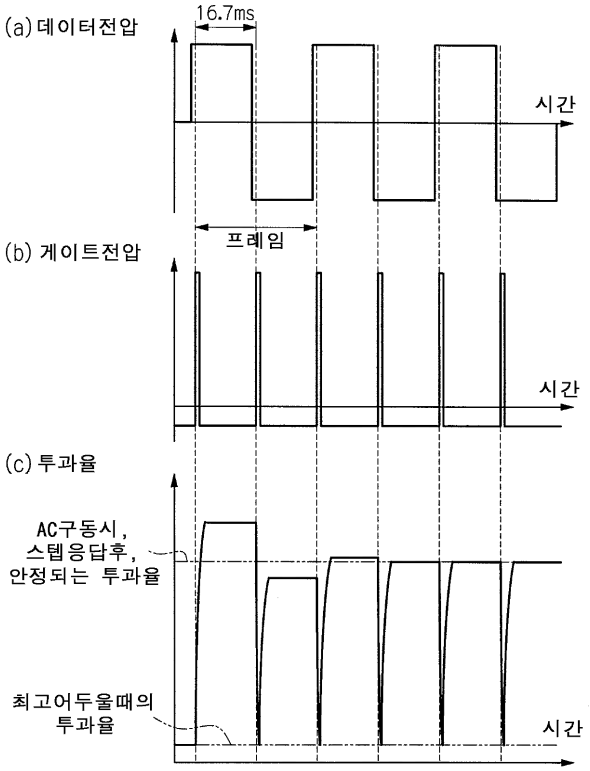
도면 22


산화실리콘막
또는
질화실리콘막
소스전극
및
드레인전극
화소전극
LDD
폴리실리콘
LDD
유리기판

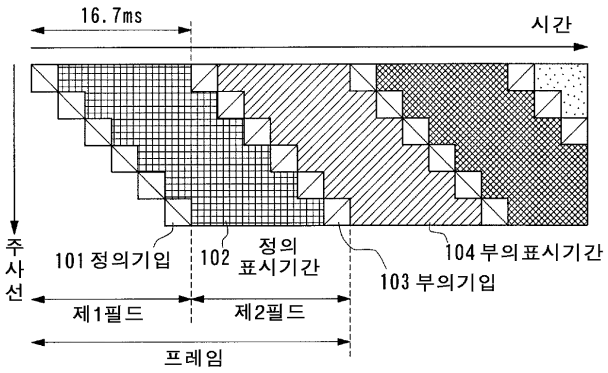
도면 23


80
70
60
50
40
30
20
10
투과율 [%]
-15
-10
-5
0
5
10
15
전압 [V]

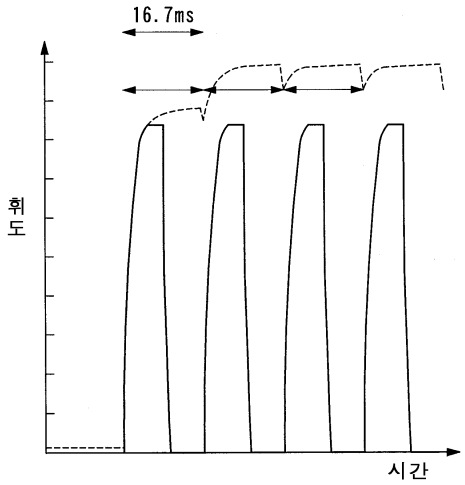
도면 24


(a) 데이터전압
16.7ms
시간
프레임
(b) 게이트전압
시간
(c) 투과율
AC구동시,
스텝응답후,
안정되는 투과율
최고어두울때의
투과율
시간

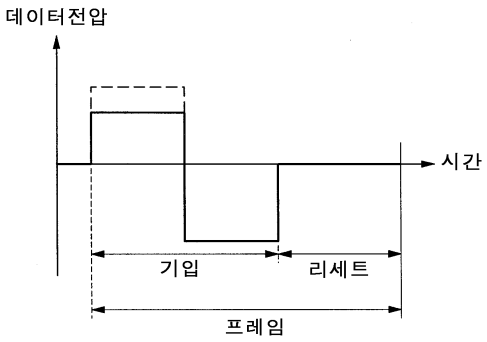
도면 25


16.7ms
시간
주사선
101 정의기입
102 정의 표시기간
103 부의기입
104 부의표시기간
제1필드
제2필드
프레임

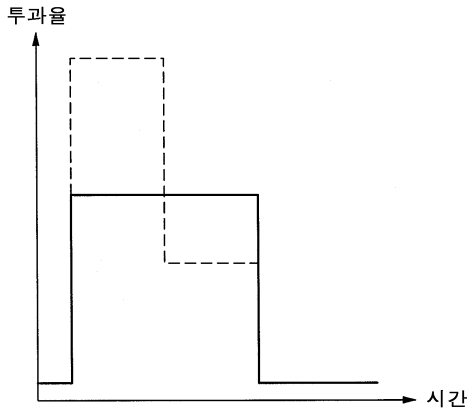
도면 26



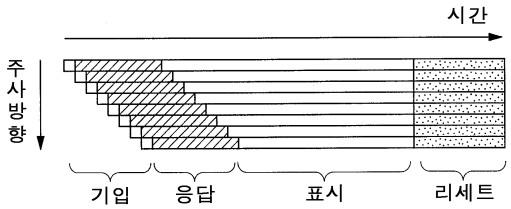
도면 27



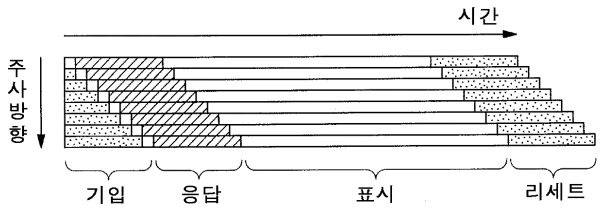
도면 28



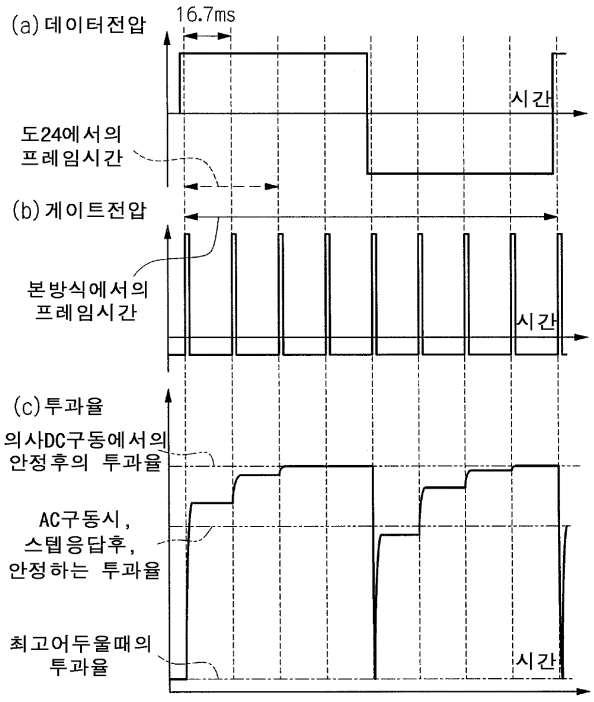
도면 29



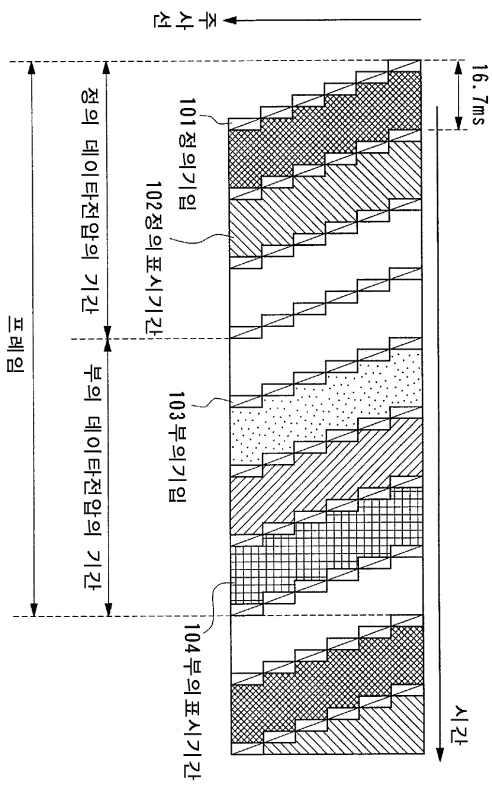
도면 30



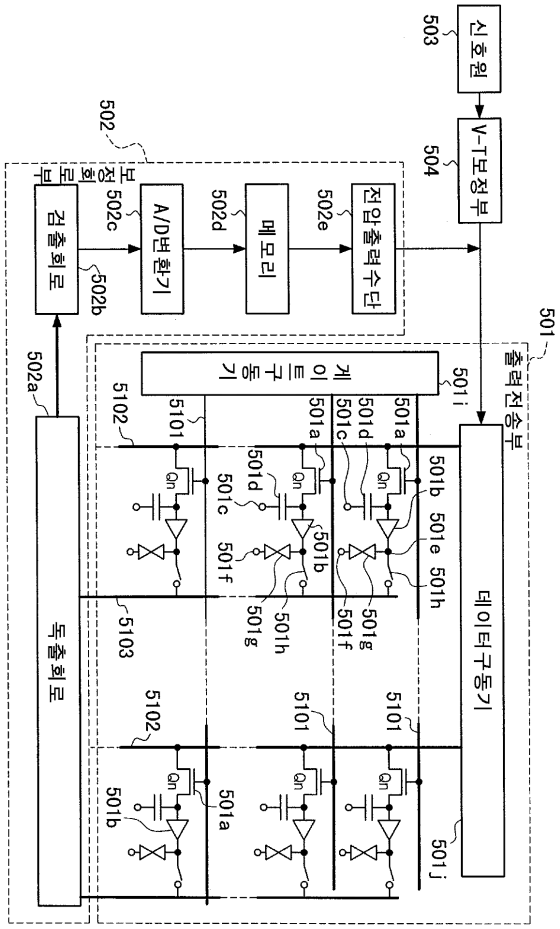
도면 31


(a) 데이터전압
16.7ms
시간
도24에서의
프레임시간
(b) 게이트전압
본방식에서의
프레임시간
시간
(c) 투과율
의사DC구동에서의
안정후의 투과율
AC구동시,
스텝응답후,
안정하는 투과율
최고어두울때의
투과율
시간

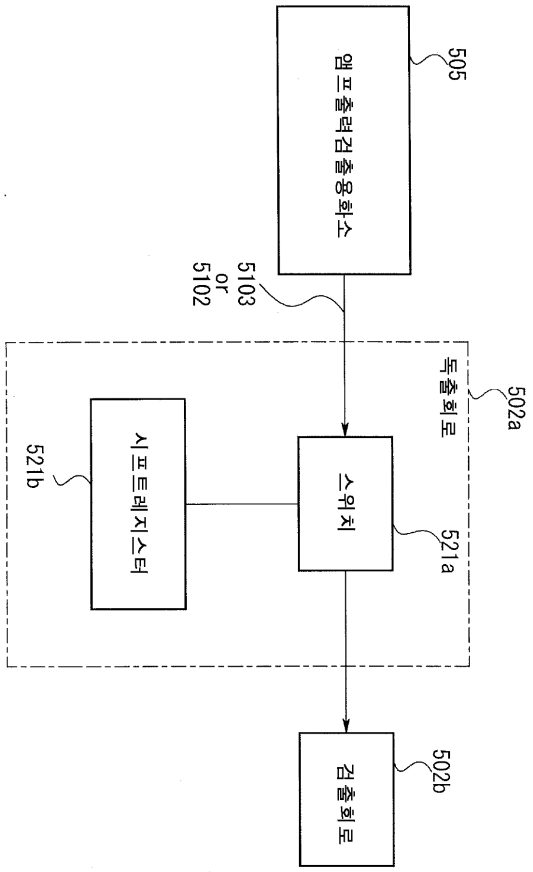
도면 32


주사선
16.7ms
101 정의 기입
102 정의 표시기간
103 부의 기입
104 부의 표시기간
정의 데이타전압의 기간
부의 데이타전압의 기간
프레임
시간

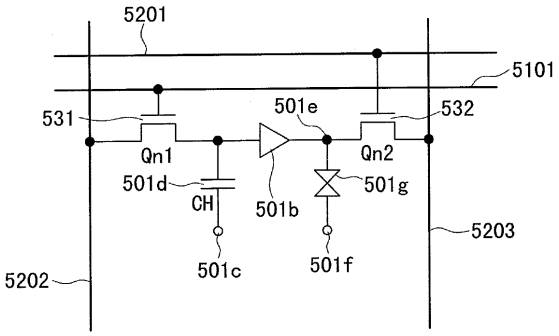
도면 33


503
신호원
504
V-T보정부
502
보정회로부
502c
검출회로
502b
A/D변환기
502d
메모리
502e
전압출력수단
501
출력전송부
501i
게이트구동기
502a
독출회로
5101
5102
5103
501a
501b
501c
501d
501e
501f
501g
501h
501j
데이터구동기
Qn

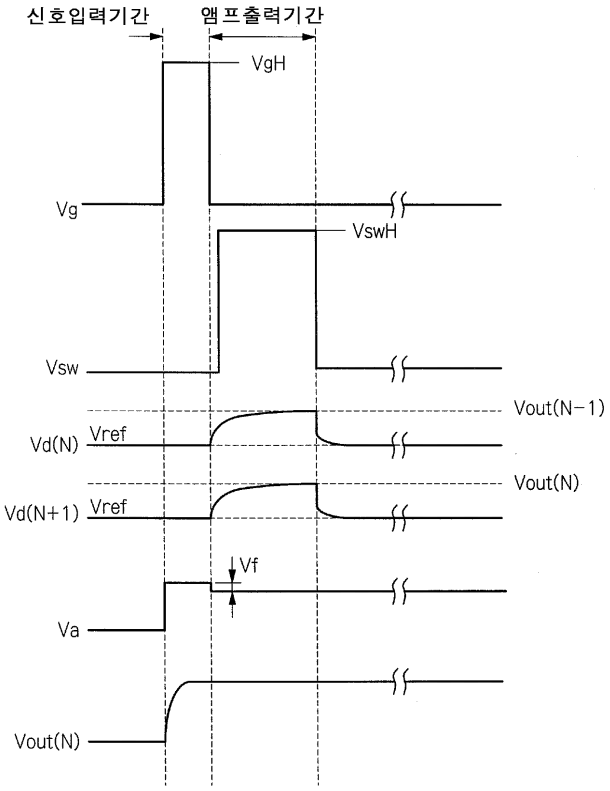
도면 34


앰프출력검출용화소
505
5103
or
5102
독출회로
502a
시프트레지스터
521b
스위치
521a
검출회로
502b

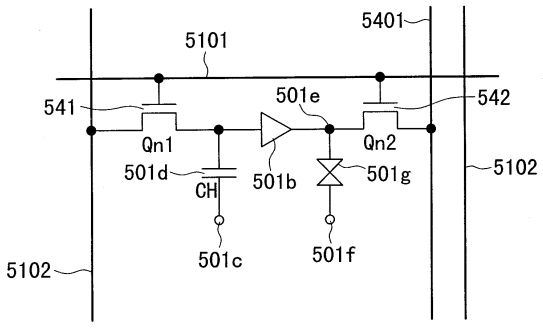
도면 35


5201
5101
531
501e
532
Qn1
Qn2
501d
CH
501b
501g
501c
501f
5203
5202

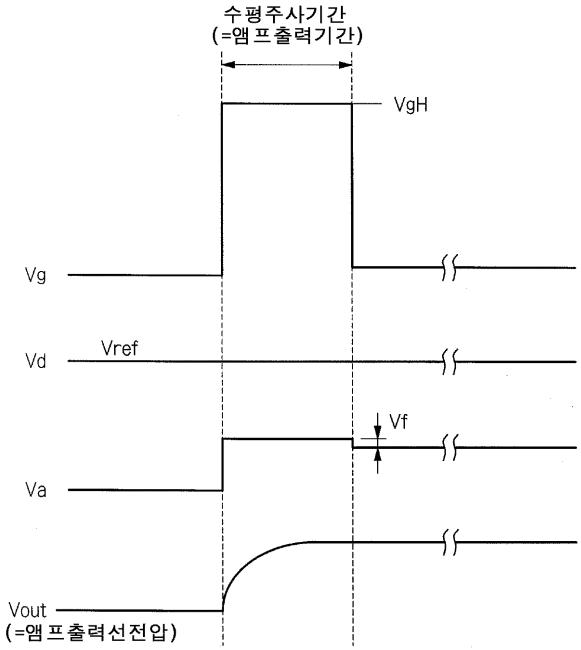
도면 36


신호입력기간
앰프출력기간
VgH
Vg
VswH
Vsw
Vout(N-1)
Vd(N)
Vref
Vout(N)
Vd(N+1)
Vref
Vf
Va
Vout(N)

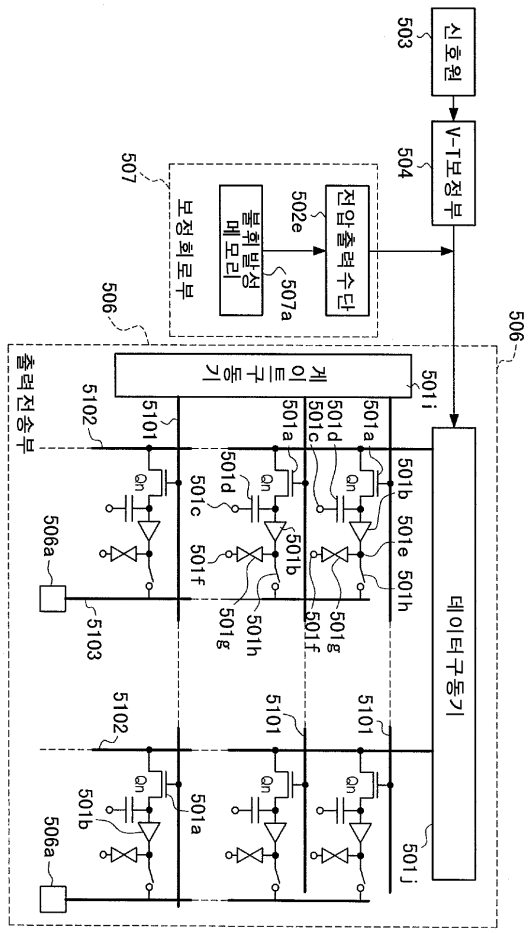
도면 37


5401
5101
501e
542
541
Qn1
Qn2
501d
CH
501b
501g
5102
501c
501f
5102

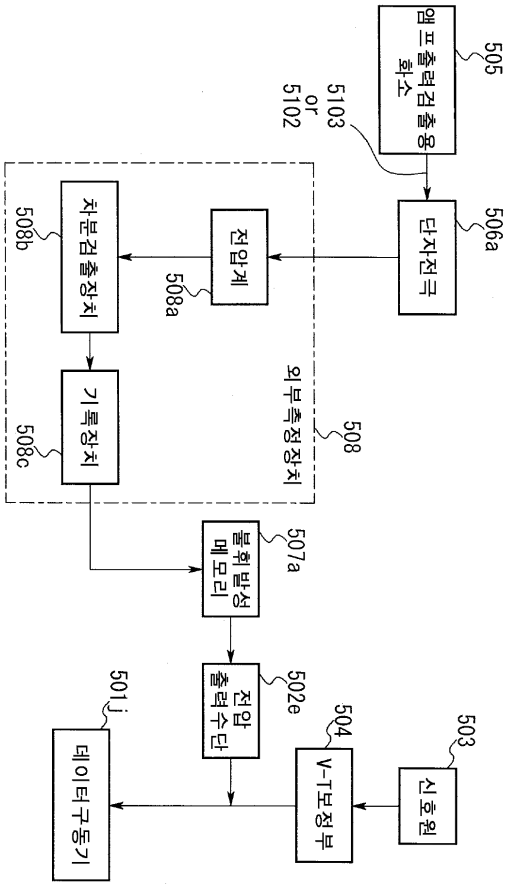
도면 38



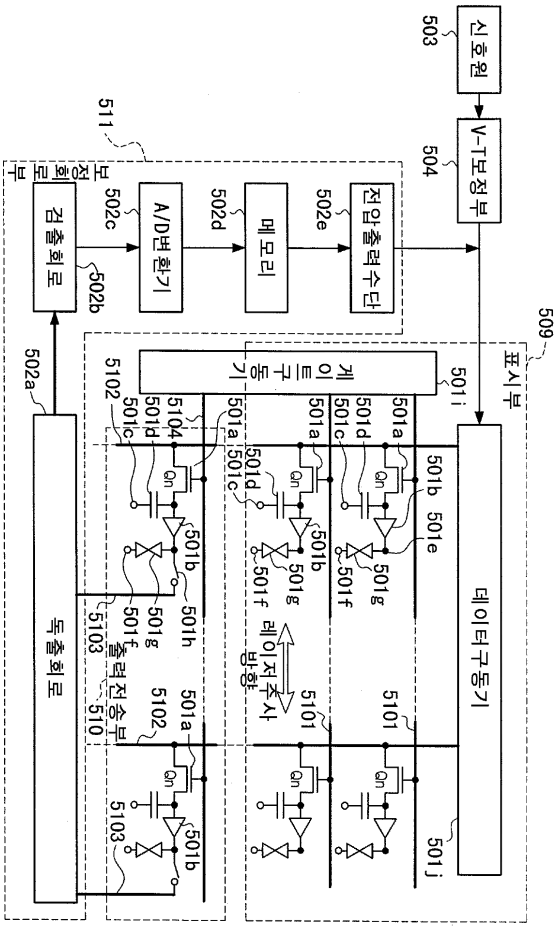
도면 39


신호원
503
V-T보정부
504
507
보정회로부
전압출력수단
502e
룩업테이블
메모리
507a
506
게이트구동기
501i
출력전송부
5102
5101
501a
501d
501c
501b
501e
501h
501f
501g
데이터구동기
501j
506a
5103
Qn

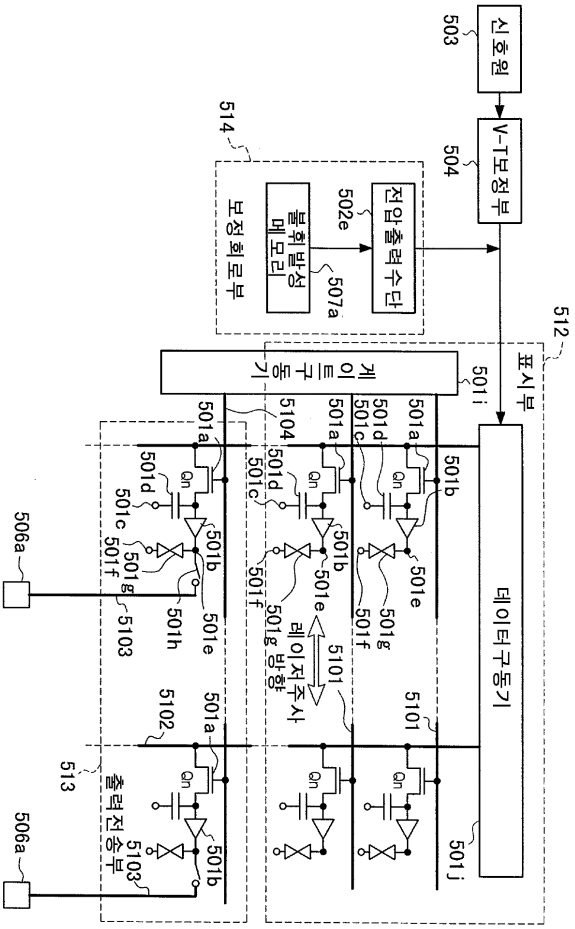
도면 40


앰프출력검출용 확소
505
5103 or 5102
단자전극
506a
전압계
508a
차분검출장치
508b
기록장치
508c
외부측정장치
508
불휘발성 메모리
507a
전압 출력수단
502e
V-T보정부
504
신호원
503
데이터구동기
501j

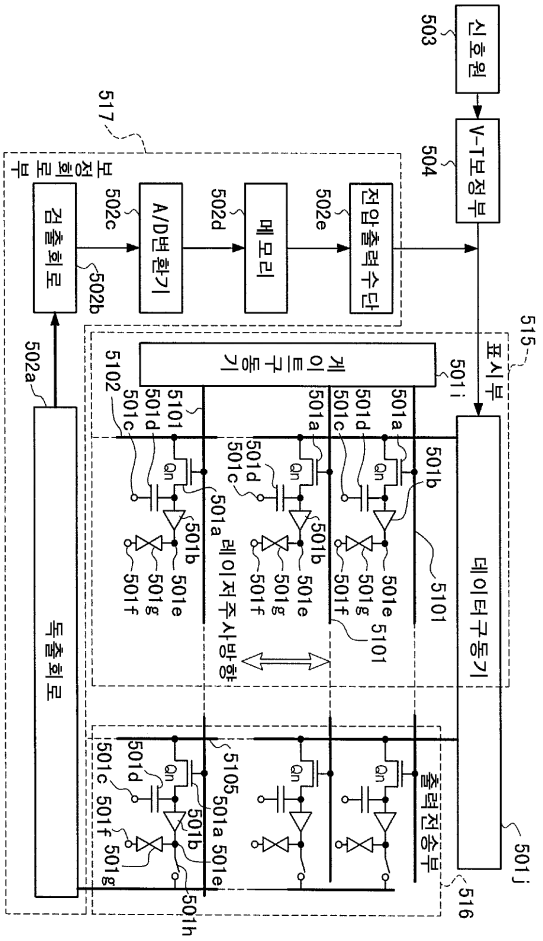
도면 41


신호원
503
V-T보정부
504
전압출력수단
502e
메모리
502d
A/D변환기
502c
검출회로
502b
511
보정회로부
502a
509
표시부
501i
게이트구동기
데이터구동기
501j
독출회로
레이저주사 방향
출력전송부
510
5101
5102
5103
5104
501a
501b
501c
501d
501e
501f
501g
501h
Qn

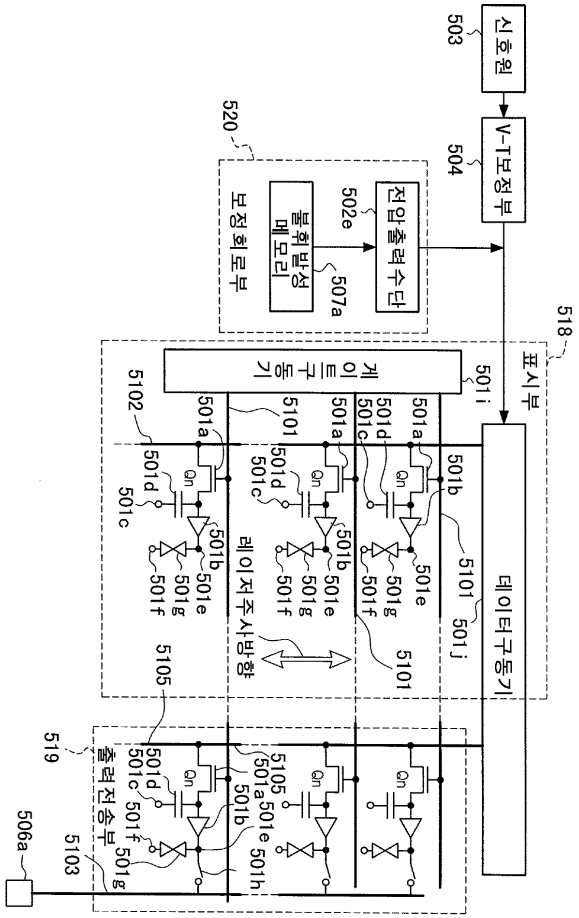
도면 42


신호원
503
V-T보정부
504
514
보정회로부
전압출력수단
502e
불휘발성 메모리
507a
512
표시부
게이트구동기
501i
데이터구동기
501j
501a
501b
501c
501d
501e
501f
501g
501h
5101
5102
5103
5104
레이저주사 방향
출력전송부
513
506a
Qn

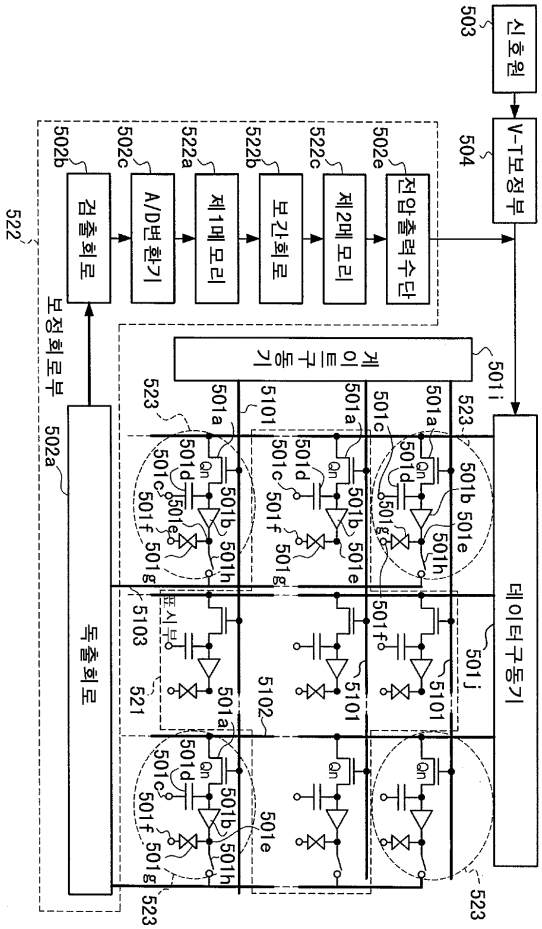
도면 43


신호원
503
V-T보정부
504
515
표시부
517
보정회로부
검출회로
502b
A/D변환기
502c
메모리
502d
전압출력수단
502e
502a
독출회로
게이트구동기
501i
5102
5101
501a
501b
501c
501d
501e
501f
501g
Qn
레이저주사방향
데이터구동기
501j
출력전송부
516
5105
501h

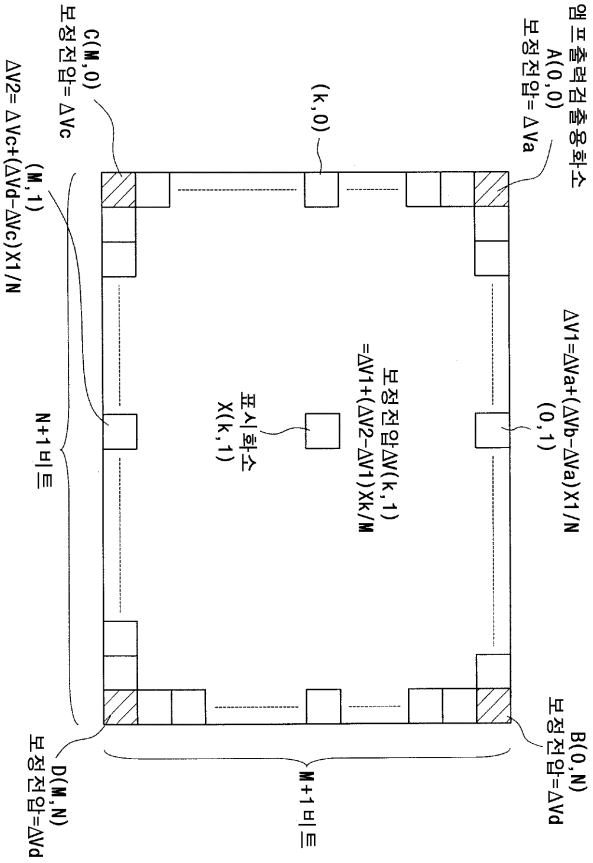
도면 44


신호원
503
V-T보정부
504
520
보정회로부
불휘발성 메모리
507a
전압출력수단
502e
표시부
518
게이트구동기
501i
데이터구동기
501j
5101
5102
5105
5103
레이저주사방향
출력전송부
519
506a

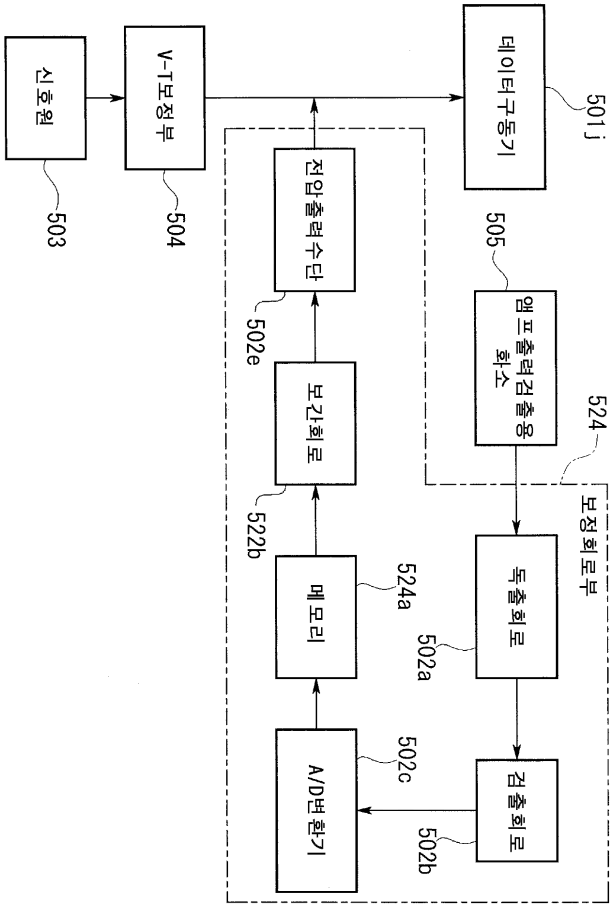
도면 45


신호원
503
V-I보정부
504
전압출력수단
502e
제2메모리
522c
보간회로
522b
제1메모리
522a
A/D변환기
502c
검출회로
502b
522
보정회로부
502a
독출회로
게이트구동기
501i
데이터구동기
501j
523
5101
5102
5103
521
501a
501b
501c
501d
501e
501f
501g
501h
Qn
펄스부

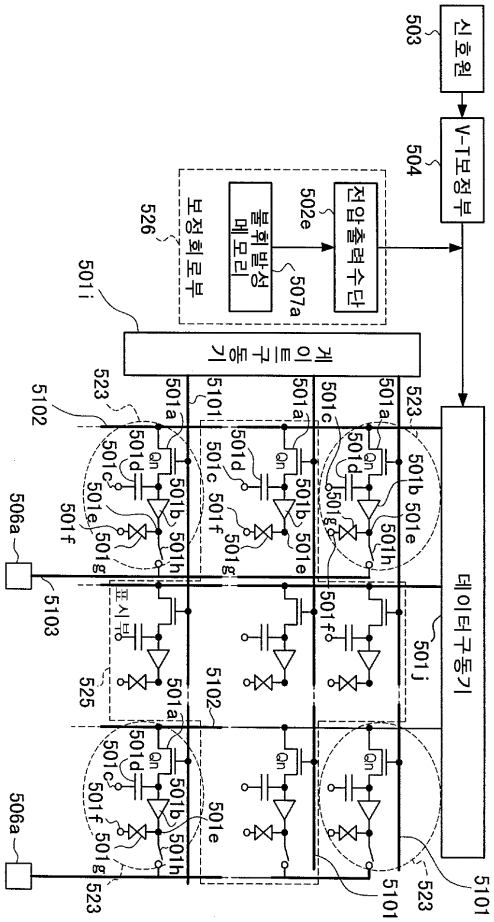
도면 46


앰프출력검출용화소
A(0,0)
보정전압= ΔVa
(k,0)
ΔV1=ΔVa+(ΔVb-ΔVa)X1/N
(0,1)
보정전압ΔV(k,1)
=ΔV1+(ΔV2-ΔV1)Xk/M
표시화소
X(k,1)
C(M,0)
보정전압= ΔVc
(M,1)
ΔV2= ΔVc+(ΔVd-ΔVc)X1/N
N+1비트
B(0,N)
보정전압=ΔVd
D(M,N)
보정전압=ΔVd
M+1비트

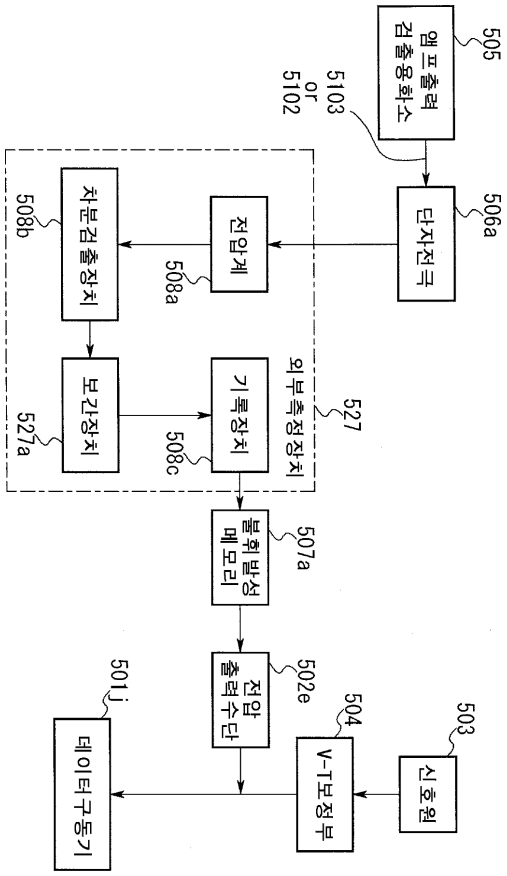
도면 47


신호원
503
V-T보정부
504
데이터구동기
501j
전압출력수단
502e
보간회로
522b
메모리
524a
A/D변환기
502c
램프출력검출용 화소
505
524
보정회로부
독출회로
502a
검출회로
502b

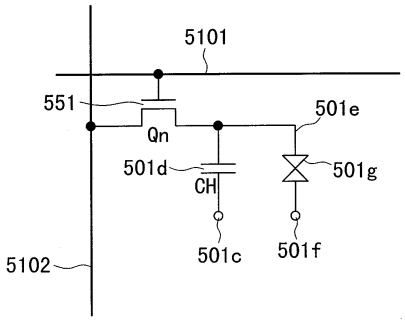
도면 48


신호원
503
V-T보정부
504
전압출력수단
502e
불휘발성 메모리
507a
보정회로부
526
501i
게이트구동기
데이터구동기
501j
5101
5102
5103
523
501a
501b
501c
501d
501e
501f
501g
501h
506a
525
표시부

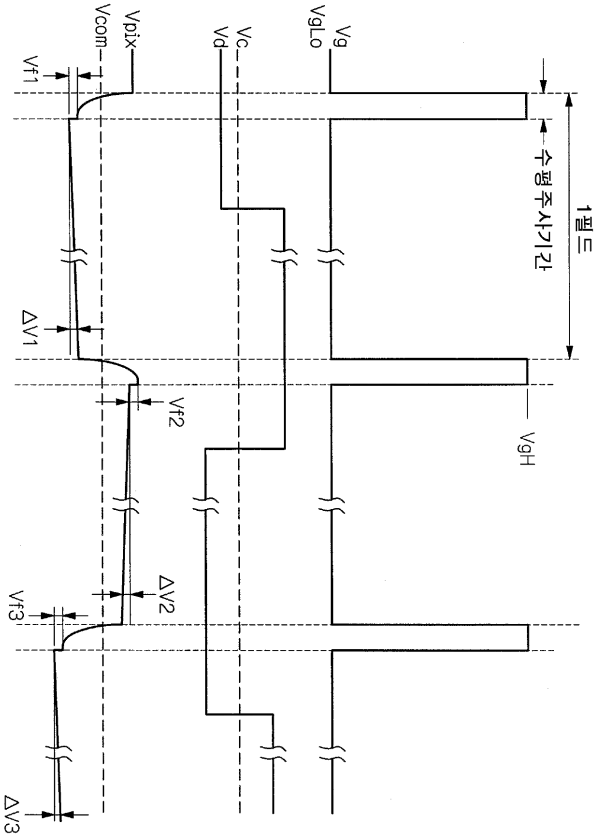
도면 49


505
앰프출력 검출용화소
5103 or 5102
506a
단자전극
508b
차분검출장치
전압계
508a
527
외부측정장치
527a
보간장치
기록장치
508c
507a
불휘발성 메모리
502e
전압 출력수단
501j
데이터구동기
504
V-T보정부
503
신호원

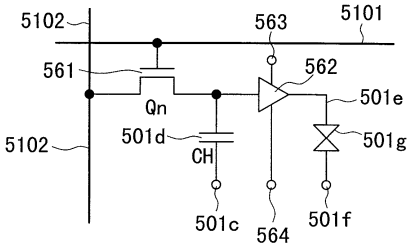
도면 50


5101
551
Qn
501e
501d
CH
501g
501c
501f
5102

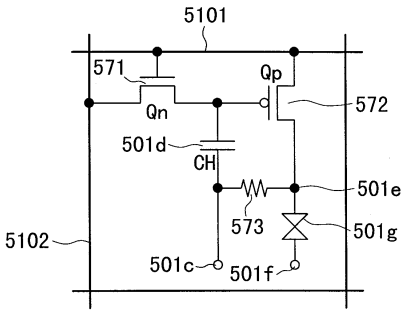
도면 51


Vcom
Vpix
Vc
Vd
VgLo
Vg
Vf1
수평주사기간
1필드
ΔV1
Vf2
VgH
ΔV2
Vf3
ΔV3

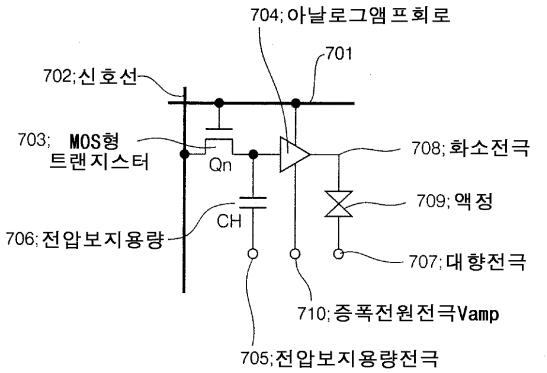
도면 52


5102
563
5101
561
562
Qn
501e
501d
501g
5102
CH
501c
564
501f

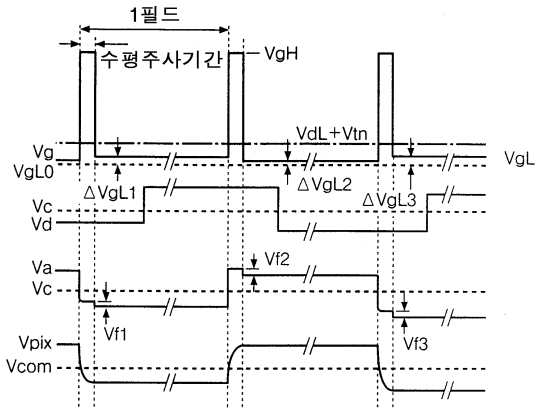
도면 53



도면 54

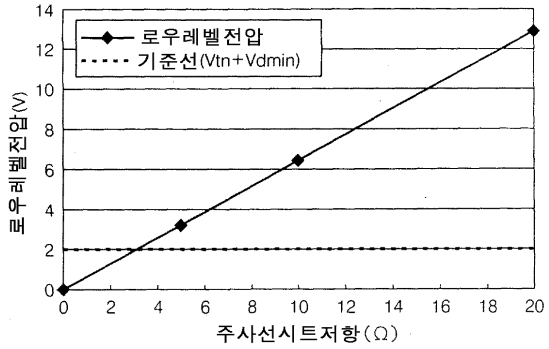


도면 55

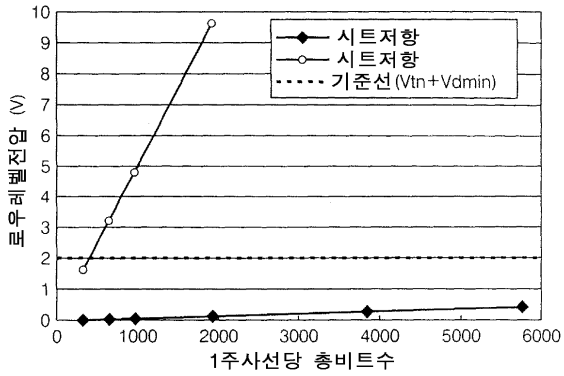


도면 56

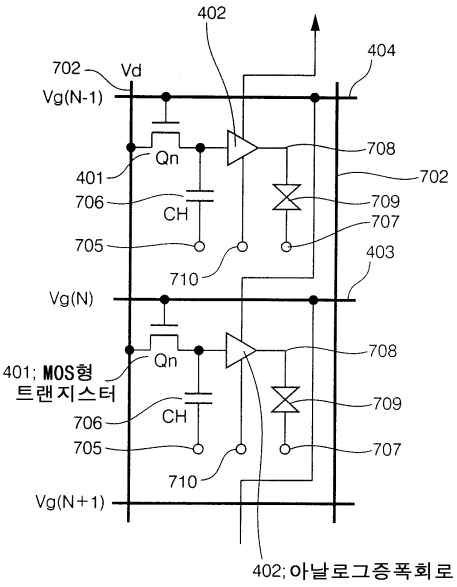
(a)


로우레벨전압
기준선(Vtn+Vdmin)
로우레벨전압(V)
주사선시트저항(Ω)
0
2
4
6
8
10
12
14
16
18
20

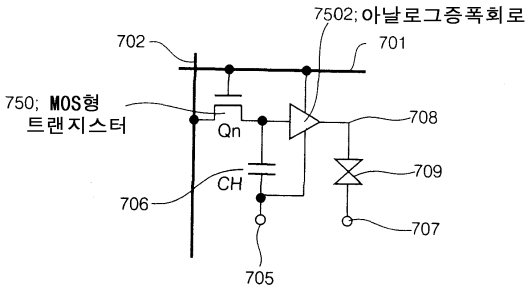
(b)


시트저항
시트저항
기준선(Vtn+Vdmin)
로우레벨전압 (V)
1주사선당 총비트수
0
1000
2000
3000
4000
5000
6000

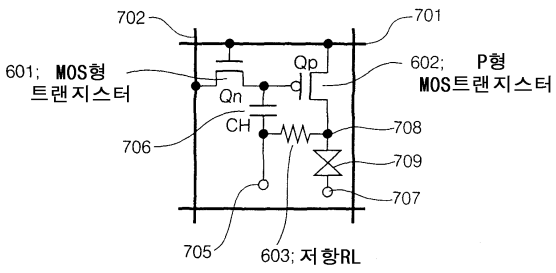
도면 57



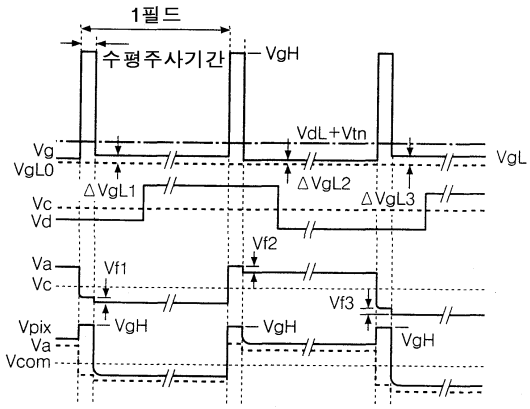
도면 58



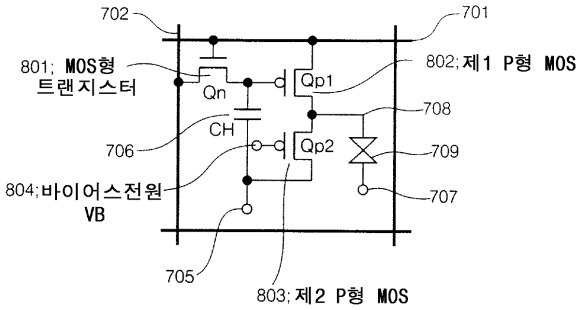
도면 59



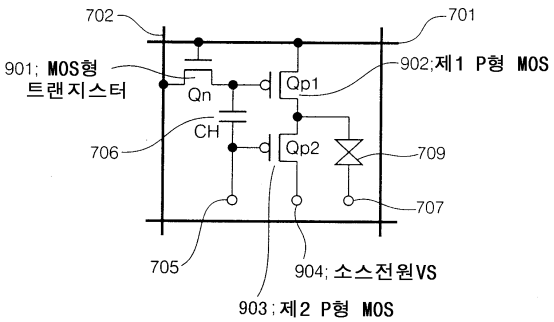
도면 60



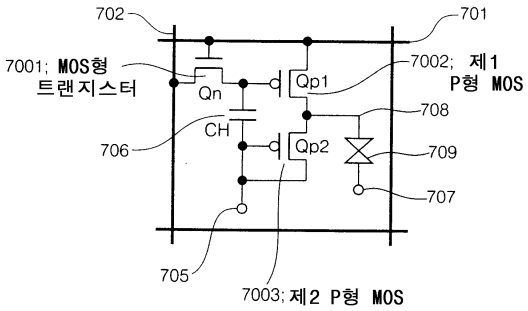
도면 61



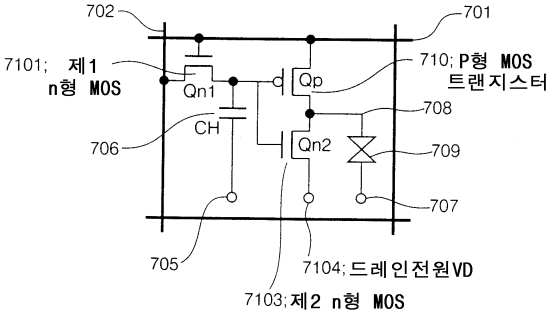
도면 62



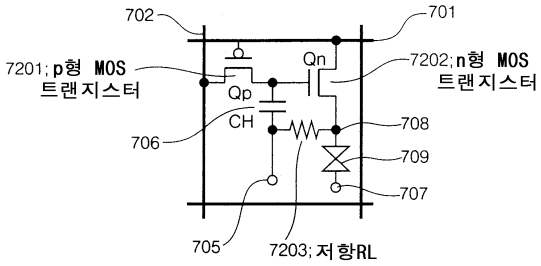
도면 63



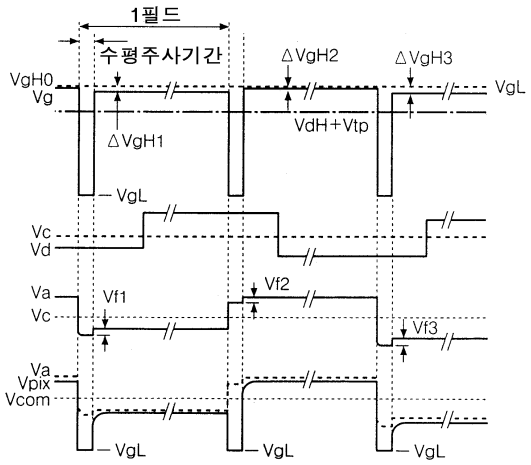
도면 64



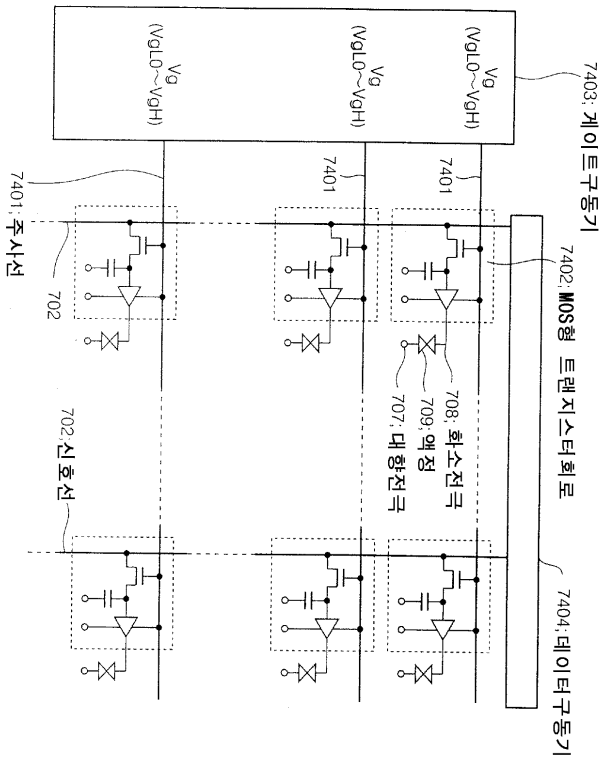
도면 65



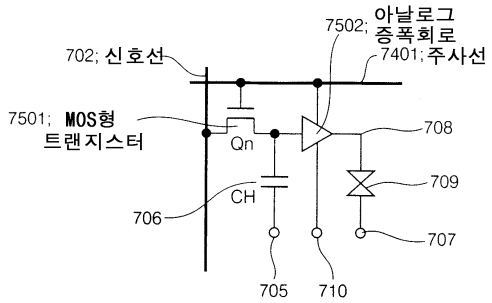
도면 66


1필드
수평주사기간
ΔVgH2
ΔVgH3
VgH0
Vg
VgL
ΔVgH1
VdH+Vtp
VgL
Vc
Vd
Va
Vc
Vf1
Vf2
Vf3
Va
Vpix
Vcom
VgL
VgL
VgL

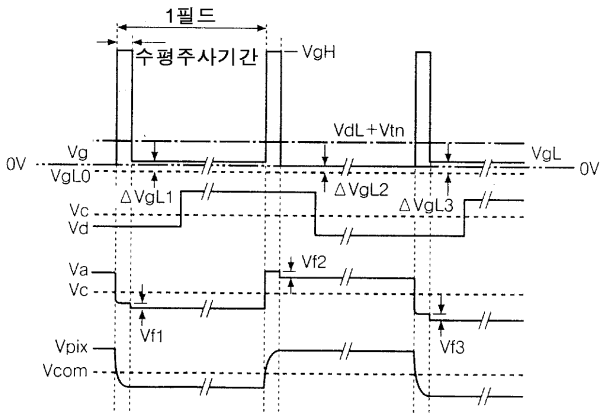
도면 67


Vg (VgL0~VgH)
Vg (VgL0~VgH)
Vg (VgL0~VgH)
7403; 게이트구동기
7401
7401
7401; 주사선
702
7402; MOS형 트랜지스터회로
707; 대향전극
709; 액정
708; 화소전극
702; 신호선
7404; 데이터구동기

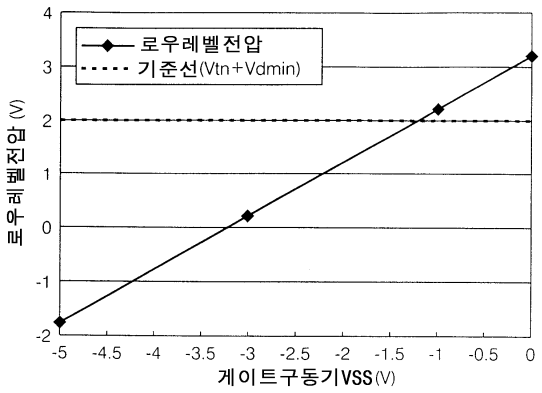
도면 68



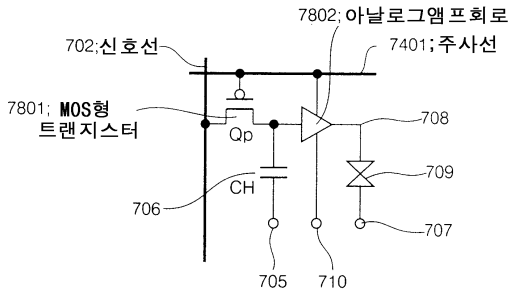
도면 69



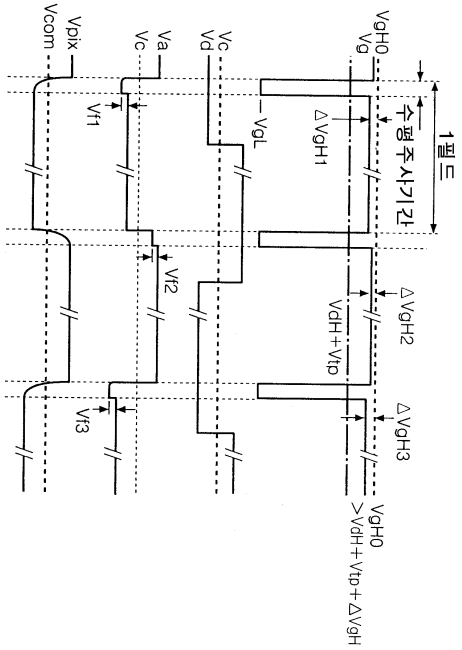
도면 70



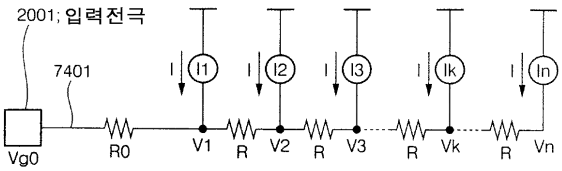
도면 71



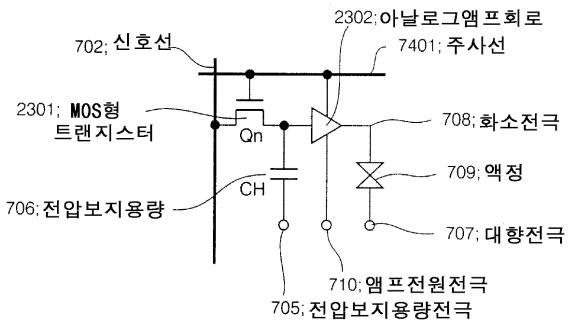
도면 72



도면 73



도면 74


2302;아날로그앰프회로
702;신호선
7401;주사선
2301; MOS형
트랜지스터
Qn
708;화소전극
709;액정
CH
706;전압보지용량
707;대향전극
710;앰프전원전극
705;전압보지용량전극

专利名称(译)	液晶显示器及其驱动方法		
公开(公告)号	KR100347558B1	公开(公告)日	2002-08-07
申请号	KR1020000042066	申请日	2000-07-21
申请(专利权)人(译)	日本电气有限公司sikki		
当前申请(专利权)人(译)	日本电气有限公司sikki		
[标]发明人	TAKATORI KENICHI 다카토리겐이치 IMAI MASAO 이마이마사오 KIMURA KAZUNORI 기무라가즈노리 ASADA HIDEKI 아사다히데키		
发明人	다카토리겐이치 이마이마사오 기무라가즈노리 아사다히데키		
IPC分类号	G02F1/133		
代理人(译)	JO，EUI JE		
优先权	1999208329 1999-07-23 JP 2000125055 2000-04-26 JP 2000172582 2000-06-08 JP		
其他公开文献	KR1020010015406A		

摘要(译)

本发明的液晶显示装置具有设置在球形显示区域的两个相对侧的两侧的数据驱动电路和沿两个相对侧设置的栅极驱动电路，从每个数据驱动电路延伸的每个数据线组由多个数据驱动电路构成，与每到一个栅极驱动电路分成多个电隔离，新娘分裂输入光学系统和液晶显示器和新妇分裂输入光学系统的配置是在显示区域的颜色，以便顺序地以预定的条件进入另一光学部件的同步的同步实现。 - 1 - 33 指数方面 液晶显示装置，液晶显示装置驾驶方法