



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0068753
(43) 공개일자 2009년06월29일

(51) Int. Cl.

G02F 1/136 (2006.01)

(21) 출원번호 10-2007-0136501

(22) 출원일자 2007년12월24일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

김빈

서울 양천구 목5동 목동4단지아파트 408동 2003호

(74) 대리인

특허법인 네이트

전체 청구항 수 : 총 10 항

(54) 액정표시장치용 어레이 기판

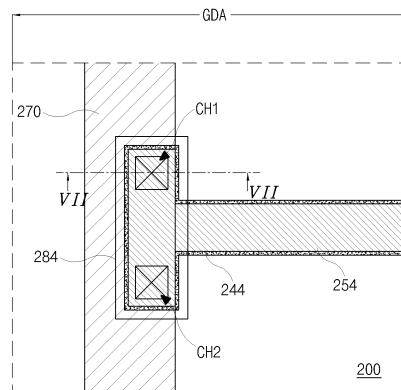
(57) 요약

본 발명은 액정표시장치용 어레이 기판에 관한 것으로, 보다 자세하게는 게이트 구동부가 어레이 기판에 내장된 액정표시장치용 어레이 기판에서 게이트 구동회로의 신뢰성을 개선하는 것에 관한 것이다.

본 발명에 따른 액정표시장치용 어레이 기판은 기판과; 상기 기판 상에 구성된 게이트 구동부에 대응된 다수의 게이트 구동회로배선 및 다수의 구동 트랜지스터와; 상기 구동 트랜지스터에서 연장하여 상기 게이트 구동회로배선에 중첩 설계된 소스/드레인 금속패턴과; 상기 소스/드레인 금속패턴과 게이트 구동회로배선의 중첩된 일부를 관통하는 콘택홀과; 상기 콘택홀을 통해 상기 소스/드레인 금속패턴과 게이트 구동회로배선을 연결하는 투명 연결패턴을 포함한다.

전술한 구성에서 특징적인 것은 게이트 구동회로배선과 소스/드레인 금속패턴을 중첩 설계한 상태에서, 콘택홀을 관통하여 설계하는 것을 통해 내장 회로의 집적도를 개선할 수 있는 장점이 있다.

대표도 - 도6



특허청구의 범위

청구항 1

기판과;

상기 기판 상에 구성된 게이트 구동부에 대응된 다수의 게이트 구동회로배선 및 다수의 구동 트랜지스터와;

상기 구동 트랜지스터에서 연장하여 상기 게이트 구동회로배선에 중첩 설계된 소스/드레인 금속패턴과;

상기 소스/드레인 금속패턴과 게이트 구동회로배선의 중첩된 일부를 관통하는 콘택홀과;

상기 콘택홀을 통해 상기 소스/드레인 금속패턴과 게이트 구동회로배선을 연결하는 투명 연결패턴

을 포함하는 액정표시장치용 어레이 기판.

청구항 2

제 1 항에 있어서,

상기 소스/드레인 금속패턴은 폴리브덴, 폴리브덴 합금, 구리, 알루미늄을 포함하는 도전성 금속 물질 그룹 중 선택된 하나로 구성된 것을 특징으로 하는 액정표시장치용 어레이 기판.

청구항 3

제 1 항에 있어서,

상기 게이트 구동회로배선은 게이트 오프 전압을 인가하는 게이트 오프 전압 배선과, 다수의 클럭 신호 배선과, 상기 다수의 클럭 신호 배선 및 초기화 신호를 전달하는 초기화 신호 배선 등을 포함하는 것을 특징으로 하는 액정표시장치용 어레이 기판.

청구항 4

제 1 항에 있어서,

상기 게이트 구동회로배선은 게이트 배선과 동일층 동일 물질로 구성된 것을 특징으로 하는 액정표시장치용 어레이 기판.

청구항 5

제 1 항에 있어서,

상기 소스 및 드레인 금속 패턴은 데이터 배선과 동일층 동일 물질로 구성된 것을 특징으로 하는 액정표시장치용 어레이 기판.

청구항 6

제 1 항에 있어서,

상기 소스 및 드레인 금속 패턴은 상기 투명 연결패턴과 측면 접촉된 것을 특징으로 하는 액정표시장치용 어레이 기판.

청구항 7

기판과;

상기 기판 상에 수직 교차하여 화소 영역의 정의하는 게이트 및 데이터 배선과;

상기 게이트 및 데이터 배선의 교차지점에 위치하는 박막트랜지스터와;

상기 박막트랜지스터와 연결된 화소 전극과;

상기 데이터 배선의 일 끝단에 구성된 데이터 패드와;

상기 데이터 패드와 중첩된 상부에 위치하는 아일랜드 패턴과;

상기 아일랜드 패턴을 관통하여 상기 데이터 패드와 접촉된 데이터 패드 전극을 포함하는 액정표시장치용 어레이 기판.

청구항 8

제 7 항에 있어서,

상기 아일랜드 패턴은 상기 게이트 배선과 동일층 동일 물질로 구성된 것을 특징으로 하는 액정표시장치용 어레이 기판.

청구항 9

제 7 항에 있어서,

상기 아일랜드 패턴 하부에는 반도체 패턴이 더욱 구성된 것을 특징으로 하는 액정표시장치용 어레이 기판.

청구항 10

제 7 항에 있어서,

상기 데이터 패드는 상기 게이트 배선과 동일층 동일 물질로 구성된 것을 특징으로 하는 액정표시장치용 어레이 기판.

명세서

발명의 상세한 설명

기술분야

- <1> 본 발명은 액정표시장치용 어레이 기판에 관한 것으로, 보다 자세하게는 게이트 구동부가 어레이 기판에 내장된 액정표시장치용 어레이 기판에서 게이트 구동회로의 신뢰성을 개선하는 것에 관한 것이다.

배경기술

- <2> 일반적으로, 액정표시장치의 구동원리는 액정의 광학적 이방성과 분극성질을 이용하는 바, 상기 액정은 구조가 가늘고 길기 때문에 분자의 배열에 방향성을 가지고 있으며, 인위적으로 액정에 전기장을 인가하여 분자배열의 방향을 제어할 수 있다.
- <3> 따라서, 상기 액정의 분자배열 방향을 임의로 조절하면, 액정의 분자배열이 변하게 되고, 광학적 이방성에 의하여 상기 액정의 분자배열 방향으로 빛이 굴절하여 화상정보를 표현할 수 있다.
- <4> 현재에는 박막트랜지스터와 상기 박막트랜지스터에 연결된 화소 전극이 행렬방식으로 배열된 능동행렬 액정표시장치(Active Matrix LCD : AM-LCD)가 해상도 및 동영상 구현능력이 우수하여 가장 주목받고 있다.
- <5> 이하, 첨부한 도면을 참조하여 종래에 따른 액정표시장치용 어레이 기판에 대해 설명하도록 한다.
- <6> 도 1은 종래에 따른 액정표시장치용 어레이 기판을 나타낸 평면도이다.
- <7> 도시한 바와 같이, 종래에 따른 액정표시장치용 어레이 기판(10)은 화상을 구현하는 표시 영역(AA)과 화상을 구현하지 않는 비표시 영역(NAA)으로 구분된다.
- <8> 상기 기판(10) 상의 표시 영역(AA)에는 일 방향으로 스캔 신호를 인가받는 제 1 내지 제 m 게이트 배선(GL1 내지 GLm)과, 상기 제 1 내지 제 m 게이트 배선(GL1 내지 GLm)과 수직 교차하여 다수의 화소 영역(P)을 정의하며, 데이터 신호를 인가받는 제 1 내지 제 n 데이터 배선(DL1 내지 DLn)이 매트릭스 형태로 배치된다.
- <9> 상기 제 1 내지 제 m 게이트 배선(GL1 내지 GLm)과 제 1 내지 제 n 데이터 배선(DL1 내지 DLn)의 교차지점에 일대일 대응하여 스위칭 역할을 하는 다수의 박막트랜지스터(T)가 구성되고, 상기 박막트랜지스터(T)와 접촉된 화소 전극(80)은 화소 영역(P)에 일대일 대응하여 구성된다.
- <10> 한편, 상기 제 1 내지 제 m 게이트 배선(GL1 내지 GLm)과 제 1 내지 제 n 데이터 배선(DL1 내지 DLn)은 비표시 영역(NAA)에 대응된 제 1 내지 제 m 게이트 링크 배선(GLL1 내지 GLLm) 및 제 1 내지 제 n 데이터 링크 배선

(DLL1 내지 DLLn)을 통해 제 1 내지 제 m 게이트 패드(GP1 내지 GPm)와 제 1 내지 제 n 데이터 패드(DP1 내지 DPn)에 각각 접속된다.

- <11> 이때, 상기 제 1 내지 제 m 게이트 패드(GP1 내지 GPm)와 제 1 내지 제 n 데이터 패드(DP1 내지 DPn)는 각각의 일부를 노출하는 제 1 내지 제 m 게이트 패드 콘택홀(미도시) 및 제 1 내지 제 n 데이터 패드 콘택홀(미도시)을 통해 화소 전극(80)과 동일층 동일 물질로 이루어진 제 1 내지 제 m 게이트 패드 전극(미도시) 및 제 1 내지 제 n 데이터 패드 전극(미도시)에 각각 대응하여 접촉된다.
- <12> 이러한 제 1 내지 제 m 게이트 패드 전극(미도시)과 제 1 내지 제 n 데이터 패드 전극(미도시)은 기판(10)과 이격된 일측에 위치하는 게이트 및 데이터 구동부(GDA, DDA)와 탭(Tape Automated Bonding: TAB) 실장 공정을 통해 부착되는 바, 상기 제 1 내지 제 m 게이트 패드 전극(미도시)과 제 1 내지 제 n 데이터 패드 전극(미도시)은 게이트 및 데이터 구동부(GDA, DDA)로부터의 스캔 및 데이터 신호를 제 1 내지 제 m 게이트 배선(GL1 내지 GLm)과 제 1 내지 제 n 데이터 배선(DL1 내지 DLn)으로 각각 인가하는 역할을 한다.
- <13> 그러나, 전술한 구성을 갖는 액정표시장치용 어레이 기판은 이러한 탭 게이트 및 데이터 구동부에 설계되는 각각의 구동 회로를 별도의 인쇄회로기판 상에 제작한 상태에서 테이프 캐리어 패키지를 통해 부착하는 탭 실장 공정을 진행하는 데 따른 제조비용이 상승하는 문제가 있다.

발명의 내용

해결 하고자하는 과제

- <14> 본 발명은 전술한 문제를 해결하기 위해 안출된 것으로, 게이트 구동부가 어레이 기판에 내장된 액정표시장치용 어레이 기판에서 게이트 구동회로의 신뢰성을 개선하는 것을 목적으로 한다.

과제 해결수단

- <15> 전술한 목적을 달성하기 위한 본 발명의 일 실시예에 따른 액정표시장치용 어레이 기판은 기판과; 상기 기판 상에 구성된 게이트 구동부에 대응된 다수의 게이트 구동회로배선 및 다수의 구동 트랜지스터와; 상기 구동 트랜지스터에서 연장하여 상기 게이트 구동회로배선에 중첩 설계된 소스/드레인 금속패턴과; 상기 소스/드레인 금속패턴과 게이트 구동회로배선의 중첩된 일부를 관통하는 콘택홀과; 상기 콘택홀을 통해 상기 소스/드레인 금속패턴과 게이트 구동회로배선을 연결하는 투명 연결패턴을 포함한다.
- <16> 상기 소스/드레인 금속패턴은 폴리리튬, 폴리리튬 합금, 구리, 알루미늄을 포함하는 도전성 금속 물질 그룹 중 선택된 하나로 구성된 것을 특징으로 한다.
- <17> 상기 게이트 구동회로배선은 게이트 오프 전압을 인가하는 게이트 오프 전압 배선과, 다수의 클럭 신호 배선과, 상기 다수의 클럭 신호 배선 및 초기화 신호를 전달하는 초기화 신호 배선 등을 포함한다.
- <18> 상기 게이트 구동회로배선은 게이트 배선과 동일층 동일 물질로 구성되며, 상기 소스 및 드레인 금속 패턴은 데이터 배선과 동일층 동일 물질로 구성된다. 상기 소스 및 드레인 금속 패턴은 상기 투명 연결패턴과 측면 접촉된 것을 특징으로 한다.
- <19> 전술한 목적을 달성하기 위한 본 발명에 따른 액정표시장치용 어레이 기판은 기판과; 상기 기판 상에 수직 교차하여 화소 영역의 정의하는 게이트 및 데이터 배선과; 상기 게이트 및 데이터 배선의 교차지점에 위치하는 박막 트랜지스터와; 상기 박막트랜지스터와 연결된 화소 전극과; 상기 데이터 배선의 일 끝단에 구성된 데이터 패드와; 상기 데이터 패드와 중첩된 상부에 위치하는 아일랜드 패턴과; 상기 아일랜드 패턴을 관통하여 상기 데이터 패드와 접촉된 데이터 패드 전극을 포함한다.
- <20> 상기 아일랜드 패턴은 상기 게이트 배선과 동일층 동일 물질로 구성되며, 상기 아일랜드 패턴 하부에는 반도체 패턴이 더욱 구성된다. 상기 데이터 패드는 상기 게이트 배선과 동일층 동일 물질로 구성된다.

효 과

- <21> 본 발명에서는 첫째, 게이트 구동회로배선과 소스/드레인 금속패턴 간의 접촉 특성을 개선할 수 있다.
- <22> 둘째, 게이트 구동회로배선과 소스/드레인 금속패턴을 연결하기 위한 콘택홀의 개수를 줄일 수 있는 장점이 있다.

- <23> 셋째, 스텝 커버리지의 향상으로 공정 불량을 최소화할 수 있다.
- <24> 넷째, 콘택홀의 개수 절감으로 게이트 구동부의 집적도를 향상시킬 수 있다.

발명의 실시를 위한 구체적인 내용

- <25> --- 실시예 ---
- <26> 본 발명의 제 1 실시예는 어레이 소자를 형성하는 과정에 게이트 구동 회로를 같이 제작하여 생산 비용을 줄일 수 있는 액정표시장치용 어레이 기판을 제공하는 것을 특징으로 한다.
- <27> 이하 첨부한 도면을 참조하여 본 발명에 따른 액정표시장치용 어레이 기판에 대해 설명하도록 한다.
- <28> 도 2는 본 발명의 제 1 실시예에 따른 게이트 내장형의 액정표시장치용 어레이 기판을 나타낸 평면도이다.
- <29> 도시한 바와 같이, 본 발명의 제 1 실시예에 따른 액정표시장치용 어레이 기판(100)은 화상을 구현하는 표시 영역(AA)과 화상을 구현하지 않는 비표시 영역(NAA)으로 구분된다.
- <30> 상기 기판(100) 상의 표시 영역(AA)에는 일 방향으로 스캔 신호를 인가받는 제 1 내지 제 m 게이트 배선(GL1 내지 GLm)과, 상기 제 1 내지 제 m 게이트 배선(GL1 내지 GLm)과 수직 교차하여 다수의 화소 영역(P)을 정의하며, 데이터 신호를 인가받는 제 1 내지 제 n 데이터 배선(DL1 내지 DLn)이 매트릭스 형태로 배치된다.
- <31> 상기 제 1 내지 제 m 게이트 배선(GL1 내지 GLm)과 제 1 내지 제 n 데이터 배선(DL1 내지 DLn)의 교차지점에 일대일 대응하여 스위칭 역할을 하는 다수의 박막트랜지스터(T)가 구성되고, 상기 박막트랜지스터(T)와 접촉된 다수의 화소 전극(180)은 화소 영역(P)에 일대일 대응하여 구성된다.
- <32> 한편, 상기 제 1 내지 제 m 게이트 배선(GL1 내지 GLm)은 비표시 영역(NAA)에 대응된 제 1 내지 제 m 게이트 링크 배선(GLL1 내지 GLLm)을 통해 기판(100) 상에 설계된 게이트 구동부(GDA)로부터의 스캔 신호를 인가받는다.
- <33> 또한, 상기 제 1 내지 제 n 데이터 배선(DL1 내지 DLn)은 제 1 내지 제 n 데이터 링크 배선(DLL1 내지 DLLn)을 통해 제 1 내지 제 n 데이터 패드(DP1 내지 DPn)에 각각 접속된다.
- <34> 상기 제 1 내지 제 n 데이터 패드(DP1 내지 DPn)는 각각의 일부를 노출하는 제 1 내지 제 n 데이터 패드 콘택홀(미도시)을 통해 화소 전극(180)과 동일층 동일 물질로 이루어진 제 1 내지 제 n 데이터 패드 전극(미도시)에 각각 대응하여 접촉된다.
- <35> 이러한 제 1 내지 제 n 데이터 패드 전극(미도시)은 기판(100)과 이격된 일측에 위치하는 데이터 구동 회로부(DDA)와 탭(Tape Automated Bonding: TAB) 실장 공정을 통해 부착된다.
- <36> 즉, 본 발명의 제 1 실시예에서는 게이트 구동부(GDA)를 어레이 기판(100)에 내장하는 것을 통해 제조비용을 절감할 수 있는 장점을 갖는다.
- <37> 도 3은 도 2의 A 부분을 개략적으로 나타낸 평면도이다. 특히, 게이트 구동부의 일 부분을 확대한 도면으로, 이를 참조하여 상세히 설명하도록 한다.
- <38> 도시한 바와 같이, 기판(100) 상의 게이트 구동부(GDA)에 대응하여 게이트 구동회로(160)가 설계된다. 이러한 게이트 구동회로(160)는 일 방향으로 구성된 다수의 게이트 구동회로배선(170) 및 다수의 구동 트랜지스터(T1, T2, T3, T4)를 포함한다.
- <39> 도면으로 상세히 제시하지는 않았지만, 상기 다수의 게이트 구동회로배선(170)은 게이트 오프 전압을 인가하는 게이트 오프 전압 배선과, 다수의 클럭 신호 배선과, 상기 다수의 클럭 신호 배선 및 초기화 신호를 전달하는 초기화 신호 배선 등을 포함할 수 있다.
- <40> 이때, 상기 다수의 게이트 구동회로배선(170)을 통해 인가되는 게이트 구동신호는 다수의 구동 트랜지스터(T1, T2, T3, T4)를 통해 온/오프 제어할 수 있게 된다.
- <41> 도 4a는 도 3의 B 부분을 확대한 도면이고, 도 4b는 도 4a의 IV-IV선을 따라 절단하여 나타낸 단면도로, 이를 참조하여 상세히 설명하도록 한다.
- <42> 도 4a와 도 4b에 도시한 바와 같이, 기판(100) 상의 게이트 구동부(GDA)에 대응하여 일 방향으로 게이트 구동회로배선(170)이 구성된다. 상기 게이트 구동회로배선(170)은 제 1 내지 제 m 게이트 배선(도 2의 GL1 내지 GLm)과 동일층 동일 물질로 구성된다.

- <43> 상기 게이트 구동회로배선(170)의 상부 전면에는 산화 실리콘(SiO_2)과 질화 실리콘(SiNx)을 포함하는 무기절연 물질 그룹 중 선택된 하나로 게이트 절연막(145)이 구성된다.
- <44> 상기 게이트 절연막(145) 상에는 게이트 구동회로배선(170)과 일정 간격 이격된 반도체 패턴(144)과 소스/드레인 금속패턴(154)이 차례로 적층 구성된다. 상기 반도체 패턴(144)은 순수 비정질 실리콘(a-Si:H)으로 이루어진 제 1 비정질 패턴(미도시)과, 불순물을 포함하는 비정질 실리콘(n+ a-Si:H)으로 이루어진 제 2 비정질 패턴(미도시)을 포함할 수 있다.
- <45> 상기 반도체 패턴(144)은 반도체층(미도시)과, 소스/드레인 금속패턴(154)은 데이터 배선(도 2의 DL1 내지 DLn)과 각각 동일층 동일 물질로 구성된다. 이때, 반도체 패턴(144)과 소스/드레인 금속패턴(154)을 하나의 마스크 공정으로 패턴한 경우를 일 예로 나타내고 있다.
- <46> 상기 반도체 패턴(144)과 소스/드레인 금속패턴(154)의 상부에는 산화 실리콘(SiO_2)과 질화 실리콘(SiNx)을 포함하는 무기절연물질 그룹 또는 포토 아크릴(photo acryl)과 벤조싸이클로부텐(benzocyclobutene)을 포함하는 유기절연물질 그룹 중 선택된 하나로 보호막(155)을 형성한다.
- <47> 상기 게이트 구동회로배선(170)과 소스/드레인 금속패턴(154) 각각에 대응된 보호막(155)을 패턴하여, 상기 게이트 구동회로배선(170)과 소스/드레인 금속패턴(154)을 노출하는 제 1 내지 제 4 콘택홀(CH1, CH2, CH3, CH4)이 구성된다.
- <48> 상기 제 1 내지 제 4 콘택홀(CH1, CH2, CH3, CH4)을 포함하는 보호막(155) 상에는 게이트 구동회로배선(170)과 소스/드레인 금속패턴(154)을 연결하는 투명 연결패턴(184)이 구성된다. 상기 투명 연결패턴(184)은 화소 전극(도 2의 180)과 동일층 동일 물질로 구성된다.
- <49> 일반적으로, 상기 게이트 구동회로배선(170)과 소스/드레인 금속패턴(154)을 투명 연결패턴(184)으로 접촉할 때, 접촉되는 면적이 작을 경우 콘택 저항이 커지는 문제로 내장 회로의 신뢰성에 악영향을 미칠 우려가 있어, 다수개의 콘택홀(CH1, CH2, CH3, CH4)을 구성하여 콘택 저항을 낮추고 있는 상황이다.
- <50> 이때, 상기 게이트 구동부(GDA)의 면적이 차지하는 공간에 여유가 있을 경우에는 게이트 구동회로배선(170)과 소스/드레인 금속패턴(154)을 이격 설계한 상태에서 제 1 내지 제 4 콘택홀(CH1, CH2, CH3, CH4)의 개수가 늘어나더라도 큰 문제가 되지 않는다.
- <51> 그러나, 데이터 구동부(DDA)에 비해 구동 주파수가 월등히 낮은 게이트 구동부(GDA)를 어레이 기판(100) 상에 내장하는 기술을 적용함에 따라, 데이터 구동부(DDA)의 채널 수를 줄이려는 노력이 다각도에서 진행 중에 있다.
- <52> 특히, 상기 데이터 구동부(DDA)의 채널 수를 줄이고, 게이트 구동부(GDA)의 채널 수를 증가시킬 경우, 게이트 구동부(GDA)의 내장 밀도가 2배, 3배 등으로 매우 높아져 내장 공간이 협소해지는 문제가 있다.
- <53> 이와 같이 게이트 구동부(GDA)의 내장 밀도가 높아지는 상황에서는 제 1 내지 제 4 콘택홀(CH1, CH2, CH3, CH4)이 차지하는 면적이 상대적으로 큰 면적을 차지하게는 문제로 데이터 구동부(DDA)의 채널 수를 줄이는 데 어려움이 따르고 있다.
- <54> 또한, 게이트 구동회로배선(170)과 반도체 패턴(144) 및 소스/드레인 금속패턴(154)을 이격 설계하는 과정에서 발생된 단차로 스텝 커버리지가 나빠지는 문제가 있다. 이러한 단차 발생은 투명 연결패턴(184)의 접촉 특성을 저해하는 원인으로 작용할 뿐만 아니라, 쇼트나 단선과 같은 문제를 유발할 수 있다.
- <55> 전술한 문제를 해결하기 위해 본 발명의 제 2 실시예가 안출된 것으로 이하 첨부한 도면을 참조하여 본 발명의 제 2 실시예에 대해 상세히 설명하도록 한다.
- <56> --- 제 2 실시예 ---
- <57> 본 발명의 제 2 실시예는 게이트 구동회로배선과 소스/드레인 금속패턴 간의 콘택홀의 개수를 줄이는 것을 통해 집적도를 개선하는 것을 특징으로 한다. 또한, 상기 게이트 구동회로배선과 소스/드레인 금속패턴을 연결하는 투명 연결패턴의 접촉 특성을 개선하여 내장 회로의 신뢰성을 향상시킬 수 있는 것을 또 다른 특징으로 한다.
- <58> 도 5는 본 발명의 제 2 실시예에 따른 액정표시장치용 어레이 기판의 단위 화소를 나타낸 평면도이고, 도 6은 본 발명의 제 2 실시예에 따른 액정표시장치용 어레이 기판의 게이트 구동부를 나타낸 평면도로, 자세하게는 도 3의 B 부분을 확대한 도면이다. 특히, 4 마스크 공정으로 제작된 액정표시장치용 어레이 기판을 나타내고 있다.

- <59> 도 5와 도 6에 도시한 바와 같이, 기관(200) 상의 표시 영역(AA)에는 일 방향으로 게이트 배선(220)과, 상기 게이트 배선(220)과 수직 교차하여 화소 영역(P)을 정의하는 데이터 배선(230)을 구성한다.
- <60> 상기 게이트 배선(220)과 데이터 배선(230)의 교차지점에는 박막트랜지스터(T)를 구성한다. 상기 박막트랜지스터(T)는 게이트 배선(220)에서 연장된 게이트 전극(225)과, 상기 게이트 전극(225) 상의 반도체층(240)과, 상기 데이터 배선(230)에서 연장되고 반도체층(240)과 접촉된 소스 전극(232)과, 상기 소스 전극(232)과 이격된 드레인 전극(234)을 포함한다.
- <61> 상기 반도체층(240)은 순수 비정질 실리콘(a-Si:H)으로 이루어진 액티브층과, 불순물을 포함하는 비정질 실리콘(n+ a-Si:H)으로 이루어진 오믹 콘택층이 차례로 적층된 이중층, 또는 폴리 실리콘으로 이루어진 단일층으로 구성될 수 있다.
- <62> 상기 반도체층(240)에서 연장된 비정질 패턴(274)은 데이터 배선(230) 하부로 연장 구성된다. 상기 비정질 패턴(274)은 데이터 배선(230)의 외부로 돌출 구성된다.
- <63> 상기 드레인 전극(234)의 일부를 노출하는 드레인 콘택홀(CH2)을 통해 드레인 전극(234)과 접촉된 화소 전극(280)을 화소 영역(P)에 대응하여 구성한다. 상기 화소 전극(280)은 인듐-틴-옥사이드(ITO) 또는 인듐-징크-옥사이드(IZO)와 같은 투명한 도전성 물질로 구성한다.
- <64> 이때, 상기 화소 전극(280)은 전단의 게이트 배선(220)과 중첩되도록 연장 설계하여, 상기 전단의 게이트 배선(220)을 제 1 전극으로 하고, 상기 제 1 전극과 중첩된 화소 전극(280)을 제 2 전극으로 하며, 상기 제 1 및 제 2 전극의 중첩된 사이 공간에 개개된 절연막을 유전체층으로 하는 스토리지 커패시터(Cst)를 구성한다.
- <65> 도면으로 상세히 제시하지는 않았지만, 상기 화소 전극(280)을 막대 형상으로 구성하고, 상기 화소 전극(280)과 화소 영역(P)에서 교대로 배치된 막대 형상의 공통 전극(미도시)을 더욱 구성하는 횡전계 방식을 적용할 수도 있다.
- <66> 한편, 기관(200) 상의 게이트 구동부(GDA)에는 일 방향으로 게이트 구동회로배선(270)과 구동 트랜지스터(도 3의 T1, T2, T3, T4)를 구성한다. 도면으로 상세히 제시하지는 않았지만, 상기 다수의 게이트 구동회로배선(270)은 게이트 오프 전압을 인가하는 게이트 오프 전압 배선과, 다수의 클럭 신호 배선과, 상기 다수의 클럭 신호 배선 및 초기화 신호를 전달하는 초기화 신호 배선 등을 포함할 수 있다.
- <67> 상기 게이트 구동회로배선(270)과 중첩된 상부에는 소스/드레인 금속패턴(254)을 구성한다. 상기 게이트 구동회로배선(270)과 소스/드레인 금속패턴(254)은 제 1 및 제 2 콘택홀(CH1, CH2)을 통해 게이트 구동회로배선(270)과 소스/드레인 금속패턴(254)을 전기적으로 연결하는 투명 연결패턴(284)을 구성한다.
- <68> 이때, 상기 소스/드레인 금속패턴(254)은 몰리브덴, 몰리브덴 합금, 구리, 구리합금, 알루미늄 및 알루미늄 합금을 포함하는 도전성 금속물질 그룹 중 선택된 하나로 구성된다.
- <69> 상기 게이트 구동회로배선(270)은 게이트 배선(220)과, 상기 소스/드레인 금속패턴(254)은 데이터 배선(230)과 각각 동일층 동일 물질로 구성된다. 상기 투명 연결패턴(284)은 화소 전극(280)과 동일층 동일 물질로 구성된다.
- <70> 전술한 구성에서 특징적인 것은 게이트 구동회로배선(270)과 소스/드레인 금속패턴(254)을 중첩되도록 설계한 상태에서 제 1 및 제 2 콘택홀(CH1, CH2)을 통해 투명 연결패턴(284)으로 접속시킨 것을 특징으로 한다.
- <71> 도 7은 도 6의 VII-VII선을 따라 절단하여 나타낸 단면도로, 이를 참조하여 상세히 설명하도록 한다.
- <72> 도시한 바와 같이, 기관(200) 상의 게이트 구동부(GDA)에 대응하여 일 방향으로 게이트 구동회로배선(270)을 구성한다. 상기 게이트 구동회로배선(270)은 게이트 배선(도 6의 220)과 동일층 동일 물질로 구성된다.
- <73> 상기 게이트 구동회로배선(270)의 상부 전면에는 산화 실리콘(SiO₂)과 질화 실리콘(SiNx)을 포함하는 무기절연 물질 그룹 중 선택된 하나로 게이트 절연막(245)을 구성한다.
- <74> 상기 게이트 절연막(245) 상에는 게이트 구동회로배선(270)과 중첩된 상부에 반도체 패턴(244)과 소스/드레인 금속패턴(254)을 차례로 적층 구성한다. 상기 반도체 패턴(244)은 순수 비정질 실리콘(a-Si:H)으로 이루어진 제 1 비정질 패턴(미도시)과, 불순물을 포함하는 비정질 실리콘(n+ a-Si:H)으로 이루어진 제 2 비정질 패턴(미도시)을 포함할 수 있다.
- <75> 상기 반도체 패턴(244)은 반도체층(도 5의 240)과, 소스/드레인 금속 패턴(254)은 데이터 배선(도 5의 230)과

각각 동일층 동일 물질로 구성된다. 이때, 반도체 패턴(244)과 소스/드레인 금속패턴(254)을 하나의 마스크 공정으로 패턴한 경우를 일 예로 나타내고 있다.

- <76> 상기 반도체 패턴(244)과 소스/드레인 금속패턴(254)의 상부에는 산화 실리콘(SiO_2)과 질화 실리콘(SiNx)을 포함하는 무기절연물질 그룹 또는 포토 아크릴(photo acryl)과 벤조싸이클로부텐(benzocyclobutene)을 포함하는 유기절연물질 그룹 중 선택된 하나로 보호막(255)을 형성한다.
- <77> 상기 게이트 구동회로배선(270)과 소스/드레인 금속패턴(254) 각각에 대응된 보호막(255)을 패턴하여, 상기 게이트 구동회로배선(270)과 소스/드레인 금속패턴(254)을 노출하는 제 1 콘택홀(CH1)과 제 2 콘택홀(도 6의 CH2)을 구성한다.
- <78> 상기 제 1 콘택홀(CH1) 및 제 2 콘택홀을 포함하는 보호막(255) 상에는 게이트 구동회로배선(270)과 소스/드레인 금속패턴(254)을 연결하는 투명 연결패턴(284)을 구성한다. 상기 투명 연결패턴(284)은 화소 전극(도 5의 280)과 동일층 동일 물질로 구성된다.
- <79> 본 발명의 제 2 실시예에서는 제 1 실시예와 달리 게이트 구동회로배선(270)과 소스/드레인 금속패턴(254) 간의 이격 거리가 존재하지 않도록 게이트 구동회로배선(270)과 중첩된 상부에 소스/드레인 금속패턴(254)을 연장 설계한 것을 특징으로 한다.
- <80> 특히, 상기 제 1 콘택홀(CH1) 및 제 2 콘택홀을 건식식각 공정으로 패턴하는 과정에서, 상기 제 1 콘택홀(CH1) 및 제 2 콘택홀에 대응된 소스/드레인 금속패턴(254)이 관통되도록 패턴한다.
- <81> 즉, 상기 소스/드레인 금속패턴(254)은 몰리브덴, 몰리브덴 합금, 구리, 알루미늄을 포함하는 도전성 금속 물질 그룹 중 선택된 하나로 구성될 수 있다. 이때, 상기 소스/드레인 금속패턴(254)은 건식식각 공정에 반응이 잘 일어나는 몰리브덴 이나 몰리브덴 합금을 이용하는 것이 바람직하다.
- <82> 이때, 본 발명에서는 게이트 구동회로배선(270)과 소스/드레인 금속패턴(254)이 중첩 설계되므로, 스텝 커버리지를 양호하게 설계할 수 있다. 상기 소스/드레인 금속 패턴(254)은 투명 연결패턴(284)과 측면 접촉된다.
- <83> 진술한 구성은 게이트 구동회로배선(270)과 소스/드레인 금속패턴(254) 간의 중첩된 부분에 대해서만 제 1 및 제 2 콘택홀(CH1 , CH2)을 설계하는 것을 통해 콘택홀의 수를 절반으로 줄일 수 있을 뿐만 아니라, 내장 회로의 신뢰성 및 내장 회로 밀도를 개선할 수 있는 장점을 갖는다.
- <84> 또한, 도 8a는 데이터 패드부에 대응된 부분을 나타낸 평면도이고, 도 8b는 도 8a의 VIII-VIII선을 따라 절단하여 나타낸 단면도로, 이를 참조하여 설명하도록 한다.
- <85> 도 8a와 도 8b에 도시한 바와 같이, 데이터 패드부(DPA)에 대응하여 데이터 패드(362)와, 상기 데이터 패드(362)의 상부에 위치하는 게이트 절연막(345)과, 상기 게이트 절연막(345) 상의 양측으로 이격된 반도체 패턴(374) 및 아일랜드 패턴(354)과, 상기 반도체 패턴(344) 및 아일랜드 패턴(354)의 상부에 위치하고 데이터 패드(362)의 일부를 노출하는 데이터 패드 콘택홀(DPH)을 통해 데이터 패드(362)와 접촉된 데이터 패드 전극(384)이 차례로 구성된다.
- <86> 일반적으로 데이터 배선(도 5의 230)에 비해 전기전도도가 우수한 게이트 배선(도 5의 220)과 동일층 동일 물질로 데이터 패드(362)를 구성할 경우, 저항을 대폭 줄일 수 있는 장점으로 최근에는 게이트 배선과 동일층 동일 물질로 데이터 패드(362)를 형성하고 있는 추세이다.
- <87> 특히, 상기 아일랜드 패턴(354)은 소스/드레인 금속패턴(도 7의 254)과 동일층 동일 물질로 구성되는 바, 상기 아일랜드 패턴(354)은 건식식각 공정 시, 데이터 패드(362)가 손상되는 것을 방지하는 역할을 한다.
- <88> 도 7과 연계하여 상세히 설명하면, 진술한 게이트 구동회로배선(270)과 소스/드레인 금속패턴(254)을 투명 연결패턴(284)으로 연결하기 위해 제 1 콘택홀(CH1)을 형성하게 되는 데, 상기 제 1 콘택홀(CH1)은 건식식각 공정으로 소스/드레인 금속패턴(254)과 반도체 패턴(244)을 관통하여 형성된다.
- <89> 이와 동시에, 상기 데이터 패드부(DPA)에 대응된 데이터 패드(362)와 데이터 패드 전극(384)을 접촉시키기 위해 데이터 패드 콘택홀(DPH)을 형성하게 된다.
- <90> 이때, 상기 데이터 패드(362)와 데이터 패드 전극(384)의 중첩된 사이 공간에 아일랜드 패턴(354)이 삽입되지 않는다면, 제 1 콘택홀(CH1)과 데이터 패드 콘택홀(DPH)의 식각비가 달라져 제 1 콘택홀(CH1) 보다 데이터 패드 콘택홀(DPH)이 먼저 형성되며, 이는 장시간 플라즈마에 노출된 데이터 패드(362)가 변형되는 문제를 야기할 수

있다.

<91> 하지만, 본 발명에서와 같이 데이터 패드(362)와 데이터 패드 전극(384)의 이격된 사이 공간에 아일랜드 패턴(354)을 삽입하는 것을 통해, 제 1 콘택홀(CH1)과 데이터 패드 콘택홀(DPH)을 동일한 식각비율로 패턴 공정을 진행할 수 있어 데이터 패드(362)가 장시간 플라즈마에 노출될 염려가 없게 된다.

<92> 따라서, 본 발명의 제 2 실시예에서는 제 1 실시예와 비교하여 콘택홀의 개수를 절반으로 줄일 수 있는 장점으로 게이트 구동부의 집적도를 향상시킬 수 있다.

<93> 그러나, 본 발명은 상기 실시예들에 한정되는 것은 아니며, 본 발명의 정신 및 사상을 벗어나지 않는 한도 내에서 다양하게 변경 및 변형할 수 있다는 것은 자명한 사실일 것이다.

도면의 간단한 설명

<94> 도 1은 종래에 따른 액정표시장치용 어레이 기판을 나타낸 평면도.

<95> 도 2는 본 발명의 제 1 실시예에 따른 게이트 내장형의 액정표시장치용 어레이 기판을 나타낸 평면도.

<96> 도 3은 도 2의 A 부분을 개략적으로 나타낸 평면도.

<97> 도 4a는 도 3의 B 부분을 확대한 도면.

<98> 도 4b는 도 4a의 IV-IV선을 따라 절단하여 나타낸 단면도.

<99> 도 5는 본 발명의 제 2 실시예에 따른 액정표시장치용 어레이 기판의 단위 화소를 나타낸 평면도.

<100> 도 6은 본 발명의 제 2 실시예에 따른 액정표시장치용 어레이 기판의 게이트 구동부를 나타낸 평면도.

<101> 도 7은 도 6의 VII-VII선을 따라 절단하여 나타낸 단면도.

<102> 도 8a는 데이터 패드부에 대응된 부분을 나타낸 평면도.

<103> 도 8b는 도 8a의 VIII-VIII선을 따라 절단하여 나타낸 단면도.

<104> * 도면의 주요부분에 대한 부호의 설명*

<105> 200 : 기관 244 : 반도체 패턴

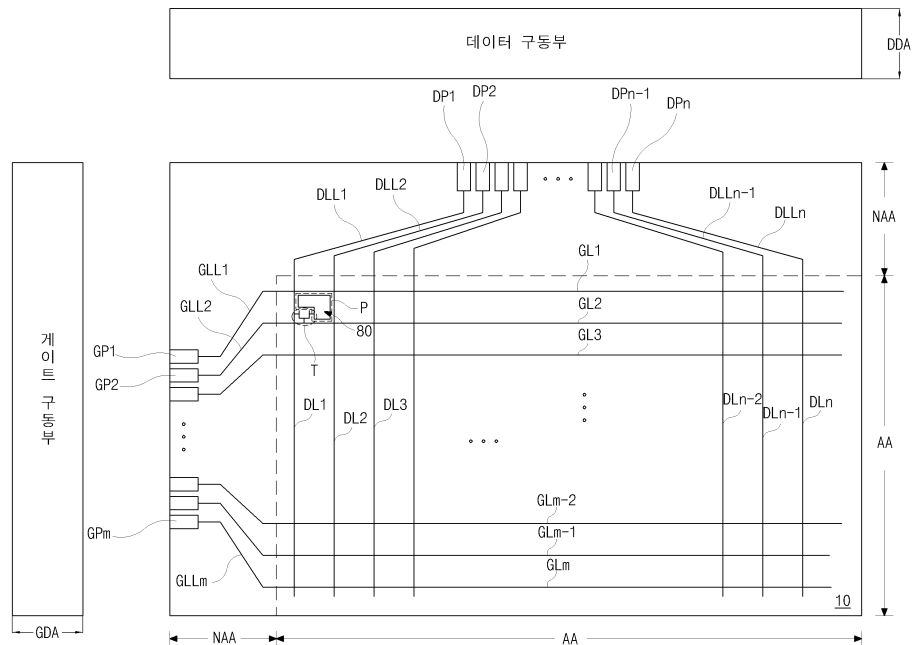
<106> 254 : 소스/드레인 금속패턴 270 : 게이트 구동회로배선

<107> 284 : 투명 연결패턴 CH1, CH2 : 제 1 및 제 2 콘택홀

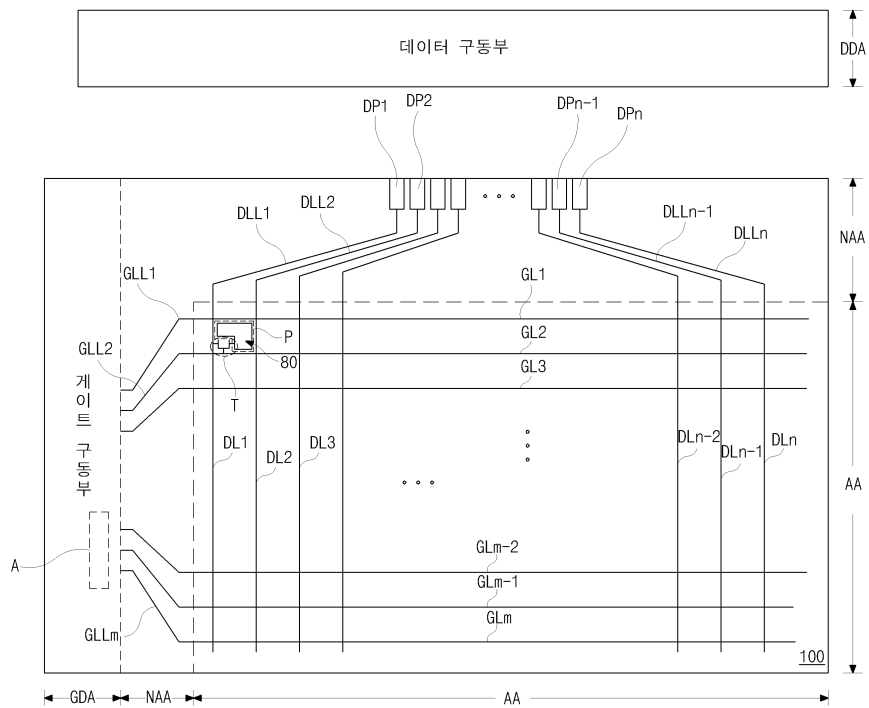
<108> GDA : 게이트 구동부

도면

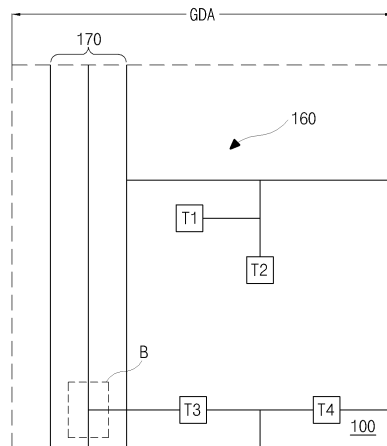
도면1



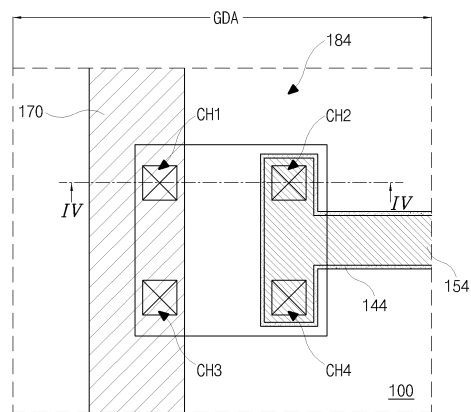
도면2



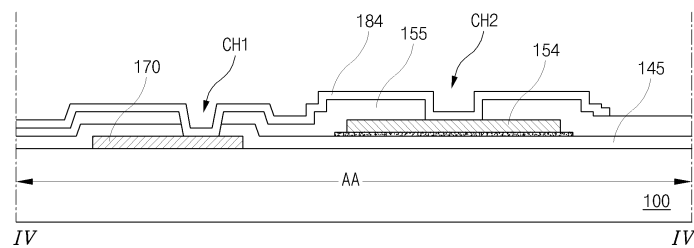
도면3



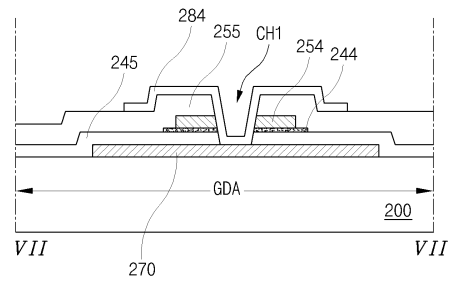
도면4a



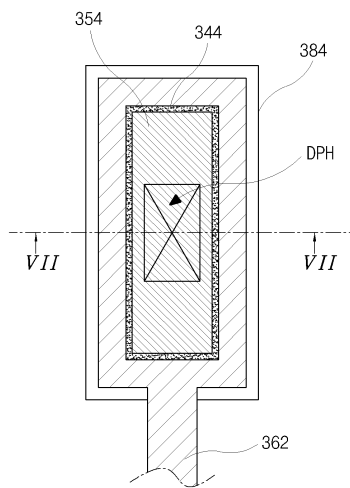
도면4b



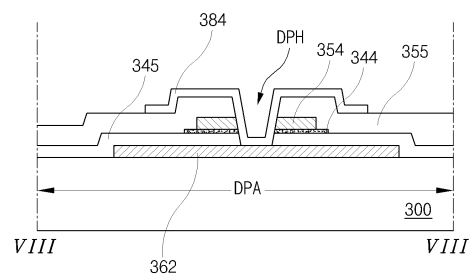
도면7



도면8a



도면8b



专利名称(译)	一种用于液晶显示器的阵列基板		
公开(公告)号	KR1020090068753A	公开(公告)日	2009-06-29
申请号	KR1020070136501	申请日	2007-12-24
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM BINN		
发明人	KIM, BINN		
IPC分类号	G02F1/136		
CPC分类号	G02F1/1343 G02F1/13454 G02F1/136286 H01L29/786		
其他公开文献	KR101440432B1		
外部链接	Espacenet		

摘要(译)

本发明涉及一种涉及一种用于液晶显示装置的阵列基板，更具体地，栅极驱动器，以改善在阵列基板结合的液晶显示装置的阵列基板的栅极驱动电路的可靠性。根据本发明的用于液晶显示器的阵列基板包括：基板；多个栅极驱动电路布线和多个驱动晶体管对应于形成在基板上的栅极驱动单元；源极/漏极金属图案，从驱动晶体管延伸并设计成与栅极驱动电路布线重叠；穿透源/漏金属图案和栅极驱动电路布线的重叠部分的接触孔；以及通过接触孔连接源/漏金属图案和栅极驱动电路布线的透明连接图案。在上述结构的特点具有能够改善在重叠在布线设计和源极的状态内置的电路的集成度的优点/漏金属图案，所述栅极驱动电路，通过对通过所述接触孔的设计。

