

특허청구의 범위

청구항 1

화소영역이 투과부와 반사부로 구성된 수평 전계형 액정표시패널에 있어서,

컬러필터기판;

상기 컬러필터기판과 셀 갭을 사이에 두고 정합되며, 상기 화소영역에 발생하는 위상차를 보상하기 위해 상기 반사부에 상기 투과부에 발생하는 수평전계와 상이한 수평전계를 형성하기 위한 스토리지 캐패시터가 형성된 박막 트랜지스터 기판; 및

상기 셀 갭 사이에 적하되어 소정 방향으로 배향되는 액정층을 포함하여 구성된 것을 특징으로 하는 수평 전계형 액정표시패널.

청구항 2

제 1 항에 있어서,

상기 컬러필터는,

상부 기판상에 형성된 블랙 매트릭스;

상기 블랙 매트릭스에 의해 구획된 화소영역에 형성되는 컬러필터;

상기 컬러필터에 의해 형성된 단차를 제거하는 오버 코팅층;

상기 오버코팅층 상에 형성되며 상기 액정층이 적하 되는 셀 갭을 형성하는 스페이서;

상기 스페이서가 형성된 오버 코팅층 상에 형성되며 상기 액정층을 소정 방향으로 배향시키는 상부 배향막;

상기 상부기판의 배면에 형성되며 외부의 입사광 중에서 광축과 일치하는 수평 선편광을 통과시키는 상부 편광판; 및

상기 상부 편광판의 광축과 소정 각도 편차된 상부 위상차판을 포함하여 구성된 것을 특징으로 하는 수평 전계형 액정표시패널.

청구항 3

제 2 항에 있어서,

상기 상부 위상차판은 상부 편광판의 광축과 비교하여 22.5도 편차된 것을 특징으로 하는 수평 전계형 액정표시패널.

청구항 4

제 3 항에 있어서,

상기 상부 위상차판은 $\lambda/2$ 위상차판인 것을 특징으로 하는 수평 전계형 액정표시패널.

청구항 5

제 1 항에 있어서,

상기 박막 트랜지스터 기판은,

하부기판상에 형성된 게이트 라인

상기 게이트 라인과 절연된 상태로 교차되어 상기 화소영역을 정의하는 데이터 라인;

상기 게이트 라인 및 데이터 라인의 교차부에 형성된 박막 트랜지스터;

상기 화소영역을 덮도록 형성된 공통전극;

상기 화소영역의 반사부에 형성된 상기 공통전극과 중첩되게 형성된 반사전극;

상기 박막 트랜지스터로부터 공급되는 제 1 데이터 전압에 따라 상기 투과부에 제 1 수평전계를 형성하는 제 1 화소전극과, 외부로부터 공급되는 제 2 데이터 전압에 따라 상기 반사부에 제 2 수평전계를 형성하는 제 2 화소전극으로 구성된 화소전극;

상기 제 2 화소전극에 상기 제 2 데이터 전압을 공급하는 스토리지 캐패시터; 및

상기 셀 갭 사이에 적하된 액정층을 소정 방향으로 배향시키기 위한 하부 배향막을 포함하여 구성된 것을 특징으로 하는 수평 전계형 액정표시패널.

청구항 6

제 5 항에 있어서,

상기 하부기판의 배면에 형성되며 백라이트로부터 입사된 입사광 중에서 광축과 일치하는 수직 선편광을 투과시키는 하부 편광판; 및

상기 하부 편광판의 광축과 소정 각도 편차된 하부 위상차판을 더 포함하여 구성된 것을 특징으로 하는 수평 전계형 액정표시패널.

청구항 7

제 5 항에 있어서,

상기 화소전극에는 수평 전계가 관통하는 대칭 형상의 슬릿이 형성된 것을 특징으로 수평 전계형 액정표시패널.

청구항 8

제 5 항에 있어서,

제 1 화소전극 및 제 2 화소전극은 소정 간격 이격된 것을 특징으로 하는 수평 전계형 액정표시패널.

청구항 9

제 8 항에 있어서,

상기 제 1 화소전극은 상기 보호막을 관통하는 콘택홀을 통해 상기 박막 트랜지스터의 드레인 전극에 접속되는 것을 특징으로 하는 수평 전계형 액정표시패널.

청구항 10

제 5 항에 있어서,

상기 스토리지 전극은,

상기 박막 트랜지스터의 드레인 전극; 및

상기 보호막을 사이에 두고 상기 드레인 전극과 중첩되게 형성된 제 2 화소전극으로 구성된 수평 전계형 액정표시패널.

청구항 11

제 10 항에 있어서,

상기 스토리지 전극은 기생저항으로 인해 상기 제 1 데이터 전압보다 낮은 상기 제 2 데이터 전압을 공급하는 것을 특징으로 하는 수평 전계형 액정표시패널.

청구항 12

제 10 항에 있어서,

상기 드레인 전극은 상기 화소영역의 반사부까지 연장된 형태로 형성된 것을 특징으로 하는 수평 전계형 액정표시패널.

청구항 13

제 6 항에 있어서,

상기 하부 위상차판은 상기 하부 편광판의 광축과 소정 각도 편차된 것을 특징으로 하는 수평 전계형 액정표시패널.

청구항 14

제 13 항에 있어서,

상기 하부 위상차판은 상기 하부 편광판의 광축과 비교하여 67.5도 편차된 것을 특징으로 하는 수평 전계형 액정표시패널.

청구항 15

제 12 항에 있어서,

상기 하부 위상차판은 $\lambda/2$ 위상차판인 것을 특징으로 하는 수평 전계형 액정표시패널.

청구항 16

제 1 항에 있어서,

상기 컬러필터기판 및 상기 박막 트랜지스터 기판 사이의 셀 갭은 단일 셀 갭인 것을 특징으로 하는 수평 전계형 액정표시패널.

청구항 17

제 2 항에 있어서,

상기 셀 갭에 적하되는 액정층의 배향 방향은 상기 상부 편광판의 광축과 비교하여 90도 편차된 것을 특징으로 하는 수평 전계형 액정표시패널.

청구항 18

화소영역이 투과부와 반사부로 구성된 반투과 수평 전계형 액정표시패널의 제조 방법에 있어서,

컬러필터기판을 제작하는 단계;

상기 컬러필터기판과 셀 갭을 사이에 두고 정합되며, 상기 화소영역에 발생하는 위상차를 보상하기 위해 상기 반사부에 상기 투과부에 발생하는 수평전계와 상이한 수평전계를 형성하기 위한 스토리지 캐패시터가 형성된 박막 트랜지스터 기판을 제작하는 단계; 및

상기 셀 갭 사이에 소정 방향으로 배향된 액정층을 적하시키는 단계를 포함하여 구성된 것을 특징으로 하는 수평 전계형 액정표시패널의 제조방법.

청구항 19

제 18 항에 있어서,

상기 컬러필터기판을 제작하는 단계는,

상부 기판상에 블랙 매트릭스를 형성하는 단계;

상기 블랙 매트릭스에 의해 구획된 화소영역에 컬러필터를 형성하는 단계;

상기 컬러필터에 의해 형성된 단차를 제거하는 오버 코팅층을 형성하는 단계;

상기 셀 갭을 형성하는 스페이서를 형성하는 단계;

상기 스페이서가 형성된 오버 코팅층 상에 형성되며 상기 액정층을 소정 방향으로 배향시키는 상부 배향막을 형성하는 단계;

상기 상부기판의 배면에 형성되며 입사광 중에서 광축과 일치하는 수평 선편광을 투과시키는 상부 편광판을 형성하는 단계; 및

상기 상부 편광판의 광축과 소정 각도 편차된 상부 위상차판을 형성하는 단계를 포함하여 구성된 것을 특징으로 하는 수평 전계형 액정표시패널의 제조방법.

청구항 20

제 19 항에 있어서,

상기 상부 위상차판은 상부 편광판의 광축과 비교하여 22.5도 편차된 것을 특징으로 하는 수평 전계형 액정표시패널의 제조방법.

청구항 21

제 20 항에 있어서,

상기 상부 위상차판은 $\lambda/2$ 위상차판인 것을 특징으로 하는 수평 전계형 액정표시패널의 제조방법.

청구항 22

제 18 항에 있어서,

상기 박막 트랜지스터 기관의 제조방법은,

하부 기관상에 게이트 라인 및 상기 게이트 라인에 접속된 게이트 전극을 형성하는 단계;

상기 게이트 전극과 동일층 상에 상기 화소영역을 덮는 공통전극을 형성하는 단계;

상기 화소영역의 반사부에 형성된 상기 공통전극과 중첩되게 반사전극을 형성하는 단계;

상기 게이트 라인과 교차되어 상기 화소영역을 정의하는 데이터 라인, 상기 데이터 라인에 접속되는 채널을 사이에 두고 상호 대향하는 소스전극 및 드레인 전극을 형성하는 단계;

상기 드레인 전극으로부터 공급되는 제 1 데이터 전압에 따라 상기 투과부에 제 1 수평전계를 형성하는 제 1 화소전극과, 외부로부터 공급되는 제 2 데이터 전압에 따라 상기 반사부에 제 2 수평전계를 형성하는 제 2 화소전극으로 구성된 화소전극을 형성하는 단계;

상기 제 2 화소전극에 상기 제 2 데이터 전압을 공급하는 스토리지 캐패시터를 형성하는 단계; 및

상기 셀 갭 사이에 적하된 액정층을 소정 방향으로 배향시키는 하부 배향막을 형성하는 단계를 포함하여 구성된 것을 특징으로 하는 수평 전계형 액정표시패널의 제조방법.

청구항 23

제 22 항에 있어서,

상기 하부전극의 배면에 형성되며 백라이트로부터 입사된 입사광 중에서 광축과 일치하는 수직 선편광을 투과시키는 하부 편광판을 형성하는 단계; 및

상기 하부 편광판의 편광축과 소정 각도로 편차된 하부 위상차판을 형성하는 단계를 더 포함하여 구성된 것을 특징으로 하는 수평 전계형 액정표시패널의 제조방법.

청구항 24

제 22 항에 있어서,

상기 화소전극에는 수평 전계가 관통하는 대칭 형상의 슬릿이 형성된 것을 특징으로 수평 전계형 액정표시패널의 제조방법.

청구항 25

제 22 항에 있어서,

제 1 화소전극 및 제 2 화소전극은 소정 간격 이격된 것을 특징으로 하는 수평 전계형 액정표시패널의 제조방법.

청구항 26

제 25 항에 있어서,

상기 제 1 화소전극은 상기 보호막을 관통하는 콘택홀을 통해 상기 드레인 전극에 접속되는 것을 특징으로 하는 수평 전계형 액정표시패널의 제조방법.

청구항 27

제 22 항에 있어서,

상기 스토리지 전극은,

상기 박막 트랜지스터의 드레인 전극; 및

상기 보호막을 사이에 두고 상기 드레인 전극과 중첩되게 형성된 제 2 화소전극으로 구성된 수평 전계형 액정표시패널의 제조방법.

청구항 28

제 27 항에 있어서,

상기 스토리지 전극은 기생저항으로 인해 상기 제 1 데이터 전압보다 낮은 상기 제 2 데이터 전압을 공급하는 것을 특징으로 하는 수평 전계형 액정표시패널의 제조방법.

청구항 29

제 27 항에 있어서,

상기 드레인 전극은 상기 화소영역의 반사부까지 연장된 것을 특징으로 하는 수평 전계형 액정표시패널의 제조방법.

청구항 30

제 23 항에 있어서,

상기 하부 위상차관은 상기 하부 편광판의 광축과 소정 각도 편차된 형태로 구성된 것을 특징으로 하는 수평 전계형 액정표시패널의 제조방법.

청구항 31

제 23 항에 있어서,

상기 하부 위상차관은 상기 하부 편광판의 광축과 67.5도 편차된 것을 특징으로 하는 수평 전계형 액정표시패널의 제조방법.

청구항 32

제 23 항에 있어서,

상기 상부 위상차관은 $\lambda/2$ 위상차관인 것을 특징으로 하는 수평 전계형 액정표시패널의 제조방법.

청구항 33

제 18 항에 있어서,

상기 컬러필터기판 및 상기 박막 트랜지스터 기판 사이의 셀 갭은 단일 셀 갭인 것을 특징으로 하는 수평 전계형 액정표시패널의 제조방법.

청구항 34

제 19 항에 있어서,

상기 셀 갭에 적하되는 액정층 배향방향은 상기 상부 편광판의 광축과 비교하여 90도 편차된 것을 특징으로 하

는 수평 전계형 액정표시패널의 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <38> 본 발명은 반투과 수평 전계형 액정표시패널 및 그 제조 방법에 관한 것으로서, 특히 단일 셀 구조를 갖는 동시에 투과부 및 반사부가 동일 휘도를 갖는 반투과 수평 전계형 액정표시패널 및 그 제조방법에 관한 것이다.
- <39> 액정 표시 장치는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이러한 액정 표시 장치는 액정을 구동시키는 전계의 방향에 따라 수직 전계형과 수평 전계형으로 대별된다.
- <40> 수직 전계형 액정표시장치는 상부기관 상에 형성된 공통전극과 하부기관 상에 형성된 화소전극이 서로 대향되게 배치되어 이들 사이에 형성되는 수직 전계에 의해 TN(Twisted Nematic) 모드의 액정을 구동하게 된다.
- <41> 이러한 수직 전계형 액정표시장치는 개구율이 큰 장점을 가지는 반면 시야각이 90도 정도로 좁은 단점을 가진다.
- <42> 상술한 바와 같은 수직 전계형 액정표시장치의 단점을 개선하기 위해, 하부기관에 형성된 화소전극과 공통전극 사이에 형성되는 수평전계에 의해 액정을 구동시킴으로써 160도 정도의 광시야각 특성을 갖는 수평 전계형 액정 표시장치(IPS : In Plane Switching)가 제안되고 있다.
- <43> 도 1 내지 도 3을 참조하여 수평 전계형 액정표시장치의 구성 및 동작에 대해 설명한다.
- <44> 수평 전계형 액정표시장치(70)는 화소전극과 공통전극 사이에 형성되는 수평전계를 통해 액정을 구동시키는 것으로서, 도 1에 도시된 바와 같이, 액정층을 사이에 두고 박막 트랜지스터 기관(30)과 컬러필터기관(50)이 상호 합착된 구조를 갖는다.
- <45> 박막 트랜지스터 기관(30)은, 도 1 및 도 2에 도시된 바와 같이, 하부 기관(31) 상에 형성된 게이트 라인(32)과, 게이트 라인과 동일층 상에 형성된 공통라인(34)에 접속되는 공통전극(35)과, 게이트 절연막(36)을 사이에 두고 게이트 라인(32)과 교차 형성되어 화소 영역을 정의하는 데이터 라인(37)과, 그 교차부마다 형성된 박막 트랜지스터(TFT)와, 박막 트랜지스터(TFT)를 덮는 보호막(42)과, 화소 영역에 형성되며 공통전극(35)과 상호 엇갈리게 형성되어 수평 전계를 형성하는 화소전극(43) 및 하부 배향막(44)을 포함하여 구성된다.
- <46> 여기서, 박막 트랜지스터(TFT)는 게이트 라인(32)에 접속된 게이트 전극(33)과, 데이터 라인(37)에 접속된 소스 전극(38) 및 채널을 사이에 두고 소스전극(38)과 대향되게 형성되는 드레인 전극(39) 및 채널을 형성하는 활성층(40)과 오믹 접촉층(41)으로 구성된 반도체 패턴을 포함하여 구성된다.
- <47> 컬러필터기관(50)은, 도 1 및 도 3에 도시된 바와 같이, 상부 기관(51)상에 형성되어 화소영역을 구획하며 빛샘 현상을 방지하는 블랙 매트릭스(52)와, 블랙 매트릭스(52)에 의해 구획된 화소영역에 형성된 컬러필터(53)와, 컬러필터(53)에 의해 형성된 단차를 제거하여 상부기관(51)의 표면을 평탄화시키는 오버코팅층(54)과, 오버 코팅층(54) 상에 형성되어 셀 갭을 유지시키는 스페이서(55) 및 상부 배향막(56)을 포함하여 구성된다.
- <48> 최근, 상술한 바와 같이 구성된 수평 전계형 액정표시장치 중에서 외부로부터 입사되는 입사광을 반사시키기 위한 반사전극을 형성함으로써, 화소영역이 백라이트로부터 입사되는 광에 의해 화면이 표시되는 투과부와 반사전극에 의해 반사되는 광에 의해 화면이 표시되는 반사부로 구성된 반투과 수평 전계형 액정표시장치가 제안되고 있다.
- <49> 이하, 도 4를 참조하여 종래의 반투과 수평 전계형 액정표시장치의 구성 및 동작에 대해 설명한다.
- <50> 반투과 수평 전계형 액정표시장치는 화소영역이 투과부와 반사부로 구분되어 수평전계에 의해 액정이 구동되는 것으로서, 도 4에 도시된 바와 같이, 다수개의 배선과 박막 트랜지스터가 형성된 박막 트랜지스터 기관(11)과, 상기 박막 트랜지스터 기관(11)에 대향하는 컬러필터기관(21)과, 두 기관 사이의 셀 갭에 충전된 액정층(16)을 포함하여 구성된다.
- <51> 여기서, 박막 트랜지스터 기관에는 상호 교차 형성되어 화소영역을 정의하는 게이트 라인 및 데이터 라인과, 그

교차부에 형성된 박막 트랜지스터(TFT)와, 반사부에 형성된 유기 절연막(18)과, 유기 절연막(18) 상에 형성되며 외부로부터 입사되는 광을 반사시키는 반사전극(60)과, 투과부에 상기 반사전극(60)과 동일층으로 형성되는 화소전극(17)과, 상기 반사전극(60) 및 화소전극(17)을 덮는 보호막(16)과, 상기 보호막(16) 상에 형성되며 화소전극(17)과 함께 수평 전계를 형성하는 공통전극(24)을 포함하여 구성된다.

<52> 여기서, 종래의 반투과 수평 전계형 액정표시장치는 투과부에 형성된 셀 갭은 반사부에 형성된 유기 절연막(60)으로 인하여 반사부의 셀 갭과 비교하여 약 2배 정도 큰 듀얼 셀 갭 구조를 갖고, 이에 의해 반사부와 투과부 사이의 위상차가 보상됨에 따라 화소 영역에 대해 동일한 휘도 특성을 달성하였다.

<53> 그러나, 상술한 바와 같이 화소영역에 동일한 휘도 특성을 달성하기 위해 듀얼 셀 갭 구조를 형성하기 위해서는, 반사부 영역에 유기 절연막(18)을 형성하기 위한 별도의 공정이 요구됨에 따라 공정이 복잡할 뿐만 아니라 공정 효율이 떨어진다는 문제점이 있었다.

발명이 이루고자 하는 기술적 과제

<54> 상술한 바와 같은 문제점을 해소하기 위해, 본 발명은 단일 셀 구조를 갖는 동시에 화소영역의 투과부 및 반사부에 동일 휘도를 갖는 반투과 수평 전계형 액정표시패널 및 그 제조방법을 제공하는 데 있다.

발명의 구성 및 작용

<55> 상기 목적을 달성하기 위하여, 본 발명에 따른 화소영역이 투과부와 반사부로 구성된 수평 전계형 액정표시패널에 있어서, 컬러필터기판; 컬러필터기판과 단일 셀 갭을 사이에 두고 정합되며 화소영역에 발생하는 위상차를 보상하기 위해 투과부 및 반사부에 상이한 수평 전계가 형성되는 박막 트랜지스터 기판; 및 셀 갭 사이에 적하되어 소정 방향으로 배향된 액정층을 포함하여 구성된 것을 특징으로 한다.

<56> 상기 목적을 달성하기 위하여, 본 발명에 따른 화소영역이 투과부와 반사부로 구성된 수평 전계형 액정표시패널의 제조 방법에 있어서, 컬러필터기판을 제작하는 단계; 컬러필터기판과 단일 셀 갭을 사이에 두고 정합되며 화소영역에 발생하는 위상차를 보상하기 위해 상기 투과부 및 반사부에 상이한 수평 전계가 형성된 박막 트랜지스터 기판을 제작하는 단계; 및 셀 갭 사이에 적하되어 소정 방향으로 배향된 액정층을 형성하는 단계를 포함하여 구성된 것을 특징으로 한다.

<57> 상기 목적 외에 본 발명의 다른 목적 및 이점들은 첨부 도면을 참조한 본 발명의 바람직한 실시 예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

<58> 이하, 첨부도면을 참조하여 본 발명의 실시예에 따른 반투과 수평 전계형 액정표시패널 및 그 제조 방법에 대해 설명한다.

<59> 먼저, 도 5 내지 도 6을 참조하여 본 발명에 따른 반투과 수평 전계형 액정표시패널의 구성 및 동작에 대해 설명한다.

<60> 본 발명에 따른 반투과 수평 전계형 액정표시패널(1000)은, 도 5에 도시된 바와 같이, 다수개의 배선과 박막 트랜지스터가 형성된 박막 트랜지스터 기판(100)과, 상기 박막 트랜지스터 기판(100)에 대향하는 동시에 화소영역에 대응하여 컬러필터가 형성된 컬러필터기판(200)과, 두 기판 사이의 셀 갭에 적하되어 소정 방향으로 배향된 액정층(300)을 포함하여 구성된다.

<61> 박막 트랜지스터 기판(100)은, 도 6a 및 도 6b에 도시된 바와 같이, 하부 기판(101) 상에 형성된 게이트 라인(103)과, 게이트 라인(103)과 교차 형성되어 화소영역(107)을 정의하는 데이터 라인(115)과, 게이트 라인(103) 및 데이터 라인(115)의 교차부에 형성된 박막 트랜지스터(TFT)와, 화소영역(107)을 구성하는 투과부 (107a) 및 반사부(107b)를 덮도록 형성된 공통전극(109)과, 화소영역(107)의 반사부(107b)에 형성된 공통전극(109)과 중첩되게 형성되는 반사전극(111)과, 박막 트랜지스터(TFT)를 덮는 보호막(123)과, 박막 트랜지스터(TFT)로부터 공급되는 제 1 데이터 전압에 따라 투과부에 제 1 수평전계를 형성하는 제 1 화소전극과, 외부로부터 공급되는 제 2 데이터 전압에 따라 반사부에 제 2 수평전계를 형성하는 제 2 화소전극으로 구성된 화소전극과, 상기 제 2 화소전극에 상기 제 2 데이터 전압을 공급하는 스토리지 캐패시터 및 셀 갭 사이에 적하된 액정층(300)을 소정 방향으로 배향시키는 하부 배향막(131)을 포함하여 구성된다.

<62> 여기서, 박막 트랜지스터기판(100)은 하부기판(101)의 배면 상에 순차적으로 적층된 하부 편광판(133) 및 하부 위상차판(135)을 더 포함하여 구성된다.

- <63> 게이트 라인(103)은 게이트 패드에 접속된 게이트 드라이버(미도시)로부터 공급되는 게이트 신호를 박막 트랜지스터(TFT)를 구성하는 게이트 전극(105)으로 전달한다.
- <64> 공통전극(109)은 공통라인(미도시)으로부터 공급되는 공통전원에 연동하여 화소전극(127)과 함께 액정 배향을 위한 수평전계를 형성하는 것으로서, 화소영역(107)의 투과부(107a) 및 반사부(107b)를 덮도록 게이트 전극(105)과 동일층 상에 형성된다.
- <65> 이때, 공통전극(109)은 화소영역(107)을 덮는 평판 형태로 구성되거나 또는 화소전극(127)과 소정 간격을 갖고 엇갈린 형태로 구성되며, 백라이트로부터 입사되는 광을 컬러필터기판(200) 방향으로 투과시키기 위해 ITO 등의 투명 도전성 물질로 구성된다.
- <66> 반사전극(111)은 화소영역(107)의 반사부(107b)에 형성된 공통전극(109)과 중첩되도록 형성되며, 외부로부터 입사되는 외부광을 칼라필터기판(200) 방향으로 반사시키는 역할을 수행한다.
- <67> 데이터 라인(115)은 게이트 절연막(113)을 사이에 두고 게이트 라인(103)과 교차 형성되어 화소영역(107)을 정의하는 것으로서, 데이터 패드에 접속된 데이터 드라이버(미도시)로부터 공급되는 데이터 신호를 게이트 전극(105)의 온/오프에 연동하여 박막 트랜지스터(TFT)를 구성하는 소스전극(117) 및 드레인 전극(119)으로 전달하는 역할을 수행한다.
- <68> 박막 트랜지스터는(TFT)는 게이트 라인(103)의 게이트 신호에 응답하여 데이터 라인(115)의 화소 신호를 화소 전극(127)에 충전시키는 역할을 수행하는 것으로서, 게이트 라인(103)에 접속된 게이트 전극(105)과, 데이터 라인(115)에 접속된 소스 전극(117)과, 채널을 사이에 두고 소스전극(117)과 대향되도록 위치하는 동시에 보호막(123)을 관통하는 접촉홀(125)을 통해 화소 전극(127)에 접속된 드레인 전극(119)을 구비한다.
- <69> 이때, 박막 트랜지스터(TFT)는 게이트 절연막(113)을 사이에 두고 게이트 전극(105)과 대응되게 형성되어 채널을 형성하는 활성층(121a) 및 활성층(121a) 상에 형성되며 소스전극(117) 및 드레인 전극(119)과 오믹 접촉을 수행하는 오믹 접촉층(121b)으로 구성된 반도체 패턴(121)을 더 포함하여 구성된다.
- <70> 박막 트랜지스터(TFT)를 구성하는 드레인 전극(119)은 보호막(123)을 관통하는 접촉홀(125)을 통해 접속된 제 1 화소전극(127a)에 제 1 데이터 전압을 공급하고, 이에 의해 제 1 화소전극(127a)과 공통전극(109) 사이에는 화소영역(107)의 투과부(107a)에 적하된 액정층(300)을 소정 방향으로 배향시키기 위한 제 1 수평 전계가 형성된다.
- <71> 여기서, 박막 트랜지스터(TFT)의 드레인 전극(119)은, 제 2 화소전극(127b)에 제 2 데이터 전압을 공급하는 스토리지 캐패시터(129)를 형성하기 위해, 보호막(123)을 사이에 두고 제 2 화소전극과 중첩되도록 화소영역의 반사부까지 연장된 구조를 갖는다.
- <72> 화소전극(127)은 보호막(123)에 형성된 접촉홀(127)을 통해 박막 트랜지스터(T)의 드레인 전극(119)과 전기적으로 접속된 형태로 화소영역(107)에 형성된다.
- <73> 여기서, 화소전극(127)에는 공통전극(109)과의 사이에 형성되는 수평 전계가 관통하는 다수의 슬릿이 빗살무늬 형태로 대칭되게 형성되어 있으며, 공통전극(109)과 함께 화소영역(107)의 투과부(107a) 및 반사부(107b)에 적하된 액정층을 소정 방향으로 각각 배향시키는 제 1 수평전계 및 제 2 수평전계를 형성하는 제 1 화소전극(127a) 및 제 2 화소전극(127b)으로 구성된다.
- <74> 이때, 제 1 화소전극(127a)은 보호막(123)에 형성된 접촉홀(125)을 통해 박막 트랜지스터(T)의 드레인 전극(119)과 접속되며, 드레인 전극(119)으로부터 공급되는 제 1 데이터 전압에 따라 화소영역(107)의 투과부(107a)에 적하된 액정층을 소정 방향으로 배향시키는 제 1 수평 전계를 형성한다.
- <75> 제 2 화소전극(127b)은 제 1 화소전극(127a)과 소정 간격 이격된 상태로 보호막(123)을 사이에 두고 드레인 전극(119)과 중첩되게 형성되며, 스토리지 캐패시터(129)로부터 공급되는 제 2 데이터 전압에 따라 화소영역(107)의 반사부(107b)에 적하된 액정층을 소정 방향으로 배향시키는 제 2 수평 전계를 형성한다.
- <76> 이때, 제 2 화소전극(127b)에는 스토리지 캐패시터(129)에 형성되는 기생 저항에 의한 전압 강하로 인하여 제 1 데이터 전압보다 낮은 제 2 데이터 전압이 인가되고, 이에 의해 화소영역(107)의 투과부(107a)와 반사부(107b) 사이에 발생하는 위상차(retardation)가 제거된다.
- <77> 즉, 제 1 화소전극(127a)에 드레인 전극(119)으로부터 제 1 데이터 전압이 인가되는 경우, 화소영역(107)의 투과부(107a)에 적하된 액정층(300)은 컬러필터기판(200)으로부터 입사되는 입사광에 대해 다음과 같은 위상차값

을 갖는다.

<78>
$$\delta = \Delta n \cdot d = \Delta n_{eff} \cdot d$$

<79> (여기서, δ 은 위상차값을 나타내고, Δn 은 입사광에 대한 액정층의 굴절률을 나타내고, d 는 입사광의 진행거리를 나타내며, Δn_{eff} 는 액정층의 유효 굴절률을 나타낸다)

<80> 제 2 화소전극(127b)에 스토리지 캐패시터(129)로부터 제 2 데이터 전압이 인가되는 경우, 화소영역(107)의 반사부(107b)에 적하된 액정층(300)은 컬러필터기판(200)으로부터 입사되는 입사광과 반사전극(111)으로부터 반사되는 반사광에 대해 다음과 같은 위상차값을 갖는다.

<81>
$$\delta = 2\Delta n \cdot d$$

<82> (여기서, δ 은 위상차값을 나타내고, $2\Delta n$ 은 입사광 및 반사광에 대한 액정층의 굴절률을 나타내며, d 는 입사광의 진행거리를 나타낸다)

<83> 이때, 제 2 화소전극(127b)에는 스토리지 캐패시터(129)의 기생저항으로 인한 전압강하로 인하여 제 1 데이터 전압보다 낮은 제 2 데이터 전압이 공급됨에 따라, 화소영역(107)의 반사부(107b)에 적하된 액정층(300)은 실질적으로 다음과 같은 위상차값을 갖는다.

<84>
$$\delta = 2\Delta n \cdot d = 2 \cdot (1/2 \cdot \Delta n_{eff}) \cdot d \approx \Delta n_{eff} \cdot d$$

<85> 즉, 제 2 화소전극(127b)에 제 1 데이터 전압보다 낮은 제 2 데이터 전압이 공급되어 반사부(107b)에 적하된 액정층(300)의 유효 굴절률이 저감됨에 따라, 화소영역(107)의 반사부(107a) 및 투과부(107b)에 형성되는 위상차(retardation)가 제거되어 화소영역(107)에 균일한 휘도가 형성된다.

<86> 스토리지 캐패시터(129)는 제 2 화소전극(127b)에 제 2 데이터 전압을 공급하는 역할을 수행하는 것으로서, 화소영역(107)의 반사부(107b)까지 연장된 드레인 전극(119)과, 보호막(123)을 사이에 두고 드레인 전극(119)과 중첩되게 형성되는 제 2 화소전극(127b)으로 구성된다.

<87> 이때, 스토리지 캐패시터(129)는 기생용량으로 인하여 발생하는 전압강하로 인하여 제 1 데이터 전압보다 낮은 제 2 데이터 전압을 제 2 화소전극(127b)에 공급한다.

<88> 하부 배향막(131)은 셀 갭 사이에 적하된 액정층(300)을 소정 방향으로 배향시키는 역할을 수행하는 것으로서, 폴리이미드 등의 유기 배향막을 이용한 러빙공정을 통해 형성되며 액정층(300)을 구성하는 액정분자를 소정 방향으로 정렬시키기 위한 배향홈(미도시)이 형성되어 있다.

<89> 하부 편광판(133)은 백라이트로부터 입사되는 입사광 중에서 편광축과 일치하는 광축 성분만을 컬러필터기판(200) 방향으로 투과시키는 역할을 수행하는 것으로서, 하부 배향막(131)의 러빙 방향과 일치하는 동시에 컬러필터기판(200)에 구성된 상부 편광판과 수직되도록 구성된다.

<90> 하부 위상차판(135)은 하부기판(101)과 하부 편광판(133) 사이에 형성되며 칼라필터기판(200)에 형성된 상부 위상차판과 연동하여 화소영역(107)의 투과부(107a)를 normally black 모드로 설정하는 역할을 수행한다.

<91> 이때, 하부 위상차판(135)은 하부 편광판(133)의 광축과 비교하여 67.5도의 각도로 편차되거나, 또는 컬러필터기판(200)을 구성하는 상부 편광판의 광축과 비교하여 157.5도의 각도로 편차된 $\lambda/2$ 위상차판(HWP : Half Wave Plate)이다.

<92> 여기서, 화소영역(107)의 투과부(107a)에 형성된 제 1 화소전극(127a)에 제 1 데이터 전압이 인가되지 않은 경우, 도 7a에 도시된 바와 같이, 백라이트 유닛을 통해 입사되는 입사광은 하부 편광판(133)을 통과하면서 수직 선편광으로 변환된다.

<93> 하부 편광판(133)을 통과한 수직 선편광은 하부 위상차판(135)을 통과하면서 45도 방향의 선편광으로 변환된 후, 90도의 위상차를 갖는 액정층(300)을 통과함에 따라 145도(-45도)의 선편광으로 변환되어 컬러필터기판(200)의 상부 위상차판에 도달한다.

<94> 이때, 컬러필터기판(200)의 상부 위상차판에 도달한 선편광은 다시 45도 방향으로 변환됨에 따라 상부 편광판에 도달시에는 최초 입사된 상태인 수직 선편광으로 변환되고, 이에 의해 화소영역(107)의 투과부(107a)는 normally black 모드가 형성된다.

<95> 컬러필터기판(200)은, 도 5에 도시된 바와 같이, 상부기판(201)상에 형성된 블랙 매트릭스(203)와, 블랙 매트릭

스(203)에 의해 구획된 화소영역에 형성되는 컬러필터(205)와, 컬러필터(205)에 의해 상부기관(201)에 형성된 단차를 제거하기 위한 오버코팅층(207)과, 오버코팅층(207) 상에 형성되며 액정이 적하되는 셀 갭을 형성하는 스페이서(209)와, 스페이서(209)가 형성된 오버코팅층(207)을 덮도록 형성되며 셀 갭 사이에 적하된 액정층(300)을 소정 방향으로 배향시키는 상부 배향막(231)을 포함하여 구성된다.

- <96> 여기서, 컬러필터기관(200)은 상부기관(201)의 배면 상에 순차적으로 적층된 상부 편광판(233)과 상부 위상차판(235)을 더 포함하여 구성된다.
- <97> 블랙 매트릭스(203)는 상부기관(201)상에 매트릭스 형태로 형성되어 컬러필터(104)들이 형성될 다수의 셀 영역을 구획하는 동시에 인접한 셀 영역간의 공간섭을 방지하는 역할을 수행한다.
- <98> 이때, 블랙 매트릭스(203)는 박막 트랜지스터 기관(100)의 화소전극(127)을 제외한 영역인 게이트 라인(103), 데이터 라인(115) 및 박막 트랜지스터(T)와 중첩되게 형성된다.
- <99> 컬러필터(205)는 블랙 매트릭스(203)에 의해 구획된 다수의 셀 영역에 형성된다. 이때, 컬러필터(205)는 적색, 녹색 및 청색을 갖는 감광성 칼라 수지를 안료 분사법 등을 통해 순차적으로 상부기관상에 분사시킨 후 마스크를 이용한 포토리소그래피공정을 통해 형성된 적색 컬러필터(205R), 녹색 컬러필터(205G) 및 청색 컬러필터(205B)로 구성된다.
- <100> 오버 코팅층(207)은 컬러필터(205)에 의해 상부기관(201)상에 형성되는 단차를 제거함으로써, 후속 공정에 의해 형성되는 상부 배향막(231)이 평탄한 형상으로 형성되도록 하는 역할을 수행한다.
- <101> 스페이서(209)는 박막 트랜지스터기관(100)과 컬러필터기관(200) 사이에 액정층(300)이 적하될 수 있도록 셀 갭을 유지시키는 역할을 수행한다. 이때, 스페이서(209)는 오버 코팅층(207) 상에 블랙 매트릭스(203)와 중첩되도록 형성된다.
- <102> 상부 배향막(231)은 스페이서(209)가 형성된 오버 코팅층(207) 상에 형성되며 셀 갭 사이에 적하된 액정층(300)을 소정 방향으로 배향시키는 역할을 수행하는 것으로서, 폴리이미드 등의 유기 배향막을 이용한 러빙공정을 통해 형성되며 액정층(300)을 구성하는 액정분자를 소정 방향으로 정렬시키기 위한 배향홈(미도시)이 형성되어 있다.
- <103> 상부 편광판(233)은 외부로부터 입사되는 입사광 중에서 편광축과 일치하는 광축 성분만을 화소영역(107)으로 투과시키는 역할을 수행하는 것으로서, 박막 트랜지스터 기관(100)에 구성된 하부 편광판(133)과 수직된 형태로 구성된다.
- <104> 상부 위상차판(235)은 상부 편광판(233)의 광축과 비교하여 소정의 각도, 보다 구체적으로는 22.5도의 각도를 갖도록 편차된 $\lambda/2$ 위상차판(HWP : Half Wave Plate)이다.
- <105> 이때, 상부 위상차판(235)이 상부 편광판(233)의 광축 방향과 편차된 상태로 구성됨에 따라, 화소영역의 반사부는 광시야각을 갖도록 구성된다.
- <106> 또한, 상부 위상차판(235)은 상부 편광판(233)과 상부기관(201) 사이에 형성되며 박막 트랜지스터 기관(100)를 구성하는 하부 위상차판(135)과 연동하여 화소영역(107)의 투과부(107a)를 normally black 모드로 설정하는 역할을 수행한다.
- <107> 즉, 화소영역(107)의 투과부(107a)에 형성된 제 2 화소전극(127a)에 제 2 데이터 전압이 인가되지 않은 경우, 도 7b에 도시된 바와 같이, 외부로부터 입사되는 입사광은 상부 편광판(233)을 통과하면서 수평 선편광으로 변환된다.
- <108> 상부 편광판(233)을 통과한 수평 선편광은 상부 위상차판(235)을 통과하면서 45도 방향의 선편광으로 변환되고, 반사전극(111)에 의해 반사된 선편광은 90도의 위상차를 갖는 액정층(300)을 2번 통과함에 따라 145도(-45도)의 선편광으로 변환되어 컬러필터기관(200)의 상부 위상차판(235)에 도달한다.
- <109> 이때, 상부 위상차판(235)에 도달한 선편광은 다시 45도 방향으로 변환됨에 따라 상부 편광판(233)에 수직 선편광으로 도달되고, 이에 의해 화소영역(107)의 반사부(107a)는 normally black 모드가 형성된다.
- <110> 이하, 첨부도면을 참조하여 본 발명에 따른 반투과 수평 전계형 액정표시패널의 제조방법에 대해 설명한다.
- <111> 먼저, 본 발명에 따른 반투과 수평 전계형 액정표시패널(1000)을 구성하는 박막 트랜지스터기관(100)을 제작한다.

- <112> 도 8a 및 도 8b에 도시된 바와 같이, 본 발명에 따른 하부기관(101)상에 게이트 라인(103) 및 상기 게이트 라인(103)에 접속된 게이트 전극(105)을 포함하여 구성된 제 1 도전성 패턴을 형성한다.
- <113> 이를 보다 구체적으로 설명하면, 하부 기관(101) 상에 스퍼터링 방법 등의 증착 방법을 통해 게이트 금속층을 형성한다.
- <114> 여기서, 게이트 금속층은 알루미늄(Al)계 금속, 구리(Cu), 크롬(Cr), 몰리브덴 등을 포함하는 적어도 1층구조 또는 알루미늄/네오듐(AlNd)과 몰리브덴(Mo)이 순차적으로 적층된 2층 구조로 형성된다.
- <115> 게이트 금속층 상에 포토레지스트를 전면 도포한 후 제 1 마스크를 이용한 포토리소그래피 공정을 수행함으로써, 게이트 금속층 중에서 제 1 도전성 패턴이 형성될 영역을 제외한 나머지 영역을 노출시키는 포토레지스트 패턴을 형성한다.
- <116> 이후, 포토레지스트 패턴에 의해 노출된 게이트 금속층을 에칭한 후 잔류하는 포토레지스트 패턴에 대한 애싱공정을 수행함으로써, 하부기관(101)상에 제 1 도전성 패턴을 구성하는 게이트 라인(103) 및 상기 게이트 라인(103)에 접속된 게이트 전극(105)을 구성하는 제 1 도전성 패턴을 최종적으로 형성한다.
- <117> 도 9a 및 도 9b에 도시된 바와 같이, 본 발명에 따른 화소영역(107)에 수평 전계를 형성하는 공통전극(109)을 형성한다.
- <118> 이때, 공통전극(109)은 화소영역(107)을 구성하는 투과부(107a) 및 반사부(107b)를 덮는 평판 형태로 구성되며, 백라이트로부터 입사되는 광을 컬러필터기판(200) 방향으로 투과시키기 위해 ITO 등의 투명 도전성 물질로 구성된다.
- <119> 도 10a 및 도 10b에 도시된 바와 같이, 본 발명에 따른 화소영역(107)의 반사부(107b)에 형성된 공통전극(109)과 일부 중첩되도록 반사전극(111)을 형성한다.
- <120> 여기서, 반사전극(111)은 화소영역(107)의 반사부(107b)에 형성된 공통전극(109)과 중첩되도록 형성되어 입사광을 칼라필터기판(200) 방향으로 반사시키는 것으로서, 알루미늄(Al), 구리(Cu), 또는 크롬(Cr) 등의 반사율 특성이 우수한 금속으로 형성된다.
- <121> 도 11a 및 도 11b에 도시된 바와 같이, 본 발명에 따른 박막 트랜지스터(TFT)의 채널을 형성하는 반도체 패턴(121)을 형성한다.
- <122> 이를 보다 구체적으로 설명하면, 반사전극(111)이 형성된 하부기관(101)을 덮는 게이트 절연막(113)을 전면 형성한 후, 게이트 절연막(113) 상에 a-Si층 및 n+실리콘층으로 구성된 반도체층을 순차적으로 형성한다.
- <123> 이후, 반도체층 상에 포토레지스트를 전면 도포한 후 제 4 마스크를 이용한 포토리소그래피 공정을 수행함으로써, 박막 트랜지스터(TFT)의 채널영역을 제외한 나머지 영역에 형성된 반도체층을 노출시키는 포토레지스트 패턴을 형성한다.
- <124> 이때, 포토레지스트 패턴(PR)에 의해 노출된 반도체층을 순차적으로 에칭한 후 잔류하는 포토레지스트 패턴(PR)을 제거함으로써, 본 발명에 따른 채널을 형성하는 활성층(121a) 및 오믹 접촉을 수행하는 오믹 접촉층(121b)으로 구성된 반도체 패턴(121)을 형성한다.
- <125> 도 12a 및 도 12b에 도시된 바와 같이, 본 발명에 따른 하부기관(101)상에 데이터 라인, 데이터 라인에 접속되는 소스전극 및 드레인 전극을 포함하여 구성된 제 2 도전성 패턴을 형성한다.
- <126> 이를 보다 구체적으로 설명하면, 반도체 패턴(121)이 형성된 게이트 절연막(113) 상에 데이터 금속층을 증착시킨다.
- <127> 이후, 데이터 금속층 상에 포토레지스트를 전면 형성한 후, 본 발명에 따른 제 5 마스크를 이용한 포토리소그래피 공정을 수행함으로써 데이터 금속층 중에서 제 2 도전성 패턴이 형성될 영역을 제외한 나머지 영역을 노출시키는 포토레지스트 패턴을 형성한다.
- <128> 이때, 포토레지스트 패턴에 의해 노출된 데이터 금속층을 에칭한 후 잔류하는 포토레지스트 패턴에 대한 애싱공정을 수행함으로써, 본 발명에 따른 데이터 라인(115), 데이터 라인(115)에 접속되는 소스전극(117) 및 채널을 사이에 두고 소스전극(117)과 대향하는 드레인 전극(119)을 포함하여 구성된 제 2 도전성 패턴을 형성한다.
- <129> 여기서, 박막 트랜지스터(TFT)의 드레인 전극(119)은 보호막(123)을 관통하는 접촉홀(125)을 통해 접속된 제 1

화소전극(127a)에 제 1 데이터 전압을 공급하고, 이에 의해 제 1 화소전극(127a)과 공통전극(109) 사이에는 액정층(300)을 소정 방향으로 배향시키기 위한 제 1 수평 전계가 형성된다.

- <130> 박막 트랜지스터(TFT)의 드레인 전극(119)은 화소영역(107)의 반사부(107b)까지 연장된 형태로 구성되며, 이에 의해 보호막(123)을 사이에 두고 제 2 화소전극(127b)과 중첩된 형태로 구성되어 스토리지 캐패시터(129)를 형성한다.
- <131> 여기서, 스토리지 캐패시터(129)는, 화소영역(107)의 반사부(107b)에 직하된 액정층(300)을 소정 방향으로 배향시키는 제 2 수평전계를 형성하기 위해, 화소영역(107)의 반사부(107b)에 형성된 제 2 화소전극(127b)에 제 2 데이터 전압을 공급하는 역할을 수행한다.
- <132> 도 13a 및 도 13b에 도시된 바와 같이, 본 발명에 따른 박막 트랜지스터(TFT)를 덮는 보호막(123)을 형성한다.
- <133> 이를 보다 구체적으로 설명하면, 제 2 도전성 패턴이 형성된 게이트 절연막 (113)상에 보호막(123)을 전면 도포한다.
- <134> 이후, 보호막(123) 상에 포토레지스트를 전면 도포한 후 소정의 마스크를 이용한 포토리소그래피 공정을 수행함으로써, 보호막(123)을 노출시키는 포토레지스트 패턴(PR)을 형성한다.
- <135> 이때, 포토레지스트 패턴(PR)에 의해 노출된 보호막(123)을 에칭한 후 잔류하는 포토레지스트 패턴을 에싱함으로써, 박막 트랜지스터(TFT)의 드레인 전극(119)을 노출시키는 콘택홀(125)을 갖는 보호막(123)을 최종적으로 형성한다.
- <136> 여기서, 보호막(123)은 질화실리콘 등의 무기절연물질, 포토 아크릴(photo-acryl) 등의 유기화합물질, BCB(benzocyclobutene) 또는 PFCB (perfluorocyclobutane) 등의 유기절연물질로 구성된다.
- <137> 도 14a 및 도 14b에 도시된 바와 같이, 본 발명에 따른 보호막 상에 공통전극(109)과 함께 수평 전계를 형성하는 화소전극(127)을 형성한다.
- <138> 이를 보다 구체적으로 설명하면, 보호막(150) 상에 PECVD 등의 증착공정을 통해 투명 도전층(ITO)을 전면 증착시킨다
- <139> 이후, 투명 도전층(ITO) 상에 포토레지스트를 전면 도포한 후 마스크를 이용한 소정의 포토리소그래피 공정을 수행함으로써, 투명 도전층(ITO) 중에서 화소전극(127)이 형성될 영역을 제외한 나머지 영역을 노출시키는 포토레지스트 패턴을 형성한다.
- <140> 이때, 포토레지스트 패턴에 의해 노출된 투명 도전층(ITO)을 에칭한 후 잔류하는 포토레지스트 패턴을 제거함으로써, 보호막(123) 상에 형성되며 공통전극(109)과 함께 셀 갭 사이에 적하된 액정층(300)을 소정 방향으로 배향시키기 위한 수평 전계를 형성하는 화소전극(127)을 형성한다.
- <141> 여기서, 화소전극(127)은 공통전극(109) 사이에 형성되는 수평 전계가 관통하는 다수의 슬릿이 빗살무늬 형태로 대칭되게 형성되어 있으며, 화소영역(107)의 투과부(107a) 및 반사부(107b)에 적하된 액정층(300)을 소정 방향으로 각각 배향시키는 제 1 및 제 2 수평전계를 형성하기 위한 제 1 및 제 2 화소전극(127a,127b)으로 구성된다.
- <142> 여기서, 제 1 화소전극(127a)은 보호막(123)에 형성된 접촉홀(125)을 통해 박막 트랜지스터(T)의 드레인 전극(119)과 접속되며, 드레인 전극(119)으로부터 공급되는 제 1 데이터 전압에 따라 화소영역(107)의 투과부(107a)에 적하된 액정을 소정 방향으로 배향시키는 제 1 수평 전계를 형성한다.
- <143> 제 2 화소전극(127b)은 제 1 화소전극(127a)과 소정 간격 이격된 상태로 보호막(123)을 사이에 두고 드레인 전극(119)과 중첩되게 형성되며, 스토리지 캐패시터(129)로부터 공급되는 제 2 데이터 전압에 따라 공통전극(109)과 함께 화소영역(107)의 반사부(10b)에 적하된 액정층(300)을 소정 방향으로 배향시키는 제 2 수평 전계를 형성한다.
- <144> 이때, 제 2 화소전극(127b)에는 스토리지 캐패시터(129)의 기생 저항으로 인해 발생하는 전압 강하로 인하여 제 1 데이터 전압보다 낮은 제 2 데이터 전압이 인가된다.
- <145> 즉, 제 2 화소전극(127b)에 제 1 데이터 전압보다 낮은 제 2 데이터 전압이 인가됨에 따라 화소영역(107)의 반사부(107b)에 적하된 액정층(300)의 유효 굴절률이 저감되고, 이에 의해 화소영역(107)의 반사부(107a) 및 투과부(107b)에 형성되는 위상차(retardation)가 제거되어 화소영역(107)에 균일한 휘도가 형성된다.

- <146> 도 15a 및 도 15b에 도시된 바와 같이, 본 발명에 따른 화소전극(127)이 형성된 하부기관(101)을 덮는 동시에 셀 갭 사이에 적하된 액정층(300)을 소정 방향으로 배향시키기 위한 하부 배향막(131)을 형성한다.
- <147> 여기서, 하부 배향막(131)은 셀 갭 사이에 적하된 액정층(300)을 소정 방향으로 배향시키는 역할을 수행하는 것으로서, 폴리이미드 등의 유기 배향막을 이용한 러빙공정을 통해 형성되며 액정층(300)을 구성하는 액정분자를 소정 방향으로 정렬시키기 위한 배향홈(미도시)이 형성되어 있다.
- <148> 도 16a 및 도 16b에 도시된 바와 같이, 본 발명의 하부기관(101)의 배면에 백라이트로부터 입사되는 입사광을 편광 및 위상 지연시키기 위한 하부 편광판(133) 및 하부 위상차판(135)을 순차적으로 형성한다.
- <149> 여기서, 하부 편광판(133)은 백라이트로부터 입사되는 입사광 중에서 편광축과 일치하는 광축 성분만을 컬러필터기판(200) 방향으로 투과시키는 역할을 수행하는 것으로서, 하부 배향막(131)의 러빙 방향과 일치하는 동시에 컬러필터기판(200)에 구성된 상부 편광판(233)과 수직되도록 구성된다.
- <150> 하부 위상차판(135)은 하부기관(101)과 하부 편광판(133) 사이에 형성되며 칼라필터기판(200)에 형성된 상부 위상차판(235)과 연동하여 화소영역(107)의 투과부(107a)를 normally black 모드로 설정하는 역할을 수행한다.
- <151> 이때, 하부 위상차판(135)은 하부 편광판(133)의 광축과 비교하여 67.5도의 각도로 편차되거나, 또는 컬러필터기판(200)을 구성하는 상부 편광판의 광축과 비교하여 157.5도의 각도로 편차된 $\lambda/2$ 위상차판(HWP : Half Wave Plate)이다.
- <152> 상술한 바와 같이 박막 트랜지스터 기판을 제작한 후, 본 발명에 따른 반투과 수평 전계형 액정표시패널을 구성하는 칼라필터기판(200)을 제작한다.
- <153> 도 17a를 참조하면, 본 발명에 따른 상부기관(201)상에 크롬(Cr 또는 CrOx) 등의 불투명 금속으로 구성된 블랙 매트릭스(203)를 형성한다.
- <154> 여기서, 블랙 매트릭스(203)는 상부기관(201)상에 매트릭스 형태로 형성되어 컬러필터(205)들이 형성될 다수의 셀 영역을 구획하는 동시에 인접한 셀 영역간의 광간섭을 방지하는 역할을 수행한다.
- <155> 도 17b를 참조하면, 본 발명에 따른 블랙 매트릭스(203)에 의해 구획된 셀 영역에 칼라필터(205)를 순차적으로 형성한다.
- <156> 이를 보다 구체적으로 설명하면, 블랙 매트릭스(203)가 형성된 상부기관(201)상에 적색, 녹색 및 청색을 갖는 감광성 칼라수지를 안료 분사법을 통해 순차적으로 형성한다.
- <157> 상부기관(201) 상에 형성된 감광성 칼라수지 상에 포토레지스트를 전면 형성한 후 마스크를 이용한 포토리소그래피 공정을 수행함으로써, 감광성 칼라수지 중에서 칼라필터가 형성될 영역을 제외한 나머지 영역을 노출시키는 포토레지스트 패턴을 형성한다.
- <158> 이때, 포토레지스트 패턴에 의해 노출된 감광성 칼라수지를 애칭한 후 잔류하는 포토레지스트 패턴을 애싱함으로써, 블랙 매트릭스(203)에 의해 구획된 셀 영역에 적색 컬러필터(205R), 녹색 컬러필터(205G) 및 청색 컬러필터(205B)로 구성된 컬러필터(205)를 형성한다.
- <159> 도 17c를 참조하면, 본 발명에 따른 상부기관(201)상에 컬러필터(205)에 의해 형성된 단차를 제거하는 오버코팅층(207)을 형성한다.
- <160> 여기서, 오버 코팅층(207)은 폴리 디메틸 실옥산 등과 같은 열경화성 수지로 구성되며, 컬러필터(205)에 의해 형성된 단차를 제거하여 상부 배향막(231)이 상부기관(201) 상에 평탄하게 형성될 수 있도록 하는 역할을 수행한다.
- <161> 이때, 오버 코팅층(207)을 형성시에 두 기관 사이에 액정층(300)이 적하되는 셀 갭을 유지시키는 스페이서(209)가 동시에 형성될 수 있다.
- <162> 도 17d를 참조하면, 본 발명에 따른 셀 갭 사이에 적하된 액정층(300)을 소정 방향으로 배향시키기 위한 상부 배향막(231)을 형성한다.
- <163> 여기서, 상부 배향막(231)에는 폴리이미드 등의 유기 배향막을 이용한 러빙공정을 통해 형성되며 액정층(300)을 구성하는 액정분자를 소정 방향으로 정렬시키기 위한 배향홈(미도시)이 형성되어 있다.
- <164> 도 17e를 참조하면, 본 발명에 따른 상부기관(201)의 배면에 외부로부터 입사되는 입사광을 편광 및 위상 지연

시키기 위한 상부 편광판(233) 및 상부 위상차판(235)을 순차적으로 형성한다.

- <165> 여기서, 상부 편광판(233)은 외부로부터 입사되는 입사광 중에서 편광축과 일치하는 광축 성분만을 화소영역(107)으로 투과시키는 역할을 수행하는 것으로서, 박막 트랜지스터 기관(100)에 구성된 하부 편광판(133)과 수직된 형태로 구성된다.
- <166> 상부 위상차판(235)은 상부 편광판(135)의 광축과 비교하여 소정의 각도, 보다 구체적으로는 22.5도의 각도를 갖도록 구성된 $\lambda/2$ 위상차판(HWP : Half Wave Plate)이다.
- <167> 이때, 상부 위상차판(235)이 상부 편광판(233)의 광축 방향과 편차된 상태로 구성됨에 따라, 화소영역(107)의 시야각을 협시야각에서 광시야각으로 설정할 수 있다.
- <168> 또한, 상부 위상차판(235)은 상부 편광판(233)과 상부기관(201) 사이에 형성되며 박막 트랜지스터기관(100)을 구성하는 하부 위상차판(135)과 연동하여 화소영역(107)의 투과부를 normally black 모드로 설정하는 역할을 수행한다.
- <169> 상술한 바와 같이 칼라필터기관을 제작한 후, 본 발명에 따른 반투과 수평 전계형 액정표시패널을 구성하는 셀 갭에 액정층(300)을 적하시킨 후 두 기관을 합착시킨다.
- <170> 여기서, 액정층은 컬러필터기관에 형성된 상부 편광판의 광축과 비교하여, 소정의 각도, 보다 구체적으로는 상부 편광판의 광축과 90도의 각도를 갖도록 배향된 상태로 두 기관 사이의 셀 갭에 적해되고, 이에 의해 입사광을 $\lambda/2$ 만큼 편광시키는 역할을 수행한다.

발명의 효과

- <171> 상술한 바와 같이, 본 발명에 따른 반투과 수평 전계형 액정표시장치 및 그 제조방법은 화소영역의 반사부 및 투과부에 상이한 수평전계를 형성함으로써, 단일 셀 구조를 갖는 동시에 화소영역에 동일 휘도를 형성할 수 있다는 효과를 제공한다.
- <172> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

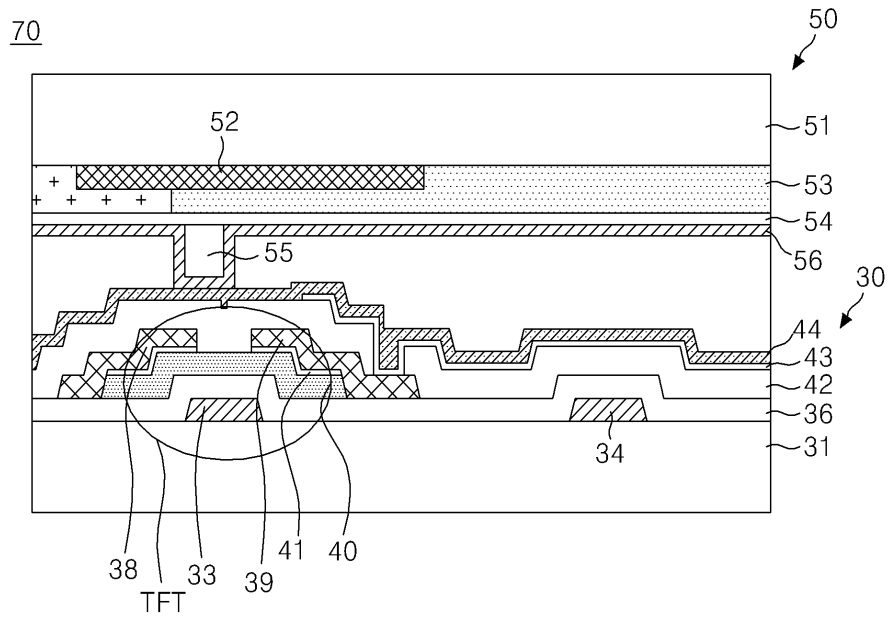
도면의 간단한 설명

- <1> 도 1은 종래의 수평 전계형 액정표시패널의 단면도.
- <2> 도 2는 도 1에 도시된 수평 전계형 액정표시패널을 구성하는 박막 트랜지스터 기관의 평면도.
- <3> 도 3은 도 1에 도시된 수평 전계형 액정표시패널을 구성하는 컬러필터기관의 평면도.
- <4> 도 4는 종래의 반투과 수평 전계형 액정표시패널의 단면도.
- <5> 도 5는 본 발명에 따른 반투과 수평 전계형 액정표시패널의 구성 단면도.
- <6> 도 6a 및 도 6b는 도 5에 도시된 반투과 수평 전계형 액정표시패널을 구성하는 박막 트랜지스터의 평면도 및 단면도.
- <7> 도 7a는 본 발명에 따른 normally black 모드로 설정된 화소영역의 반사부에 입사된 입사광의 광경로를 도시한 도면.
- <8> 도 7b는 본 발명에 따른 normally black 모드로 설정된 화소영역의 투과부를 관통하는 입사광의 광경로를 도시한 도면.
- <9> 도 8a 및 도 8b는 본 발명에 따른 제 1 도전성 패턴이 형성된 박막 트랜지스터 기관의 평면도 및 단면도.
- <10> 도 9a 및 도 9b는 본 발명에 따른 공통전극이 형성된 박막 트랜지스터 기관의 평면도 및 단면도.
- <11> 도 10a 및 도 10b는 본 발명에 따른 반사전극이 형성된 박막 트랜지스터 기관의 평면도 및 단면도.
- <12> 도 11a 및 도 11b는 본 발명에 따른 채널을 구성하는 반도체 패턴이 형성된 박막 트랜지스터 기관의 평면도 및 단면도.

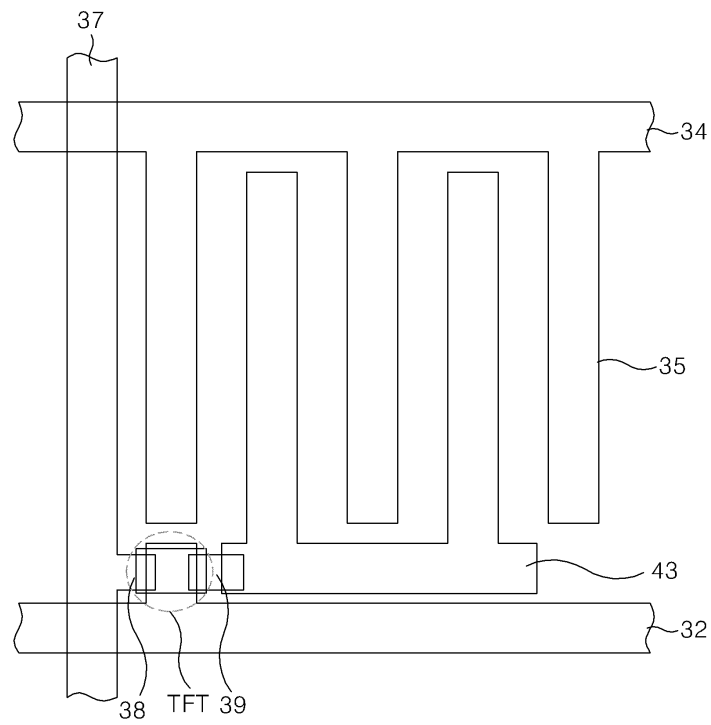
- <13> 도 12a 및 도 12b는 본 발명에 따른 제 2 도전성 패턴이 형성된 박막 트랜지스터 기관의 평면도 및 단면도.
- <14> 도 13a 및 도 13b는 본 발명에 따른 하부 보호막이 형성된 박막 트랜지스터 기관의 평면도 및 단면도.
- <15> 도 14a 및 도 14b는 본 발명에 따른 화소전극이 형성된 박막 트랜지스터 기관의 평면도 및 단면도.
- <16> 도 15a 및 도 15b는 본 발명에 따른 하부 배향막이 형성된 박막 트랜지스터 기관의 평면도 및 단면도.
- <17> 도 16a 및 도 16b는 본 발명에 따른 하부 편광판 및 하부 위상차판이 순차적으로 형성된 박막 트랜지스터 기관의 평면도 및 단면도.
- <18> 도 17a 내지 도 17e는 본 발명에 따른 반투과 수평 전계형 액정표시패널을 구성하는 컬러필터기관의 제조 공정도.
- <19> <도면의 주요 부분에 대한 부호의 설명>
- <20> 100 : 박막 트랜지스터 기관 101 : 하부기관
- <21> 103 : 게이트 라인 105 : 게이트 전극
- <22> 107: 화소영역 107a : 투과부
- <23> 107b : 반사부 109 : 공통전극
- <24> 111 : 반사전극 113 : 게이트 절연막
- <25> TFT : 박막 트랜지스터 115 : 데이터 라인
- <26> 117 : 소사전극 119 : 드레인 전극
- <27> 121 : 반도체 패턴 121a : 활성층
- <28> 121b : 오믹 접촉층 123 : 보호막
- <29> 125 : 접촉홀 127 : 화소전극
- <30> 127a : 제 1 화소전극 127b : 제 2 화소전극
- <31> 129 : 스토리지 전극 131 : 하부 배향막
- <32> 133 : 하부 편광판 135 : 상부 편광판
- <33> 200 : 컬러필터기관 201 : 상부기관
- <34> 203 : 블랙 매트릭스 205 : 컬러필터
- <35> 207 : 오버 코팅층 209 : 스페이서
- <36> 231 : 상부 배향막 233 : 상부 편광판
- <37> 235 : 상부 위상차판 1000 : 반투과 수평 전계형 액정표시패널

도면

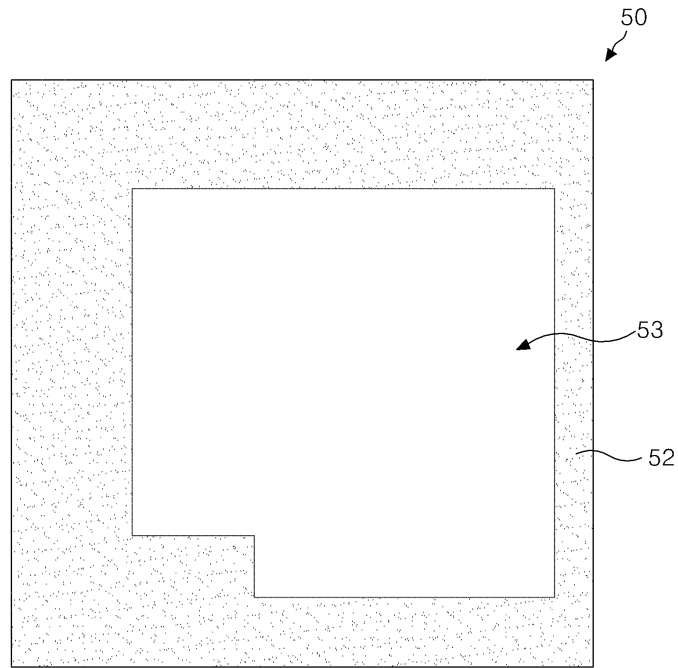
도면1



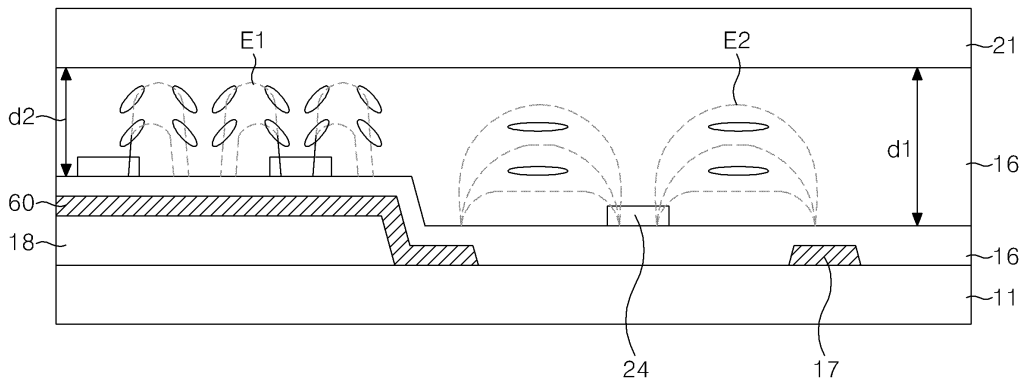
도면2



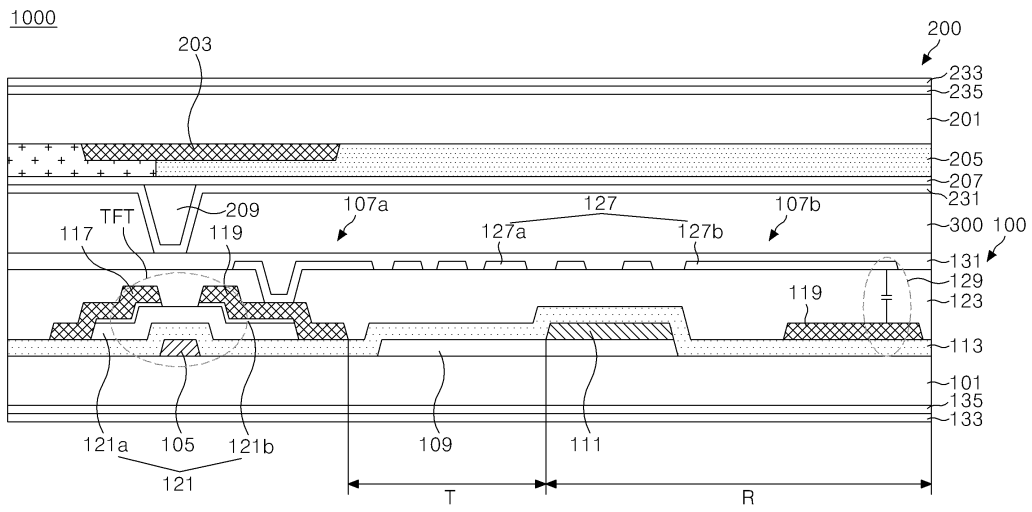
도면3



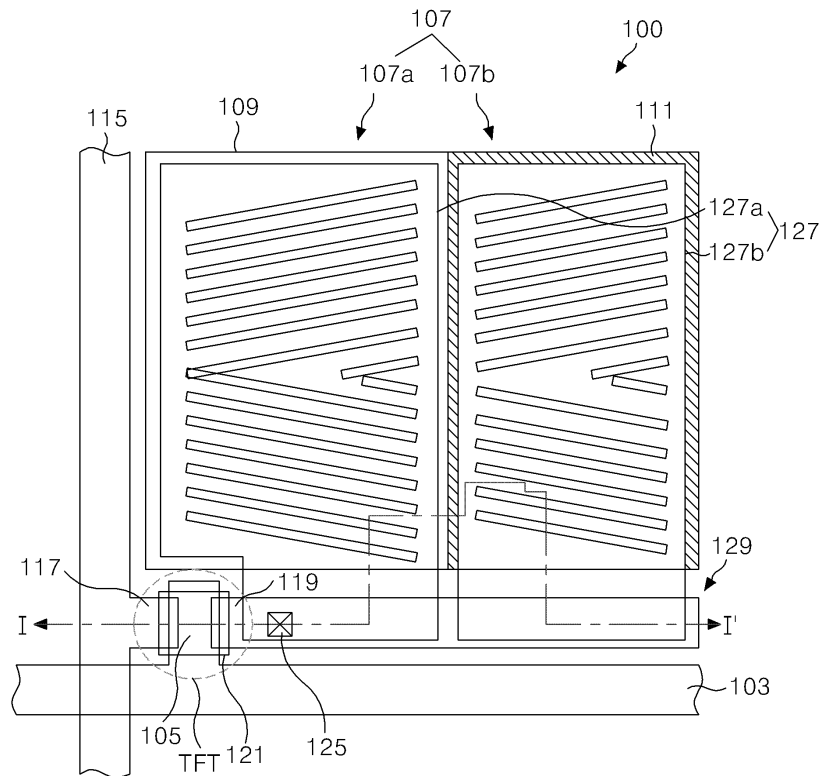
도면4



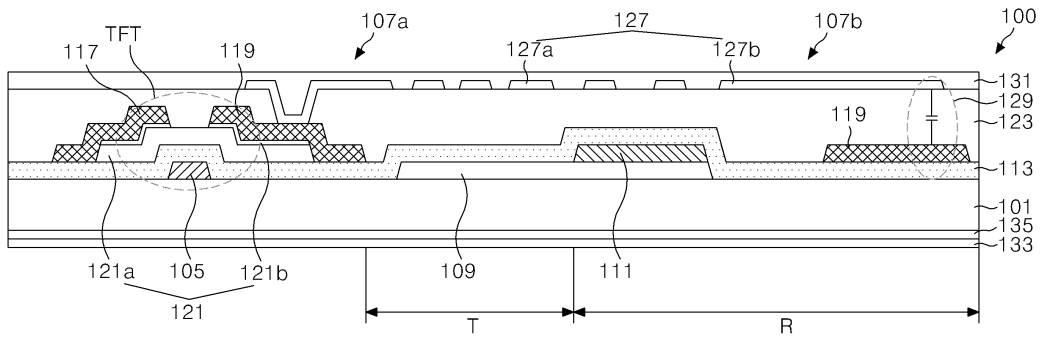
도면5



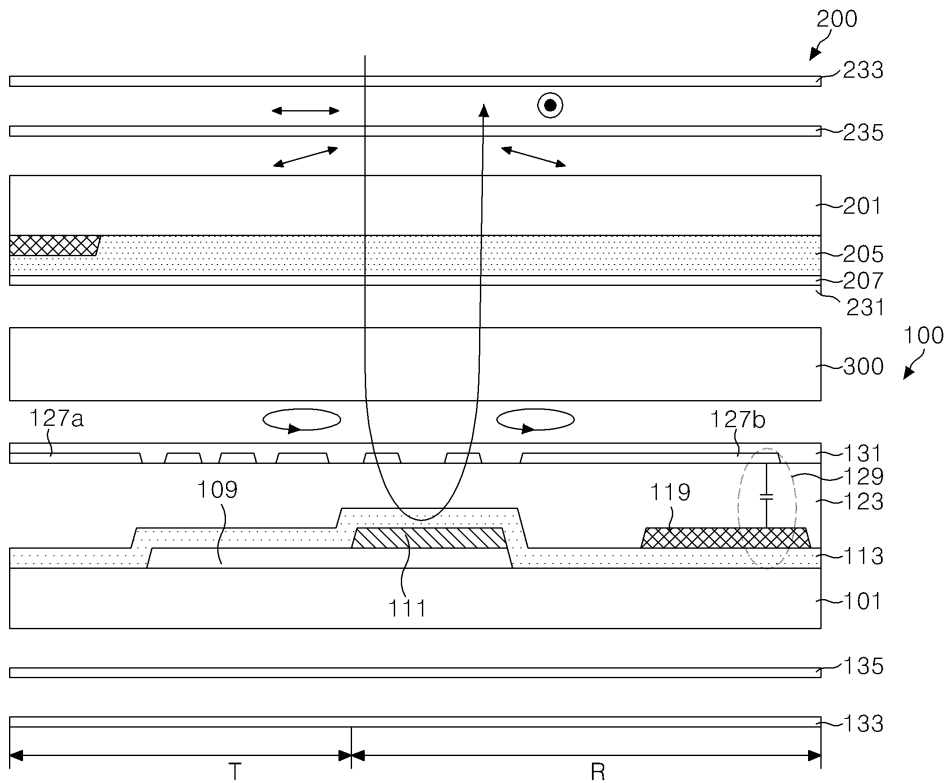
도면6a



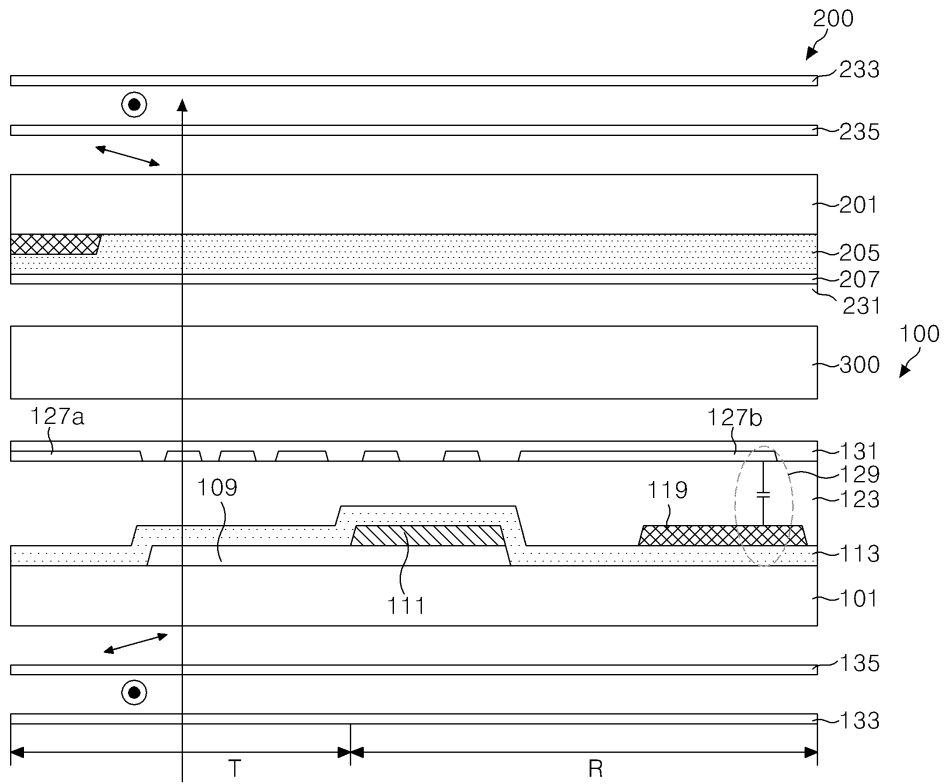
도면6b



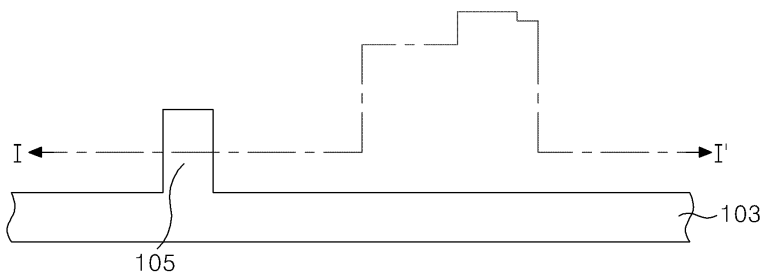
도면7a



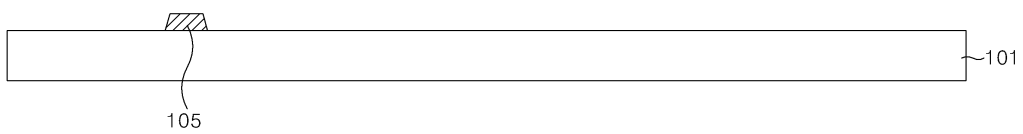
도면7b



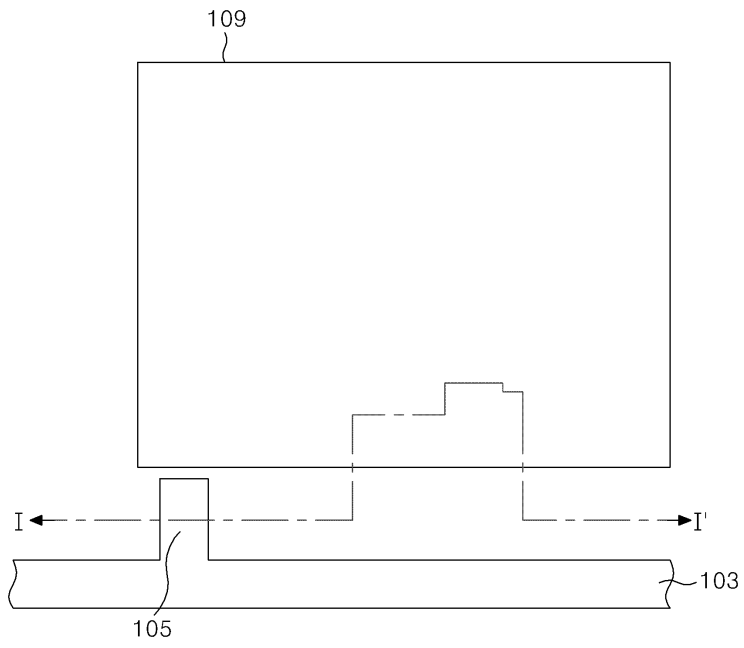
도면8a



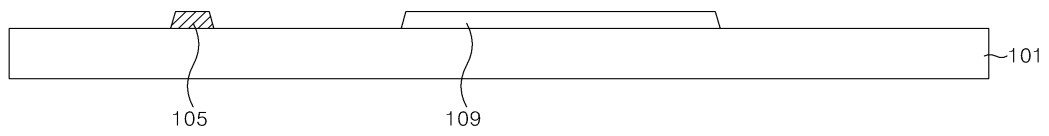
도면8b



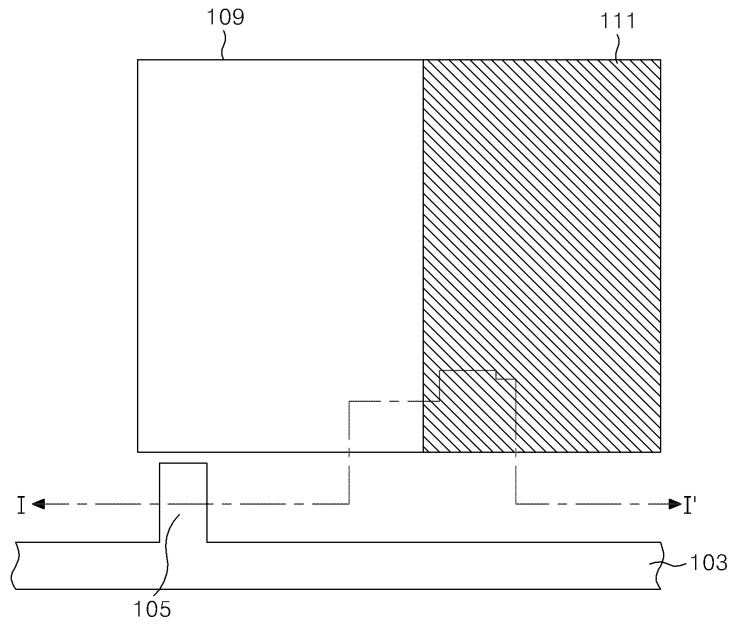
도면9a



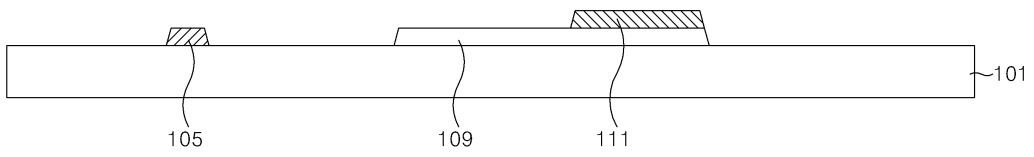
도면9b



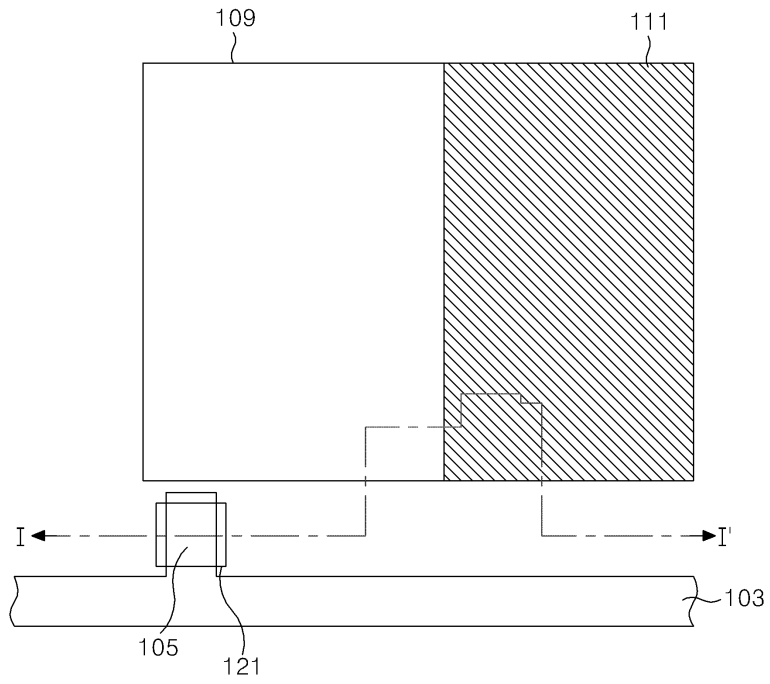
도면10a



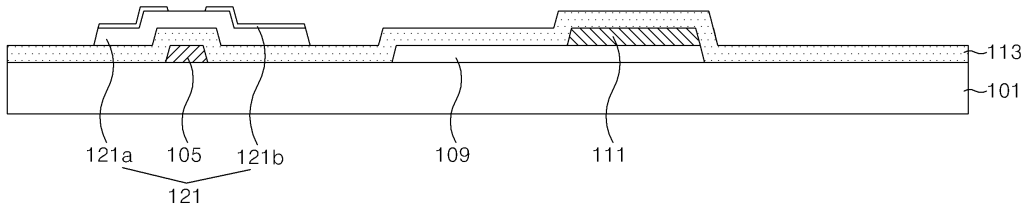
도면10b



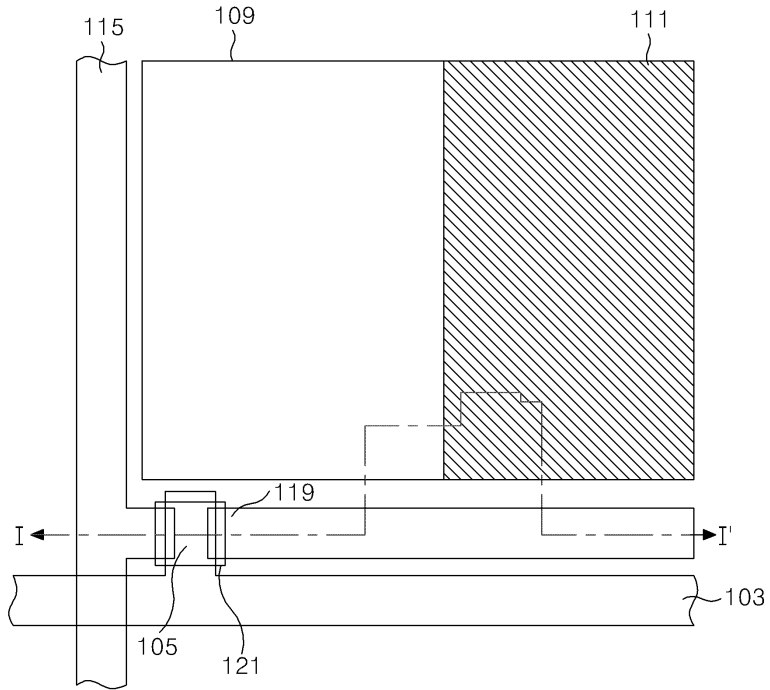
도면11a



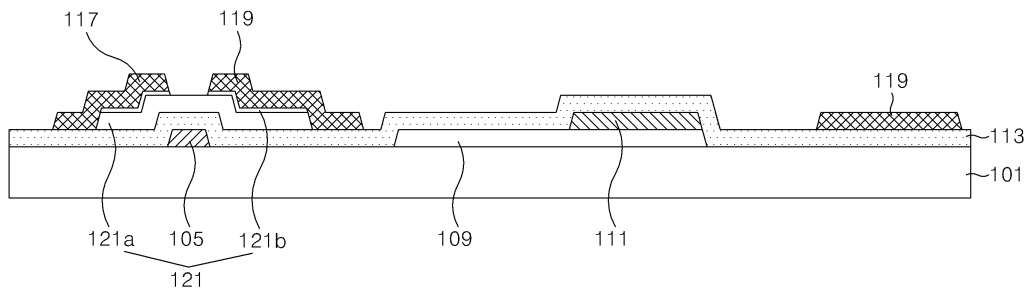
도면11b



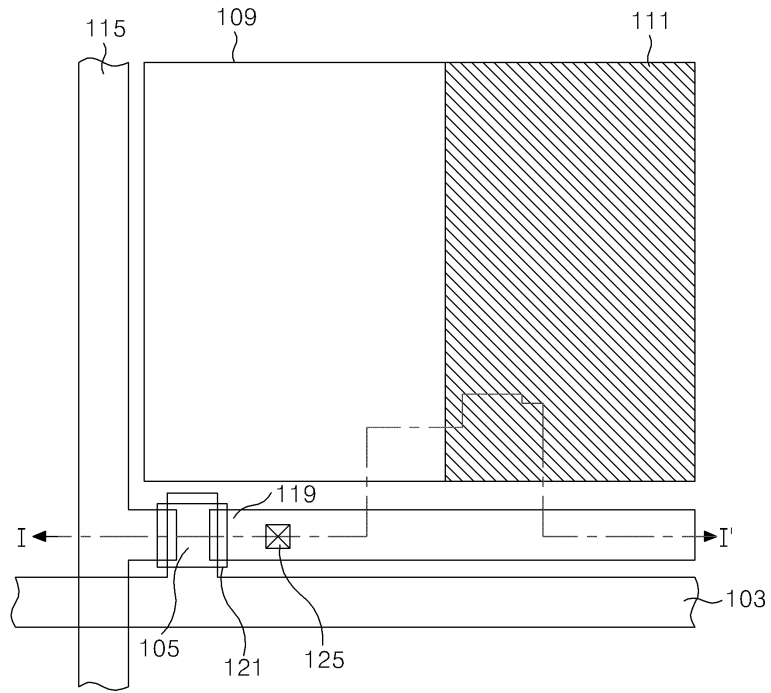
도면12a



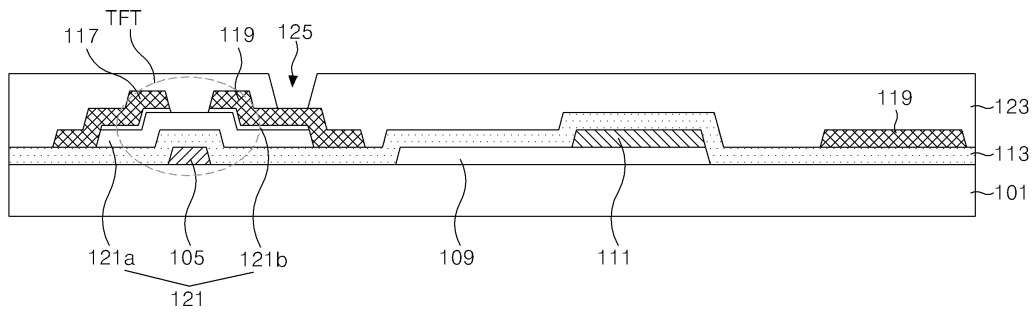
도면12b



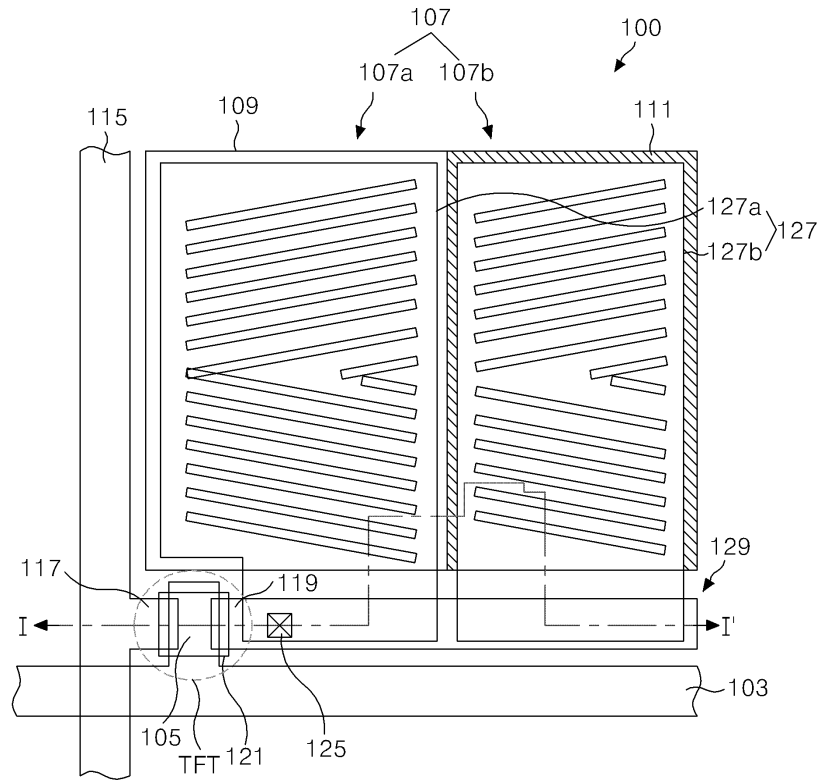
도면13a



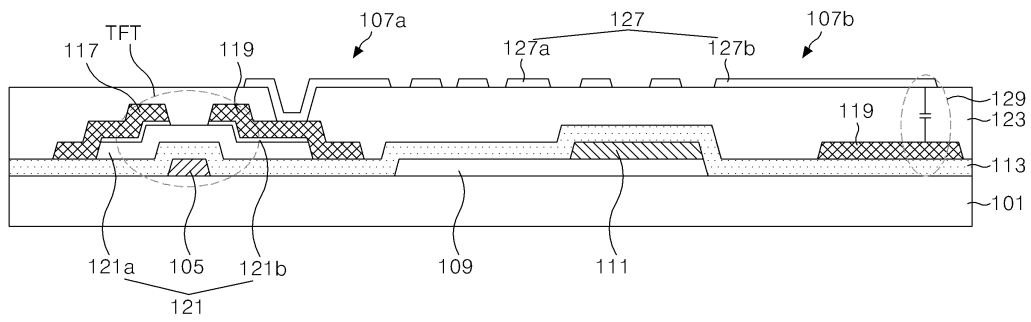
도면13b



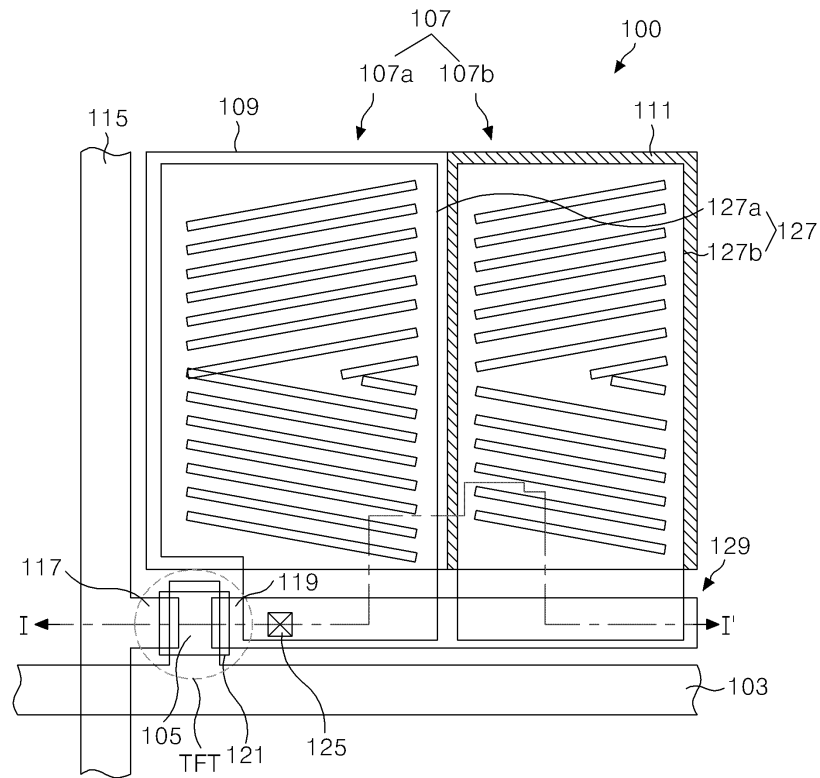
도면14a



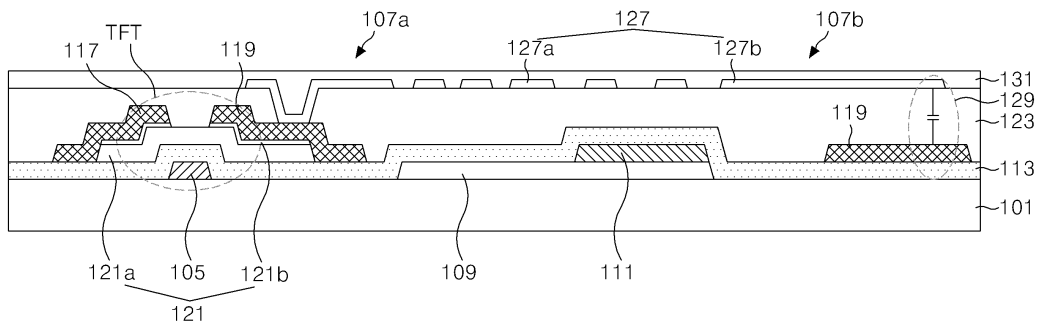
도면14b



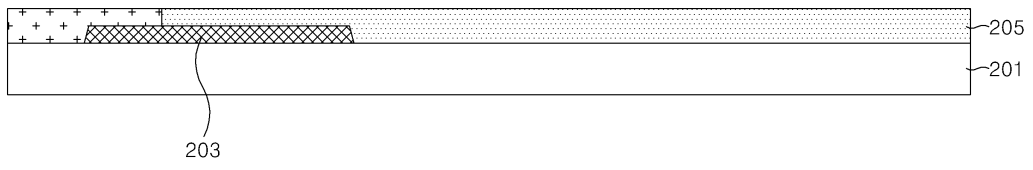
도면15a



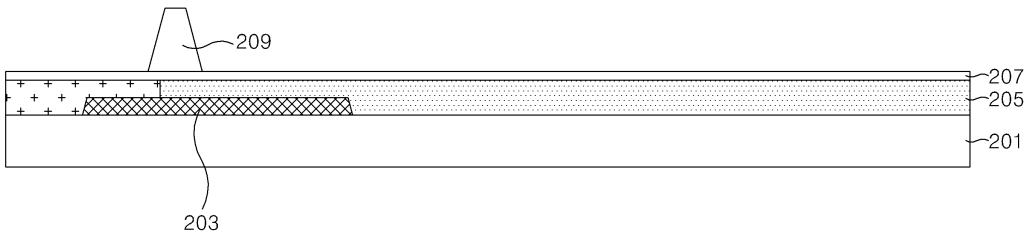
도면15b



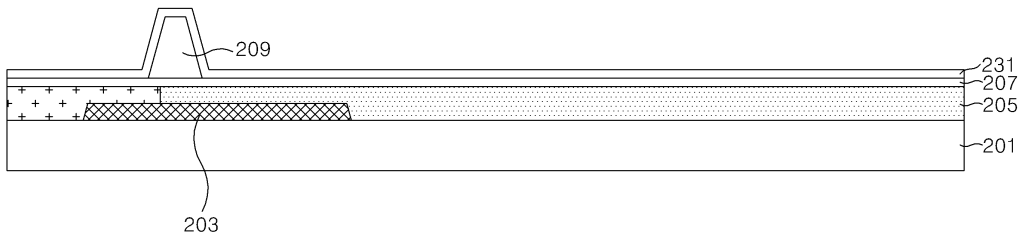
도면17b



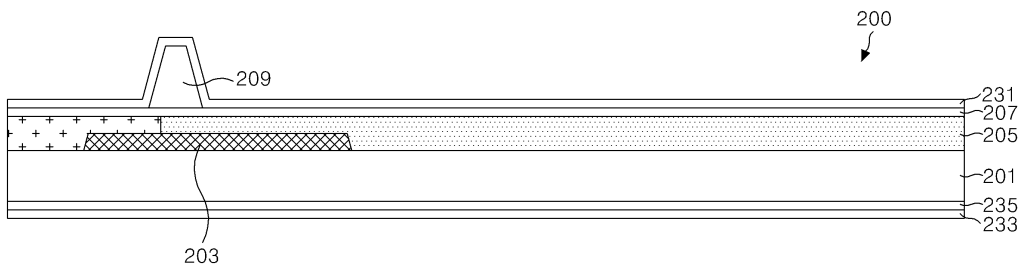
도면17c



도면17d



도면17e



专利名称(译)	并且在基板50上形成顶部对准层56以保持单元间隙。		
公开(公告)号	KR1020080088024A	公开(公告)日	2008-10-02
申请号	KR1020070030336	申请日	2007-03-28
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	JIN HYUN SUK		
发明人	JIN, HYUN SUK		
IPC分类号	G02F1/1343 G02F G02F1/1335		
CPC分类号	G02F2001/133519 G02F1/13363 G02F1/133555 G02F1/134363		
代理人(译)	金勇 年轻的小公园		
外部链接	Espacenet		

摘要(译)

本发明涉及半透射水平场型液晶显示面板及其制造方法，其具有单晶格结构的透射部分，同时组织像素区域，反射体的亮度相同。关于根据本发明的像素区域是由透射部分和反射体组成的半透射水平场型LCD面板，它落在薄膜晶体管基板之间，其中用于形成不同的横向电场的存储电容器从放置彩色滤光片基板的横向电场：滤色器基板和单元间隙在该间隔中它被匹配并在透射部分的反射体中产生，以补偿在像素区域中产生的相位差是形成的单元间隙和单元间隙由与规定方向排列的液晶层构成。

