



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0071001
(43) 공개일자 2008년08월01일

(51) Int. Cl.

G02F 1/1343 (2006.01)

(21) 출원번호 10-2007-0009021

(22) 출원일자 2007년01월29일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

이혁진

경기 성남시 분당구 구미동 까치마을롯데아파트
415-1002

김희섭

경기 화성시 반월동 신영통현대1차아파트 110-304

(뒷면에 계속)

(74) 대리인

조희원

전체 청구항 수 : 총 18 항

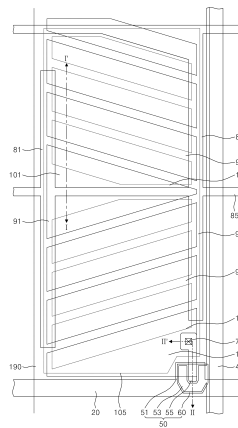
(54) 액정 표시 패널 및 이의 제조 방법

(57) 요약

본 발명은 빛샘을 방지할 수 있으며 텍스처를 안정하게 표시할 수 있는 액정 표시 패널에 관한 것이다.

본 발명에 따른 액정 표시 패널은 투과 영역과 차단 영역을 포함하는 다수개의 화소가 매트릭스 형태로 배치되는 기판; 상기 화소마다 구비되는 박막 트랜지스터; 상기 박막 트랜지스터와 접속하는 게이트 라인 및 데이터 라인; 상기 박막 트랜지스터와 접속하며 일정하게 이격되어 형성되는 다수개의 선형 화소 전극을 포함하는 화소 전극 패턴; 상기 투과 영역에서 화소 전극 패턴 내에 형성되는 스토리지 패턴을 포함하는 박막 트랜지스터 기판; 상기 다수개의 선형 화소 전극과 엇갈리게 형성되는 공통 전극 패턴을 포함하는 대향 기판; 및 상기 박막 트랜지스터 기판 및 대향 기판 사이에 형성되는 액정을 포함한다.

대표도 - 도1



(72) 발명자

나병선

경기 수원시 장안구 율전동 밤꽃마을뜨란채아파트
108-301

루지안강

경기 수원시 영통구 영통동 벽적골8단지아파트
833-404

우화성

경기 수원시 영통구 매탄1동 주공4단지아파트
419-107

권지현

충남 아산시 탕정면 삼성크리스탈기숙사 비취동
406호

특허청구의 범위

청구항 1

투과 영역과 차단 영역을 포함하는 다수개의 화소가 매트릭스 형태로 배치되는 기관;
 상기 화소마다 구비되는 박막 트랜지스터;
 상기 박막 트랜지스터와 접속하는 게이트 라인 및 데이터 라인;
 상기 박막 트랜지스터와 접속하며 일정하게 이격되어 형성되는 다수개의 선형 화소 전극을 포함하는 화소 전극 패턴;
 상기 투과 영역에서 화소 전극 패턴 내에 형성되는 스토리지 패턴을 포함하는 박막 트랜지스터 기관;
 상기 다수개의 선형 화소 전극과 엇갈리게 형성되는 공통 전극 패턴을 포함하는 대향 기관; 및
 상기 박막 트랜지스터 기관 및 대향 기관 사이에 형성되는 액정을 포함하는 액정 표시 패널.

청구항 2

제 1항에 있어서,
 상기 화소 전극 패턴은
 상기 투과 영역의 중앙에 형성되며 상기 게이트 라인과 평행하게 형성되는 중앙부;
 상기 차단 영역에 데이터 라인과 평행하게 형성되며 상기 다수개의 선형 화소 전극을 연결하는 제 1 및 제 2 전극 연결부; 및
 상기 제 1 전극 연결부와 상기 중앙부 교차부에 삼각형 형태로 형성되는 중앙 전극을 포함하는 것을 특징으로 하는 액정 표시 패널.

청구항 3

제 2항에 있어서,
 상기 스토리지 패턴은
 상기 제 1 및 제 2 전극 연결부와 대응되는 위치에 형성되는 제 1 및 제 2 스토리지 전극; 및
 상기 제 1 스토리지 전극과 상기 제 2 스토리지 전극을 연결하고 상기 투과 영역의 중앙에 형성되며 상기 중앙부 내에 형성되는 스토리지 라인을 포함하는 것을 특징으로 하는 액정 표시 패널.

청구항 4

제 2항에 있어서,
 상기 스토리지 패턴은
 상기 제 1 및 제 2 전극 연결부와 대응되는 위치에 형성되는 제 1 및 제 2 스토리지 전극;
 상기 제 1 스토리지 전극과 상기 제 2 스토리지 전극을 연결하며 상기 중앙부와 대응되는 위치에 형성되는 스토리지 라인; 및
 상기 제 1 스토리지 라인과 상기 스토리지 연결부의 교차부에 형성되는 중앙 스토리지 전극을 포함하는 것을 특징으로 하는 액정 표시 패널.

청구항 5

제 4항에 있어서,
 상기 중앙 스토리지 전극은 상기 중앙 전극 보다 4 μ m 이상 안쪽으로 형성되는 것을 특징으로 하는 액정 표시 패널.

청구항 6

제 5항에 있어서,

상기 중앙 스토리지 전극은 삼각형 형태로 형성되는 것을 특징으로 하는 액정 표시 패널.

청구항 7

제 5항에 있어서,

상기 중앙 스토리지 전극은 사각형 형태로 형성되는 것을 특징으로 하는 액정 표시 패널.

청구항 8

제 3항 및 제 4항에 있어서,

상기 제 1 및 제 2 스토리지 전극은 상기 제 1 및 제 2 전극 연결부와 동일한 폭으로 형성되는 것을 특징으로 하는 액정 표시 패널.

청구항 9

제 3항 및 제 4항에 있어서,

상기 제 1 및 제 2 스토리지 전극의 폭은 상기 제 1 및 제 2 전극 연결부의 폭보다 넓게 형성되는 것을 특징으로 하는 액정 표시 패널.

청구항 10

제 2항에 있어서,

상기 다수개의 선형 화소 전극은 상기 중앙부를 사이에 두고 사선형으로 형성되는 제 1 및 제 2 선형 화소 전극을 포함하는 것을 특징으로 하는 액정 표시 패널.

청구항 11

제 10항에 있어서,

상기 화소 전극 패턴은 상기 박막 트랜지스터와 중첩되게 형성되며 상기 제 1 및 제 2 전극 연결부와 접속하는 텍스처(texture) 방지부를 포함하는 것을 특징으로 하는 액정 표시 패널.

청구항 12

제 11항에 있어서,

상기 텍스처 방지부는 전체적으로 삼각형 형태로 형성되고 상기 텍스처 방지부의 일변은 상기 제 2 선형 화소 전극과 평행하며, 상기 텍스처 방지부의 타변은 상기 게이트 라인과 평행하게 형성되는 것을 특징으로 하는 액정 표시 패널.

청구항 13

제 11항에 있어서,

상기 텍스처 방지부는 상기 박막 트랜지스터와 접속하는 것을 특징으로 하는 액정 표시 패널.

청구항 14

제 1항에 있어서,

상기 스토리지 패턴은 상기 게이트 라인과 동일한 재질로 형성되는 것을 특징으로 하는 액정 표시 패널.

청구항 15

제 1항에 있어서,

상기 스토리지 패턴은 상기 게이트 라인과 동일한 평면상에 형성되는 것을 특징으로 하는 액정 표시 패널.

청구항 16

제 1항에 있어서,

상기 화소 전극 패턴은 투명 도전 물질로 형성되는 것을 특징으로 하는 액정 표시 패널.

청구항 17

제 4항 및 제 5항에 있어서,

상기 박막 트랜지스터 기판은

상기 게이트 라인 상에 형성되는 게이트 절연막; 및

상기 게이트 절연막과 박막 트랜지스터 상에 형성되는 보호막을 포함하는 것을 특징으로 하는 액정 표시 패널.

청구항 18

제 17항에 있어서,

상기 대향 기판은 투과 영역과 차단 영역을 포함하며,

상기 차단 영역에 형성되는 블랙매트릭스; 및

상기 투과 영역에 형성되는 컬러 필터를 포함하는 것을 특징으로 하는 액정 표시 패널.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <24> 본 발명은 액정 표시 패널에 관한 것으로, 특히 빛샘을 방지할 수 있으며 텍스처를 안정하게 표시할 수 있는 액정 표시 패널에 관한 것이다.
- <25> 일반적으로 액정 표시 장치(Liquid Crystal Display : LCD)는 액정 표시 패널에 매트릭스 형태로 배열된 액정 셀들 각각이 비디오 신호에 따라 광투광율을 조절하게 함으로써 화상을 표시하게 된다. 액정 표시 장치는 화면을 바라보는 위치에 따라 이미지가 왜곡되어 보이는 시야각 한계점을 극복하기 위하여 광시야각 기술로 발전하고 있다.
- <26> 액정 표시 장치의 대표적인 광시야각 기술로는 PVA(Patterned-ITO VA : 이하 PVA) 기술, IPS(In Plane Switching : 이하 IPS) 기술 및 PLS(Plane to Line Switching: 이하 PLS) 기술이다.
- <27> PVA 기술은 상/하판의 공통 전극 및 화소 전극에 슬릿을 형성하여 그 슬릿에 의해 발생된 프린지 전계(Fringe Electric Field)를 이용하여 액정 분자들이 슬릿을 기준으로 대칭적으로 구동되게 함으로써 멀티-도메인을 형성한다. IPS 기술은 하부 기판에 나란하게 배치된 화소 전극과 공통 전극 간의 수평 전계에 의해 액정을 구동하게 된다. 구체적으로, IPS 기술은 한 기판에만 전극을 형성하여 동일 기판 평면 내에서 액정 분자가 회전하도록 하고 그 결과 액정층의 광축이 기판 내에서 회전하게 된다. PLS 기술은 각 화소 영역에 절연막을 사이에 둔 공통 전극과 화소 전극을 구비하여 프린지 전계를 형성하여 상/하판 사이에 채워진 액정 분자들이 각 화소 영역에서 모두 동작된다.
- <28> 그러나, IPS 및 PLS 기술은 한 기판에 전극을 형성하여 전계를 발생함으로 잔상이 발생하며 투과율이 낮은 단점을 가지고, PVA 기술은 개구율이 낮은 단점을 가진다. 이러한 문제점을 해결하기 위해 DFS(Dual Field Switching : 이하 DFS) 기술을 제안되었다. DFS 기술은 상/하판 전극 패턴에 의해 형성되는 전기장에 수평 또는 수직하게 액정을 배향시킨다. 이러한 DFS 기술은 상/하판에 각각 화소 전극과 공통 전극이 형성되어 패턴된 전극 간 프린지 전계를 이용하여 측면 시인성과 고 투과율을 고려한 기술이다.
- <29> 이러한 DFS 기술을 이용한 액정 표시 패널은 화소 전극과 스토리지 전극에 의해 단차가 형성되어 빛샘이 발생한

다. 이러한 빛샘은 블랙 휘도를 증가시켜 스토리지 커패시터(Cst)의 용량이 현저히 떨어지는 문제가 발생한다. 또한, 화소 전극과 드레인 전극이 접속되는 부분은 액정을 제어하기가 어려워 텍스처가 불안정하게 표시되는 문제가 발생한다.

발명이 이루고자 하는 기술적 과제

<30> 따라서, 본 발명이 이루고자 하는 기술적 과제는 투과 영역에서 화소 전극 패턴 내에 스토리지 패턴을 형성하여 빛샘을 방지할 수 있으며 텍스처를 안정하게 표시할 수 있는 액정 표시 패널에 관한 것이다.

발명의 구성 및 작용

<31> 상기 기술적 과제를 달성하기 위하여, 본 발명에 따른 액정 표시 패널은 투과 영역과 차단 영역을 포함하는 다수개의 화소가 매트릭스 형태로 배치되는 기판; 상기 화소마다 구비되는 박막 트랜지스터; 상기 박막 트랜지스터와 접속하는 게이트 라인 및 데이터 라인; 상기 박막 트랜지스터와 접속하며 일정하게 이격되어 형성되는 다수개의 선형 화소 전극을 포함하는 화소 전극 패턴; 상기 투과 영역에서 화소 전극 패턴 내에 형성되는 스토리지 패턴을 포함하는 박막 트랜지스터 기판; 상기 다수개의 선형 화소 전극과 엇갈리게 형성되는 공통 전극 패턴을 포함하는 대향 기판; 및 상기 박막 트랜지스터 기판 및 대향 기판 사이에 형성되는 액정을 포함한다.

<32> 여기서, 상기 화소 전극 패턴은 상기 투과 영역의 중앙에 형성되며 상기 게이트 라인과 평행하게 형성되는 중앙부; 상기 차단 영역에 데이터 라인과 평행하게 형성되며 상기 다수개의 선형 화소 전극을 연결하는 제 1 및 제 2 전극 연결부; 및 상기 제 1 전극 연결부와 상기 중앙부 교차부에 삼각형 형태로 형성되는 중앙 전극을 포함하는 것을 특징으로 한다.

<33> 또한, 상기 스토리지 패턴은 상기 제 1 스토리지 전극과 상기 제 2 스토리지 전극을 연결하고 상기 투과 영역의 중앙에 형성되며 상기 중앙부 내에 형성되는 스토리지 라인을 포함하는 것을 특징으로 한다.

<34> 이러한 상기 스토리지 패턴은 상기 제 1 및 제 2 전극 연결부와 대응되는 위치에 형성되는 제 1 및 제 2 스토리지 전극; 상기 제 1 스토리지 전극과 상기 제 2 스토리지 전극을 연결하며 상기 중앙부와 대응되는 위치에 형성되는 스토리지 라인; 및 상기 제 1 스토리지 라인과 상기 스토리지 연결부의 교차부에 형성되는 중앙 스토리지 전극을 포함하는 것을 특징으로 한다.

<35> 그리고, 상기 중앙 스토리지 전극은 상기 중앙 전극 보다 4 μ m 이상 안쪽으로 형성되는 것을 특징으로 한다.

<36> 여기서, 상기 중앙 스토리지 전극은 삼각형 형태로 형성되는 것을 특징으로 한다.

<37> 또한, 상기 중앙 스토리지 전극은 사각형 형태로 형성되는 것을 특징으로 한다.

<38> 그리고, 상기 제 1 및 제 2 스토리지 전극은 상기 제 1 및 제 2 전극 연결부와 동일한 폭으로 형성되는 것을 특징으로 한다.

<39> 한편, 상기 제 1 및 제 2 스토리지 전극의 폭은 상기 제 1 및 제 2 전극 연결부의 폭보다 넓게 형성되는 것을 특징으로 한다.

<40> 여기서, 상기 다수개의 선형 화소 전극은 상기 중앙부를 사이에 두고 사선형으로 형성되는 제 1 및 제 2 선형 화소 전극을 포함하는 것을 특징으로 한다.

<41> 이러한, 상기 화소 전극 패턴은 상기 박막 트랜지스터와 중첩되게 형성되며 상기 제 1 및 제 2 전극 연결부와 접속하는 텍스처(texture) 방지부를 포함하는 것을 특징으로 한다.

<42> 또한, 상기 텍스처 방지부는 전체적으로 삼각형 형태로 형성되고 상기 텍스처 방지부의 일변은 상기 제 2 선형 화소 전극과 평행하며, 상기 텍스처 방지부의 타변은 상기 게이트 라인과 평행하게 형성되는 것을 특징으로 한다.

<43> 그리고, 상기 텍스처 방지부는 상기 박막 트랜지스터와 접속하는 것을 특징으로 한다.

<44> 한편, 상기 스토리지 패턴은 상기 게이트 라인과 동일한 재질로 형성되는 것을 특징으로 한다.

<45> 또한, 상기 스토리지 패턴은 상기 게이트 라인과 동일한 평면상에 형성되는 것을 특징으로 한다.

<46> 그리고, 상기 화소 전극 패턴은 투명 도전 물질로 형성되는 것을 특징으로 한다.

<47> 이러한 상기 박막 트랜지스터 기판은 상기 게이트 라인 상에 형성되는 게이트 절연막; 및 상기 게이트 절연막과

박막 트랜지스터 상에 형성되는 보호막을 포함하는 것을 특징으로 한다.

- <48> 그리고, 상기 대향 기관은 투과 영역과 차단 영역을 포함하며, 상기 차단 영역에 형성되는 블랙매트릭스; 및 상기 투과 영역에 형성되는 컬러 필터를 포함하는 것을 특징으로 한다.
- <49> 상기 기술적 과제 외에 본 발명의 다른 기술적 과제 및 이점들은 첨부 도면을 참조한 본 발명의 바람직한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.
- <50> 이하, 본 발명의 바람직한 실시예들을 도 1 내지 도 17b를 참조하여 상세하게 설명하기로 한다.
- <51> 도 1은 본 발명의 제 1 실시예에 따른 액정 표시 패널을 도시한 평면도이고, 도 2a는 도 1에서 선 I-I'를 따라 절취한 액정 표시 패널을 도시한 단면도이고, 도 2b는 도 1에서 선 II-II'를 따라 절취한 액정 표시 패널을 도시한 단면도이다.
- <52> 도 1 내지 도 2b를 참조하면, 액정 표시 패널은 박막 트랜지스터 기관, 대향 기관, 박막 트랜지스터 기관과 대향 기관 사이에 형성되는 액정(200)을 포함한다.
- <53> 박막 트랜지스터 기관은 제 1 기관(10), 게이트 라인(20), 데이터 라인(40), 게이트 절연막(30), 박막 트랜지스터(50), 보호막(70), 화소 전극 패턴, 스토리지 패턴을 포함한다.
- <54> 제 1 기관(10)은 백라이트 어셈블리(도시하지 않음)에서 전달받은 빛을 투과하는 투과 영역 및 빛을 차단하는 차단 영역을 포함하는 다수개의 화소가 매트릭스 형태로 배치된다. 이러한 제 1 기관(10)은 절연 물질로 이루어진 유리나 플라스틱으로 이루어지는 것이 바람직하다.
- <55> 게이트 라인(20)은 제 1 기관(10)의 차단 영역에 형성된다. 그리고, 게이트 라인(20)은 박막 트랜지스터(50)의 게이트 전극(51)과 접속되어 박막 트랜지스터(50)의 게이트 전극(51)에 게이트 신호를 공급한다. 이러한 게이트 라인(20)은 금속 물질이 단일층으로 형성되거나 이 금속 물질들을 이용하여 복수층으로 적층된 구조로 형성된다. 이러한 금속 물질은 몰리브덴(Mo), 니오브(Nb), 구리(Cu), 알루미늄(Al), 크롬(Cr), 은(Ag), 텅스텐(W) 또는 이들의 합금 중 어느 하나로 형성된다.
- <56> 게이트 절연막(30)은 게이트 라인(20) 상에 형성된다. 이러한 게이트 절연막(30)은 게이트 라인(20), 게이트 전극(51) 및 스토리지 패턴을 포함하는 게이트 금속 패턴과, 데이터 라인(40), 소스 전극(53), 드레인 전극(55)을 포함하는 데이터 금속 패턴을 절연시킨다.
- <57> 데이터 라인(40)은 박막 트랜지스터(50)의 소스 전극(53)에 화소 전압 신호를 공급한다. 이러한 데이터 라인(40)은 게이트 절연막(30)을 사이에 두고 게이트 라인(20)과 교차되게 형성되어 화소를 정의한다.
- <58> 박막 트랜지스터(50)는 게이트 라인(20)의 게이트 신호에 응답하여 데이터 라인(40)의 화소 전압 신호가 화소 전극 패턴에 충전되어 유지되게 한다. 이를 위하여, 박막 트랜지스터(50)는 게이트 라인(20)에 접속된 게이트 전극(51)과, 데이터 라인(40)에 접속되며 드레인 전극(55)의 일부를 감싸도록 형성된 소스 전극(53)과, 소스 전극(53)과 마주하며 화소 전극 패턴에 접속된 드레인 전극(55)을 구비한다.
- <59> 또한, 박막 트랜지스터(50)는 게이트 전극(51)과 게이트 절연막(30)을 사이에 두고 중첩되면서 소스 전극(53)과 드레인 전극(55) 사이에 채널을 형성하는 반도체 패턴(60)을 구비한다.
- <60> 반도체 패턴(60)은 소스 전극(53)과 드레인 전극(55) 사이에 채널을 형성하고, 게이트 절연막(30)을 사이에 두고 게이트 전극(51)과 중첩되게 형성된 활성층(61)을 구비한다. 그리고, 반도체 패턴(60)은 활성층(61) 위에 형성되어 데이터 라인(40), 소스 전극(53) 및 드레인 전극(55)과 오믹 접촉을 위한 오믹 접촉층(63)을 추가로 구비한다.
- <61> 보호막(70)은 데이터 라인(40) 및 박막 트랜지스터(50)를 보호하며 데이터 라인(40) 및 박막 트랜지스터(50) 상에 형성된다. 이러한 보호막(70)은 무기 물질로 형성되는 것이 바람직하다.
- <62> 도 3은 본 발명의 실시예에 따른 액정 표시 패널 중 화소 전극 패턴을 도시한 평면도이다.
- <63> 화소 전극 패턴은 도 3에 도시된 바와 같이 중앙부(109), 선형 화소 전극(95, 97), 제 1 및 제 2 전극 연결부(91, 93), 중앙 전극(101), 텍스처 방지부(107)를 포함한다. 이러한 화소 전극 패턴은 보호막(70) 상에 형성된다. 그리고, 화소 전극 패턴은 투명하면서도 도전성을 가지는 ITO(Indium Tin Oxide), TO(Tin Oxide), IZO(Indium Zinc Oxide), ITZO(Indium Tin Zinc Oxide)와 같은 물질로 형성된다.

- <64> 중앙부(109)는 투과 영역의 중앙에 형성되며 게이트 라인(20)과 평행하게 형성된다.
- <65> 선형 화소 전극(95, 97)은 중앙부(109)를 사이에 두고 사선형으로 대칭되게 형성되는 다수개의 제 1 및 제 2 선형 화소 전극(95, 97)을 포함한다. 이러한 제 1 선형 화소 전극(95)은 중앙부(109)를 중심으로 시계 방향으로 기울어져 형성되며 제 2 선형 화소 전극(97)은 중앙부(109)를 중심으로 반시계 방향으로 기울어져 형성된다.
- <66> 제 1 및 제 2 전극 연결부(91, 93)는 차단 영역에 형성되며 데이터 라인(40)과 평행하게 형성된다. 이러한 제 1 및 제 2 전극 연결부(91, 93)는 다수개의 선형 화소 전극(95, 97)을 연결한다. 그리고, 제 1 및 제 2 전극 연결부(91, 93)는 중앙부(109)와 접속한다. 다시 말하여, 제 1 전극 연결부(91)는 중앙부(109)의 좌측부와 접속되며 제 2 전극 연결부(93)는 중앙부(109)의 우측부와 접속된다. 이러한 제 2 전극 연결부(93)의 끝단은 제 1 전극 연결부의 끝단은 연결된다. 예를 들어, 제 2 전극 연결부(93)는 전체적으로 역 'L' 형태로 형성될 수 있다.
- <67> 중앙 전극(101)은 제 1 전극 연결부와 중앙부(109)의 교차부에 형성된다. 이러한 중앙 전극(101)은 삼각형 형태로 형성된다.
- <68> 텍스처 방지부(107)는 제 2 전극 연결부(93)의 하단과 제 1 전극 연결부(91)의 하단이 연결되어 형성된다. 그리고, 텍스처 방지부(107)는 전체적으로 삼각형 형태로 형성된다. 구체적으로, 텍스처 방지부(107)의 일변(103)은 제 2 선형 화소 전극(97)과 평행하며 텍스처 방지부(107)의 타변(105)은 게이트 라인(20)과 평행하게 형성된다. 텍스처 방지부(107)의 일변(103)이 제 2 선형 화소 전극(97)과 평행하게 형성되어 프린지 전계를 일정하게 걸어주어서 액정(200)의 제어가 가능하다. 이에 따라, 액정 표시 패널에 화소의 텍스처는 안정하게 표시된다. 이러한, 텍스처 방지부(107)는 보호막(70)을 관통하는 콘택홀(75)에 의해 노출된 드레인 전극(55)과 접속한다.
- <69> 도 4a는 본 발명의 제 1 실시예에 따른 액정 표시 패널 중 스토리지 패턴을 도시한 평면도이고, 도 4b는 도 3에 도시한 화소 전극 패턴과 도 4a에 도시한 스토리지 패턴을 도시한 평면도이다.
- <70> 스토리지 패턴은 도 4a 및 도 4b에 도시된 바와 같이 제 1 및 제 2 스토리지 전극(81, 83), 스토리지 라인(85)을 포함한다. 이러한 스토리지 패턴은 게이트 라인(20) 및 게이트 전극(51)과 동일한 평면 상에 형성되며 동일한 재질로 형성된다. 구체적으로, 스토리지 패턴은 제 1 기판(10) 상에 형성된다. 그리고, 스토리지 패턴은 금속 물질이 단일층으로 형성되거나 이 금속 물질 등을 이용하여 복수층으로 적층된 구조로 형성된다. 이러한 금속 물질은 몰리브덴(Mo), 니오브(Nb), 구리(Cu), 알루미늄(Al), 크롬(Cr), 은(Ag), 텅스텐(W) 또는 이들의 합금 중 어느 하나로 형성된다.
- <71> 제 1 및 제 2 스토리지 전극(81, 83)은 차단 영역에 데이터 라인(40)과 평행하게 형성된다. 그리고, 제 1 및 제 2 스토리지 전극(81, 83)은 스토리지 라인(85)을 사이에 두고 평행하게 형성된다. 구체적으로, 제 1 스토리지 전극(81)은 스토리지 라인(85)과 연장되어 형성된다. 그리고, 제 2 스토리지 전극(83)은 스토리지 라인(85)에서 연장되어 드레인 전극(55)부터 제 2 전극 연결부(93)까지 형성되며 제 2 스토리지 전극(83) 끝단은 돌출되어 화소를 정의한다. 예를 들어 제 2 스토리지 전극(83)은 전체적으로 역 'L' 형태로 형성될 수 있다. 그리고, 제 1 스토리지 전극(81)은 스토리지 라인(85)으로부터 연장되어 게이트 라인(20)의 상단부터 돌출되어 형성된 제 2 스토리지 전극(83)의 하단 까지 형성되며 제 2 스토리지 전극(83)과 평행하게 형성된다. 한편, 제 1 및 제 2 스토리지 전극(81, 83)의 폭은 도 5a에 도시된 바와 같이 화소 전극 패턴의 제 1 및 제 2 전극 연결부(91, 93)의 폭과 동일한 폭으로 형성된다. 또한, 제 1 및 제 2 스토리지 전극(81, 83)의 폭은 도 5b에 도시된 바와 같이 제 1 및 제 2 전극 연결부(91, 93)의 폭 보다 넓게 형성된다. 스토리지 패턴과 화소 전극 패턴이 중첩되어 스토리지 커패시터(Cst)가 형성된다. 구체적으로, 스토리지 커패시터(Cst)는 게이트 절연막(30) 및 보호막(70)을 사이에 두고 스토리지 패턴과 화소 전극 패턴이 중첩되어 형성된다. 이에 따라, 스토리지 커패시터(Cst)의 용량은 스토리지 패턴과 화소 전극 패턴의 많은 부분이 중첩되어 향상되는 효과가 발생한다.
- <72> 스토리지 라인(85)은 게이트 라인(20)과 평행하게 형성되며 투과 영역의 중앙 부분에 형성된다. 이러한 스토리지 라인(85)은 화소 전극 패턴의 중앙부(109) 내에 형성된다. 다시 말하여, 스토리지 라인(85)은 중앙부(109)보다 작게 형성된다. 이에 따라, 중앙부(109) 및 스토리지 라인(85)의 폭이 동일하지 않아 단차가 형성되지 않으므로 빗샘을 방지할 수 있다. 그리고, 스토리지 라인(85)은 제 1 스토리지 전극(81)과 제 2 스토리지 전극(83)을 연결한다. 구체적으로, 스토리지 라인(85)의 좌측부와 제 1 스토리지 전극(81)이 연결되며 스토리지 라인(85)의 우측부와 제 2 스토리지 전극(83)이 연결된다. 예를 들어, 스토리지 라인(85)과 제 1 및 제 2 스토리지 전극(81, 83)은 전체적으로 'H' 형태로 형성될 수 있다.

- <73> 도 6a는 본 발명의 제 4 실시예에 따른 액정 표시 패널 중 스토리지 패턴을 도시한 평면도이고, 도 6b는 도 3에 도시한 화소 전극 패턴과 도 6a에 도시한 스토리지 패턴을 도시한 평면도이다. 또한, 도 7a는 본 발명의 제 5 실시예에 따른 액정 표시 패널 중 스토리지 패턴을 도시한 평면도이고, 도 7b는 도 3에 도시한 화소 전극 패턴과 도 7a에 도시한 스토리지 패턴을 도시한 평면도이다.
- <74> 도 6a를 참조하면, 스토리지 패턴은 중앙 스토리지 전극(89)을 포함한다. 중앙 스토리지 전극(89)은 스토리지 라인(85)과 제 1 스토리지 전극(81)의 교차부에 형성된다. 그리고, 중앙 스토리지 전극(89)은 도 6b에 도시된 바와 같이 화소 전극 패턴의 중앙 전극(101) 내에 형성된다. 구체적으로, 중앙 스토리지 전극(89)은 중앙 전극(101)보다 $4\mu\text{m}$ 이상 안쪽으로 형성되는 것이 바람직하다. 예를 들어, 중앙 스토리지 전극(89)과 중앙 전극(101)의 간격(a)이 $4\mu\text{m}$ 미만으로 형성될 경우 단차가 형성되어 빗샘이 발생하는 문제점이 발생한다. 따라서, 중앙 스토리지 전극(89)과 중앙 전극(101)의 간격(a)은 $4\mu\text{m}$ 이상 안쪽으로 형성되는 것이 바람직하다. 이러한 중앙 스토리지 전극(89)은 삼각형 형태로 형성될 수 있다. 또한, 중앙 스토리지 전극(89)은 도 7a 및 도 7b에 도시된 바와 같이 사각형 형태로 형성될 수 있다. 이에 따라, 중앙 스토리지 전극(89) 및 중앙 전극(101)에 의해 단차가 발생하지 않으므로 빗샘을 방지할 수 있다. 여기서 중앙 스토리지 전극(89)은 삼각형 또는 사각형 형태의 경우만 예를 들어 설명하였지만 삼각형 또는 사각형 형태에 한정하지 않고, 중앙 스토리지 전극(89)과 중앙 전극(101)의 간격(a)이 $4\mu\text{m}$ 이상 차이 나게 형성되면 가능하다.
- <75> 대향 기관은 블랙 매트릭스(160), 컬러 필터, 평탄화층(180) 및 공통 전극 패턴(190)을 포함한다.
- <76> 제 2 기관(150)은 빛이 투과하는 투과 영역과 빛이 차단되는 차단 영역을 포함한다. 이러한, 제 2 기관(150)은 절연 물질로 이루어진 유리나 플라스틱으로 이루어지는 것이 바람직하다.
- <77> 블랙 매트릭스(160)는 컬러 필터(170)가 형성될 화소를 구분하도록 제 2 기관(150) 상에 매트릭스 형태로 차단 영역에 형성된다. 또한, 블랙 매트릭스(160)는 박막 트랜지스터 기관의 게이트 라인(20) 및 데이터 라인(40), 박막 트랜지스터(50)와 중첩되도록 형성된다. 이러한 블랙 매트릭스(160)는 원하지 않는 액정(200) 배열로 인해 생긴 광을 차단하여 액정 표시 패널의 콘트라스트(contrast)를 향상시키고 박막 트랜지스터(50)로의 직접적인 광 조사를 차단하여 박막 트랜지스터(50)의 광 누설 전류를 막는다. 이를 위해, 블랙 매트릭스(160)는 불투명한 금속 또는 불투명한 고분자 수지 등으로 형성된다. 이러한 불투명한 고분자 수지는 유기 고분자물질로 형성된다.
- <78> 컬러 필터(170)는 색을 구현하기 위해 적색(R), 녹색(G), 청색(B) 컬러 필터(170)를 포함하고 있다. 적색(R), 녹색(G), 청색(B) 컬러 필터(170)는 각각 자신의 포함하고 있는 적색(R), 녹색(G), 청색(B) 안료를 통해 특정 파장의 광을 흡수 또는 투과시킴으로써 적색(R), 녹색(G), 청색(B)을 띄게 된다. 이때, 적색(R), 녹색(G), 청색(B) 컬러 필터(170)를 각각 투과한 적색(R), 녹색(G), 청색(B) 광의 가법 혼합을 통해 다양한 색상이 구현된다. 이러한 컬러 필터(170)의 색의 배치는 적색(R), 녹색(G), 청색(B) 컬러 필터(170)가 일렬로 배치된 스트라이프 형태를 가진다.
- <79> 평탄화층(180)은 컬러 필터 및 블랙 매트릭스(160) 상에 형성된다. 이러한 평탄화층(180)은 컬러 필터의 표면을 평탄화한다.
- <80> 공통 전극 패턴(190)은 평탄화층(180) 상에 형성된다. 이러한 공통 전극 패턴(190)은 박막 트랜지스터 기관에 형성된 다수개의 선형 화소 전극(95, 97)과 엇갈리게 형성된다. 엇갈리게 형성된 선형 화소 전극(95, 97)과 공통 전극 패턴(190)에 의해 프린지 전계가 형성된다. 프린지 전계를 이용하여 액정(200)들이 선형 화소 전극(95, 97)을 사이에 두고 대칭적으로 구동되게 함으로써 멀티-도메인을 형성한다. 그리고, 공통 전극 패턴(190)은 투명하면서도 도전성을 가지는 ITO(Indium Tin Oxide), TO(Tin Oxide), IZO(Indium Zinc Oxide), ITZO(Indium Tin Zinc Oxide)와 같은 물질로 형성된다.
- <81> 액정(200)은 박막 트랜지스터 기관의 화소 전극 패턴으로부터의 화소 전압과 대향 기관의 공통 전극 패턴(190)으로부터의 공통 전압의 차이에 의해 회전하여 백라이트 어셈블리로부터의 광의 투과율을 조절한다. 이를 위해, 액정(200)은 유전율 이방성 및 굴절률 이방성을 갖는 물질로 이루어진다.
- <82> DFS 모드는 양 또는 음의 유전율 이방성을 갖는 액정(200)이 수평으로 배향되고 전계 방향에 수평 또는 수직하게 구동되어 광투과율을 조절하게 된다. 그리고, 제 1 기관(10)과 제 2 기관(150)의 상부에는 수평 배향막이 형성된다. 여기서는 양의 유전율 이방성을 갖는 액정에 대해 설명하기로 한다. 도 8에 도시된 바와 같이 액정 표시 패널에 전압을 인가하지 않을 경우 액정(200)은 선형 화소 전극(95, 97) 및 공통 전극 패턴(90)과 $10^\circ \sim 30^\circ$ 의 각도로 형성된다. 그리고, 도 9에 도시된 바와 같이 액정 표시 패널에 전압을 인가할 경우 액정(200)은

들어져서 선형 화소 전극(95, 97) 및 공통 전극 패턴(90)과 수직을 이룬다. 여기서, 도 9에 도시한 액정(200)은 액정 표시 패널에 전압을 인가하였을 때 액정(200)의 변화된 모습을 설명하기 위해 도시하였으므로 대표적인 액정(200)만 도시한 것이다.

- <83> 그리고, 본 발명에 따른 액정 표시 패널 중 박막 트랜지스터 기관의 제조 방법을 도 10 내지 도 19b를 구체적으로 살펴보면 다음과 같다.
- <84> 도 10 내지 도 11b는 본 발명의 제1 실시예에 따른 액정 표시 패널 중 박막 트랜지스터 기관의 제조 방법 중 제 1 마스크 공정을 설명하기 위한 평면도 및 단면도이다.
- <85> 도 10 내지 도 11b를 참조하면, 제 1 마스크 공정으로 절연된 제 1 기관(10) 상에 게이트 라인(20), 게이트 전극(51) 및 스토리지 패턴을 포함하는 게이트 금속 패턴이 형성된다. 구체적으로, 절연된 제 1 기관(10) 상에 스퍼터링 방법 등의 증착 방법을 통해 게이트 금속층이 형성된다. 게이트 금속층(33)은 금속 물질이 단일층으로 형성되거나 이 금속 물질 등을 이용하여 복수층으로 적층된 구조로 형성된다. 이러한 금속 물질은 몰리브덴(Mo), 니오브(Nb), 구리(Cu), 알루미늄(Al), 크롬(Cr), 은(Ag), 텅스텐(W) 또는 이들의 합금 중 어느 하나로 형성된다. 이어서, 제 1 마스크를 이용한 포토리소그래피 공정 및 식각 공정으로 게이트 금속층이 패터닝됨으로써 게이트 라인(20), 게이트 전극(51) 및 스토리지 패턴을 포함하는 게이트 금속 패턴이 형성된다.
- <86> 도 12 내지 도 13b는 본 발명의 제1 실시예에 따른 액정 표시 패널 중 박막 트랜지스터 기관의 제조 방법 중 제 2 마스크 공정을 설명하기 위한 평면도 및 단면도이다.
- <87> 도 12 내지 도 13b를 참조하면, 게이트 라인(20), 게이트 전극(51) 및 스토리지 패턴이 포함된 게이트 금속 패턴 상에 게이트 절연막(30)이 형성되고 게이트 절연막(30) 상에 활성층(61) 및 오믹 접촉층(63)이 포함된 반도체 패턴(60)을 형성한다.
- <88> 구체적으로, 게이트 금속 패턴 상에 PECVD(Plasma Enhanced Chemical Vapor Deposition : 이하 PECVD) 등의 증착 방법으로 게이트 절연막(30), 비정질 실리콘층, 불순물이 도핑된 비정질 실리콘층이 순차적으로 형성된다. 게이트 절연막(30)은 산화 실리콘(SiO_x), 질화 실리콘(SiN_x) 등과 같은 무기 절연 물질로 형성된다. 이어서, 제 2 마스크를 이용하여 포토리소그래피 공정 및 식각 공정으로 비정질 실리콘층 및 불순물이 도핑된 비정질 실리콘층이 패터닝됨으로써 활성층(61) 및 오믹 접촉층(63)이 포함된 반도체 패턴(60)이 형성된다.
- <89> 도 14 및 도 15는 본 발명의 제1 실시예에 따른 액정 표시 패널 중 박막 트랜지스터 기관의 제조 방법 중 제 3 마스크 공정을 설명하기 위한 평면도 및 단면도이다.
- <90> 도 14 및 도 15를 참조하면, 반도체 패턴(60) 및 게이트 절연막(30) 상에 데이터 라인(40)과 소스 전극(53) 및 드레인 전극(55)이 포함된 데이터 금속 패턴이 형성된다.
- <91> 구체적으로, 반도체 패턴(60) 및 게이트 절연막(30) 상에 데이터 금속층은 스퍼터링 등의 증착 방법으로 형성된다. 데이터 금속층은 금속 물질이 단일층으로 형성되거나 이 금속 물질 등을 이용하여 복수층으로 적층된 구조로 형성된다. 이러한 금속 물질은 몰리브덴(Mo), 니오브(Nb), 구리(Cu), 알루미늄(Al), 크롬(Cr), 은(Ag), 텅스텐(W) 또는 이들의 합금 중 어느 하나로 형성된다. 그리고, 제 3 마스크를 이용하여 포토리소그래피 공정 및 식각 공정으로 데이터 금속층이 패터닝됨으로써 데이터 라인(40), 소스 전극(53) 및 드레인 전극(55)을 포함하는 데이터 금속 패턴이 형성된다. 이어서, 소스 전극(53)과 드레인 전극(55)을 마스크를 이용하여 두 전극 사이로 노출된 오믹 접촉층(63)을 제거하여 활성층(61)이 노출되게 한다. 여기서, 반도체 패턴(60)과 데이터 라인(40), 소스 전극(53), 드레인 전극(55)을 포함하는 데이터 금속 패턴은 회절 노광 마스크 또는 하프톤(Half-tone) 마스크를 이용하여 하나의 마스크 공정으로 형성되기도 한다.
- <92> 도 16 내지 도 17b는 본 발명의 제1 실시예에 따른 액정 표시 패널 중 박막 트랜지스터 기관의 제조 방법 중 제 4 마스크 공정을 설명하기 위한 평면도 및 단면도이다.
- <93> 도 16 내지 도 17b를 참조하면, 데이터 금속 패턴 및 게이트 절연막(30) 상에 콘택홀(75)을 갖는 보호막(70)이 형성된다. 데이터 금속 패턴 및 게이트 절연막(30) 상에 PECVD 등의 방법으로 보호막(70)이 형성된다. 보호막(70)은 게이트 절연막(30)과 동일한 무기 절연 물질이 이용된다. 이어서, 제 4 마스크를 이용하여 포토리소그래피 공정 및 식각 공정으로 보호막(70)이 패터닝됨으로써 드레인 전극(55)을 노출시키는 콘택홀(75)이 형성된다.
- <94> 도 18 내지 도 19b는 본 발명의 제1 실시예에 따른 액정 표시 패널 중 박막 트랜지스터 기관의 제조 방법 중 제 5 마스크 공정을 설명하기 위한 평면도 및 단면도이다.

<95> 도 18 내지 도 19b를 참조하면, 보호막(70) 상에 화소 전극 패턴이 형성된다. 보호막(70) 상에 투명 전도층이 스퍼터링 등과 같은 증착 방법으로 형성된다. 투명 전도층은 ITO(Indium Tin Oxide), TO(Tin Oxide), IZO(Indium Zinc Oxide), ITZO(Indium Tin Zinc Oxide) 등으로 형성된다. 제 5 마스크를 이용하여 포토리소그 래피 공정 및 식각 공정으로 투명 전도층이 패터닝됨으로써 화소 전극 패턴이 형성된다. 화소 전극 패턴 중 텍 스톱 방지부(107)는 콘택홀(75)을 통해 노출된 드레인 전극(55)과 접속된다.

발명의 효과

<96> 상술한 바와 같이, 본 발명에 따른 액정 표시 패널은 투과 영역에서 화소 전극 패턴 내에 스토리지 패턴을 형성한다. 구체적으로, 중앙부 및 중앙 전극 내에 스토리지 라인 및 중앙 스토리지 전극을 형성하여 단차가 발생하지 않으므로 빔샘을 차단할 수 있다. 그리고, 텍스처 방지부를 형성하여 액정을 제어함으로써 액정 표시 패널에 텍스처가 안정하게 표시할 수 있다.

<97> 이상에서 설명한 본 발명의 상세한 설명에서는 본 발명의 바람직한 실시 예를 참조하여 설명하였지만, 해당 기술분야의 숙련된 당업자 또는 해당 기술분야에 통상의 지식을 갖는 자라면 후술 될 특허청구범위에 기재된 본 발명의 사상 및 기술영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 자명하다.

도면의 간단한 설명

<1> 도 1은 본 발명의 제 1 실시예에 따른 액정 표시 패널을 도시한 평면도이다.

<2> 도 2a는 도 1에서 선 I-I'를 따라 절취한 액정 표시 패널을 도시한 단면도이고, 도 2b는 도 1에서 선 II-II'를 따라 절취한 액정 표시 패널을 도시한 단면도이다.

<3> 도 3은 본 발명의 실시예에 따른 액정 표시 패널 중 화소 전극 패턴을 도시한 평면도이다.

<4> 도 4a는 본 발명의 제 1 실시예에 따른 액정 표시 패널 중 스토리지 패턴을 도시한 평면도이고, 도 4b는 도 3에 도시한 화소 전극 패턴과 도 4a에 도시한 스토리지 패턴을 도시한 평면도이다.

<5> 도 5a는 본 발명의 제 2 실시예에 따른 액정 표시 패널 중 스토리지 패턴과 화소 전극 패턴을 도시한 평면도이고, 도 5b는 본 발명의 제 3 실시예에 따른 액정 표시 패널 중 스토리지 패턴과 화소 전극 패턴을 도시한 평면도이다.

<6> 도 6a는 본 발명의 제 4 실시예에 따른 액정 표시 패널 중 스토리지 패턴을 도시한 평면도이고, 도 6b는 도 3에 도시한 화소 전극 패턴과 도 6a에 도시한 스토리지 패턴을 도시한 평면도이다.

<7> 도 7a는 본 발명의 제 5 실시예에 따른 액정 표시 패널 중 스토리지 패턴을 도시한 평면도이고, 도 7b는 도 3에 도시한 화소 전극 패턴과 도 7a에 도시한 스토리지 패턴을 도시한 평면도이다.

<8> 도 8 및 도 9는 본 발명의 실시예에 따른 액정 표시 패널 중 액정을 설명하기 위해 도시한 평면도이다.

<9> 도 10 내지 도 11b는 본 발명의 제1 실시예에 따른 액정 표시 패널 중 박막 트랜지스터 기관의 제조 방법 중 제 1 마스크 공정을 설명하기 위한 평면도 및 단면도이다.

<10> 도 12 내지 도 13b는 본 발명의 제1 실시예에 따른 액정 표시 패널 중 박막 트랜지스터 기관의 제조 방법 중 제 2 마스크 공정을 설명하기 위한 평면도 및 단면도이다.

<11> 도 14 및 도 15는 본 발명의 제1 실시예에 따른 액정 표시 패널 중 박막 트랜지스터 기관의 제조 방법 중 제 3 마스크 공정을 설명하기 위한 평면도 및 단면도이다.

<12> 도 16 내지 도 17b는 본 발명의 제1 실시예에 따른 액정 표시 패널 중 박막 트랜지스터 기관의 제조 방법 중 제 4 마스크 공정을 설명하기 위한 평면도 및 단면도이다.

<13> 도 18 내지 도 19b는 본 발명의 제1 실시예에 따른 액정 표시 패널 중 박막 트랜지스터 기관의 제조 방법 중 제 5 마스크 공정을 설명하기 위한 평면도 및 단면도이다.

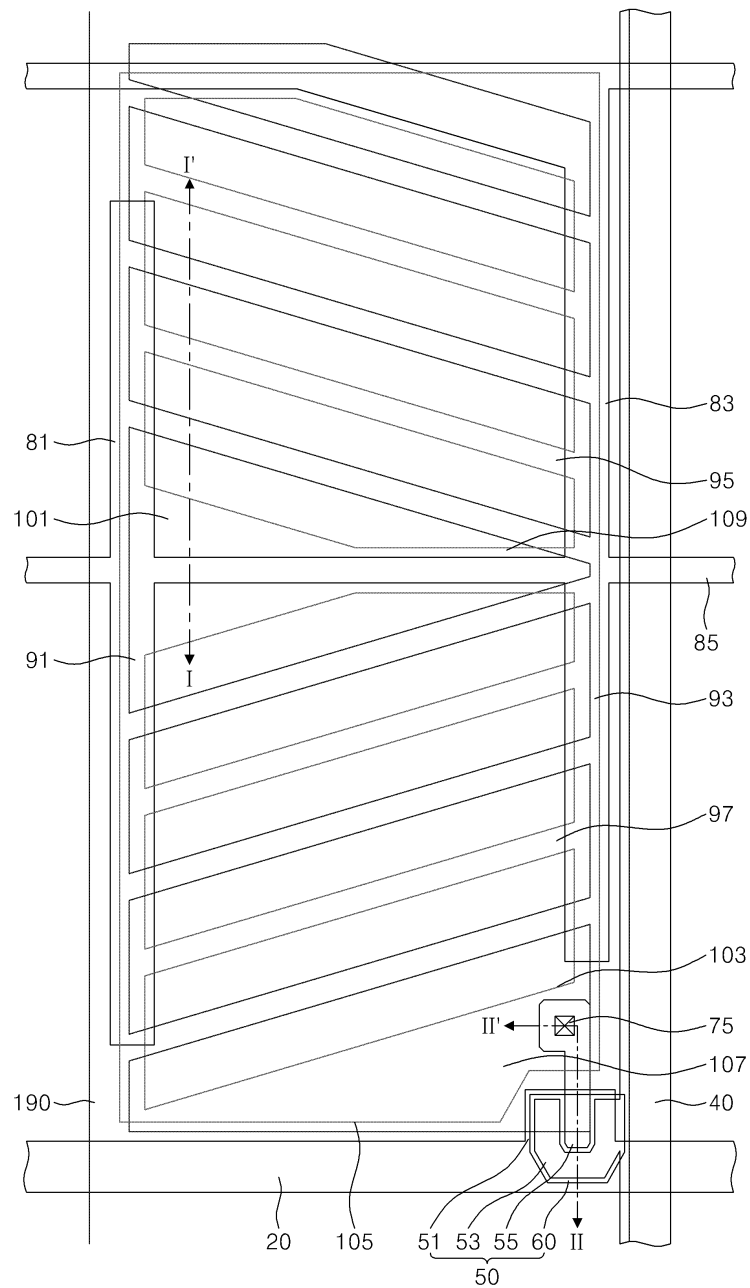
<14> <도면 부호의 간단한 설명>

<15> 10, 150 : 기판 20 : 게이트 라인

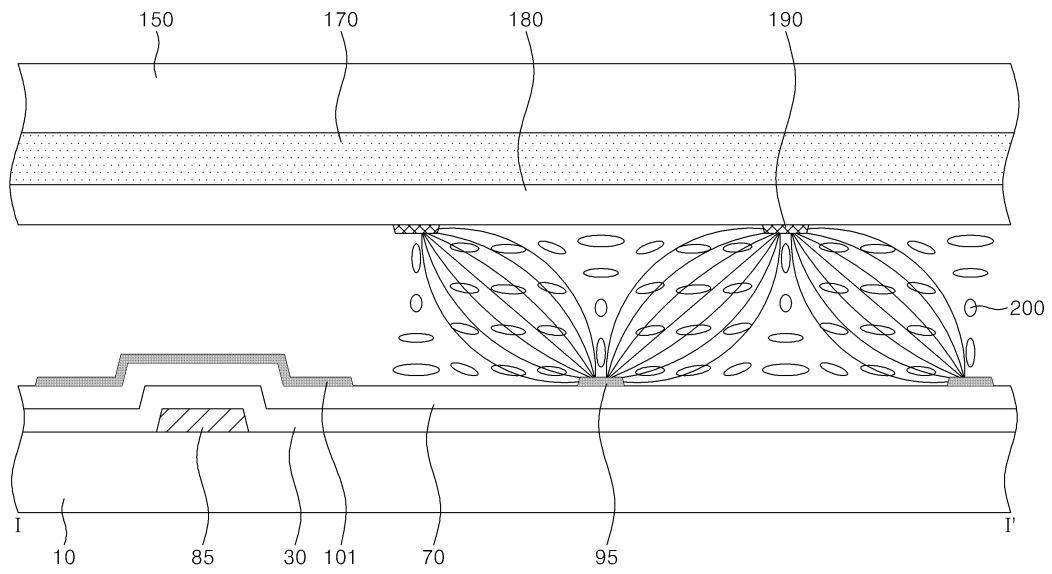
<16>	40 : 데이터 라인	50 : 박막 트랜지스터
<17>	81, 83 : 스토리지 전극	85 : 스토리지 라인
<18>	89 : 중앙 스토리지 전극	91, 93 : 전극 연결부
<19>	95, 97 : 선형 화소 전극	101 : 중앙 전극
<20>	107 : 텍스처 방지부	109 : 중앙부
<21>	160 : 블랙 매트릭스	170 : 컬러 필터
<22>	180 : 평탄화층	190 : 공통 전극 패턴
<23>	200 : 액정	

도면

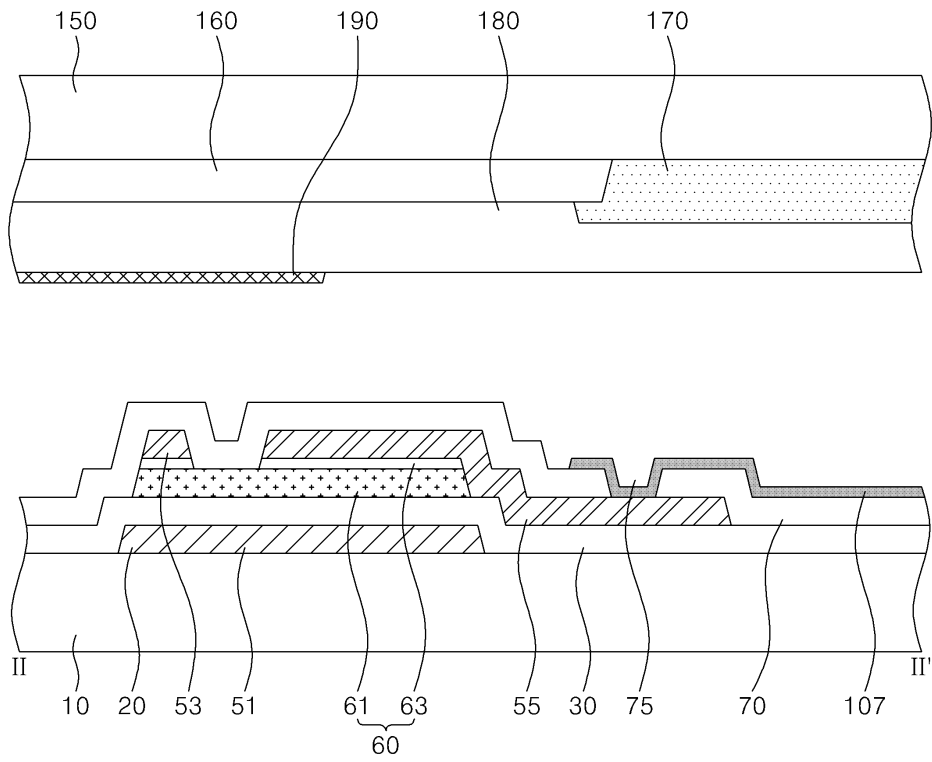
도면1



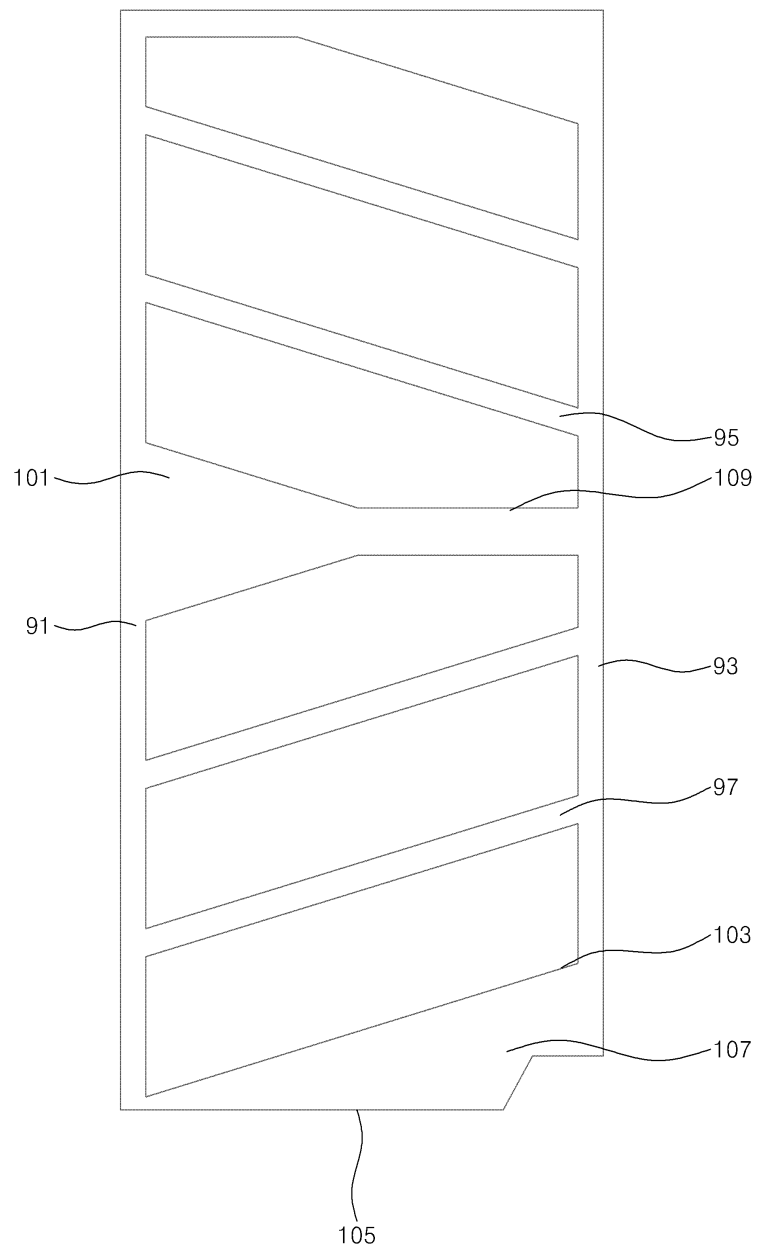
도면2a



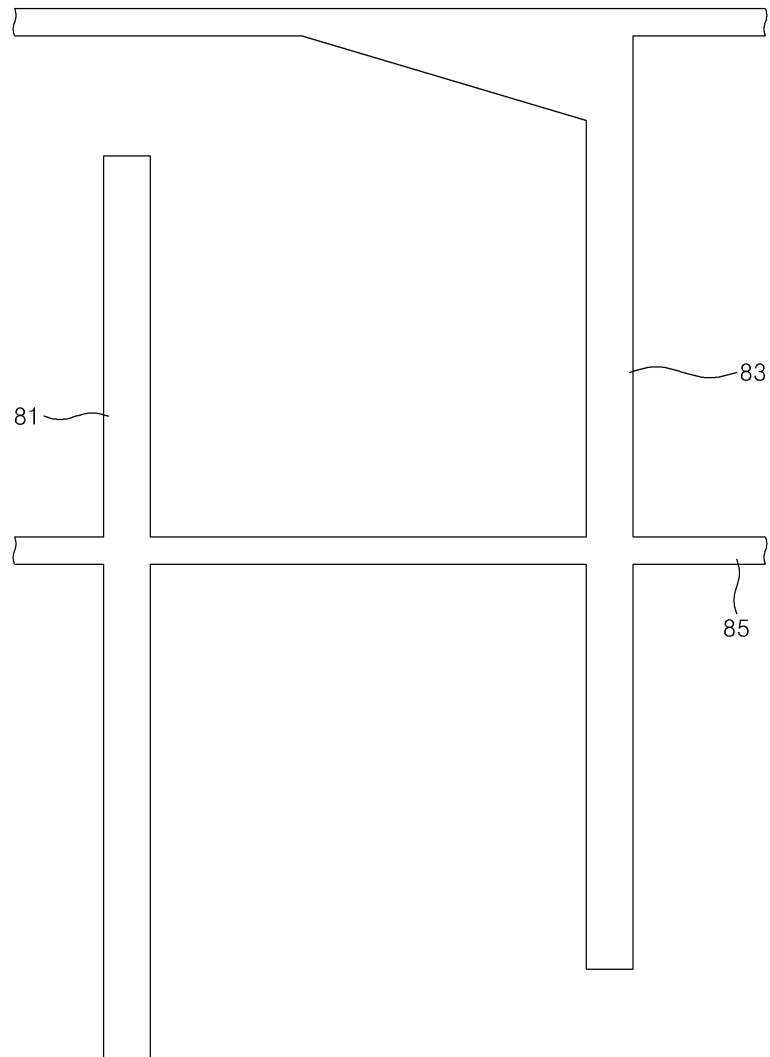
도면2b



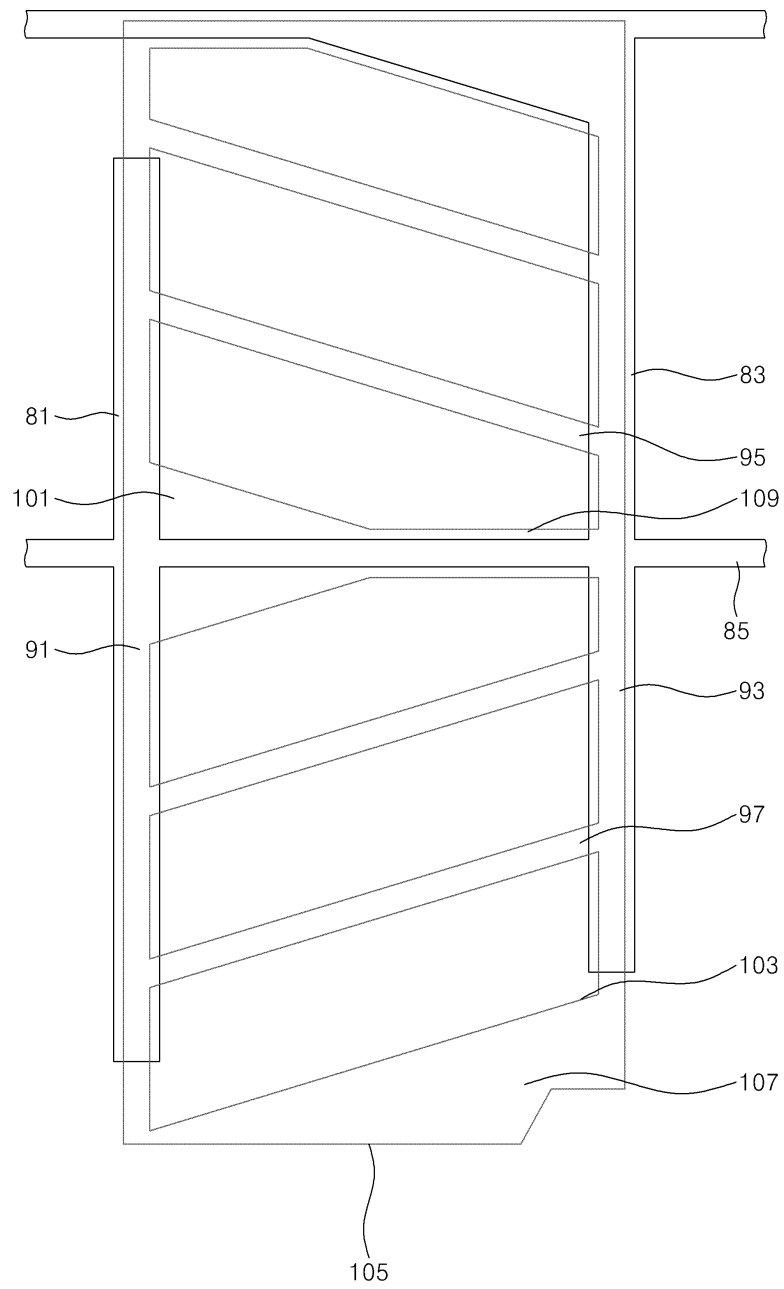
도면3



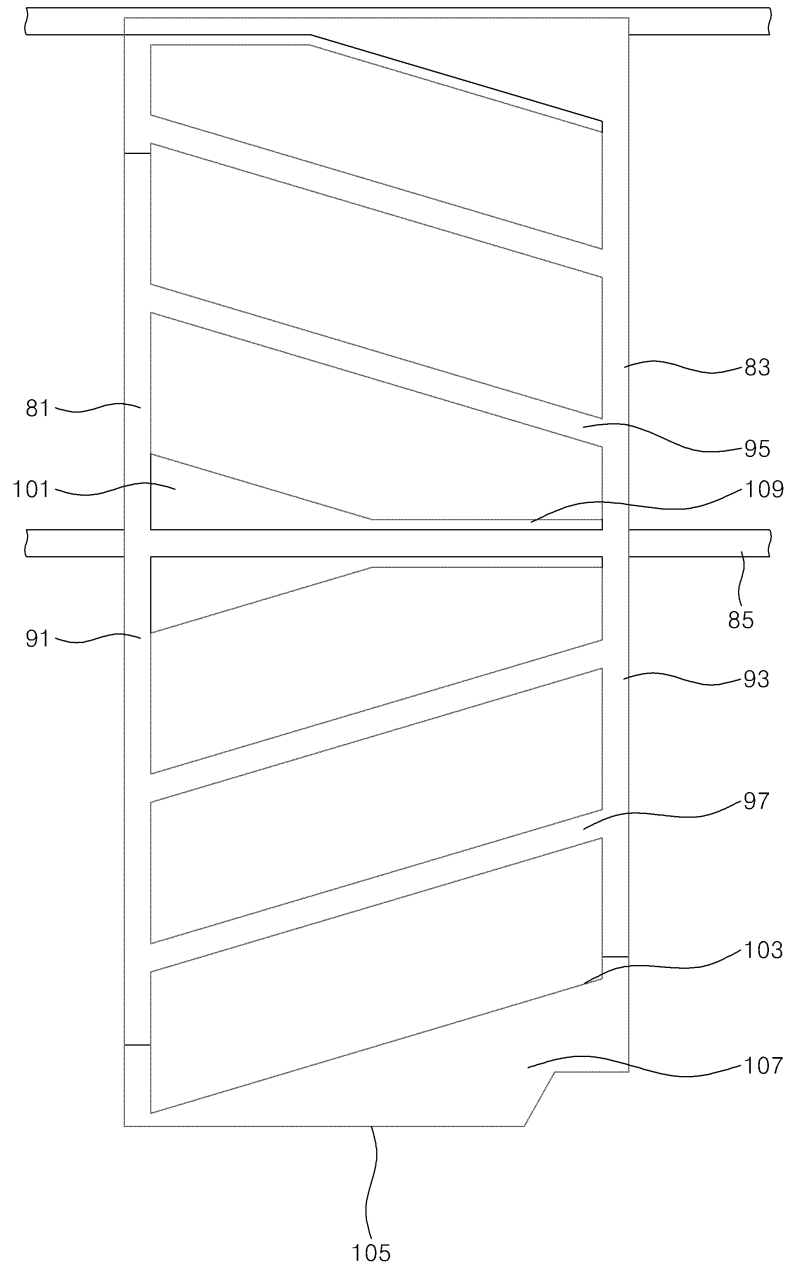
도면4a



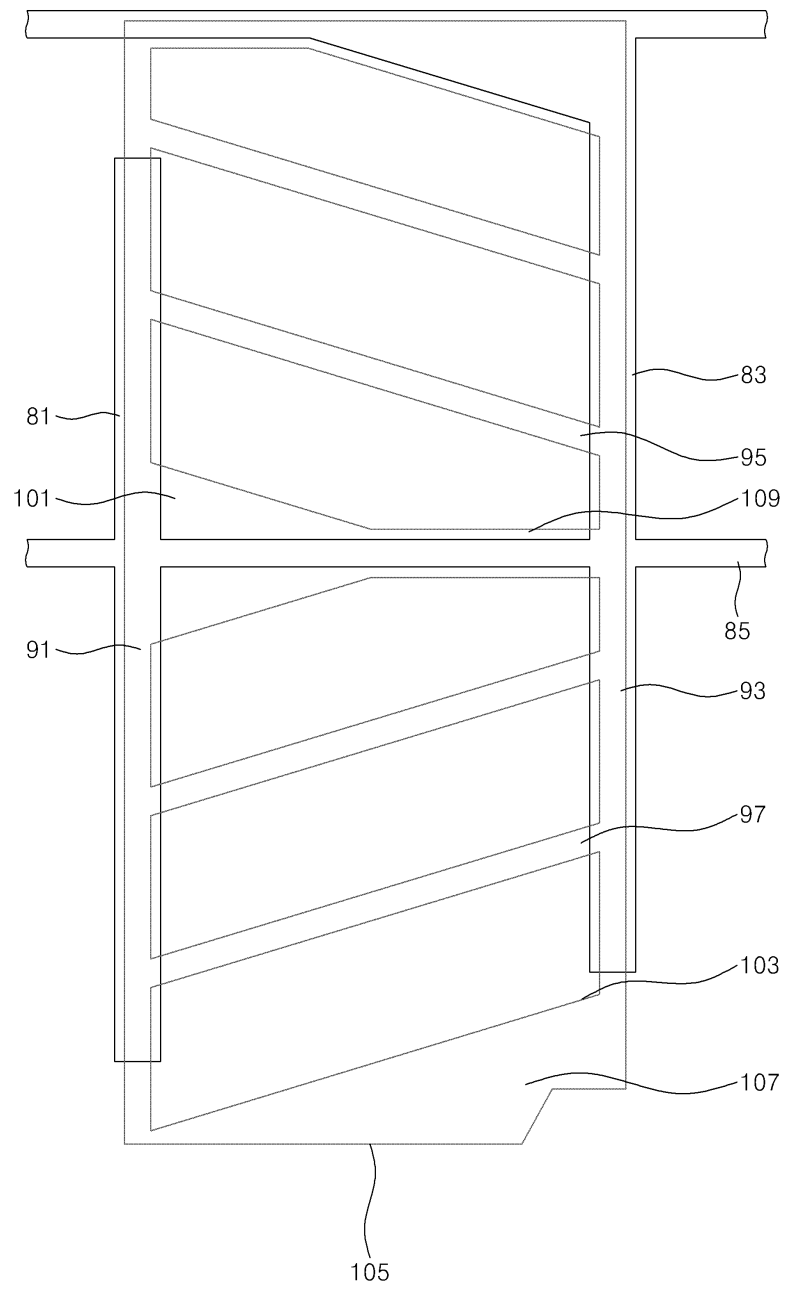
도면4b



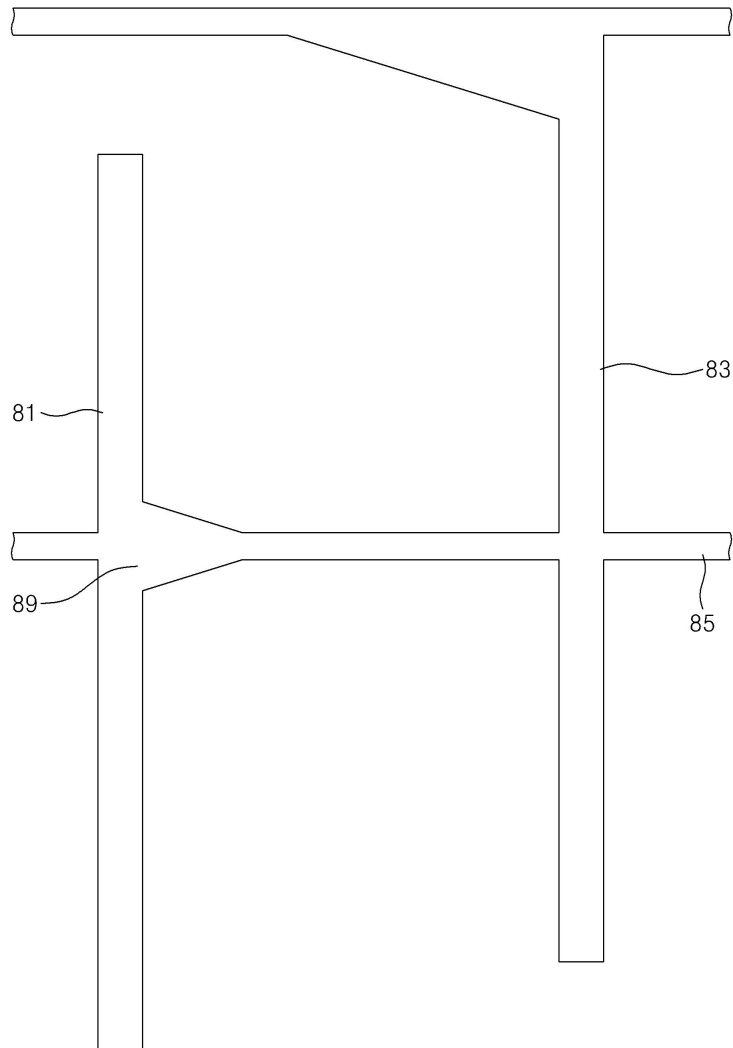
도면5a



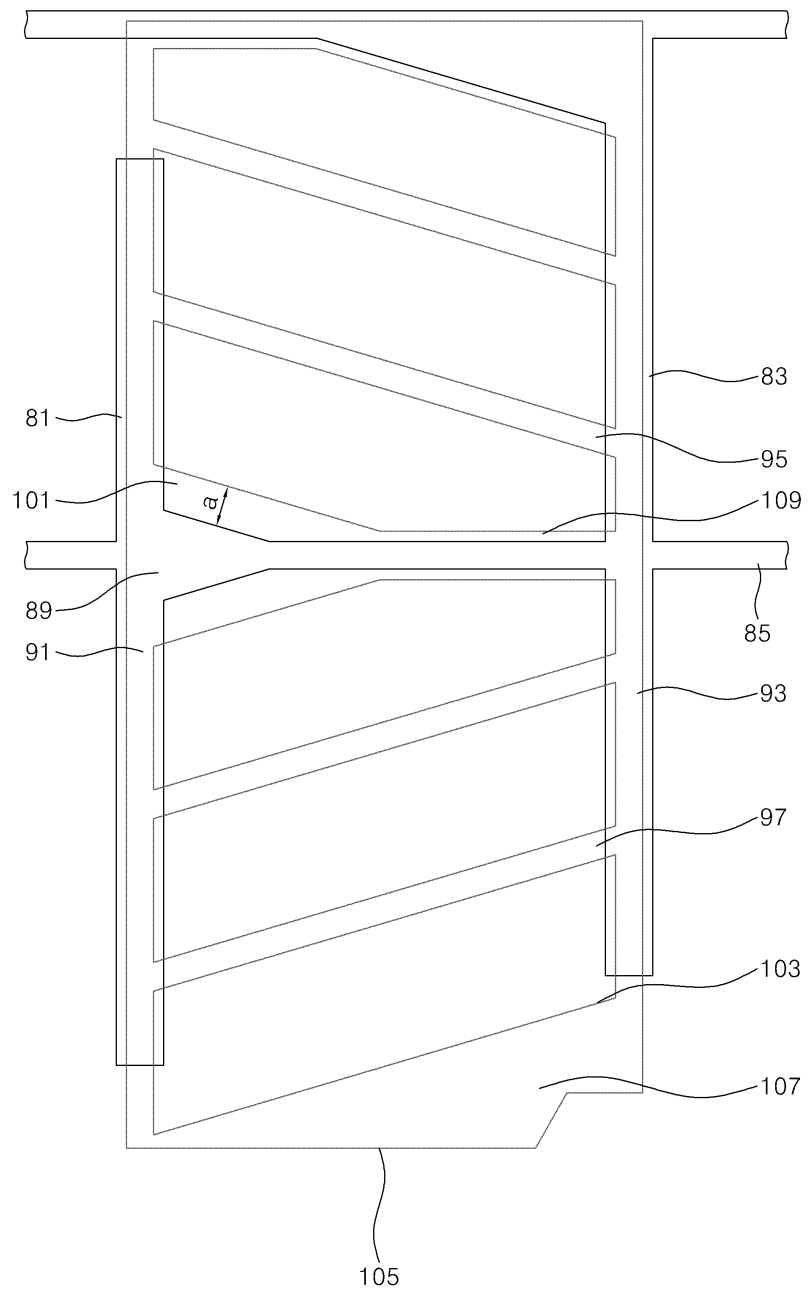
도면5b



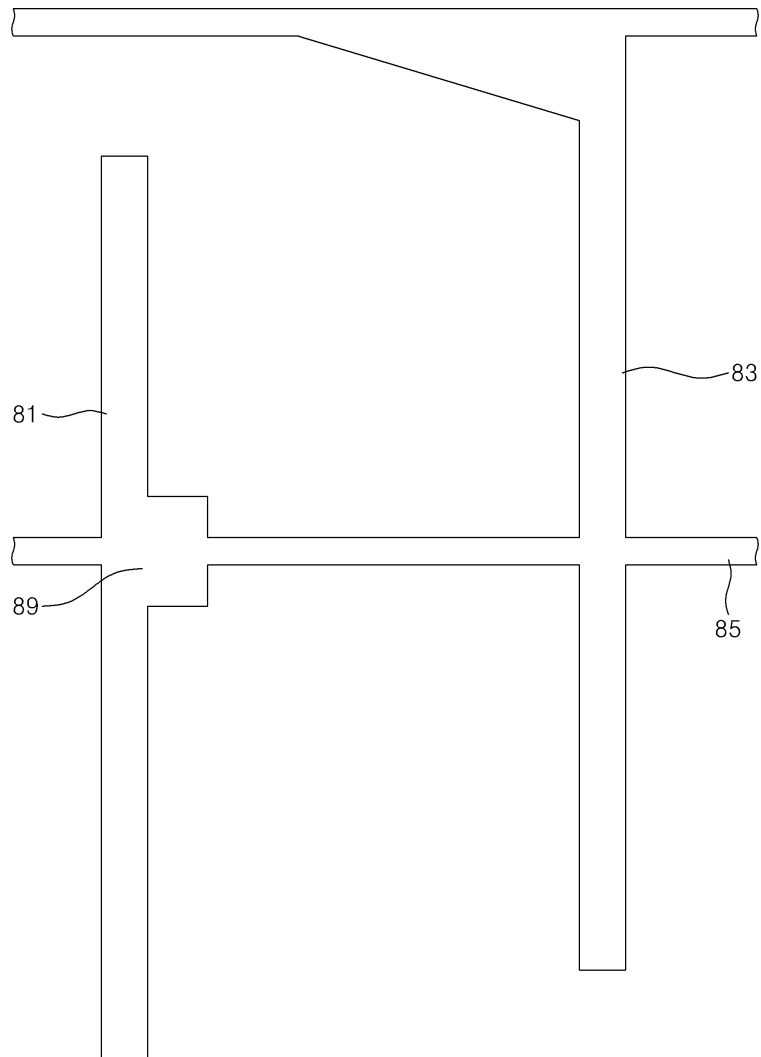
도면6a



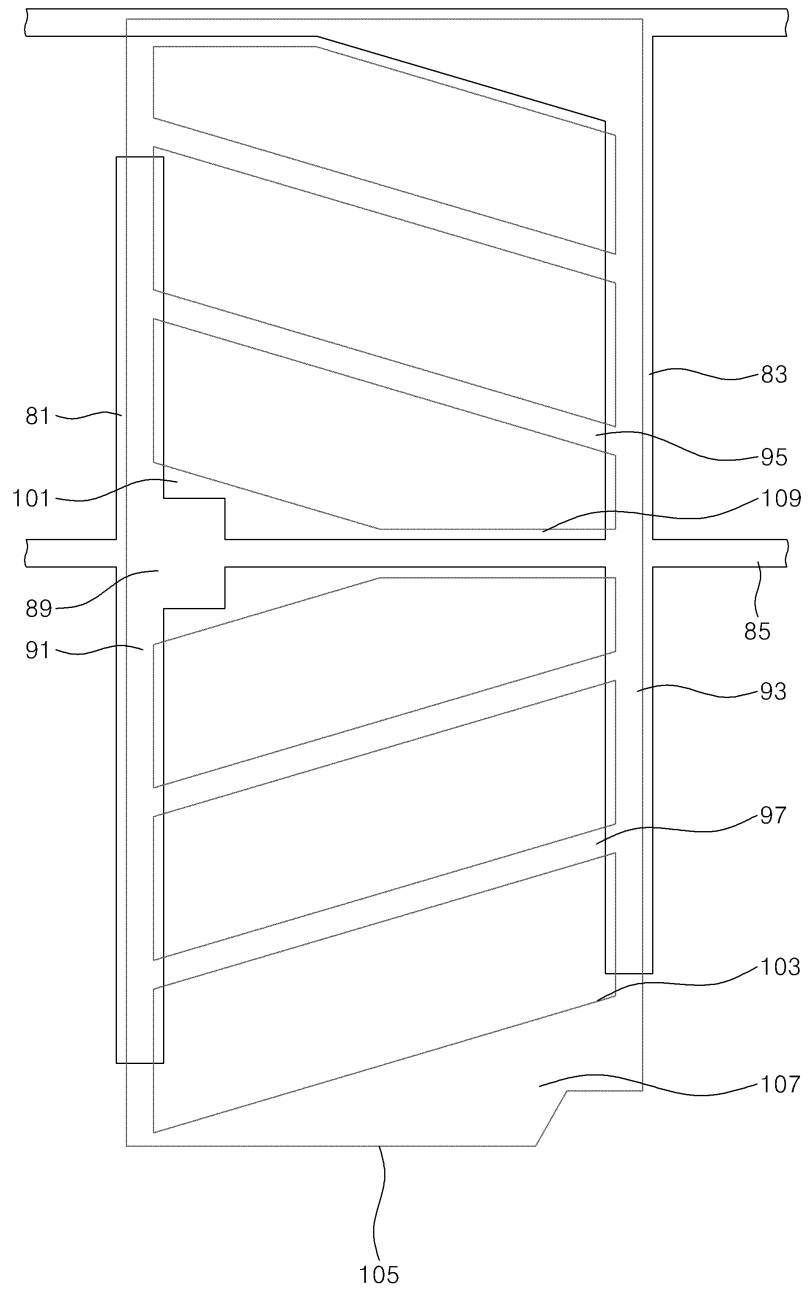
도면6b



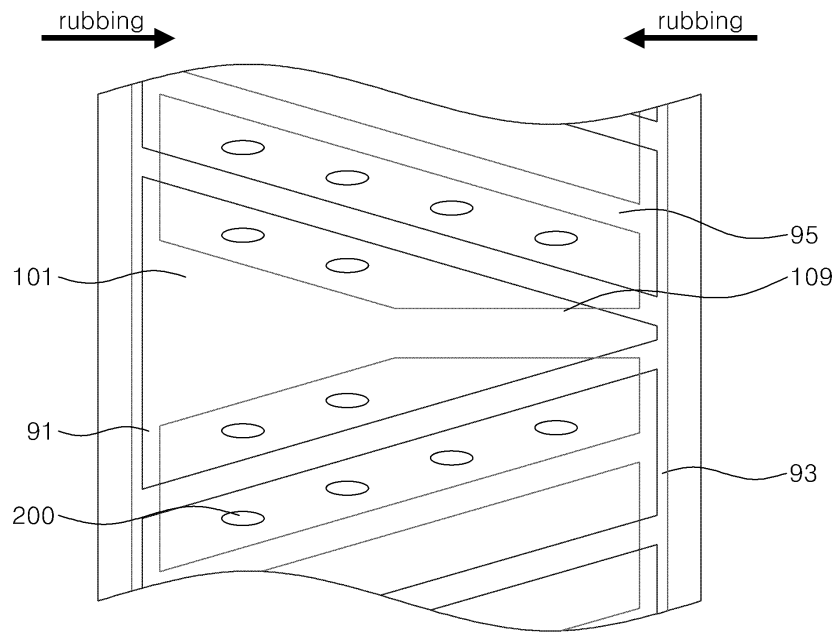
도면7a



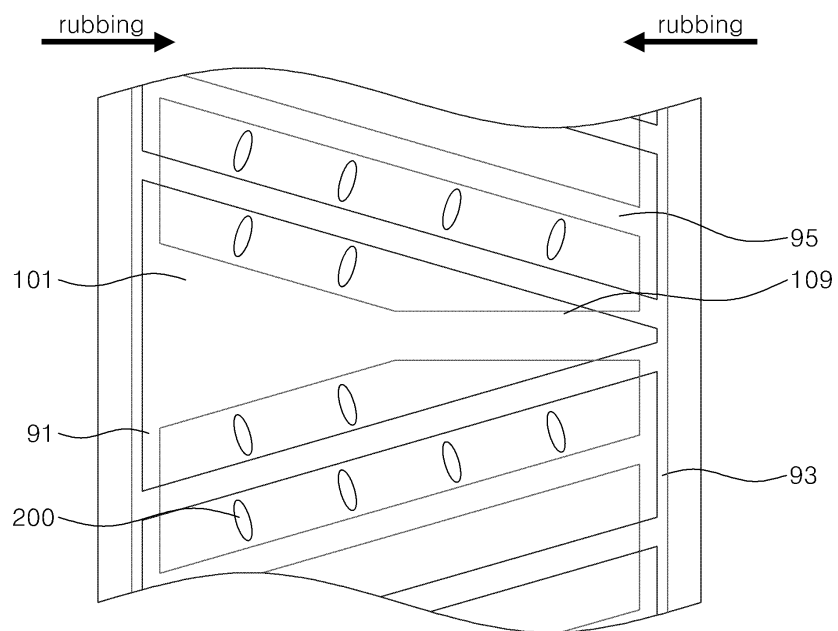
도면7b



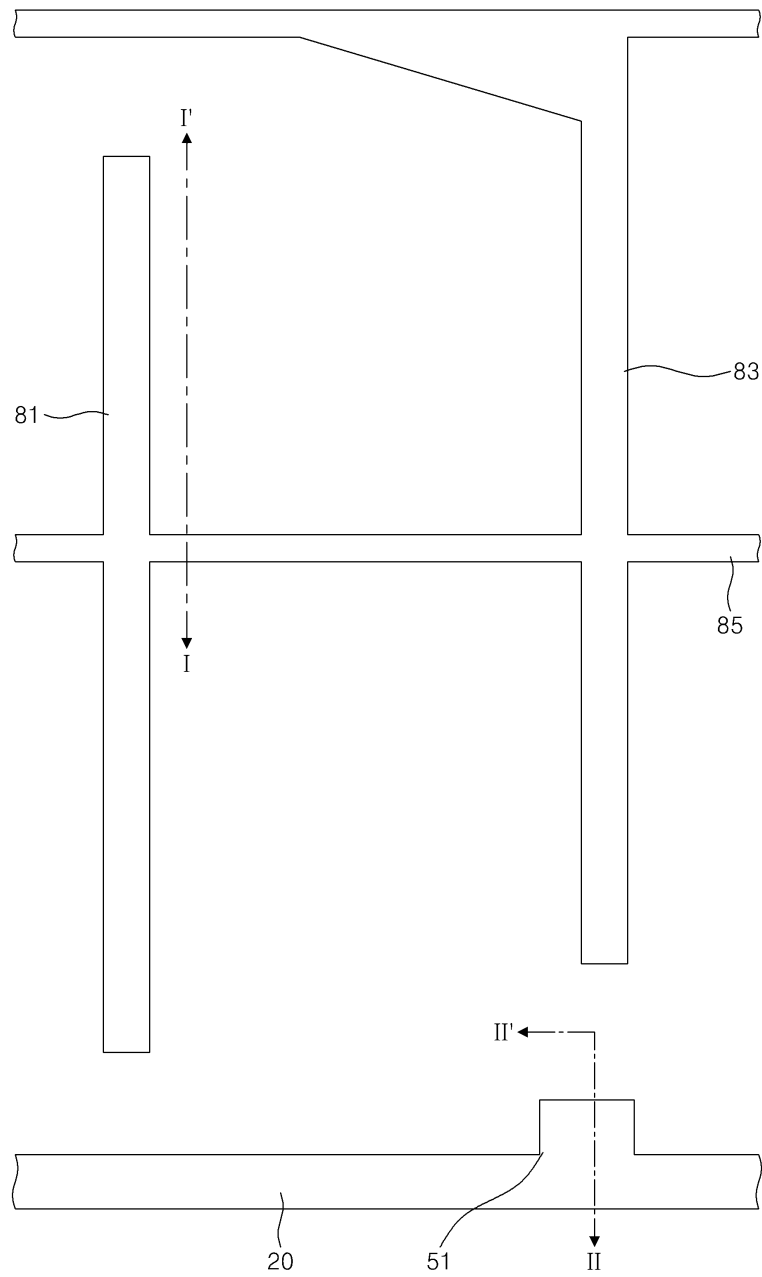
도면8



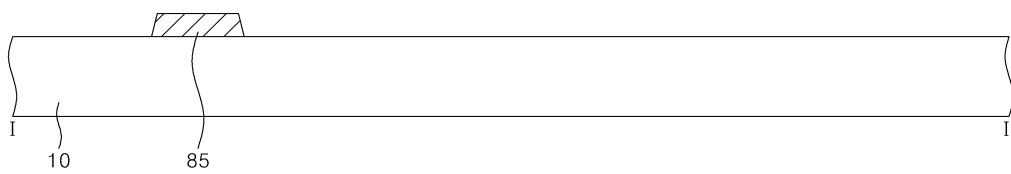
도면9



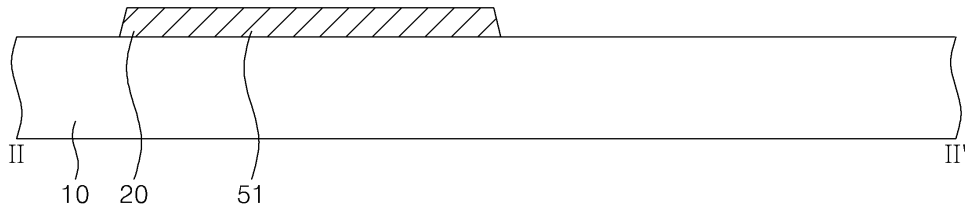
도면10



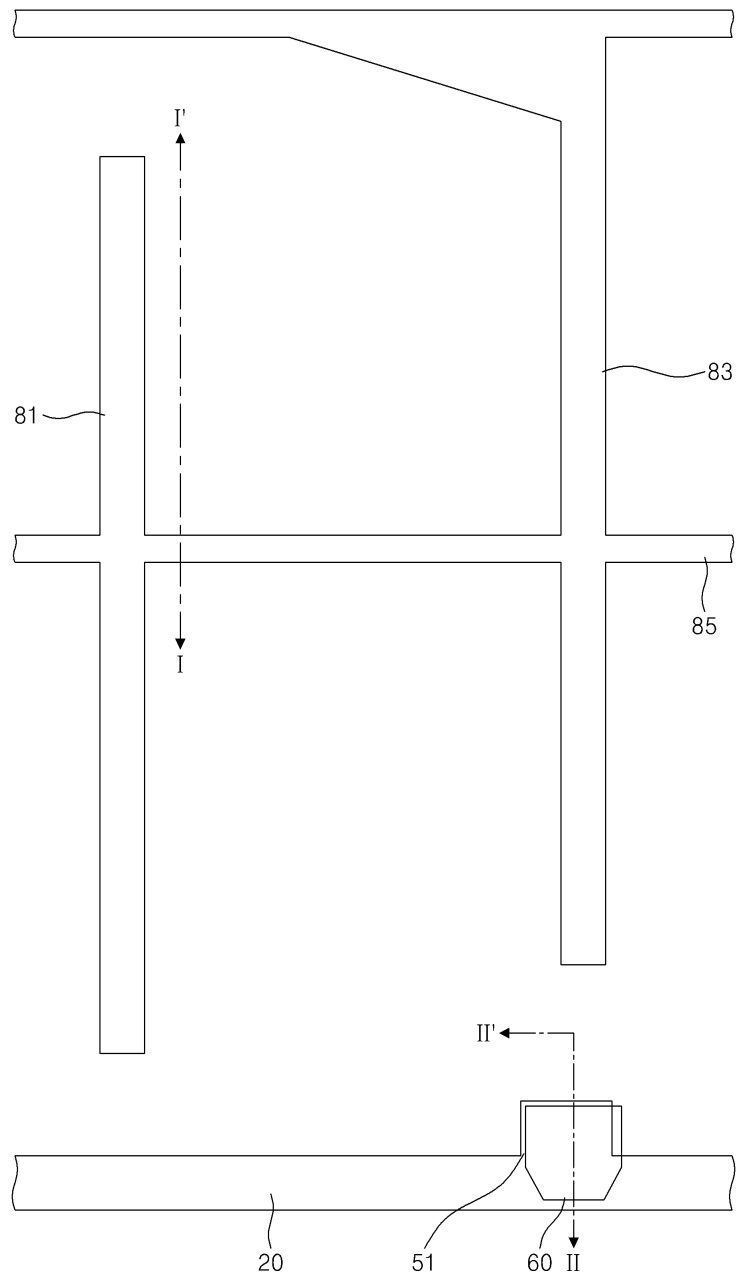
도면11a



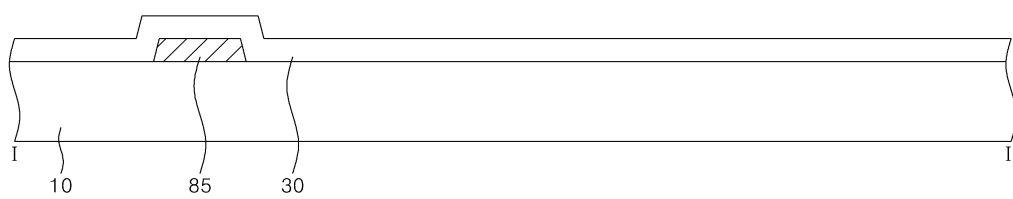
도면11b



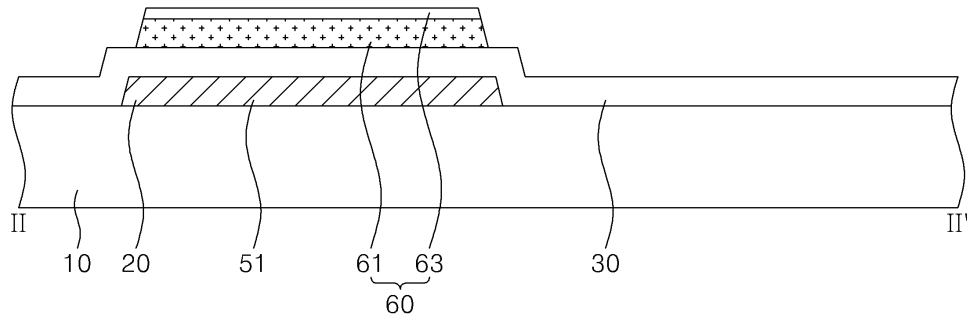
도면12



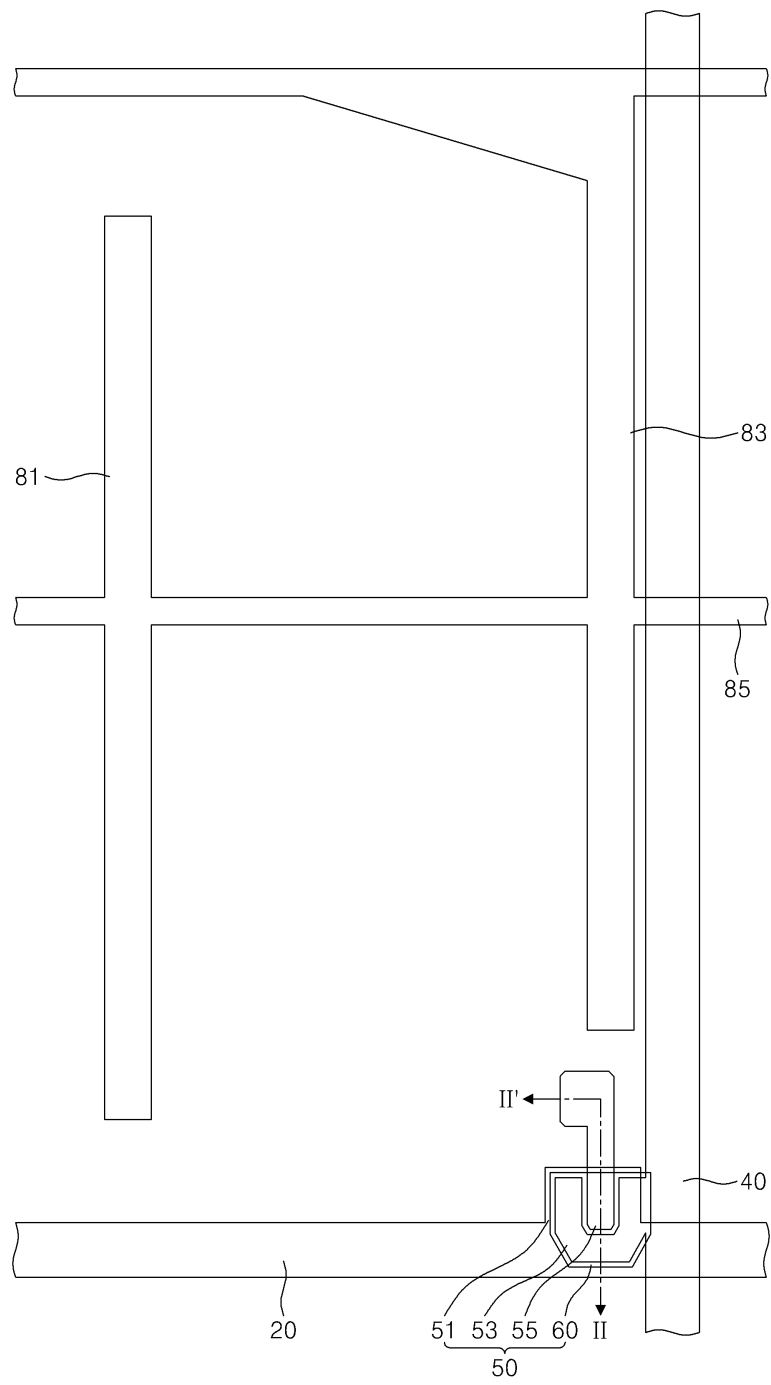
도면13a



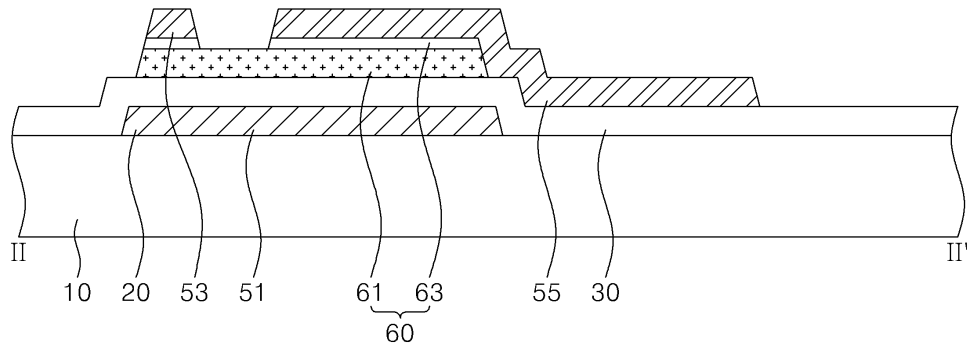
도면13b



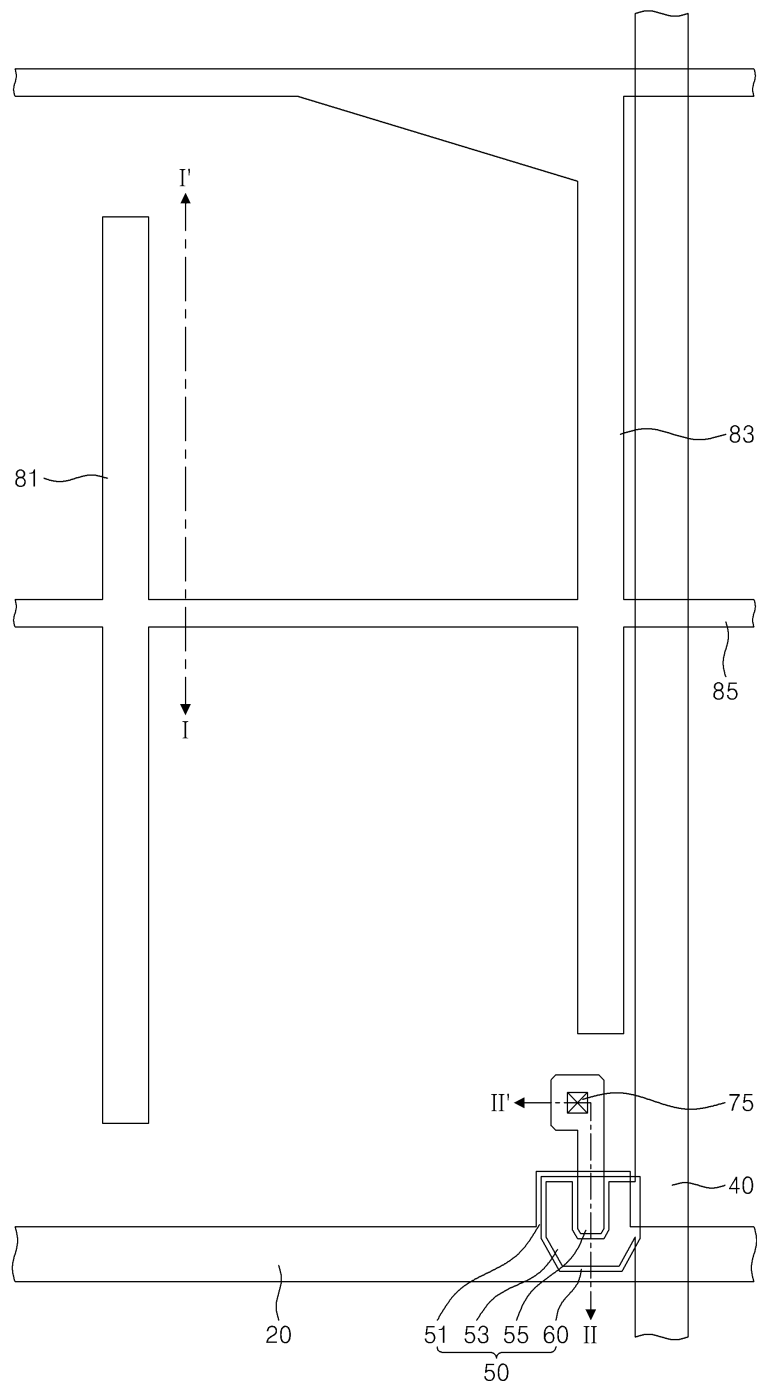
도면14



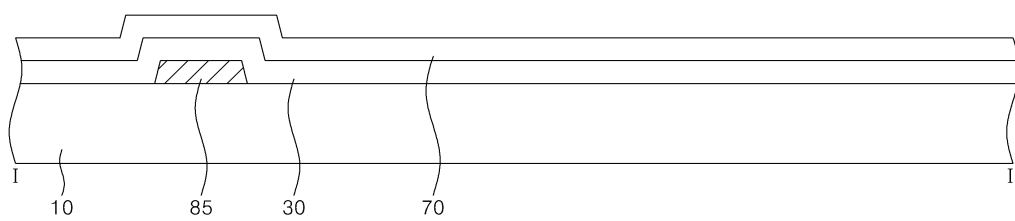
도면15



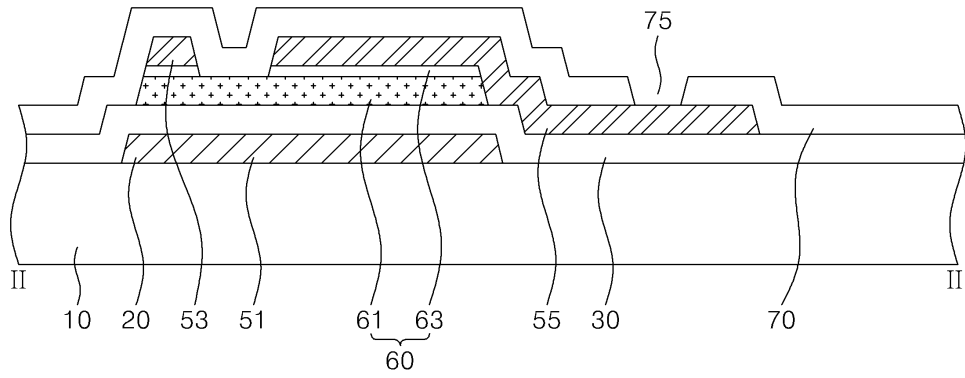
도면16



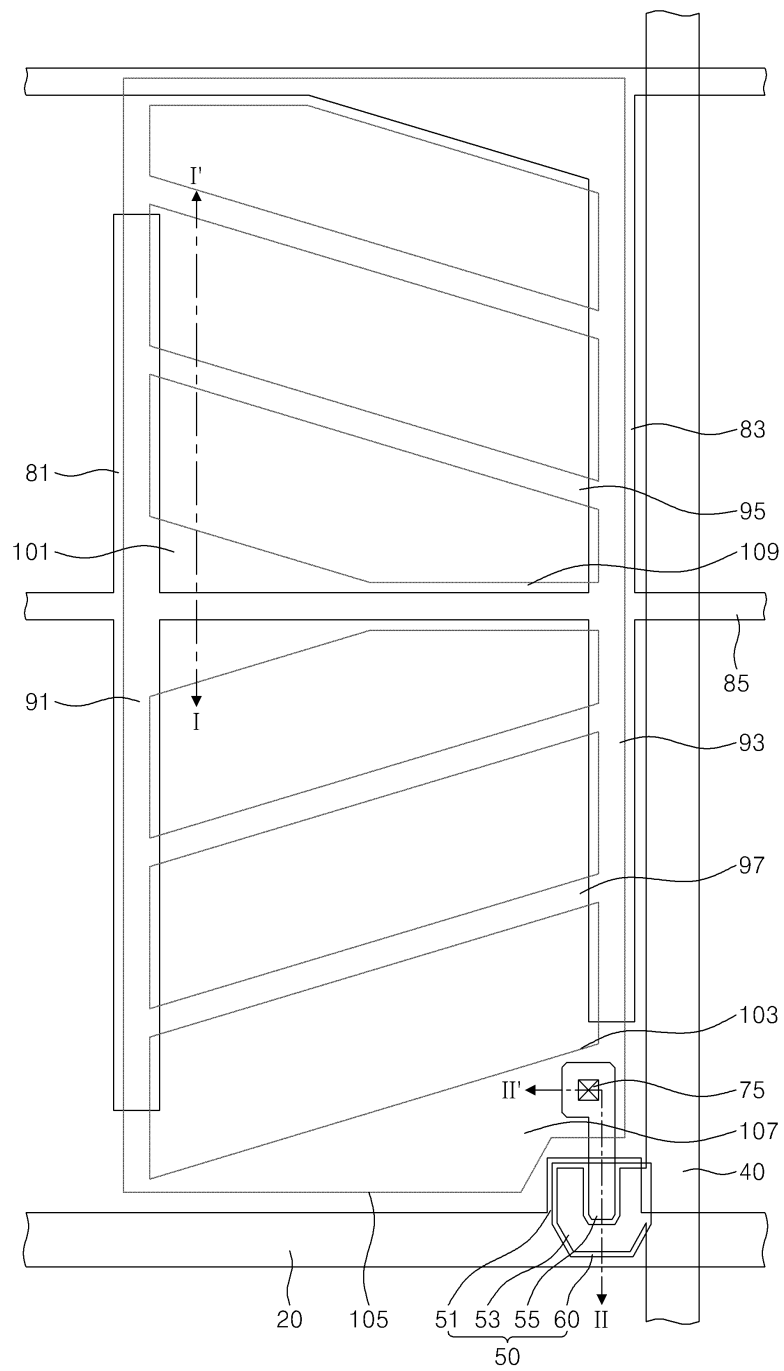
도면17a



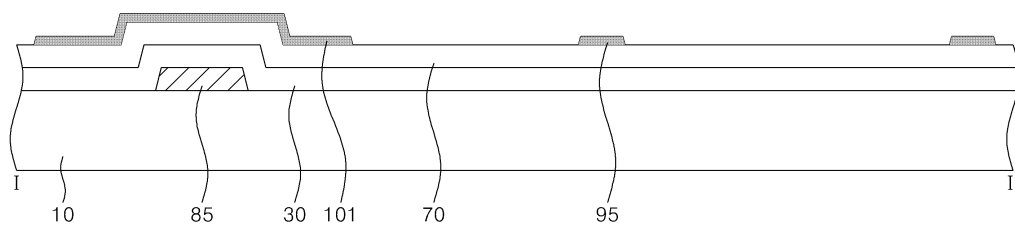
도면17b



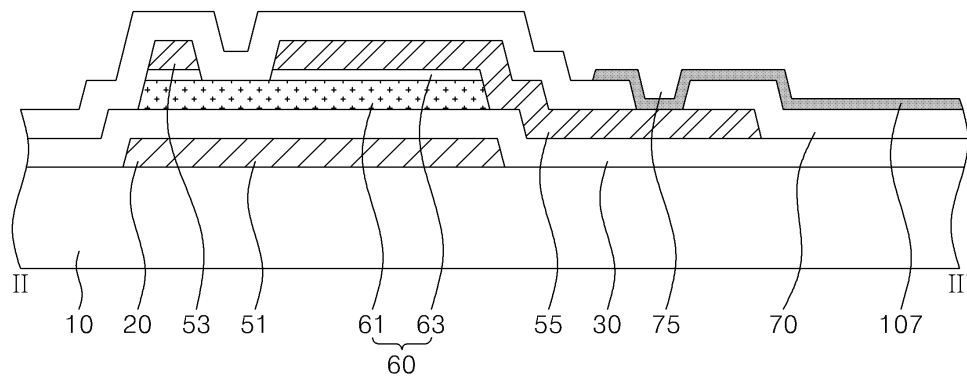
도면18



도면19a



도면19b



专利名称(译)	液晶显示面板及其制造方法		
公开(公告)号	KR1020080071001A	公开(公告)日	2008-08-01
申请号	KR1020070009021	申请日	2007-01-29
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	LEE HYEOK JIN 이혁진 KIM HEE SEOP 김희섭 NA BYOUNG SUN 나병선 LUJIAN GANG 루지안강 WOO HWA SUNG 우화성 KWON JI HYUN 권지현		
发明人	이혁진 김희섭 나병선 루지안강 우화성 권지현		
IPC分类号	G02F1/1343		
CPC分类号	G02F1/136286 G02F1/134363 G02F1/136213 G02F1/134336 G02F2001/134318		
代理人(译)	KWON , HYUK SOO SE JUN OH 宋 , 云何		
其他公开文献	KR101413275B1		
外部链接	Espacenet		

摘要(译)

液晶显示面板技术领域本发明涉及一种能够防止漏光并稳定地显示纹理的液晶显示面板。根据本发明的液晶显示面板包括基板，在该基板上，包括透射区域和阻挡区域的多个像素以矩阵形式布置；为每个像素提供薄膜晶体管；连接到薄膜晶体管的栅极线和数据线；像素电极图案，包括连接到薄膜晶体管并且形成彼此间隔开的多个线性像素电极；一种薄膜晶体管基板，包括形成在透射区域中的像素电极图案中的存储图案；一种对置基板，包括多个线状像素电极和与所述多个线状像素电极交错的公共电极图案；并且，在薄膜晶体管基板和対置基板之间形成液晶。

