



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0060994
(43) 공개일자 2008년07월02일

(51) Int. Cl.

G02F 1/136 (2006.01)

(21) 출원번호 10-2006-0135688

(22) 출원일자 2006년12월27일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

이원호

경기 안양시 만안구 안양1동 주공뜨란채아파트
106-602

(74) 대리인

특허법인로알

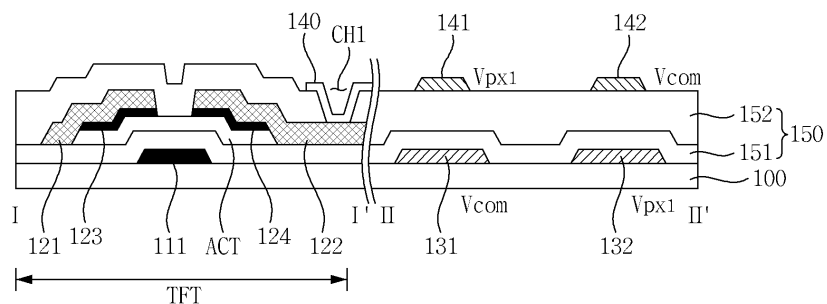
전체 청구항 수 : 총 19 항

(54) 액정 표시 장치용 어레이 기판 및 그의 제조 방법

(57) 요약

투과율 및 개구율을 개선하고, 스토리지 커패시턴스를 줄여 충전 특성을 향상시킬 수 있는 액정 표시 장치용 어레이 기판 및 그의 제조 방법이 제공된다. 어레이 기판은 기판 상에 형성된 게이트 라인과, 기판 상의 화소 영역에 서로 평행하도록 형성된 제1 공통 전극 및 제1 화소 전극과, 기판의 전면에 형성된 게이트 절연막, 게이트 절연막 상에 게이트 라인과 교차되도록 배치되어 화소 영역을 정의하는 데이터 라인, 데이터 라인을 덮도록 기판의 전면에 형성된 보호막, 보호막 상에 제1 공통 전극과 겹쳐지도록 형성된 제2 화소 전극, 보호막 상에 제1 화소 전극과 겹쳐지도록 형성된 제2 공통 전극을 포함한다.

대표도 - 도4a



특허청구의 범위

청구항 1

기관 상에 형성된 게이트 라인;
 상기 기관 상의 화소 영역에 서로 평행하도록 형성된 제1 공통 전극 및 제1 화소 전극;
 상기 게이트 라인, 상기 제1 공통 전극 및 제1 화소 전극을 덮도록 상기 기관의 전면에 형성된 게이트 절연막;
 상기 게이트 절연막 상에 상기 게이트 라인과 교차되도록 배치되어 상기 화소 영역을 정의하는 데이터 라인;
 상기 데이터 라인을 덮도록 상기 기관의 전면에 형성된 보호막;
 상기 보호막 상에 상기 제1 공통 전극과 겹쳐지도록 형성된 제2 화소 전극; 및
 상기 보호막 상에 상기 제1 화소 전극과 겹쳐지도록 형성된 제2 공통 전극
 을 포함하는 액정 표시 장치용 어레이 기관.

청구항 2

제1항에 있어서,
 상기 게이트 라인과 상기 데이터 라인의 교차 부위에 형성되며, 게이트 전극, 반도체층, 소스 전극 및 드레인 전극을 갖는 박막 트랜지스터를 더 포함하는 액정 표시 장치용 어레이 기관.

청구항 3

제2항에 있어서,
 상기 박막 트랜지스터는,
 상기 소스 전극이 상기 데이터 라인과 연결되고, 상기 드레인 전극이 상기 게이트 절연막을 관통하는 제1 콘택홀을 통해 상기 제1 화소 전극 및 상기 제2 화소 전극에 전기적으로 접촉된 것을 특징으로 하는 액정 표시 장치용 어레이 기관.

청구항 4

제1항에 있어서,
 상기 기관 상의 상기 제1 화소 전극과 상기 보호막 상의 상기 제2 화소 전극은 상기 게이트 절연막과 상기 보호막을 관통하는 제2 콘택홀을 통해 전기적으로 접촉된 것을 특징으로 하는 액정 표시 장치용 어레이 기관.

청구항 5

제1항에 있어서,
 상기 기관 상의 제2 공통 전극과 상기 보호막 상의 상기 제2 화소 전극은 상기 게이트 절연막과 상기 보호막을 관통하는 제3 콘택홀을 통해 전기적으로 접촉된 것을 특징으로 하는 액정 표시 장치용 어레이 기관.

청구항 6

제1항에 있어서,
 상기 기관 상의 상기 제1 공통 전극 및 상기 제1 화소 전극은 모두 투명 도전 물질층으로 이루어진 것을 특징으로 하는 액정 표시 장치용 어레이 기관.

청구항 7

제1항에 있어서,
 상기 보호막 상의 상기 제2 공통 전극과 상기 제2 화소 전극은 모두 투명 도전 물질층으로 이루어진 것을 특징으로 하는 액정 표시 장치용 어레이 기관.

청구항 8

제1항에 있어서,

상기 제1 및 제2 공통 전극, 상기 제1 및 제2 화소 전극은,

상기 화소 영역의 폭 방향으로 형성된 것을 특징으로 하는 액정 표시 장치용 어레이 기판.

청구항 9

제1항에 있어서,

상기 제1 공통 전극과 상기 제2 화소 전극, 상기 제1 화소 전극과 상기 제2 공통 전극 사이의 오버랩 부분에 의해 스토리지 커패시턴스가 형성되는 것을 특징으로 하는 액정 표시 장치용 어레이 기판.

청구항 10

기판 상에 게이트 라인을 형성하는 단계;

상기 기판 상의 화소 영역에 서로 평행을 이루는 제1 공통 전극과 제1 화소 전극을 형성하는 단계;

상기 게이트 라인, 상기 제1 공통 전극 및 제1 화소 전극을 덮도록 상기 기판의 전면에 게이트 절연막을 형성하는 단계;

상기 게이트 절연막 상에 상기 게이트 라인과 교차 배치되어 상기 화소 영역을 정의하는 데이터 라인을 형성하는 단계;

상기 데이터 라인을 덮도록 상기 기판의 전면에 보호막을 형성하는 단계; 및

상기 보호막 상에 상기 제1 공통 전극과 겹쳐지도록 제2 화소 전극을 형성하고, 상기 제1 화소 전극과 겹쳐지도록 제2 공통 전극을 형성하는 단계

를 포함하는 액정 표시 장치용 어레이 기판의 제조 방법.

청구항 11

제10항에 있어서,

상기 기판 상의 상기 제1 공통 전극 및 상기 제1 화소 전극은 모두 투명 도전 물질층으로 형성하는 것을 특징으로 하는 액정 표시 장치용 어레이 기판의 제조 방법.

청구항 12

제10항에 있어서,

상기 보호막 상의 상기 제2 공통 전극과 상기 제2 화소 전극은 모두 투명 도전 물질층으로 형성하는 것을 특징으로 하는 액정 표시 장치용 어레이 기판의 제조 방법.

청구항 13

제10항에 있어서,

상기 보호막을 형성한 이후,

상기 제1 공통 전극 및 상기 제2 공통 전극을 전기적으로 접촉시키기 위한 제2 콘택홀을 형성하는 단계를 더 포함하는 액정 표시 장치용 어레이 기판의 제조 방법.

청구항 14

제10항에 있어서,

상기 보호막을 형성한 이후,

상기 제1 화소 전극 및 상기 제2 화소 전극을 전기적으로 접촉시키기 위한 제2 콘택홀을 형성하는 단계를 더 포함하는 액정 표시 장치용 어레이 기판의 제조 방법.

청구항 15

제10항에 있어서,

상기 제1 및 제2 공통 전극, 상기 제1 및 제2 화소 전극은,

상기 화소 영역의 폭 방향으로 형성하는 것을 특징으로 하는 액정 표시 장치용 어레이 기판의 제조 방법.

청구항 16

제10항에 있어서,

상기 제1 공통 전극과 상기 제2 화소 전극, 상기 제1 화소 전극과 상기 제2 공통 전극 사이의 오버랩 면적에 따라 스토리지 커패시턴스가 조절되는 것을 특징으로 하는 액정 표시 장치용 어레이 기판의 제조 방법.

청구항 17

게이트 금속층을 이용해 기판 상에 게이트 라인 및 게이트 전극을 형성하는 단계;

제1 투명 도전 물질층을 이용해 상기 기판 상에 제1 화소 전극과 제1 공통 전극을 형성하는 단계;

상기 게이트 금속층, 상기 제1 투명 도전 물질층을 덮도록 상기 기판의 전면에 게이트 절연막을 형성하는 단계;

상기 게이트 전극에 대응하는 상기 게이트 절연막 상의 영역에 반도체층을 형성하고, 소스/드레인 금속층을 이용해 상기 반도체층의 양측으로 소스 및 드레인 전극을 형성하는 단계;

상기 소스 및 드레인 전극을 덮도록 상기 기판의 전면에 보호막을 형성하는 단계;

상기 드레인 전극과 대응하는 상기 보호막 상의 영역에 제1 콘택홀을 형성하는 단계; 및

제2 투명 도전 물질층을 이용해 상기 제1 화소 전극 및 상기 제1 공통 전극과 대응하는 각각의 영역에 제2 공통 전극과 제2 화소 전극을 형성하는 단계

를 포함하는 액정 표시 장치용 어레이 기판의 제조 방법.

청구항 18

제17항에 있어서,

상기 제1 콘택홀을 형성하는 단계에서,

상기 제1 공통 전극 및 상기 제2 공통 전극을 전기적으로 접촉시키기 위한 제2 콘택홀을 함께 형성하는 것을 특징으로 하는 액정 표시 장치용 어레이 기판의 제조 방법.

청구항 19

제17항에 있어서,

상기 제1 콘택홀을 형성하는 단계에서,

상기 제1 화소 전극 및 상기 제2 화소 전극을 전기적으로 접촉시키기 위한 제3 콘택홀을 함께 형성하는 것을 특징으로 하는 액정 표시 장치용 어레이 기판의 제조 방법.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<15> 본 발명은 액정 표시 장치용 어레이 기판 및 그의 제조 방법에 관한 것으로, 더욱 상세하게는 횡전계형 구조를 개선한 액정 표시 장치용 어레이 기판 및 그의 제조 방법에 관한 것이다.

<16> 액정 표시 장치는 투명 절연 기판인 컬러 필터 기판과 어레이 기판 사이에 이방성 유전율을 갖는 액정층을 형성

한 후, 액정층에 형성되는 전계의 세기를 조정하여 액정 물질의 분자 배열을 변경시키고, 이를 통하여 표시면인 컬러 필터 기판에 투과되는 빛의 양을 조절함으로써 원하는 화상을 표현하는 표시 장치이다.

- <17> 최근에는, 액정 표시 장치의 화소 전극과 공통 전극을 어레이 기판 상에 함께 형성하고, 두 전극 간의 횡전계를 이용해 액정을 구동함으로써, 시야각을 넓은 횡전계 방식의 수요가 늘고 있다.
- <18> 일반적으로, 횡전계형 액정 표시 장치는 서로 대향 배치되고, 그 사이에 액정층을 구비한 컬러 필터 기판과 어레이 기판을 구비한다.
- <19> 컬러 필터 기판에는 빛샘을 방지하기 위한 블랙 매트릭스와 색상을 구현하기 위한 적색, 녹색, 청색의 컬러 필터가 형성된다.
- <20> 그리고, 어레이 기판에는 화소 영역을 정의하는 게이트 라인과 데이터 라인, 두 라인의 교차 지점에 위치하는 박막 트랜지스터, 각 화소 영역에 서로 엇갈리게 교차 배치되어 횡전계를 발생시키는 공통 전극 및 화소 전극이 형성된다.
- <21> 도 1은 종래 기술에 따른 횡전계형(IPS: In-Plane Switching mode) 어레이 기판의 개략적 단면도이다.
- <22> 도 1은 기판(10) 상의 화소 영역에 막대 형상의 공통 전극(11)과 화소 전극(12)이 서로 평행하게 형성되는 단면 구조를 도시하고 있다.
- <23> 공통 전극(11)에는 공통 전압(Vcom)이, 화소 전극(12)에는 데이터 전압(Vpx1)이 각각 인가되면 두 전극(11, 12) 간에 수평 방향의 전계가 발생되고, 이 횡전계에 의해 기판(10) 상부의 액정 분자들이 구동된다.
- <24> 이러한 구조는, 개구부(R1)가 넓고, 공통 전극(11)과 화소 전극(12) 사이에서 횡전계가 형성되어 액정 분자들을 구동한다. 그러므로, 제1 그래프(G1)에 도시된 것처럼, 개구부(R1)에서는 투과율이 좋으나, 공통 전극(11)과 화소 전극(12)이 배치된 전극부(R2)에서는 액정이 구동되지 않아 투과율이 현저하게 떨어지는 문제점이 있다.
- <25> 도 2는 종래 기술에 따른 프린지 필드형(FFS: Fringe field switching mode) 어레이 기판의 개략적 단면도이다.
- <26> 도 2는 기판(20) 상의 화소 영역에 플랫폼(flat) 형태의 공통 전극(21)이 형성되며, 절연막(22)을 사이에 두고 그 상부에 공통 전극(21)과 중첩 배치되는 막대 형상의 화소 전극(23)이 복수 개 형성되는 단면 구조를 도시하고 있다.
- <27> 이는 기판(20) 위에 ITO(indium tin oxide), IZO(indium zinc oxide) 등의 투명 도전 물질로 이루어진 공통 전극(21)을 증착하고, 그 위에 화소 전극(23)을 증착함으로써, 전극부(R2)에서 액정이 구동되지 않는 단점을 보완한 것이다.
- <28> 도 2의 구조는 도 1의 구조와 다르게, 절연막(22)의 두께에 해당하는 수 Å의 간격을 두고 공통 전극(21)과 화소 전극(23) 간의 횡전계가 생성되므로, 횡전계가 강력하고 전극부(R2)의 액정 분자까지 횡전계에 의해 배열하는 것이 가능하다.
- <29> 제2 그래프(G2)를 참조하면, 도 1의 횡전계형 구조에 비해 개구부(R1)의 투과율이 다소 저하되나, 전극부(R2)에서 액정이 구동함에 따라 전극부(R2)에서의 투과율이 현저히 증가하여 전체적으로 투과율이 상승하게 되는 장점이 있다.
- <30> 그러나, 도 2와 같은 프린지 필드형 구조의 경우에도, 투명 전극(21)과 화소 전극(23)의 오버랩 면적에 의해 스토리지 커패시턴스가 매우 커져 충전 특성이 저하되는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

- <31> 따라서, 본 발명이 이루고자 하는 기술적 과제는 종래의 횡전계형 구조와 대비하여 투과율 및 개구율을 전체적으로 개선할 수 있는 액정 표시 장치용 어레이 기판 및 그의 제조 방법을 제공하는 것이다.
- <32> 본 발명이 이루고자 하는 다른 기술적 과제는 스토리지 커패시턴스를 적절히 제어함으로써 종래의 프린지 필드형 구조와 대비하여 충전 특성을 향상시키고, 화상 품질을 높일 수 있는 액정 표시 장치용 어레이 기판 및 그의 제조 방법을 제공하는 것이다.
- <33> 본 발명이 이루고자 하는 기술적 과제들은 이상에서 언급한 기술적 과제들로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하

게 이해될 수 있을 것이다.

발명의 구성 및 작용

- <34> 상기 기술적 과제를 달성하기 위한 본 발명에 따른 액정 표시 장치용 어레이 기판은 기판 상에 형성된 게이트 라인과, 상기 기판 상의 화소 영역에 서로 평행하도록 형성된 제1 공통 전극 및 제1 화소 전극과, 상기 게이트 라인, 상기 제1 공통 전극 및 제1 화소 전극을 덮도록 상기 기판의 전면에 형성된 게이트 절연막과, 상기 게이트 절연막 상에 상기 게이트 라인과 교차되도록 배치되어 상기 화소 영역을 정의하는 데이터 라인과, 상기 데이터 라인을 덮도록 상기 기판의 전면에 형성된 보호막과, 상기 보호막 상에 상기 제1 공통 전극과 겹쳐지도록 형성된 제2 화소 전극과, 상기 보호막 상에 상기 제1 화소 전극과 겹쳐지도록 형성된 제2 공통 전극을 포함한다.
- <35> 그리고, 본 발명의 일 측면에 따른 액정 표시 장치용 어레이 기판의 제조 방법은 기판 상에 게이트 라인을 형성하는 단계와, 상기 기판 상의 화소 영역에 서로 평행을 이루는 제1 공통 전극과 제1 화소 전극을 형성하는 단계와, 상기 게이트 라인, 상기 제1 공통 전극 및 제1 화소 전극을 덮도록 상기 기판의 전면에 게이트 절연막을 형성하는 단계와, 상기 게이트 절연막 상에 상기 게이트 라인과 교차 배치되어 상기 화소 영역을 정의하는 데이터 라인을 형성하는 단계와, 상기 데이터 라인을 덮도록 상기 기판의 전면에 보호막을 형성하는 단계와, 상기 보호막 상에 상기 제1 공통 전극과 겹쳐지도록 제2 화소 전극을 형성하고, 상기 제1 화소 전극과 겹쳐지도록 제2 공통 전극을 형성하는 단계를 포함한다.
- <36> 또한, 본 발명의 다른 측면에 따른 액정 표시 장치용 어레이 기판의 제조 방법은 게이트 금속층을 이용해 기판 상에 게이트 라인 및 게이트 전극을 형성하는 단계와, 제1 투명 도전 물질층을 이용해 상기 기판 상에 제1 화소 전극과 제1 공통 전극을 형성하는 단계와, 상기 게이트 금속층, 상기 제1 투명 도전 물질층을 덮도록 상기 기판의 전면에 게이트 절연막을 형성하는 단계와 상기 게이트 전극에 대응하는 상기 게이트 절연막 상의 영역에 반도체층을 형성하고, 소스/드레인 금속층을 이용해 상기 반도체층의 양측으로 소스 및 드레인 전극을 형성하는 단계와, 상기 소스 및 드레인 전극을 덮도록 상기 기판의 전면에 보호막을 형성하는 단계와, 상기 드레인 전극과 대응하는 상기 보호막 상의 영역에 제1 콘택홀을 형성하는 단계와, 제2 투명 도전 물질층을 이용해 상기 제1 화소 전극 및 상기 제1 공통 전극과 대응하는 각각의 영역에 제2 공통 전극과 제2 화소 전극을 형성하는 단계를 포함한다.
- <37> 기타 실시예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다. 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- <38> 이하, 본 발명의 일 실시예에 따른 액정 표시 장치용 어레이 기판과 그의 제조 방법에 대하여 첨부된 도면들을 참조하여 상세히 설명한다.
- <39> 도 3은 본 발명의 일 실시예에 따른 어레이 기판의 평면도이고, 도 4a는 도 3의 I-I', II-II' 라인의 단면도이며, 도 4b는 도 3의 III-III', IV-IV' 라인의 단면도이다.
- <40> 도 3 내지 도 4b를 참조하면, 어레이 기판은 기판(100) 상에 서로 교차되도록 배열되어 화소 영역을 정의하는 게이트 라인(110)과 데이터 라인(120), 게이트 라인(110)과 데이터 라인(120)의 교차 지점에 배치된 스위칭 소자인 박막 트랜지스터(TFT), 화소 영역 내에 교대로 평행하게 배열된 한 쌍 이상의 제1 공통 전극(131) 및 제1 화소 전극(132), 제1 공통 전극(131)과 제1 화소 전극(132)의 상부에 오버랩되는 제2 화소 전극(141)과 제2 공통 전극(142), 게이트 라인(110)과 데이터 라인(120)에 각각 접속되는 게이트 패드부(GP)와 데이터 패드부(DP)를 포함한다.
- <41> 여기서, 제1 공통 전극(131)과 제1 화소 전극(132), 제2 화소 전극(141)과 제2 공통 전극(142)은 화소 영역의 폭 방향으로 배열되며, 데이터 라인(120)에 수직하고, 게이트 라인(110)에 평행한 방향에 대하여 0° ~ 45° 사이의 경사각을 갖도록 형성된다.
- <42> 화소 영역 내에는 데이터 라인(120)과 평행하게 인접 배치되는 공통 라인(130)과 제2 콘택홀(CH2)을 통해 복수의 제1 공통 전극(131)과 제2 공통 전극(142)이 서로 전기적으로 접속된다. 또한, 화소 영역 내 외곽에 배치된 인출 라인(140)과 제3 콘택홀(CH3)을 통해 복수의 제1 화소 전극(132)과 제2 화소 전극(141)이 서로 전기적으로 접속된다.
- <43> 복수의 제1 및 제2 공통 전극(131, 142), 제1 및 제2 화소 전극(132, 141)은 도 3에 도시된 바와 같이 화소 영역의 중심부를 기준으로 대칭 형상을 이루도록 배열된다. 이와 같이, 중심부를 기준으로 화소 영역이 두 개의

도메인(Domain)(D1, D2)으로 분리되면, 도메인(D1, D2)별로 2개 방향의 횡전계가 형성되어 컬러 쉬프트(Color Shift) 등의 화질 저하 현상을 개선할 수 있다.

- <44> 혹은, 하나의 화소 영역 내에서는 복수의 제1 및 제2 공통 전극(131, 142), 제1 및 제2 화소 전극(132, 141)이 모두 한 방향으로, 즉, 게이트 라인(110)과 평행한 방향과 어느 정도의 예각을 갖는 방향으로 형성하고, 인접하는 두 개의 화소 영역이 서로 대칭을 이루도록 하는 구조가 채용될 수도 있다.
- <45> 한 화소 영역 내에서 복수의 제1 및 제2 공통 전극(131, 142), 제1 및 제2 화소 전극(132, 141)이 중심부를 기준으로 대칭 형상을 이루게 되면, 중심부에 균일한 전계가 생성되지 않는 디스클리네이션(disclination) 현상이 유발될 수 있다. 그러므로, 하나의 화소 영역 내에서는 공통 전극(131, 142)과 화소 전극(132, 141)이 모두 한 방향으로 배치되도록 하여 중심부의 디스클리네이션 현상을 방지하는 것이다.
- <46> 도 3 내지 도 4b를 참조하여, 어레이 기판의 수직 단면 구조를 보다 자세히 살펴보면 다음과 같다.
- <47> 박막 트랜지스터(TFT)는 게이트 라인(110)의 일부 영역인 게이트 전극(111), 게이트 전극(111)의 상부에 구성된 반도체층(ACT), 게이트 전극(111)과 반도체층(ACT) 사이에 게재된 게이트 절연막(151), 반도체층(ACT)의 상부에서 서로 마주보도록 형성된 소스 전극(121) 및 드레인 전극(122)을 포함한다.
- <48> 소스 전극(121) 및 드레인 전극(122)과 반도체층(ACT) 간의 계면에는 n형 불순물이 고농도로 도핑되어 있는 nt 수소화 비정질 실리콘의 물질로 이루어진 저항성 접촉층(ohmic contact layer)(123, 124)이 형성된다.
- <49> 게이트 전극(111)의 상부에는 게이트 절연막(151)이 형성되고, 게이트 절연막(151) 상에 도핑되지 않은 비정질 실리콘 물질로 이루어지는 반도체층(ACT)이 형성된다.
- <50> 박막 트랜지스터(TFT)의 소스 전극(121)은 데이터 라인(120)으로부터 연장 형성되고, 드레인 전극(122)은 게이트 절연막(151)을 관통하는 제1 콘택홀(CH1)을 통해 제1 화소 전극(132) 및 제2 화소 전극(141)과 연결된 인출 라인(140)과 접속된다.
- <51> 박막 트랜지스터(TFT)의 상부로는 실리콘 질화막(SiNx)이나 실리콘 산화막(SiOx) 등의 물질로 이루어진 보호막(152)이 기판(100) 전체에 걸쳐 적층되어 있으며, 보호막(152) 상에 ITO(indium tin oxide) 또는 IZO(indium zinc oxide) 등의 투명 도전 물질층으로 이루어진 인출 라인(140)이 형성된다.
- <52> 인출 라인(140)과 접촉된 제1 화소 전극(132)과 제2 화소 전극(141)은 보호막(152) 상에 형성된 제1 콘택홀(CH1)을 통해 박막 트랜지스터(TFT)의 드레인 전극(122)에 접속되어 데이터 라인(120)으로부터 데이터 전압(Vpx1)을 인가 받는다.
- <53> 한편, 제1 공통 전극(131)과 제1 화소 전극(132)이 게이트 전극(111)과 동일 평면인 기판(100) 상에 서로 마주보면서 평행을 이루도록 형성된다. 이외에도, 기판(100) 상에는 게이트 전극(111)에 연결된 게이트 라인(110)과 복수의 제1 공통 전극(131)을 서로 연결시키기 위한 공통 라인(130)이 형성된다.
- <54> 게이트 전극(111)과 게이트 라인(110)은 게이트 금속층으로 이루어지나, 제1 공통 전극(131)과 제1 화소 전극(132), 공통 라인(130)은 개구율을 높일 수 있는 투명 도전 물질층으로 구성된다.
- <55> 그 상부로 게이트 절연막(151)이 덮이고, 반도체층(ACT), 저항성 접촉층(123, 124), 소스/드레인 금속층으로 이루어진 소스 전극(121) 및 드레인 전극(122)이 형성되어 박막 트랜지스터(TFT)가 구성된다. 여기서, 소스/드레인 금속층으로 이루어져 소스 전극(121)과 연결되는 데이터 라인(120)이 함께 형성된다.
- <56> 박막 트랜지스터(TFT)의 상부에 기판(100)의 전면을 덮는 보호막(152)이 형성되고, 드레인 전극(122)과 대응하는 영역에 보호막(152)을 관통하는 제1 콘택홀(CH1)이 형성된다.
- <57> 제1 콘택홀(CH1)의 형성 시 도 4b에 도시된 것처럼, 게이트 절연막(151)과 보호막(152)을 관통하는 제2 콘택홀(CH2)과 제3 콘택홀(CH3)이 각각 형성된다.
- <58> 제2 콘택홀(CH2)은 공통 전극(131, 142)끼리, 즉, 기판(100) 상에 형성된 제1 공통 전극(131)과 보호막(152)상의 제2 공통 전극(142)을 서로 전기적으로 접촉시키기 위한 것이다. 그리고, 제3 콘택홀(CH3)은 화소 전극(132, 141)끼리, 즉, 기판(100) 상에 형성된 제1 화소 전극(132)과 보호막(152) 상에 형성된 제2 화소 전극(141)을 서로 전기적으로 접촉시키기 위한 것이다.
- <59> 그 상부의 보호막(152) 상에는, 투명 도전 물질층으로 이루어진 제2 공통 전극(142)과 제2 화소 전극(141)이 제1 화소 전극(132) 및 제1 공통 전극(131)과 각각 오버랩되도록 형성된다. 그리고, 제1 콘택홀(CH1)을 통해 박막

트랜지스터(TFT)의 드레인 전극(122)에 접속되며, 복수의 제2 화소 전극(141)을 서로 연결하는 인출 라인(140)이 화소 영역의 외곽을 따라 형성된다.

- <60> 이와 같이, 제1 공통 전극(131)과 제2 공통 전극(142)은 서로 다른 평면 상에 엇갈리도록 형성되어 제2 콘택홀(CH2)을 통해 전기적으로 접속되며, 제1 화소 전극(132)과 제2 화소 전극(141)도 서로 다른 평면 상에 서로 엇갈리도록 형성되어 제3 콘택홀(CH3)을 통해 전기적으로 접속된다.
- <61> 또한, 제1 공통 전극(131)과 제2 화소 전극(141), 제1 화소 전극(132)과 제2 공통 전극(142)은 절연막(150)을 사이에 두고 서로 겹쳐지도록 배열되어 제1 화소 전극(132)과 제2 화소 전극(141)으로 인가된 데이터 전압(V_{px1})을 1 프레임 기간 동안 안정적으로 유지하기 위한 스토리지 커패시턴스를 형성하게 된다.
- <62> 따라서, 별도의 스토리지 커패시터를 구성하지 않아도 되므로, 개구율과 설계 자유도를 향상시킬 수 있으며, 제1 공통 전극(131)과 제1 화소 전극(132), 제2 공통 전극(142)과 제2 화소 전극(141) 간의 간격이나 빈도 수를 조절하여 횡전계의 분포나 스토리지 커패시턴스 등을 쉽게 조절할 수 있다.
- <63> 도 5는 도 3의 부분별 투과율 및 전계 특성을 설명하기 위한 도면이고, 도 6은 도 3의 전체적인 투과율 특성을 나타낸 그래프이다.
- <64> 도 3과 같이 화소 영역 내에 제1 공통 전극(131)과 제2 화소 전극(141), 제1 화소 전극(132)과 제2 공통 전극(142)을 이중으로 구성하게 되면, 제1 그래프(G1)와 같은 투과율 특성과 제2 그래프(G2)와 같은 전계 특성을 얻을 수 있다.
- <65> 제1 그래프(G1)를 참조하면, 전극부(R2)에서 액정이 구동되지 않는 종래의 횡전계 구조(도 1 참조)와 대비하여, 전극부(R2)에서도 액정이 구동되므로, 투과율을 높일 수 있다.
- <66> 각각의 전극부(R2)는 제2 그래프(G2)와 같이 중심부를 기준으로 전위 차가 커지는 수평 방향의 전계 분포를 갖게 되므로, 인접하는 두 전극부(R2) 간의 전위 차를 이용하여 액정을 구동한다.
- <67> 또한, 종래의 프린지 필드형 구조(도 2 참조)와 비교하여 스토리지 커패시턴스가 줄어들게 되므로, 충전 특성을 개선할 수 있다.
- <68> 구동 전압(Applied Voltage)에 따른 어레이 기관의 전체적인 투과율(Transmittance) 특성은 도 6과 같이 나타난다.
- <69> 도 7 내지 도 12는 본 발명의 일 실시예에 따른 어레이 기관의 제조 방법을 설명하기 위한 공정별 단면도이다.
- <70> 먼저, 도 7에 도시된 것처럼, 기관(100) 상에 게이트 전극층을 증착한 후 게이트 전극층을 패터닝(Patterning)하는 공정을 통해 게이트 라인(110) 및 게이트 전극(111)이 형성된다.
- <71> 상세히 하면, 기관(100) 상에 스퍼터링(Sputtering) 등의 증착 공정을 통해 게이트 금속층이 형성된다. 이어서, 마스크를 이용한 포토리소그래피 공정과 식각 공정으로 게이트 금속층이 패터닝됨으로써 게이트 라인(110)과 게이트 전극(111) 등의 게이트 금속 패터군이 형성된다. 게이트 금속층으로는 알루미늄(Al)계 금속, 크롬(Cr), 몰리브덴(Mo) 등의 금속이 이용된다.
- <72> 다음으로, 도 8에 도시된 것처럼, 제1 투명 도전 물질층을 증착한 후 패터닝하는 공정을 통해 기관(100) 상의 화소 영역에 서로 평행하게 배열된 제1 공통 전극(131) 및 제1 화소 전극(132)이 형성된다. 이때, 게이트 라인(110)과 수직한 방향으로 배치되어 복수의 제1 공통 전극(131)을 서로 연결시키는 공통 라인(130)이 함께 형성된다.
- <73> 그 후, 도 9에 도시된 것처럼, 제1 공통 전극(131)과 제1 화소 전극(132)을 포함하여 기관(100)의 전면을 덮은 게이트 절연막(151)이 형성된다.
- <74> 제1 공통 전극(131) 및 제1 화소 전극(132)은 게이트 라인(110) 및 게이트 전극(111)과 동일 평면 상에 형성되며, 투명한 도전 물질층으로 이루어져 개구율을 향상시킨다.
- <75> 다음으로, 도 10에 도시된 것처럼, 게이트 전극(111)과 대응하는 게이트 절연막(151) 상의 영역에 반도체층(ACT)을 형성하고, 소스/드레인 금속층을 이용해 반도체층(ACT)의 양측에 이격 배치되는 소스 전극(121) 및 드레인 전극(122)을 형성하여 박막 트랜지스터(TFT)를 완성한다.
- <76> 여기서, 소스/드레인 금속층으로 이루어져 소스 전극(121)과 연결되는 데이터 라인(120)도 함께 형성된다.

- <77> 도 9 및 도 10을 상세히 하면, 게이트 금속층과 제1 투명 도전 물질층이 패터닝된 기판(100) 상에 PECVD(Plasma-enhanced chemical vapor deposition), 스퍼터링 등의 증착 공정을 통해 게이트 절연막(151), 비정질 실리콘층, n+ 비정질 실리콘층, 그리고 소스/드레인 금속층이 순차적으로 형성된다.
- <78> 여기서, 게이트 절연막(151)의 재료로는 산화 실리콘(SiO_x) 또는 질화 실리콘(SiN_x) 등의 무기 절연 물질이 이용되고, 소스/드레인 금속층으로는 몰리브덴(Mo), 티타늄(Ti), 탄탈륨(Ta), 몰리브덴 합금(Mo alloy) 등이 이용된다.
- <79> 이어서, 소스/드레인 금속층 위에 마스크를 이용한 포토리소그래피 공정으로 포토 레지스트 패턴을 형성하게 된다. 이 경우 마스크로는 박막 트랜지스터의 채널부에 회절 노광부를 갖는 회절 노광 마스크를 이용함으로써 반도체층(ACT)의 채널부에 대응하는 포토 레지스트 패턴이 다른 소스/드레인 패턴부 보다 낮은 높이를 갖게 한다.
- <80> 이어서, 포토 레지스트 패턴을 이용한 습식 식각 공정으로 소스/드레인 금속층이 패터닝됨으로써 데이터 라인(120), 소스 전극(121), 드레인 전극(122) 등의 소스/드레인 금속 패턴군이 형성된다.
- <81> 그 다음, 동일한 포토 레지스트 패턴을 이용한 건식 식각 공정으로 n+ 비정질 실리콘층과 비정질 실리콘층이 동시에 패터닝됨으로써 저항성 접촉층(123, 124)과 반도체층(ACT)이 형성된다.
- <82> 그리고, 애싱(Ashing) 공정으로 반도체층(ACT)의 채널부에서 상대적으로 낮은 높이를 갖는 포토 레지스트 패턴이 제거된 후 건식 식각 공정으로 반도체층(ACT)의 채널부에 남은 소스/드레인 금속 패턴 및 저항성 접촉층(123, 124)이 식각된다. 이에 따라, 반도체층(ACT)의 채널부가 노출되어 소스 전극(121)과 드레인 전극(122)이 분리된다.
- <83> 이어서, 스트립(Strip) 공정으로 소스/드레인 금속 패턴군 위에 남아 있던 포토 레지스트 패턴이 제거된다.
- <84> 다음으로, 도 11에 도시된 것처럼, 소스/드레인 금속층을 포함하여 기판(100)의 전면을 덮는 보호막(152)이 형성된다.
- <85> 다음으로, 도 12에 도시된 것처럼, 드레인 전극과 대응하는 보호막(152) 상의 영역에 제1 콘택홀(CH1)을 형성한 후, 제2 투명 도전 물질층을 증착한 후 패터닝하여 제2 화소 전극(141)과 제2 공통 전극(142)을 형성한다.
- <86> 이때, 제2 화소 전극(141)은 제1 공통 전극(131)과 겹쳐지는 보호막(152) 상의 영역에, 제2 공통 전극(142)은 제1 화소 전극(132)과 겹쳐지는 보호막(152) 상의 영역에 각각 패터닝되며, 화소 영역의 외곽을 따라 배열되는 인출 라인(140)이 함께 형성되어 복수의 제2 화소 전극(141)과 제1 화소 전극(132)을 서로 접속시킨다.
- <87> 제1 및 제2 공통 전극(131, 142), 제1 및 제2 화소 전극(132, 141)은 화소 영역의 폭 방향으로 복수 개가 형성되며, 제1 공통 전극(131)과 제2 화소 전극(141), 제1 화소 전극(132)과 제2 공통 전극(142) 사이의 오버랩 면적에 따라 스토리지 커패시턴스가 조절된다.
- <88> 또한, 제1 콘택홀(CH1)의 형성 시, 서로 다른 평면 상의 제1 공통 전극(131) 및 제2 공통 전극(142)을 서로 접속시키기 위한 제2 콘택홀(CH2)과 제1 화소 전극(132) 및 제2 화소 전극(141)을 서로 접속시키기 위한 제3 콘택홀(CH3)이 함께 형성된다. 제2 콘택홀(CH2)과 제3 콘택홀(CH3)은 게이트 절연막(151)과 보호막(152)이 함께 형성되어 있는 영역에 배치되므로, 절연막(150) 전체를 관통하도록 형성된다.
- <89> 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다.
- <90> 따라서, 이상에서 기술한 실시예들은 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이므로, 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 하며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

발명의 효과

- <91> 상기한 바와 같이 이루어진 본 발명에 따른 액정 표시 장치용 어레이 기판 및 그의 제조 방법은 투과율 및 개구율을 전체적으로 개선할 수 있다.
- <92> 또한, 본 발명에 따른 액정 표시 장치용 어레이 기판 및 그의 제조 방법은 스토리지 커패시턴스를 적절히 제어함으로써 종래의 프린지 필드형 구조와 대비하여 충전 특성을 향상시키고, 화상 품질을 높일 수 있다.

도면의 간단한 설명

- <1> 도 1은 종래 기술에 따른 횡전계형 어레이 기관의 개략적 단면도이다.

<2> 도 2는 종래 기술에 따른 프린지 필드형 어레이 기관의 개략적 단면도이다.

<3> 도 3은 본 발명의 일 실시예에 따른 어레이 기관의 평면도이다.

<4> 도 4a는 도 3의 I-I' , II-II' 라인의 단면도이다.

<5> 도 4b는 도 3의 III-III' , IV-IV' 라인의 단면도이다.

<6> 도 5는 도 3의 부분별 투과율 및 전계 특성을 설명하기 위한 도면이다.

<7> 도 6은 도 3의 전체적인 투과율 특성을 나타낸 그래프이다.

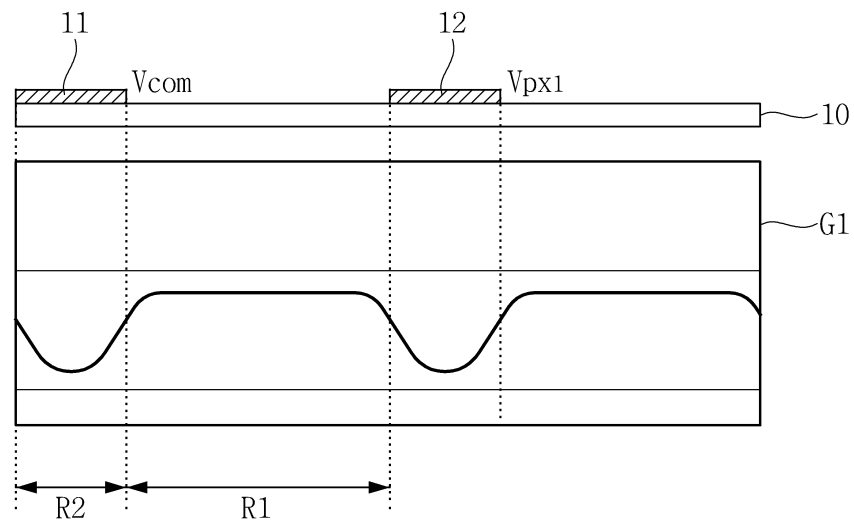
<8> 도 7 내지 도 12는 본 발명의 일 실시예에 따른 어레이 기관의 제조 방법을 설명하기 위한 공정별 단면도이다.

<9> (도면의 주요부분에 대한 부호의 설명)

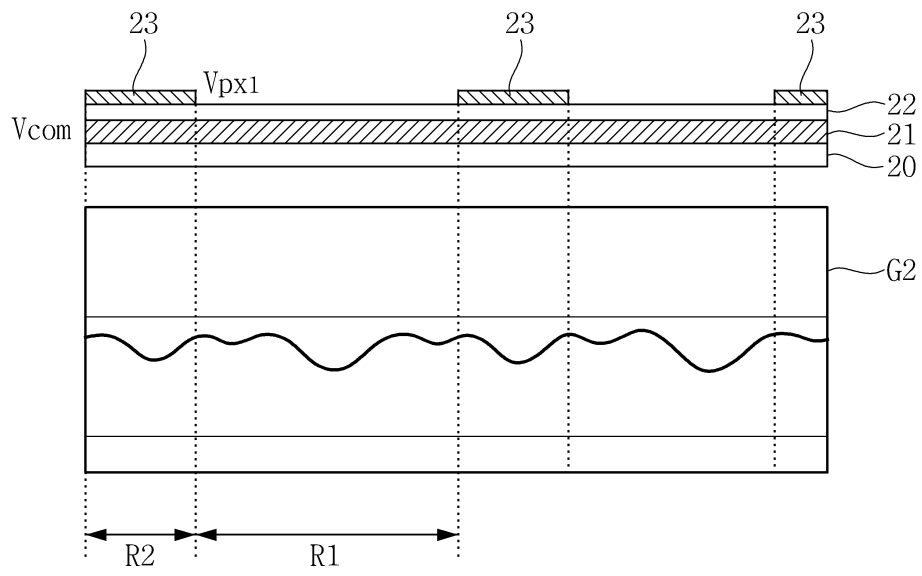
<10>	110: 게이트 라인	120: 데이터 라인
<11>	TFT: 박막 트랜지스터	131: 제1 공통 전극
<12>	132: 제1 화소 전극	141: 제2 화소 전극
<13>	142: 제2 공통 전극	151: 게이트 절연막
<14>	152: 보호막	

도면

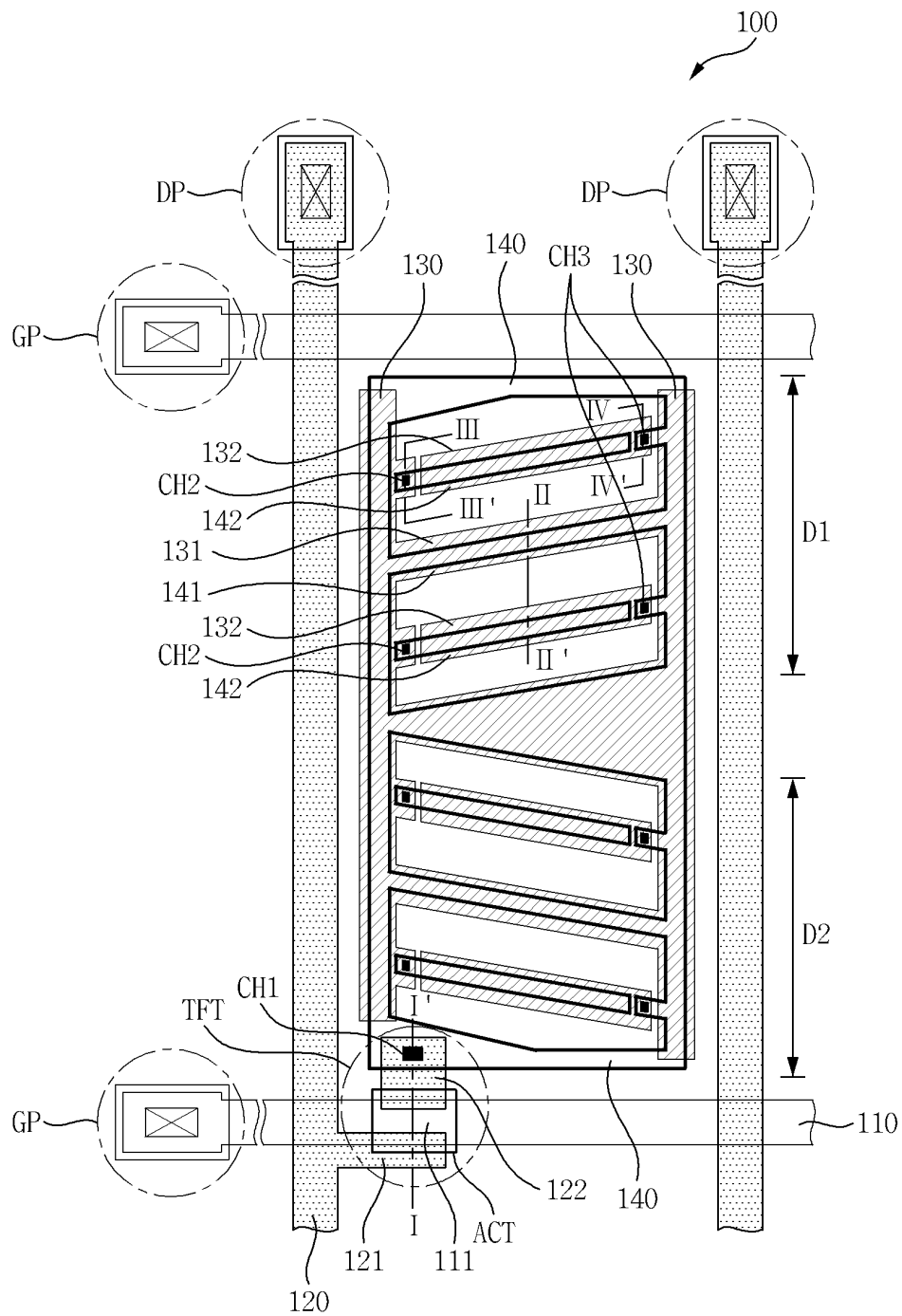
도면1



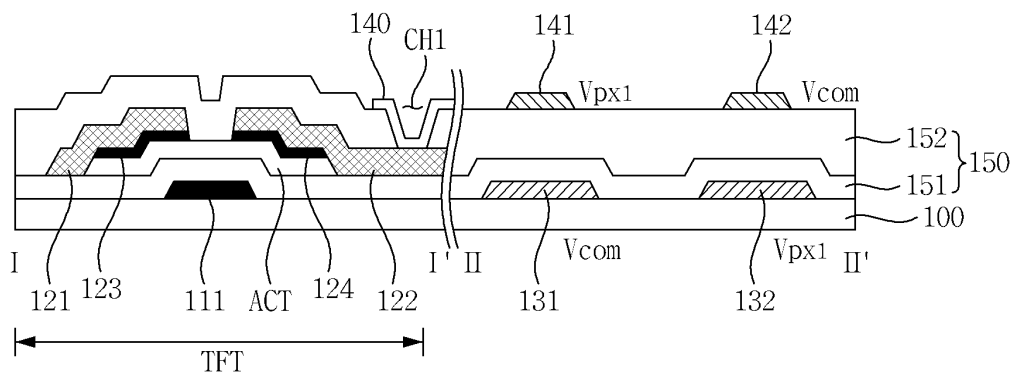
도면2



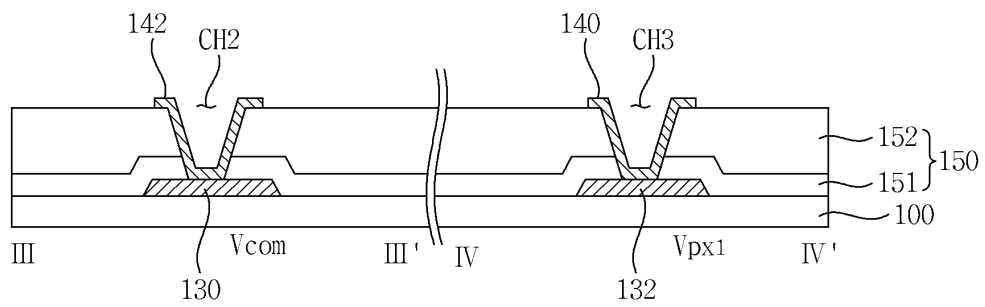
도면3



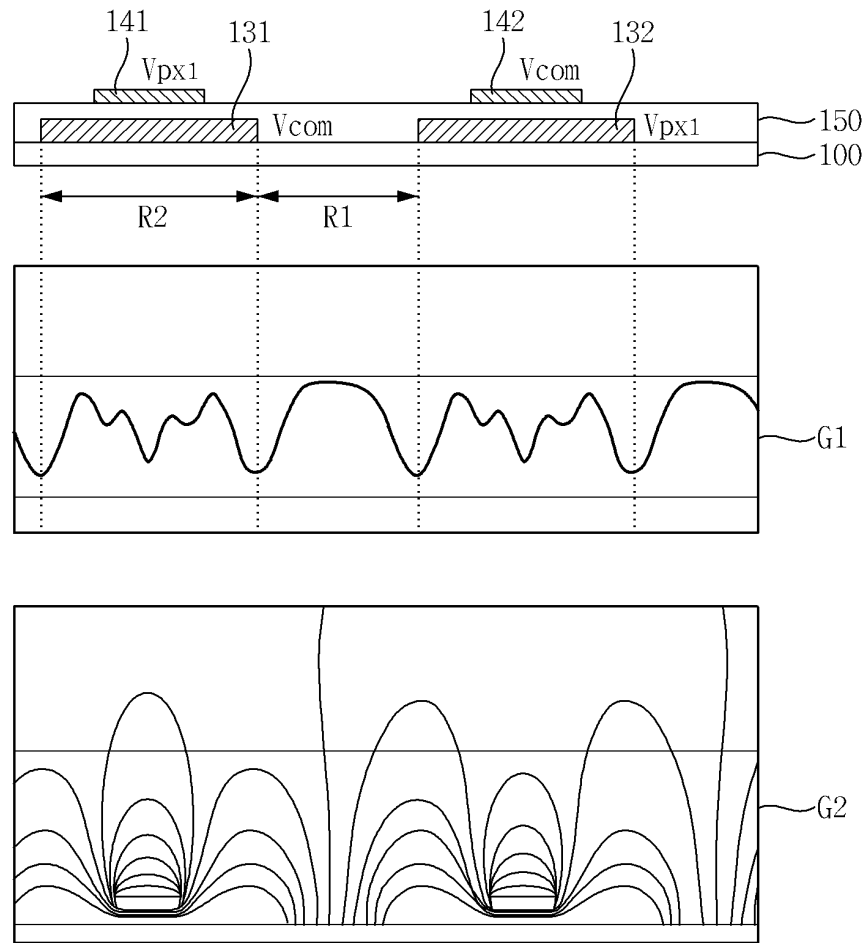
도면4a



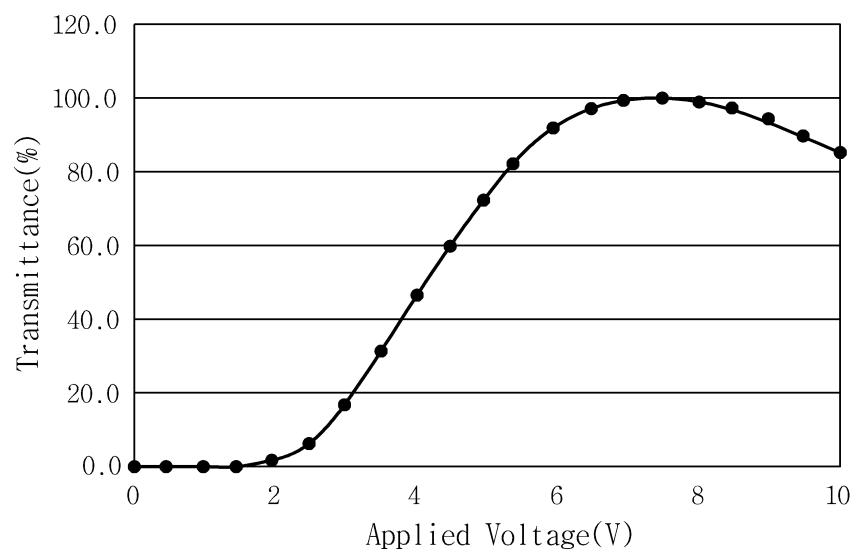
도면4b



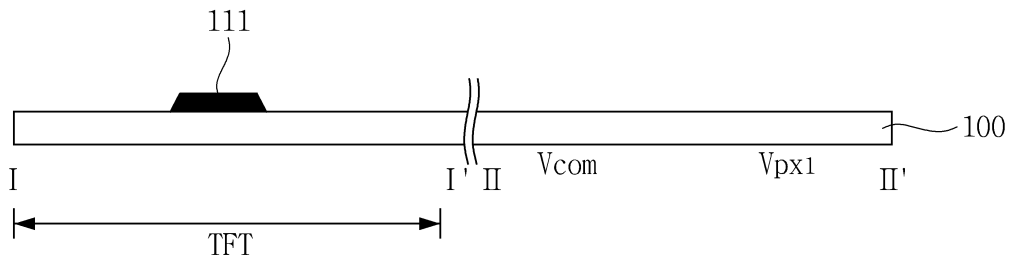
도면5



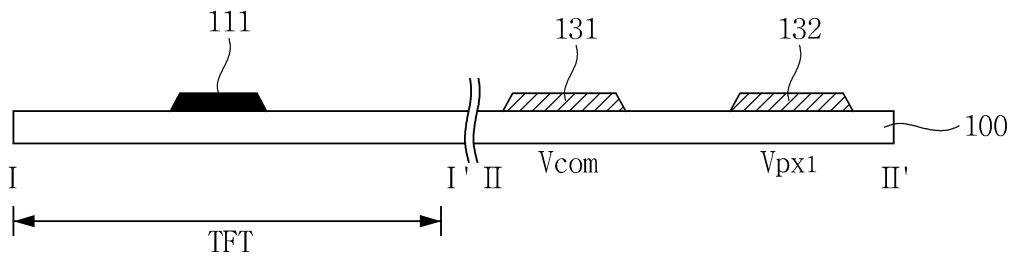
도면6



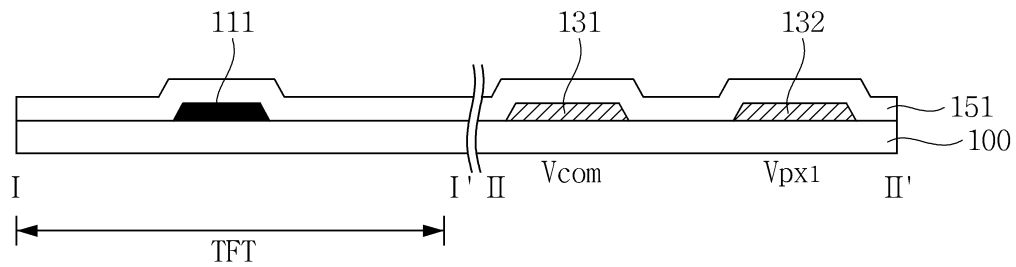
도면7



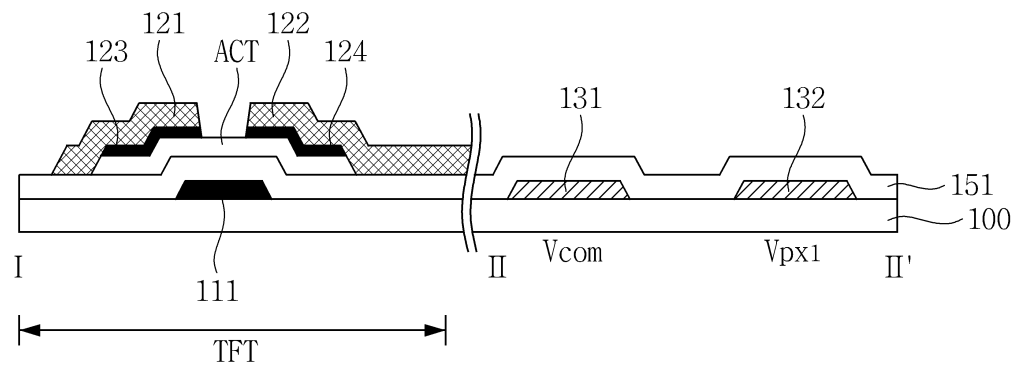
도면8



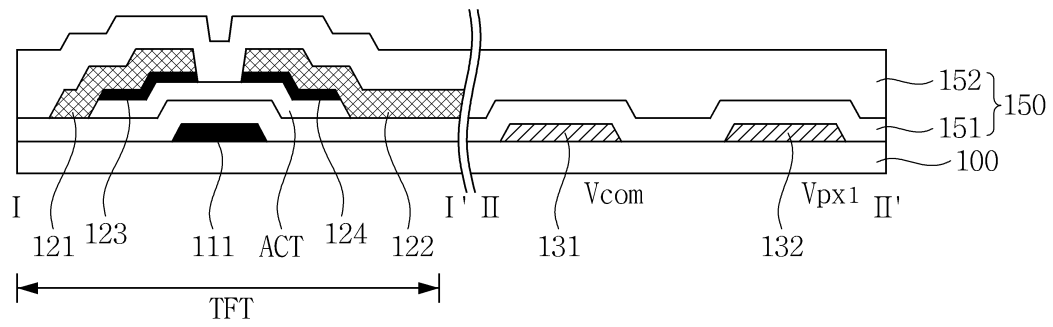
도면9



도면10



도면11



도면12

