



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0056481
(43) 공개일자 2008년06월23일

(51) Int. Cl.

G02F 1/133 (2006.01) G09G 3/36 (2006.01)

(21) 출원번호 10-2006-0129451

(22) 출원일자 2006년12월18일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

김동규

경기 용인시 풍덕천2동 삼성5차아파트 523동 1305호

(74) 대리인

권혁수, 송윤희, 오세준

전체 청구항 수 : 총 30 항

(54) 액정표시장치 및 이의 구동방법

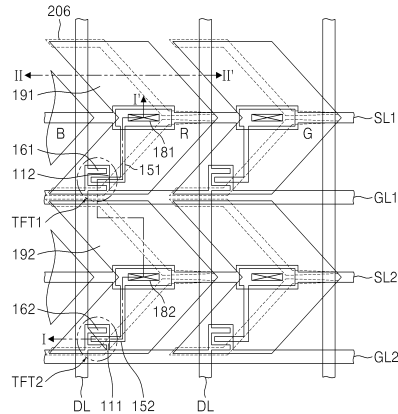
(57) 요약

본 발명은 수직배향형 액정표시장치에 관한 것으로, 특히 고개구율 및 광시야각이 우수하며 시인성이 향상된 액정표시장치 및 이의 구동방법에 관한 것이다.

이를 위하여, 본 발명은 제1 및 제2 화소 전극을 별도로 구동하는 제1 및 제2 박막 트랜지스터와 제1 및 제2 화소 전극 각각에 전기적으로 연결된 제1 및 제2 스토리지 커패시터를 구비하여 제1 및 제2 화소 전극에 충전된 데이터 전압의 실효전압의 차를 크게 한 액정표시장치 및 이의 구동방법을 제공한다.

또한, 본 발명은 제1 화소 전극에 충전된 데이터 전압을 직렬로 연결된 스토리지 커패시터를 이용하여 제2 화소 전극을 충전하여 제1 및 제2 화소 전극 각각에 충전된 데이터 전압의 실효전압의 차를 크게 한 액정표시장치 및 이의 구동방법을 제공한다.

대표도 - 도1



특허청구의 범위

청구항 1

서브 화소 영역에 형성된 제1 및 제2 화소 전극, 상기 제1 및 제2 화소 전극 각각과 접속된 제1 및 제2 박막 트랜지스터, 상기 제1 및 제2 화소 전극과 전기적으로 각각 연결된 제1 및 제2 스토리지 커패시터, 상기 제1 및 제2 박막 트랜지스터 각각에 접속된 제1 및 제2 게이트 라인, 상기 제1 및 제2 박막 트랜지스터와 공통으로 접속된 데이터 라인이 형성된 제1 기판, 상기 제1 기판과 마주하며 공통전극이 형성된 제2 기판을 포함하는 액정 표시패널; 및

상기 제1 및 제2 스토리지 커패시터에 서로 위상이 반전되게 공급하는 스토리지 전압 공급부가 구비된 패널구동부를 포함하는 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 패널구동부는 상기 제1 및 제2 게이트 라인에 온/오프 전압을 공급하는 게이트 구동부; 및 상기 데이터 라인에 데이터 전압을 공급하는 데이터 구동부를 포함하고,

상기 게이트 구동부에 상기 게이트 온/오프 전압을 생성하여 공급하는 게이트 구동신호 공급부; 및 상기 데이터 구동부에 아날로그 구동전압을 공급하는 아날로그 구동전압 공급부를 구비한 전원부를 포함하는 액정표시장치.

청구항 3

제 2 항에 있어서,

상기 데이터 구동부는 상기 제1 화소 전극에 공급되는 제1 데이터 전압 및 상기 제2 화소 전극에 제2 데이터 전압을 순차적으로 공급하며,

상기 제1 및 제2 데이터 전압 중 어느 하나의 레벨이 나머지보다 더 큰 것을 특징으로 하는 액정표시장치.

청구항 4

제 3 항에 있어서,

상기 데이터 구동부는 프레임마다 상기 제1 및 제2 데이터 전압의 극성이 반전되게 공급하는 것을 특징으로 하는 액정표시장치.

청구항 5

제 4 항에 있어서,

상기 게이트 구동부는 상기 제1 및 제2 게이트 라인에 공급되는 상기 게이트 온 전압이 서로 중첩되게 공급하는 것을 특징으로 하는 액정표시장치.

청구항 6

제 1 항에 있어서,

상기 제1 기판은 상기 제1 및 제2 박막 트랜지스터를 보호하는 유기 보호막을 포함하는 액정표시장치.

청구항 7

제 6 항에 있어서,

상기 유기 보호막과 상기 제1 및 제2 박막 트랜지스터 사이에 형성된 무기 보호막을 더 포함하는 액정표시장치.

청구항 8

제 7 항에 있어서,

상기 제1 및 제2 화소 전극은 웨브론(Chevron)형태로 패터닝 된 것을 특징으로 하는 액정표시장치.

청구항 9

제 8 항에 있어서,

상기 공통전극은 상기 제1 및 제2 화소 전극이 형성된 영역 각각을 다수의 도메인으로 분할하는 도메인 분할 수단을 더 포함하는 액정표시장치.

청구항 10

제 9 항에 있어서,

상기 도메인 분할 수단은 슬릿 및 돌기 중 적어도 어느 하나인 것을 특징으로 하는 액정표시장치.

청구항 11

제 10 항에 있어서,

상기 제2 기관은 상기 제1 및 제2 화소 전극에 대응되어 형성된 컬러 필터를 포함하는 액정표시장치.

청구항 12

제 6 항에 있어서,

상기 유기 보호막은 상기 제1 및 제2 화소 전극을 따라 형성된 컬러 필터를 더 포함하는 액정표시장치.

청구항 13

제1 및 제2 박막 트랜지스터 각각과 연결된 제1 및 제2 게이트 라인에 순차적으로 게이트 온 전압을 공급하는 단계;

상기 제1 및 제2 박막 트랜지스터에 공통으로 연결된 데이터 라인에 제1 및 제2 데이터 전압을 순차적으로 공급하여 상기 제1 및 제2 화소 전극에 상기 제1 및 제2 데이터 전압을 공급하는 단계;

상기 제1 화소 전극과 전기적으로 접속된 제1 스토리지 커패시터에 제1 스토리지 전압을 공급하여 상기 제1 화소 전극에 공급된 제1 데이터 전압을 제1 스토리지 전압 레벨 만큼 쉬프트 시키는 단계; 및

상기 제2 화소 전극과 중첩된 제2 스토리지 커패시터에 상기 제1 스토리지 전압의 위상이 반전된 제2 스토리지 전압을 공급하여 상기 제2 화소 전극에 공급된 제1 데이터 전압을 제2 스토리지 전압 레벨 만큼 쉬프트 시키는 단계를 포함하는 액정표시장치의 구동방법.

청구항 14

제 13 항에 있어서,

상기 제1 및 제2 데이터 전압을 공급하는 단계는

각각의 프레임마다 상기 제1 및 제2 데이터 전압의 극성이 반전되어 공급되는 단계를 더 포함하는 액정표시장치의 구동방법.

청구항 15

제 14 항에 있어서,

상기 제1 및 제2 데이터 전압의 극성이 반전될 때 마다 상기 제1 및 제2 스토리지 전압의 위상을 반전시키는 단계를 더 포함하는 액정표시장치의 구동방법.

청구항 16

제 16 항에 있어서,

상기 제1 및 제2 게이트 라인에 게이트 온 전압을 공급하는 단계는

상기 제1 게이트 라인에 공급되는 게이트 온 전압과 상기 제2 게이트 라인에 공급되는 게이트 온 전압이 서로 중첩되며 공급되는 단계를 더 포함하는 액정표시장치의 구동방법.

청구항 17

제1 및 제2 화소 전극, 상기 제1 화소 전극과 접속된 박막 트랜지스터, 상기 제1 및 제2 화소 전극 각각과 전기적으로 연결된 제1 및 제2 스토리지 커패시터, 상기 제1 화소 전극과 전기적으로 연결된 제3 스토리지 커패시터, 상기 제3 스토리지 커패시터와 상기 제2 스토리지 커패시터를 전기적으로 연결하는 연결전극을 포함하는 제1 기관, 상기 제1 기관과 대향하며 공통전극이 형성된 제2 기관을 포함하는 액정표시패널; 및

상기 제1 및 제2 스토리지 커패시터에 위상이 반전된 제1 및 제2 스토리지 전압을 공급하는 스토리지 전압 공급부가 구비된 패널구동부를 포함하는 액정표시장치.

청구항 18

제 17 항에 있어서,

상기 제1 기관은 상기 박막 트랜지스터를 보호하는 유기 보호막; 및

상기 박막 트랜지스터와 상기 유기 보호막을 사이에 형성된 무기 보호막을 포함하는 액정표시장치.

청구항 19

제 18 항에 있어서,

상기 제3 스토리지 커패시터는 상기 유기 보호막을 관통하는 상기 무기 절연막을 노출하는 개구부가 형성된 영역에서 상기 제1 화소 전극과 상기 무기 보호막을 사이에 두고 중첩되어 형성된 스토리지 전극을 포함하는 액정표시장치.

청구항 20

제 19 항에 있어서,

상기 스토리지 전극은 상기 연결전극과 전기적으로 연결된 것을 특징으로 하는 액정표시장치.

청구항 21

제 20 항에 있어서,

상기 제2 스토리지 라인과 중첩되며, 상기 데이터 라인과 상기 연결전극 사이에 형성된 반도체층을 더 포함하는 액정표시장치.

청구항 22

제 21 항에 있어서,

상기 제1 및 제2 화소 전극은 웨브론(Chevron)형태로 형성된 것을 특징으로 하는 액정표시장치.

청구항 23

제 22 항에 있어서,

상기 공통전극은 상기 제1 및 제2 화소 전극이 형성된 영역 각각을 다수의 도메인으로 분할하는 도메인 분할 수단을 더 포함하는 액정표시장치.

청구항 24

제 23 항에 있어서,

상기 제2 기관은 상기 제1 및 제2 화소 전극과 대응되어 형성된 컬러 필터를 포함하는 액정표시장치.

청구항 25

제 17 항에 있어서,

상기 유기 보호막은 상기 제1 및 제2 화소 전극을 따라 색을 표시하는 컬러 필터로 형성된 것을 특징으로 하는

액정표시장치.

청구항 26

제 17 항에 있어서,

상기 패널구동부는 상기 게이트 라인을 구동하는 게이트 구동부;

상기 데이터 라인을 구동하는 데이터 구동부;

상기 게이트 라인 및 상기 데이터 라인에 제어신호를 공급하는 타이밍 컨트롤러;

상기 게이트 구동부 및 상기 데이터 구동부에 전원신호를 생성하여 공급하는 전원부를 포함하는 액정표시장치.

청구항 27

제 26 항에 있어서,

상기 데이터 구동부는 각각의 프레임마다 극성이 반대인 데이터 전압을 공급하는 것을 특징으로 하는 액정표시장치.

청구항 28

게이트 라인에 게이트 온 전압을 공급하고 데이터 라인에 제1 데이터 전압을 공급하여 박막 트랜지스터와 접속된 제1 화소 전극에 상기 제1 데이터 전압을 공급하는 단계;

상기 제1 데이터 전압을 제3 스토리지 커패시터에 충전하는 단계;

상기 제3 스토리지 커패시터에 충전된 제2 데이터 전압을 제2 화소 전극에 공급하는 단계;

상기 제1 화소 전극과 전기적으로 연결된 제1 스토리지 커패시터에 제1 스토리지 전압을 공급하여 상기 제1 데이터 전압이 쉬프트 시키는 단계; 및

상기 제2 화소 전극과 전기적으로 연결된 제2 스토리지 커패시터에 상기 제1 스토리지 전압의 위상이 반전된 제2 스토리지 전압을 공급하여 상기 제2 데이터 전압을 쉬프트 시키는 단계를 포함하는 액정표시장치의 구동방법.

청구항 29

제 28 항에 있어서,

상기 제2 데이터 전압을 상기 제2 화소 전극에 공급하는 단계는

상기 제3 스토리지 커패시터에 상기 제1 화소 전극에 공급된 상기 제1 데이터 전압이 충전되는 단계; 및

상기 제3 스토리지 커패시터와 상기 제2 화소 전극과 공통전압 사이의 액정커패시터가 직렬접속되어 상기 제1 데이터 전압과 상기 액정커패시터에 충전된 전압 사이의 레벨을 갖는 제2 데이터 전압이 상기 제2 화소 전극에 공급되는 단계를 포함하는 액정표시장치의 구동방법.

청구항 30

제 29 항에 있어서,

상기 데이터 전압은 각각의 프레임마다 그 극성이 반전되어 공급되는 단계를 더 포함하는 액정표시장치의 구동방법.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<43> 본 발명은 액정표시장치 및 이의 구동방법에 관한 것으로, 특히 광시야각과 고개구율을 구현면서 시인성이 개선

된 액정표시장치 및 이의 구동방법에 관한 것이다.

- <44> 액정 표시 장치는 전계에 따라 액정 분자를 구동시켜 광투과율을 조절함으로써 화상을 표시하게 된다. 액정 표시 장치는 액정셀 매트릭스를 통해 화상을 표시하는 액정 표시 패널과, 액정 패널을 구동하는 구동 회로를 구비한다. 이러한 액정 표시 장치는 화면을 바라보는 위치에 따라 이미지가 왜곡되어 보이는 시야각 한계점을 극복하기 위하여 광시야각 기술로 발전하고 있다.
- <45> 액정 표시 장치의 대표적인 광시야각 기술로는 PVA(Patterned Vertical Alignment) 모드가 이용된다. PVA 모드는 음의 유전율 이방성을 갖는 액정 분자들이 수직으로 배향되고 전계 방향에 수직하게 구동되어 광투과율을 조절하게 된다. 이러한 VA 모드는 전압 미인가시 액정 분자들의 배향 방향과 직교하는 편광자에 의해 빛의 투과가 차단되므로 노멀리 블랙 모드(Normally Black Mode)가 된다. 특히, PVA 모드는 각 서브 화소의 화소 전극 및 공통전극을 패터닝하여 멀티-도메인으로 분할하여 액정 분자를 대칭적으로 배열시킴으로써 투과율 변화가 대칭적으로 발생하여 광시야각을 얻게 된다.
- <46> 이때, 서브 화소 각각을 2개의 계조로 분할하여 구동하는 PVA 모드의 경우, 고계조의 데이터 신호를 표시하는 고계조 영역과 저계조의 데이터 신호를 표시하는 저계조 영역의 전압차가 커야 광시야각이 넓어진다.

발명이 이루고자 하는 기술적 과제

- <47> 따라서, 본 발명이 이루고자 하는 기술적 과제는 제1 영역과 제2 영역 각각에 충전된 제1 및 제2 데이터 전압의 실효값 차이를 크게 하여 시인성이 개선된 액정표시장치 및 이의 구동방법을 제공하는 데 있다.

발명의 구성 및 작용

- <48> 상기의 기술적 과제를 해결하기 위하여, 본 발명은 서브 화소 영역에 형성된 제1 및 제2 화소 전극, 상기 제1 및 제2 화소 전극 각각과 접속된 제1 및 제2 박막 트랜지스터, 상기 제1 및 제2 화소 전극과 전기적으로 각각 연결된 제1 및 제2 스토리지 커패시터, 상기 제1 및 제2 박막 트랜지스터 각각에 접속된 제1 및 제2 게이트 라인, 상기 제1 및 제2 박막 트랜지스터와 공통으로 접속된 데이터 라인이 형성된 제1 기판, 상기 제1 기판과 마주하며 공통전극이 형성된 제2 기판을 포함하는 액정표시패널; 및 상기 제1 및 제2 스토리지 커패시터에 서로 위상이 반전되게 공급하는 스토리지 전압 공급부가 구비된 패널구동부를 포함하는 액정표시장치를 제공한다.
- <49> 그리고 상기 패널구동부는 상기 제1 및 제2 게이트 라인에 온/오프 전압을 공급하는 게이트 구동부; 및 상기 데이터 라인에 데이터 전압을 공급하는 데이터 구동부를 포함하고, 상기 게이트 구동부에 상기 게이트 온/오프 전압을 생성하여 공급하는 게이트 구동신호 공급부; 및 상기 데이터 구동부에 아날로그 구동전압을 공급하는 아날로그 구동전압 공급부를 구비한 전원부를 포함한다.
- <50> 이때, 상기 데이터 구동부는 상기 제1 화소 전극에 공급되는 제1 데이터 전압 및 상기 제2 화소 전극에 제2 데이터 전압을 순차적으로 공급하며, 상기 제1 및 제2 데이터 전압 중 어느 하나의 레벨이 나머지보다 더 크게 공급한다.
- <51> 그리고 상기 데이터 구동부는 프레임마다 상기 제1 및 제2 데이터 전압의 극성이 반전되게 공급한다.
- <52> 또한, 상기 게이트 구동부는 상기 제1 및 제2 게이트 라인에 공급되는 상기 게이트 온 전압이 서로 중첩되게 공급한다.
- <53> 그리고 상기 제1 기판은 상기 제1 및 제2 박막 트랜지스터를 보호하는 유기 보호막을 포함한다.
- <54> 그리고 상기 유기 보호막과 상기 제1 및 제2 박막 트랜지스터 사이에 형성된 무기 보호막을 더 포함한다.
- <55> 또한, 상기 제1 및 제2 화소 전극은 쉘브론(Chevron)형태로 패터닝 된다.
- <56> 그리고 상기 공통전극은 상기 제1 및 제2 화소 전극이 형성된 영역 각각을 다수의 도메인으로 분할하는 도메인 분할 수단을 더 포함한다.
- <57> 여기서, 상기 도메인 분할 수단은 슬릿 및 돌기 중 적어도 어느 하나로 형성된다.
- <58> 그리고 상기 제2 기판은 상기 제1 및 제2 화소 전극에 대응되어 형성된 컬러 필터를 포함한다.
- <59> 한편, 상기 유기 보호막은 상기 제1 및 제2 화소 전극을 따라 형성된 컬러 필터를 더 포함한다.
- <60> 그리고 상기의 기술적 과제를 해결하기 위하여, 본 발명은 제1 및 제2 박막 트랜지스터 각각과 연결된 제1 및

제2 게이트 라인에 순차적으로 게이트 온 전압을 공급하는 단계; 상기 제1 및 제2 박막 트랜지스터에 공통으로 연결된 데이터 라인에 제1 및 제2 데이터 전압을 순차적으로 공급하여 상기 제1 및 제2 화소 전극에 상기 제1 및 제2 데이터 전압을 공급하는 단계; 상기 제1 화소 전극과 전기적으로 접속된 제1 스토리지 커패시터에 제1 스토리지 전압을 공급하여 상기 제1 화소 전극에 공급된 제1 데이터 전압을 제1 스토리지 전압 레벨 만큼 쉬프트 시키는 단계; 및 상기 제2 화소 전극과 중첩된 제2 스토리지 커패시터에 상기 제1 스토리지 전압의 위상이 반전된 제2 스토리지 전압을 공급하여 상기 제2 화소 전극에 공급된 제1 데이터 전압을 제2 스토리지 전압 레벨 만큼 쉬프트 시키는 단계를 포함하는 액정표시장치의 구동방법을 제공한다.

- <61> 여기서, 상기 제1 및 제2 데이터 전압을 공급하는 단계는 각각의 프레임마다 상기 제1 및 제2 데이터 전압의 극성이 반전되어 공급되는 단계를 더 포함한다.
- <62> 또한, 상기 제1 및 제2 데이터 전압의 극성이 반전될 때 마다 상기 제1 및 제2 스토리지 전압의 위상을 반전시키는 단계를 더 포함한다.
- <63> 그리고 상기 제1 및 제2 게이트 라인에 게이트 온 전압을 공급하는 단계는 상기 제1 게이트 라인에 공급되는 게이트 온 전압과 상기 제2 게이트 라인에 공급되는 게이트 온 전압이 서로 중첩되며 공급되는 단계를 더 포함한다.
- <64> 그리고 상기의 기술적 과제를 해결하기 위하여, 본 발명은 제1 및 제2 화소 전극, 상기 제1 화소 전극과 접속된 박막 트랜지스터, 상기 제1 및 제2 화소 전극 각각과 전기적으로 연결된 제1 및 제2 스토리지 커패시터, 상기 제1 화소 전극과 전기적으로 연결된 제3 스토리지 커패시터, 상기 제3 스토리지 커패시터와 상기 제2 스토리지 커패시터를 전기적으로 연결하는 연결전극을 포함하는 제1 기관, 상기 제1 기관과 대향하며 공통전극이 형성된 제2 기관을 포함하는 액정표시패널; 및 상기 제1 및 제2 스토리지 커패시터에 위상이 반전된 제1 및 제2 스토리지 전압을 공급하는 스토리지 전압 공급부가 구비된 패널구동부를 포함하는 액정표시장치를 제공한다.
- <65> 여기서, 상기 제1 기관은 상기 박막 트랜지스터를 보호하는 유기 보호막; 및
- <66> 상기 박막 트랜지스터와 상기 유기 보호막을 사이에 형성된 무기 보호막을 포함한다.
- <67> 이때, 상기 제3 스토리지 커패시터는 상기 유기 보호막을 관통하는 상기 무기 절연막을 노출하는 개구부가 형성된 영역에서 상기 제1 화소 전극과 상기 무기 보호막을 사이에 두고 중첩되어 형성된 스토리지 전극을 포함한다.
- <68> 여기서, 상기 스토리지 전극은 상기 연결전극과 전기적으로 연결된다.
- <69> 또한, 상기 제2 스토리지 라인과 중첩되며, 상기 데이터 라인과 상기 연결전극 사이에 형성된 반도체층을 더 포함한다.
- <70> 이때, 상기 제1 및 제2 화소 전극은 쉘브론(Chevron)형태로 형성된다.
- <71> 그리고 상기 공통전극은 상기 제1 및 제2 화소 전극이 형성된 영역 각각을 다수의 도메인으로 분할하는 도메인 분할 수단을 더 포함한다.
- <72> 그리고 상기 제2 기관은 상기 제1 및 제2 화소 전극과 대응되어 형성된 컬러 필터를 포함한다.
- <73> 한편, 상기 유기 보호막은 상기 제1 및 제2 화소 전극을 따라 색을 표시하는 컬러 필터로 형성될 수 있다.
- <74> 또한, 상기 패널구동부는 상기 게이트 라인을 구동하는 게이트 구동부; 상기 데이터 라인을 구동하는 데이터 구동부; 상기 게이트 라인 및 상기 데이터 라인에 제어신호를 공급하는 타이밍 컨트롤러; 상기 게이트 구동부 및 상기 데이터 구동부에 전원신호를 생성하여 공급하는 전원부를 포함한다.
- <75> 여기서, 상기 데이터 구동부는 각각의 프레임마다 극성이 반대인 데이터 전압을 공급한다.
- <76> 그리고 상기의 기술적 과제를 해결하기 위하여, 본 발명은 게이트 라인에 게이트 온 전압을 공급하고 데이터 라인에 제1 데이터 전압을 공급하여 박막 트랜지스터와 접속된 제1 화소 전극에 상기 제1 데이터 전압을 공급하는 단계; 상기 제1 데이터 전압을 제3 스토리지 커패시터에 충전하는 단계; 상기 제3 스토리지 커패시터에 충전된 제2 데이터 전압을 제2 화소 전극에 공급하는 단계; 상기 제1 화소 전극과 전기적으로 연결된 제1 스토리지 커패시터에 제1 스토리지 전압을 공급하여 상기 제1 데이터 전압이 쉬프트 시키는 단계; 및 상기 제2 화소 전극과 전기적으로 연결된 제2 스토리지 커패시터에 상기 제1 스토리지 전압의 위상이 반전된 제2 스토리지 전압을 공급하여 상기 제2 데이터 전압을 쉬프트 시키는 단계를 포함하는 액정표시장치의 구동방법을 제공한다.

- <77> 여기서, 상기 제2 데이터 전압을 상기 제2 화소 전극에 공급하는 단계는 상기 제3 스토리지 커패시터에 상기 제1 화소 전극에 공급된 상기 제1 데이터 전압이 충전되는 단계; 및 상기 제3 스토리지 커패시터와 상기 제2 화소 전극과 공통전압 사이의 액정커패시터가 직렬접속되어 상기 제1 데이터 전압과 상기 액정커패시터에 충전된 전압 사이의 레벨을 갖는 제2 데이터 전압이 상기 제2 화소 전극에 공급되는 단계를 포함한다.
- <78> 이때, 상기 데이터 전압은 각각의 프레임마다 그 극성이 반전되어 공급되는 단계를 더 포함할 수 있다.
- <79> 상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부도면을 참조한 본 발명의 실시 예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.
- <80> 이하, 본 발명의 실시 예들을 첨부한 도면을 참조하여 상세하게 설명하기로 한다. 본 발명의 실시 예는 설명의 편의상 노멀리 블랙 모드에 대하여 설명하기로 한다. 그러나, 본 발명의 실시 예에 따른 액정표시장치 및 이의 구동방법은 노멀리 블랙 모드에 한정되는 것은 아니다.
- <81> 도 1은 본 발명의 제1 및 제2 실시 예에 따른 액정표시패널을 도시한 평면도이고, 도 2는 본 발명의 제1 실시 예를 설명하기 위하여 도 1에 도시된 액정표시패널의 I-I'선을 따라 절단된 단면을 도시한 단면도이고, 도 3은 도 1에 도시된 액정표시패널의 제1 영역과 제2 영역 각각에 형성된 화소 전극들의 면적을 대비한 도면이다.
- <82> 도 1 내지 도 3을 참조하면, 본 발명의 제1 실시 예에 따른 액정표시패널은 제1 및 제2 영역으로 분할된 서브 화소, 제1 및 제2 영역 각각에 형성된 제1 및 제2 화소 전극(191, 192), 제1 및 제2 화소 영역 각각에 형성된 제1 및 제2 스토리지 커패시터(CST1, CST2), 제1 및 제2 화소 전극(191, 192) 각각과 접속된 제1 및 제2 박막 트랜지스터(TFT1, TFT2), 제1 및 제2 박막 트랜지스터(TFT1, TFT2) 각각에 게이트 온/오프 전압(VON, VOFF)을 공급하는 제1 및 제2 게이트 라인(GL1, GL2), 제1 및 제2 박막 트랜지스터(TFT1, TFT2)와 공통으로 접속된 데이터 라인(DL)이 형성된 제1 기판(100) 및 액정(250)을 사이에 두고 제1 기판(100)과 합착되며, 공통전극(205)이 형성된 제2 기판(200)을 포함한다.
- <83> 구체적으로, 액정표시패널(10)은 박막 트랜지스터 어레이가 형성된 제1 기판(100), 제1 기판(100)에 대향하여 액정(250)을 사이에 두고 형성된 제2 기판(200)을 포함한다.
- <84> 액정(250)은 제1 기판(100)과 제2 기판(200) 사이에 형성된 프링지 필드(Fringe Field)에 의해 구동되도록 수직 배향된다. 액정(250)을 사이에 두고 합착된 제1 및 제2 기판(100, 200)은 2개의 게이트 라인(GL1, GL2) 및 1개의 데이터 라인(DL)의 교차로 마련된 서브 화소 영역 각각에 상하로 서로 다른 계조를 표시하는 제1 영역과, 제2 영역을 구비한다. 여기서, 제1 영역은 제1 화소 전극(191)과 공통전극(205) 사이의 액정(250)에 의한 제1 액정커패시터(CLC1)와, 제1 스토리지 커패시터(CST1)가 병렬로 접속되어 제1 충전 전압(VH)이 유지되며, 제2 영역은 제2 화소 전극(192)과 공통전극(205) 사이의 액정(250)에 의한 제2 액정커패시터(CLC2)와, 제2 스토리지 커패시터(CST2)가 병렬로 접속되어 제2 충전 전압(VL)이 유지되어 화상을 표시한다.
- <85> 제1 영역의 제1 기판(100)은 투명한 기판(101) 위에 제1 게이트 라인(GL1)과 교차하여 형성된 데이터 라인(DL), 제1 게이트 라인(GL1) 및 데이터 라인(DL)의 교차부에 제1 게이트 라인(GL1) 및 데이터 라인(DL)과 접속된 제1 박막 트랜지스터(TFT1), 제1 박막 트랜지스터(TFT1)와 접속된 제1 화소 전극(191) 및 제1 화소 전극(191)과 중첩되어 제1 스토리지 전압(VST1)이 공급되는 제1 스토리지 라인(SL1)을 포함한다. 그리고 제2 영역은 제2 게이트 라인(GL2)과 교차하여 형성된 데이터 라인(DL), 제2 게이트 라인(GL2) 및 데이터 라인(DL)의 교차부에 제2 게이트 라인(GL2) 및 데이터 라인(DL)과 접속된 제2 박막 트랜지스터(TFT2), 제2 박막 트랜지스터(TFT2)와 접속된 제2 화소 전극(192) 및 제2 화소 전극(192)과 중첩되어 제2 스토리지 전압(VST2)이 공급되는 제2 스토리지 라인(SL2)을 포함한다.
- <86> 제1 및 제2 게이트 라인(GL1, GL2)은 제1 영역 및 제2 영역으로 수평방향으로 형성되어 게이트 온 전압(VON)을 제1 및 제2 박막 트랜지스터(TFT1, TFT2)에 순차적으로 공급한다.
- <87> 데이터 라인(DL)은 제1 및 제2 게이트 라인(GL1, GL2)과 수직으로 교차하여 형성되며 제1 및 제2 게이트 라인(GL1, GL2)으로 게이트 온 전압(VON)이 공급될 때마다 제1 및 제2 박막 트랜지스터(TFT1, TFT2)에 제1 데이터 전압(VD1)과 제2 데이터 전압(VD2)을 순차적으로 공급한다.
- <88> 제1 박막 트랜지스터(TFT1)는 제1 게이트 라인(GL1)과 접속된 제1 게이트 전극(111), 제1 게이트 전극(111) 위에 형성된 게이트 절연막(120), 제1 게이트 전극(111)과 중첩되며, 게이트 절연막(120) 위에 형성된 제1 반도체층(131), 제1 반도체층(131) 위에 제1 게이트 전극(111)과 적어도 중첩되게 형성되며, 데이터 라인(DL)과 접속된 제1 소스 전극(151), 제1 소스 전극(151)과 마주하며, 제1 화소 콘택홀(181)을 통해 제1 화소 전극(191)과

접속된 제1 드레인 전극(161)을 포함한다. 이러한 제1 박막 트랜지스터(TFT1)는 제1 게이트 라인(GL1)으로부터 공급된 게이트 온 전압(VON)에 의해 턴온(Turn On) 되어 데이터 라인(DL)으로부터 공급된 제1 데이터 전압(VD1)을 제1 화소 전극(191)으로 공급한다. 여기서, 제1 드레인 전극(161)은 제1 스토리지 라인(SL1)과 중첩되도록 형성된다. 즉, 제1 드레인 전극(161)은 제1 영역의 중앙까지 연장되며 연장된 일측 끝단이 제1 영역의 중앙부에 위치한 제1 스토리지 라인(SL1)의 면적과 같거나 작게 형성되고, 제1 드레인 전극(161)과 제1 스토리지 라인(SL1)이 중첩된 영역에 제1 화소 콘택홀(181)을 통해 제1 화소 전극(191)과 접속된다.

<89> 제2 박막 트랜지스터(TFT2)는 제1 박막 트랜지스터(TFT1)와 동일하게 형성된다. 즉, 제2 게이트 라인(GL2)과 접속된 제2 게이트 전극(112), 제2 게이트 전극 위에 형성된 게이트 절연막(120), 제2 게이트 전극(112)과 중첩되며, 게이트 절연막(120) 위에 형성된 제2 반도체층(132), 제2 반도체층(132) 위에 제2 게이트 전극(112)과 적어도 중첩되게 형성되며, 데이터 라인(DL)과 접속되는 제2 소스 전극(152), 제2 소스 전극(152)과 마주하며, 제2 화소 콘택홀(182)을 통해 제2 화소 전극(192)과 접속된 제2 드레인 전극(162)을 포함한다. 이때, 제2 박막 트랜지스터(TFT2)는 제2 게이트 라인(GL2)으로부터 공급된 게이트 온 전압(VON)에 의해 턴온(Turn On) 되어 데이터 라인(DL)으로부터 공급되는 제2 데이터 전압(VD2)을 제2 화소 전극(192)으로 공급한다. 여기서, 제1 드레인 전극(161)은 제1 스토리지 라인(SL1)과 중첩되도록 형성된다. 즉, 제2 드레인 전극(162)은 제2 영역의 중앙까지 연장되며 연장된 일측 끝단이 제2 영역의 중앙부에 위치한 제2 스토리지 라인(SL2)의 면적과 같거나 작게 형성되고, 제2 드레인 전극(162)과 제2 스토리지 라인(SL2)이 중첩된 영역에 제2 화소 콘택홀(182)을 통해 제2 화소 전극(192)과 접속된다.

<90> 제1 스토리지 라인(SL1)은 제1 영역에 제1 게이트 라인(GL1)과 나란하게 형성되며, 제1 화소 전극(191)의 중앙부와 중첩되게 형성된다. 그리고 제1 스토리지 라인(SL1)의 일측은 제1 스토리지 전압 공급라인(121)과 접속된다. 이때, 제1 스토리지 라인(SL1)은 일측이 제1 스토리지 전압 공급라인(121)과 접속되고 타측은 플로팅 되거나, 제1 스토리지 전압 공급라인(121)이 액정표시패널(10)의 양측에 각각 형성될 경우 양측에 형성된 제1 스토리지 전압 공급라인(121)과 그 일측 및 타측에 접속된다. 이러한, 제1 스토리지 라인(SL1)은 게이트 절연막(120)을 사이에 두고 제1 드레인 전극(161)과 중첩되어 제1 스토리지 커패시터(CST1)를 형성한다.

<91> 제1 스토리지 커패시터(CST1)는 제1 화소 전극(191)에 제1 데이터 전압(VD1)이 충전될 때, 제1 스토리지 라인(SL1)에 공급되는 전압만큼 제1 데이터 전압(VD1)을 쉬프트 시킨다. 이에 대한 구체적인 설명은 추후 다시 언급하기로 한다.

<92> 제2 스토리지 라인(SL2)은 제2 게이트 라인(GL2)과 나란하게 형성되며 제2 영역에 형성된 제2 화소 전극(192)의 중앙부와 중첩되게 형성된다. 그리고 제2 스토리지 라인(SL2)의 일측은 제2 스토리지 전압 공급라인(122)과 접속된다. 이때, 제2 스토리지 라인(SL2)은 일측이 제2 스토리지 전압 공급라인(122)과 접속되고 타측은 플로팅 되거나, 제2 스토리지 전압 공급라인(122)이 액정표시패널(10)의 양측에 각각 형성될 경우 양측에 형성된 제2 스토리지 전압 공급라인(122)과 일측 및 타측에 접속된다. 이러한, 제2 스토리지 라인(SL2)은 게이트 절연막(120)을 사이에 두고 제2 드레인 전극(162)과 중첩되어 제2 스토리지 커패시터(CST2)를 형성한다.

<93> 제2 스토리지 커패시터(CST2)는 제2 화소 전극(192)에 제2 데이터 전압(VD2)이 충전될 때, 제2 스토리지 라인(SL2)에 공급되는 전압만큼 제2 데이터 전압(VD2)을 쉬프트시킨다.

<94> 제1 화소 전극(191)은 제1 영역에 형성되며, 특히 지그-재그 구조로 경사진 좌우 측면을 갖는 쉘브론(Chevron) 형태로 형성된다. 제1 화소 전극(191)은 제1 화소 전극(191)의 측면이 만나는 두 점을 잇는 수평선을 기준으로 상하 대칭으로 형성되는 것이 바람직하다. 그리고 제1 화소 전극(191)의 측면들은 액정표시패널(10)의 상부면 및 하부면에 각각에 형성된 편광판과 45°의 각도로 경사지게 형성되는 것이 바람직하다. 이에 따라, 배면광으로부터 편광판을 투과하는 광의 투과율이 최대가 된다.

<95> 제2 화소 전극(192)은 제2 영역에 형성되며, 제1 화소 전극(191)과 동일한 형태로 형성된다.

<96> 이때, 제1 및 제2 화소 전극(191, 192) 중 어느 하나는 나머지 하나보다 그 면적이 더 작게 형성될 수 있다. 이때, 제1 및 제2 영역 중 저전압이 공급되는 영역에 형성되는 화소 전극의 면적이 고전압이 공급되는 영역에 형성되는 화소 전극보다 더 크게 형성되는 것이 바람직하다. 도 3에 도시된 바와 같이, 제1 영역은 제1 데이터 전압(VD1)이 공급되며, 제2 영역은 제2 데이터 전압(VD2)이 공급된다. 이때, 제1 데이터 전압(VD1)은 고계조 전압이 공급되고, 제2 데이터 전압(VD2)은 저계조 전압이 공급된다. 이에 따라, 시인성 개선을 위하여 제2 화소 전극(192)의 면적이 제1 화소 전극(191)의 면적에 비하여 더 크게 형성될 수 있다. 도 3의 A에서와 같이, 제1 및 제2 화소 전극(191, 192)의 면적은 제1 화소 전극(191)과 제2 화소 전극(192)의 가로폭은 동일하며 세로

폭이 제2 화소 전극(192)이 더 크게 형성되거나, 도3의 B에 도시된 바와 같이, 제2 화소 전극(192)의 가로폭이 제1 화소 전극(191)의 가로폭보다 더 크게 형성되어 제2 화소 전극(192)의 면적을 제1 화소 전극(191)의 면적보다 크게 형성할 수 있다.

<97> 제1 및 제2 화소 전극(191, 192) 하부에는 도 2에 도시된 바와 같이 유기 보호막(170)이 형성된다. 유기 보호막(170)은 2 내지 3 μ m의 두께로 형성되어 제1 및 제2 화소 전극(191, 192)이 제1 및 제2 게이트 라인(GL1, GL2) 및 데이터 라인(DL)과 중첩되어 형성되어 발생할 수 있는 신호간섭을 방지한다. 이에 따라, 제1 및 제2 화소 전극(191, 192)이 게이트 라인(GL1, GL2) 및 데이터 라인(DL)과 중첩되게 형성함으로써 액정표시패널(10)의 개구율이 증가된다. 이때, 제1 및 제2 박막 트랜지스터(TFT1, TFT2)의 오프전류 특성을 향상시키기 위하여 유기 보호막(170)의 하부에 무기 보호막(160)을 형성한다. 그리고 제1 및 제2 드레인 전극(161, 162) 각각과 제1 및 제2 화소 전극(191, 192) 각각을 접속하는 제1 및 제2 화소 콘택홀(181, 182)은 유/무기 보호막(160, 170)을 관통하여 형성된다.

<98> 제2 기판(200)은 제1 기판(100)에 대향하여 형성된 블랙 매트릭스(202), 컬러 필터(203), 오버코트(204) 및 공통전극(205)을 포함한다.

<99> 블랙 매트릭스(202)는 투명한 기판(201) 위에 형성되어 제1 기판(100)의 제1 박막 트랜지스터(TFT1)와 게이트 라인들(GL1, GL2)에서 발생하는 빛샘을 차단한다.

<100> 컬러 필터(203)는 적(R), 녹(G), 청(B)의 색 수지가 제1 기판(100)의 제1 및 제2 화소 전극(191, 192)과 대응되어 형성된다. 여기서, 컬러 필터(203)와 공통전극(205) 사이에 오버코트(204)가 더 형성될 수 있다. 컬러 필터(203)와 공통전극(205) 사이에 형성된 오버코트(204)는 컬러 필터(203)가 블랙 매트릭스(202) 위에 인접한 서브 화소가 중첩되어 형성됨으로써 발생된 단차를 보상하여 공통전극(205)이 평탄하게 형성되도록 한다.

<101> 공통전극(205)은 컬러 필터(203) 및 블랙 매트릭스(202) 위에 형성되며 제1 및 제2 화소 전극(191, 192)과 프린지 필드(Fringe Field)를 형성한다. 이때, 공통전극(205)은 도메인을 분할하는 도메인 분할 수단 예를 들어, 도 2에 도시된 슬릿(206)이 제1 및 제2 화소 전극(191, 192)의 측면 및 상변과 엇갈려 형성된다. 슬릿(206)은 제1 및 제2 화소 전극(191, 192)과 대응되어 가로방향을 중심축으로 90도 기울어져 "Y"자 형상으로 형성된다. 즉, 제1 및 제2 화소 전극(191, 192)의 측면과 공통전극(205)의 슬릿(206)에 의해 제1 및 제2 영역 각각은 도메인이 다수로 분할되어 광시야각이 넓어진다.

<102> 그리고 도메인 분할 수단은 도 4에 도시된 바와 같이, 돌기(207)가 형성될 수 있다. 돌기(207)는 슬릿(206)이 형성된 패턴과 동일한 패턴 즉, 패턴닝 된 제1 및 제2 화소 전극(191, 192)의 가로방향을 중심축으로 "Y"자 형상이 90도 기울어져 형성되며, 패턴닝 된 제1 및 제2 화소 전극(191, 192)과 엇갈려 형성된다.

<103> 도 5는 본 발명의 제2 실시 예를 설명하기 위하여, 도 1에 도시된 액정표시패널의 II-II'선을 따라 절단된 단면을 도시한 단면도이다.

<104> 도 5는 제1 기판(300)에 컬러 필터(280)가 형성된 컬러 필터 온 박막 트랜지스터 어레이(Color Filter On Thin Film Transistor Substrate; 이하, "COA"라 함)형태의 액정표시패널을 도시한 단면도로서, 도 2에 도시된 액정표시패널(10)에서 유기 보호막(170) 대신 컬러 필터(280)가 형성된 것을 제외하고는 동일한 구성요소를 구비하므로 동일한 구성요소에 대한 중복된 설명은 생략하기로 한다. 또한, 도 5는 도 2에 도시된 제2 기판(200)에서 컬러 필터(203)가 제거된 것을 제외하고는 동일한 구성요소를 구비하므로 동일한 구성요소에 대한 중복된 설명은 생략하기로 한다.

<105> 도 5를 참조하면, 본 발명의 제2 실시 예에 따른 액정표시패널은 COA 기판(300)과, 제2 기판(00)을 포함한다.

<106> 구체적으로, COA 기판(300)은 투명한 기판(101) 위에 제1 영역과 제2 영역이 형성된 서브 화소, 제1 및 제2 영역 각각에 형성된 제1 및 제2 화소 전극(191, 192), 제1 및 제2 화소 전극(191, 192) 각각에 서로 다른 계조를 갖는 데이터 전압을 공급하는 제1 및 제2 박막 트랜지스터(TFT1, TFT2), 제1 박막 트랜지스터(TFT1)에 게이트 온/오프 전압을 공급하는 제1 게이트 라인(GL1), 제2 박막 트랜지스터(TFT2)에 게이트 온/오프 전압을 공급하는 제2 게이트 라인(GL2), 제1 및 제2 게이트 라인(GL1, GL2)과 수직으로 교차하며, 제1 및 제2 박막 트랜지스터(TFT1, TFT2)와 접속된 데이터 라인(DL), 제1 영역에 제1 화소 전극(191)과 중첩되어 제1 스토리지 커패시터(CST1)를 형성하는 제1 스토리지 라인(SL1), 제2 영역에 제2 화소 전극(192)과 중첩되어 제2 스토리지 커패시터(CST2)를 형성하는 제2 스토리지 라인(SL2)을 포함한다. 그리고, 제1 및 제2 박막 트랜지스터(TFT1, TFT2)와 데이터 라인(DL)을 보호하는 무기 보호막(160), 무기 보호막(160)과 화소 전극(191, 192) 사이의 각각의 서브

화소 영역에 적(R), 녹(G), 청(B)의 컬러 필터(280)가 형성된다.

- <107> 제1 및 제2 화소 전극(191, 192)은 셰브론(Chevron) 형태로 형성된다. 그리고 제1 및 제2 화소 전극(191, 192) 중 저계조 데이터 전압이 인가되는 영역에 형성된 화소 전극은 고계조 전압이 인가되는 화소 전극의 면적보다 더 크게 형성될 수 있다. 이를 통해, 액정표시패널의 시인성을 향상시킬 수 있다.
- <108> 컬러 필터(280)는 유기 물질로 제1 및 제2 화소 전극(191, 192) 아래에 증착되게 형성된다. 이때, 제1 박막 트랜지스터(TFT1)의 제1 드레인 전극(161)과 제1 화소 전극(191)을 접속하기 위하여 컬러 필터(280) 및 무기 보호막(170)을 관통하는 제1 화소 콘택홀(181)이 형성된다. 그리고, 제2 박막 트랜지스터(TFT2)의 제2 드레인 전극(162)과 제2 화소 전극(192)을 접속하기 위하여 컬러 필터(280) 및 무기 보호막(160)을 관통하는 제2 화소 콘택홀(182)이 형성된다.
- <109> 이러한 COA 기관(300)은 제1 기관(100)에 컬러 필터(280)를 형성함으로써 제조 공정을 단순화시킬 수 있다.
- <110> 이때, 제2 기관(400)에는 투명 기관(201) 위에 블랙 매트릭스(202)와 공통전극(205)이 형성되고, 블랙 매트릭스(202)와 공통전극(205) 사이에 공통전극(205)을 평탄화하는 오버코트(204)가 더 형성될 수 있다. 그리고 공통전극(205)은 도 1에 도시된 바와 같이, 제1 기관(100)의 제1 및 제2 화소 전극(191, 192)과 대응되어 가로방향을 중심축으로 90도 기울어져 "Y"자 형상의 슬릿(206)이 형성된다. 슬릿(206)은 제1 및 제2 화소 전극(191, 192)이 패터닝된 형상과 엇갈리게 형성되어 서브화소를 다수의 도메인으로 분할한다. 즉, 화소 전극(191, 192)의 측면과 공통전극(205)의 슬릿(206)에 의한 프린지 필드가 형성되어 제1 및 제2 영역 각각은 도메인이 다수로 분할되어 광시야각이 넓어진다.
- <111> 그리고 도메인 분할 수단은 도 6에 도시된 바와 같이, 돌기(207)가 형성될 수 있다. 돌기(207)는 슬릿(206)이 형성된 패턴과 동일한 패턴 즉, 패터닝된 화소 전극(191, 192)의 가로방향을 중심축으로 "Y"자 형상이 90도 기울어져 형성되며, 패터닝된 화소 전극(191, 192)과 엇갈려 형성된다.
- <112> 도 7은 본 발명의 제1 및 제2 실시 예에 따른 액정표시패널을 포함하는 액정표시장치를 개략적으로 도시한 블록도이고, 도 8은 도 7에 도시된 전원부의 구조를 도시한 블록도이다.
- <113> 도 7 및 도 8을 참조하면, 본 발명의 제1 및 제2 실시 예에 따른 액정표시패널을 포함하는 액정표시장치는 액정표시패널(10), 액정표시패널(10)을 구동하는 패널구동부를 포함한다. 여기서, 패널 구동부는 액정표시패널(10)의 게이트 라인(GL1, GL2)을 구동하는 게이트 구동부(30), 액정표시패널(10)의 데이터 라인(DL)을 구동하는 데이터 구동부(40), 게이트 구동부(30) 및 데이터 구동부(40) 각각에 제어신호를 공급하고, 데이터 구동부(40)에 화소 데이터 신호를 공급하는 타이밍 컨트롤러(60) 및 게이트 구동부(30), 데이터 구동부(40) 및 액정표시패널(10)에 전원신호를 공급하는 전원부(50)를 포함한다.
- <114> 구체적으로, 전원부(50)는 도 8에 도시된 바와 같이, 게이트 온/오프 전압(VON, VOFF)을 생성하여 게이트 구동부(30)에 공급하는 게이트 온/오프 전압 공급부(51), 아날로그 구동전압(AVDD)을 생성하여 데이터 구동부(40)에 공급하는 아날로그 구동전압 공급부(53) 및 제1 스토리지 전압(VST1)과 제2 스토리지 전압(VST2)을 생성하여 액정표시패널(10)의 제1 및 제2 스토리지 라인(SL1, SL2)에 공급하는 스토리지 전압 공급부(52)를 포함한다. 게이트 온/오프 전압 공급부(51)는 20 내지 25V의 게이트 온 전압(VON)과, -7 내지 0V의 게이트 오프 전압(VOFF)을 생성하여 게이트 구동부(30)로 공급한다. 아날로그 구동전압 공급부(53)는 11 내지 18V의 직류전압을 데이터 구동부(40)에 포함된 감마전압 발생부에 공급하여 감마전압 발생부의 기준전압으로 사용되도록 한다. 스토리지 전압 공급부(52)는 제1 및 제2 스토리지 라인(SL1, SL2) 각각에 제1 스토리지 전압(VST1)과 제2 스토리지 전압(VST2)을 공급한다. 이때, 제1 및 제2 스토리지 전압(VST1, VST2)은 서로 위상이 반전되어 공급된다. 그리고, 공통전압(VCOM)을 생성하여 액정패널로 공급하는 공통전압 공급부를 더 포함할 수 있다. 공통전압 공급부는 제2 기관(200, 400)의 공통전극(205)에 인가되는 0 내지 5V의 직류전압을 생성하여 공급한다.
- <115> 타이밍 컨트롤러(60)는 외부로부터 입력된 R, G, B의 화상 데이터 신호를 정렬하여 데이터 구동부(40)로 공급한다. 그리고 타이밍 컨트롤러(60)는 외부로부터 화상 데이터 신호와 함께 입력된 다수의 동기 신호들, 예를 들면 도트 클럭, 데이터 이네이블 신호, 수직 동기 신호, 수평 동기 신호 등을 이용하여 데이터 구동부(40)와 게이트 구동부(30)의 구동 타이밍을 제어하는 다수의 제어 신호들을 생성하여 공급한다. 예를 들면, 타이밍 컨트롤러(60)는 게이트 구동부(30)에 공급되는 게이트 스타트 펄스, 게이트 쉬프트 클럭, 출력제어신호 등을 포함하는 게이트 제어신호(G_CS)들을 생성하여 공급한다. 또한, 타이밍 컨트롤러(60)는 데이터 스타트 펄스, 데이터 쉬프트 클럭, 극성 제어 신호 등을 포함하는 데이터 제어신호(D_CS)들을 생성하여 데이터 구동부(40)로 공급한다.

- <116> 게이트 구동부(30)는 제1 영역의 제1 박막 트랜지스터(TFT1)를 구동하는 제1 게이트 라인(GL1)과 제2 영역의 제2 박막 트랜지스터(TFT2)를 구동하는 제2 게이트 라인(GL2)에 순차적으로 게이트 온 전압(VON)을 공급한다. 게이트 구동부(30)는 타이밍 컨트롤러(60)로부터 인가된 게이트 제어신호(G_CS)에 따라 전원부(50)로부터 공급되는 게이트 온 전압(VON)을 순차적으로 공급하고 나머지 시간에는 게이트 오프 전압(VOFF)을 공급한다. 이때, 게이트 구동부(30)는 제1 게이트 라인(GL1)에 공급되는 게이트 온 전압(VON)과 제2 게이트 라인(GL2)에 공급되는 게이트 온 전압(VON)이 서로 중첩되도록 공급하여 제1 박막 트랜지스터(TFT1)가 턴오프(Turn-Off) 되기 전에 제2 박막 트랜지스터(TFT2)를 턴온(Turn On) 시켜 제2 영역에 형성된 제2 화소 전극(192)을 프리차지 시킬 수 있다.
- <117> 데이터 구동부(40)는 타이밍 컨트롤러(60)로부터의 데이터 제어신호(D_CS)에 응답하여 디지털 데이터 신호를 아날로그 데이터 신호로 변환하여 액정표시패널(10)의 제1 및 제2 게이트 라인(GL1, GL2)에 순차적으로 게이트 온 전압(VON)이 공급될 때마다 아날로그 신호로 변환된 제1 및 제2 데이터 전압(VD1, VD2)을 순차적으로 데이터 라인(DL)으로 공급한다. 이러한 데이터 구동부(40)는 쉬프트 레지스터, 래치부, 디지털-아날로그 변환부, 출력 버퍼부 및 감마전압 공급부를 포함한다. 쉬프트 레지스터는 타이밍 컨트롤러(60)로부터의 데이터 스타트 펄스를 데이터 쉬프트 클럭에 따라 순차적으로 쉬프트시키면서 샘플링 신호를 발생한다. 래치부는 샘플링 신호에 응답하여 타이밍 컨트롤러(60)로부터 입력되는 R, G, B의 데이터 신호를 순차적으로 래치하여 한 수평 라인분의 데이터가 래치되면 디지털-아날로그 변환부로 동시에 출력한다. 디지털-아날로그 변환부는 감마전압 공급부에서 공급된 감마 전압 중 래치부로부터의 데이터에 해당되는 감마 전압을 선택하여 아날로그 데이터 전압으로 출력하고, 출력 버퍼부는 디지털-아날로그 변환부로부터의 데이터 신호를 완충하여 데이터 라인(DL)으로 공급한다. 이때, 감마전압 공급부는 고계조 전압을 생성하는 고계조 감마 전압 공급부와 저계조 전압을 생성하는 저계조 감마 전압 공급부를 더 포함할 수 있다. 예를 들어, 임의의 프레임의 화소 데이터는 고계조 감마전압 공급부에서 생성된 고계조 전압을 출력한후, 다음 프레임에서 저계조 감마전압 공급부에서 생성된 저계조 전압이 디지털-아날로그 변환부로 공급된다. 예를 들어, 고계조 및 저계조 감마전압 공급부 중 어느 하나의 감마전압 공급부에서 제1 데이터 전압(VD1)이 출력된 후, 제1 데이터 전압(VD1)보다 낮은 레벨의 제2 데이터 전압(VD2)을 순차적으로 출력한다.
- <118> 한편, 디지털-아날로그 변환부는 타이밍 컨트롤러(60)로부터의 극성 제어 신호에 따라 정극성 또는 부극성 감마 전압을 선택하여 아날로그 데이터 전압으로 출력한다. 특히 수직 도트 인버전 방식에 대응하는 극성 제어 신호에 응답하여 디지털-아날로그 변환부는 좌우로 인접한 출력 채널에는 상반된 극성의 데이터 신호가 출력되게 하고, 그 출력 채널을 통해 공급되는 데이터 전압의 극성이 수평기간 단위로 반전되게 한다.
- <119> 다음으로, 본 발명의 제1 및 제2 실시 예에 따른 액정표시패널을 포함하는 액정표시장치의 구동방법을 도 9 내지 도 12를 참조하여 설명하기로 한다.
- <120> 도 9는 본 발명의 제1 및 제2 실시 예에 따른 액정표시패널을 포함하는 액정표시장치의 구동방법을 설명하기 위한 타이밍도이고, 도 10은 각각의 계조에 따라 공급되는 제1 및 제2 데이터 전압과 제1 및 제2 화소 전극에 충전된 제1 및 제2 화소 전압을 설명하기 위한 그래프이고, 도 11은 프리차지 구동을 설명한 파형도이며, 도 12는 도트 인버전 구동을 설명하기 위한 블록도이다.
- <121> 도 9 내지 도 12를 참조하면, 제1 게이트 라인(GL1)에 게이트 온 전압(VON)이 공급되면, 제1 박막 트랜지스터(TFT1)가 턴온되어 데이터 라인(DL)으로부터 공급되는 제1 데이터 전압(VD1)이 제1 화소 전극(191)에 공급된다. 이때, 제1 스토리지 라인(SL1)에 제1 스토리지 전압(VST1)이 공급되어 제1 화소 전극(191)으로 공급되는 제1 데이터 전압(VD1)을 제1 스토리지 전압(VST1) 레벨만큼 쉬프트시킨다. 여기서, 제1 데이터 전압(VD1)은 하이 전압이 공급되고 이에 따라 제1 데이터 전압(VD1)을 쉬프트시키기 위하여 제1 스토리지 라인(SL1)에 공급되는 제1 스토리지 전압(VST1)이 하이 전압으로 공급된다. 다음으로, 제2 게이트 라인(GL2)에 게이트 온 전압(VON)이 공급되면, 제2 박막 트랜지스터(TFT2)가 턴온되어 데이터 라인(DL)으로부터 공급되는 제2 데이터 전압(VD2)이 제2 화소 전극(192)으로 공급된다. 이때, 제2 스토리지 라인(SL2)에 제2 스토리지 전압(VST2)이 공급되어 제2 화소 전극(192)으로 공급되는 제2 데이터 전압(VD2)을 제2 스토리지 전압(VST2) 레벨만큼 쉬프트시킨다. 여기서, 제2 데이터 전압(VD2)은 제1 데이터 전압(VD1)과 비교하여 낮은 레벨의 전압 즉, 로우 전압이 공급되며, 제2 스토리지 전압(VST2)은 제1 스토리지 전압(VST1)과 그 위상이 반전된 전압이 공급됨으로써 제2 데이터 전압(VD2)의 레벨이 제2 스토리지 전압(VST2)이 스윙하는 방향으로 쉬프트된다. 이에 따라, 도 9에 도시된 그래프에서와 같이 제1 화소 전극(191)과 제2 화소 전극(192)에 충전된 제1 및 제2 화소 전압(VH, VL)은 데이터 라인(DL)으로부터 공급된 제1 및 제2 데이터 전압(VD1, VD2)이 제1 및 제2 스토리지 전압(VST1, VST2) 레벨만큼 쉬프트되어 제1 및 제2 화소 전극(191, 192) 각각에 충전된 제1 및 제2 화소 전압(VH, VL)의 차이가 커진다. 이때, 제1 및

제2 스토리지 전압(VST1, VST2)의 차이값은 2 내지 5V인 것이 바람직하다.

<122> 수학식 1은 제1 및 제2 화소 전압(VH, VL)의 실효값(RMS)과 스토리지 전압과의 관계식이다.

수학식 1

$$VH[RMS] = \frac{\sqrt{\left(VD1 - VCOM \right)^2 + \left(|VD1 - VCOM| \pm |VD1 - VCOM| \Delta VCST1 \times \frac{CST1}{CST1 + CLC1} \right)^2}}{2}$$

<123>

$$VL[RMS] = \frac{\sqrt{\left(VD2 - VCOM \right)^2 + \left(|VD2 - VCOM| \mp |VD2 - VCOM| \Delta VCST2 \times \frac{CST2}{CST2 + CLC2} \right)^2}}{2}$$

<124>

<125> 여기서, VH[RMS]는 제1 화소 전극(191)에 충전되는 고계조의 제1 화소 전압(VH)을 나타내면, VL[RMS]는 제2 화소 전극(192)에 충전되는 저계조의 제2 화소 전압(VL)을 나타낸다. 즉, VH와 VL의 실효값은 실제 제1 및 제2 화소 전극(191, 192)에 각각에 충전된 제1 및 제2 화소 전압(VH, VL)을 나타내므로 제1 및 제2 스토리지 라인(SL1, SL2)에 각각에 공급되는 제1 및 제2 스토리지 전압(VST1, VST2)의 차이값에 의해 시인성이 크게 결정된다. 따라서, 제1 및 제2 스토리지 전압(VST1, VST2)이 2 내지 5V의 차이를 가지므로 이러한 차이값 내에서 시인성이 개선된다.

<126> 그리고 제2 게이트 라인(GL2)을 통해 공급되는 게이트 온 전압(VON)은 제1 게이트 라인(GL1)으로 공급된 게이트 온 전압(VON)과 중첩될 수 있다. 도 11에 도시된 바와 같이, 제2 박막 트랜지스터(TFT2)가 제2 데이터 전압(VD2)이 입력되기 이전에 턴온되어 제1 데이터 전압(VD1)을 일부를 제2 화소 전극(192)에 미리 충전하고, 그 다음 제2 데이터 전압(VD2)이 입력되어 제2 화소 전극(192)에 제2 데이터 전압(VD2)을 충전함으로써 액정(250)의 구동을 더 빠르게 할 수 있다.

<127> 도 12는 본 발명의 제1 및 제2 실시 예에 따른 액정표시패널을 포함하는 액정표시장치가 도트 반전되는 것을 도시한 블록도이다.

<128> 도 12를 참조하면, 서브 화소에 형성된 제1 및 제2 화소 전극(191, 192)은 수평기간 단위 즉 프레임마다 반전된다.

<129> 구체적으로, 데이터 구동부(40)는 타이밍 컨트롤러(60)로부터의 극성 제어 신호에 따라 정극성 또는 부극성 감마 전압을 선택하여 아날로그 데이터 전압으로 출력한다. 이때, 제1 및 제2 데이터 전압(VD1, VD2)이 반전되어 공급될 때, 제1 및 제2 스토리지 전압(VST1, VST2)도 반전되어 공급되는 것이 바람직하다.

<130> 도 13은 본 발명의 제3 내지 제5 실시 예에 따른 액정표시패널을 도시한 평면도이고, 도 14는 본 발명의 제3 실시 예를 설명하기 위하여 도 13에 도시된 액정표시패널의 III-III'선을 따라 절단된 단면을 도시한 단면도이다.

<131> 도 13 및 도 14를 참조하면, 본 발명의 제3 실시 예에 따른 액정표시패널은 박막 트랜지스터 어레이가 형성된 제1 기판(500), 제1 기판(500)과 대향하여 컬러 필터 어레이가 형성된 제2 기판(600) 및 제1 및 제2 기판(500, 600) 사이에 수직배향되어 형성된 액정(550)을 포함한다. 여기서, 제1 기판(100)은 게이트 라인(GL) 및 데이터 라인(DL)이 교차되어 형성된 서브 화소, 서브 화소마다 고계조와 저계조를 표시하는 제1 및 제2 영역이 형성되고, 제1 및 제2 영역 각각에 형성된 제1 및 제2 화소 전극(591, 592), 제1 및 제2 화소 전극(591, 592)과 중첩되어 제3 및 제4 스토리지 커패시터(CST3, CST4)를 형성하는 제1 및 제2 스토리지 라인(SL1, SL2), 제1 화소 전극(591)과 중첩된 스토리지 전극(554), 스토리지 전극(554)에 충전된 제2 데이터 전압(VD2)을 제2 화소 전극(592)에 공급하는 연결전극(555)을 포함한다.

<132> 구체적으로, 액정(550)은 수직배향되어 제1 기판(500)과 제2 기판(600) 사이에 형성된 프링지 필드(Fringe Field)에 의해 구동된다.

<133> 액정(550)은 제1 기판(500)과 제2 기판(600) 사이에 형성된 프링지 필드(Fringe Field)에 의해 구동되도록 수직 배향된다. 액정(550)을 사이에 두고 합착된 제1 및 제2 기판(500, 600)은 2개의 게이트 라인(GL) 및 1개의 데이터 라인(DL)의 교차로 마련된 서브 화소 영역 각각에 상하로 서로 다른 계조를 표시하는 제1 영역과, 제2 영역을 구비한다. 여기서, 제1 영역은 제1 화소 전극(591)과 공통전극(605) 사이의 액정(550)에 의한 제1 액정커

패시터(CLC1)와, 제3 스토리지 커패시터(CST3)가 병렬로 접속되어 제1 충전 전압(VH)이 유지되며, 제2 영역은 제1 영역과 병렬로 접속된 제5 스토리지 커패시터(CST5)와, 제5 스토리지 커패시터(CST5)와 직렬접속하며, 제2 화소 전극(592)과 공통전극(605) 사이의 액정(550)에 의한 제2 액정커패시터(CLC2)와, 제4 스토리지 커패시터(CST4)가 병렬로 접속되어 제2 충전 전압(VL)이 유지되어 화상을 표시한다.

- <134> 제1 기관(100)의 제1 영역은 게이트 라인(GL)과 교차하여 형성된 데이터 라인(DL), 게이트 라인(GL) 및 데이터 라인(DL)의 교차부에 게이트 라인(GL) 및 데이터 라인(DL)과 접속된 제3 박막 트랜지스터(TFT3), 제3 박막 트랜지스터(TFT3)와 접속된 제1 화소 전극(591) 및 제1 화소 전극(591)과 중첩되어 제2 데이터 전압(VD2)을 제2 화소 전극(592)에 공급하는 스토리지 전극(554)을 포함한다. 그리고 제2 영역은 제2 화소 전극(592), 제2 화소 전극(592)과 중첩되어 제2 스토리지 전압(VST2)이 공급되는 제2 스토리지 라인(SL2), 제2 화소 전극(592)에 무기 보호막(560)을 사이에 두고 중첩되어 형성된 연결 전극(555)을 포함하며, 연결 전극(555)은 및 스토리지 전극(554)과 제2 화소 전극(592)을 전기적으로 연결한다.
- <135> 게이트 라인(GL)은 투명한 기관(501) 위에 제1 영역을 따라 수평방향으로 형성되어 게이트 온 전압(VON)을 제3 박막 트랜지스터(TFT3)에 공급한다.
- <136> 데이터 라인(DL)은 게이트 라인(GL)과 수직으로 교차하여 형성되며 게이트 라인(GL)으로 게이트 온 전압(VON)이 공급될 때마다 제3 박막 트랜지스터(TFT3)에 제1 데이터 전압(VD1)을 공급한다.
- <137> 제3 박막 트랜지스터(TFT3)는 게이트 라인(GL)과 접속된 제3 게이트 전극(513), 제3 게이트 전극(513) 위에 형성된 게이트 절연막(520), 제3 게이트 전극(513)과 중첩되며, 게이트 절연막(520) 위에 형성된 제3 반도체층(533), 제3 반도체층(533) 위에 제3 게이트 전극(513)과 적어도 중첩되게 형성되며, 데이터 라인(DL)과 접속된 제3 소스 전극(553), 제3 소스 전극(553)과 마주하며, 제3 화소 콘택홀(583)을 통해 제1 화소 전극(591)과 접속된 제3 드레인 전극(563)을 포함한다. 이러한 제3 박막 트랜지스터(TFT3)는 게이트 라인(GL)으로부터 공급된 게이트 온 전압(VON)에 의해 턴온(Turn On) 되어 데이터 라인(DL)으로부터 공급된 제1 데이터 전압(VD1)을 제1 화소 전극(591)으로 공급한다. 여기서, 제3 드레인 전극(563)은 제1 스토리지 라인(SL1)과 중첩되도록 형성된다. 즉, 제3 드레인 전극(563)은 제1 영역의 중앙까지 연장되며 연장된 일측 끝단이 제1 영역의 중앙부에 위치한 제1 스토리지 라인(SL1)의 면적과 같거나 작게 형성되고, 제3 드레인 전극(563)과 제1 스토리지 라인(SL1)이 중첩된 영역에 제3 화소 콘택홀(583)을 통해 제1 화소 전극(591)과 접속된다.
- <138> 제1 스토리지 라인(SL1)은 제1 영역에 게이트 라인(GL)과 나란하게 형성되며, 제1 화소 전극(591)의 중앙부와 중첩되게 형성된다. 그리고 제1 스토리지 라인(SL1)의 일측은 제1 스토리지 전압 공급라인(121)과 접속된다. 이때, 제1 스토리지 라인(SL1)은 일측이 제1 스토리지 전압 공급라인(121)과 접속되고 타측은 플로팅 되거나, 제1 스토리지 전압 공급라인(121)이 액정표시패널(20)의 양측에 각각 형성될 경우 양측에 형성된 제1 스토리지 전압 공급라인(121)과 그 일측 및 타측이 접속된다. 이러한, 제1 스토리지 라인(SL1)은 게이트 절연막(520)을 사이에 두고 제3 드레인 전극(563)과 중첩되어 제3 스토리지 커패시터(CST3)를 형성한다.
- <139> 제3 스토리지 커패시터(CST3)는 제1 화소 전극(591)에 제1 데이터 전압(VD1)이 충전될 때, 제1 스토리지 라인(SL1)에 공급되는 전압만큼 제1 데이터 전압(VD1)을 쉬프트 시킨다.
- <140> 제2 스토리지 라인(SL2)은 제2 영역에 게이트 라인(GL)과 나란하게 형성되며 제2 영역에 형성된 제2 화소 전극(592)의 중앙부와 중첩되게 형성된다. 그리고 제2 스토리지 라인(SL2)의 일측은 제2 스토리지 전압 공급라인(122)과 접속된다. 이때, 제2 스토리지 라인(SL2)은 그 일측이 제2 스토리지 전압 공급라인(122)과 접속되고 타측은 플로팅 되거나, 제2 스토리지 전압 공급라인(122)이 액정표시패널(20)의 양측에 각각 형성될 경우 양측에 형성된 제2 스토리지 전압 공급라인(122)과 그 일측 및 타측이 각각 접속된다. 이러한, 제2 스토리지 라인(SL2)은 게이트 절연막(520)을 사이에 두고 제2 화소 전극(592)과 중첩되어 제4 스토리지 커패시터(CST4)를 형성한다. 이때, 제4 스토리지 커패시터(CST4)는 제2 화소 전극(592)에 제5 스토리지 커패시터(CST5)로부터 제2 데이터 전압(VD2)이 공급될 때, 제2 스토리지 라인(SL2)에 공급되는 전압만큼 제2 데이터 전압(VD2)을 쉬프트시킨다.
- <141> 스토리지 전극(554)은 제1 화소 전극(591)과 무기 보호막(560)을 사이에 두고 중첩되게 형성되어 제5 스토리지 커패시터(CST5)를 형성한다. 이러한 스토리지 전극(554)은 제1 화소 전극(591)에 공급된 제1 데이터 전압(VD1)을 충전하여 제2 화소 전극(592)에 공급한다. 즉, 제5 스토리지 커패시터(CST5)에 충전된 제1 데이터 전압(VD1)이 연결전극(555)을 통해 제2 화소 전극(592)으로 공급된다. 이때, 제5 스토리지 커패시터(CST5)와 제2 액정커패시터(CLC2)는 커패시터의 직렬접속 구조이므로 제2 화소 전극(592)에 공급되는 제2 데이터 전압(VD2)은

제1 화소 전극(591)과 제2 액정커패시터(CLC2) 사이의 전압이 공급된다. 다시 말하면, 제2 데이터 전압(VD2)은 제1 데이터 전압(VD1)이 비해 낮은 전압으로 공급된다.

- <142> 제1 화소 전극(591)은 제1 영역에 형성되며, 특히 지그-재그 구조로 경사진 좌우 측면을 갖는 웨브론(Chevron) 형태로 형성된다. 제1 화소 전극(591)은 제1 화소 전극(591)의 측면이 만나는 두 점을 잇는 수평선을 기준으로 상하 대칭으로 형성되는 것이 바람직하다. 그리고 제1 화소 전극(591)의 측면들은 액정표시패널(20)의 상부면 및 하부면에 각각에 형성된 편광판과 45°의 각도로 경사지게 형성되는 것이 바람직하다. 이에 따라, 배면광으로부터 편광판을 투과하는 광의 투과율이 최대가 된다.
- <143> 제2 화소 전극(592)은 제2 영역에 형성되며, 제1 화소 전극(591)과 동일한 형태로 형성된다.
- <144> 연결전극(555)의 일측 및 타측 각각은 스토리지 전극(554) 및 제2 화소 전극(592) 각각과 전기적으로 접속된다. 연결전극(555)은 제2 화소 전극(592)과 접속된 영역에서 제2 스토리지 라인(SL2)과 중첩되도록 넓은 면적으로 형성된다.
- <145> 이때, 제1 및 제2 화소 전극(591, 592) 중 어느 하나는 나머지 하나보다 그 면적이 더 작게 형성될 수 있다.
- <146> 제1 및 제2 화소 전극(591, 592) 하부에는 도 14에 도시된 바와 같이, 유기 보호막(570)이 형성된다. 유기 보호막(570)은 2 내지 3 μ m의 두께로 형성되어 제1 및 제2 화소 전극(591, 592)이 게이트 라인(GL) 및 데이터 라인(DL)과 중첩되어 형성되어도 신호간섭이 방지된다. 이에 따라, 제1 및 제2 화소 전극(591, 592)이 게이트 라인(GL) 및 데이터 라인(DL)과 중첩되어 형성됨으로 액정표시패널(20)의 개구율이 증가된다. 이때, 제3 박막 트랜지스터(TFT3)의 오프전류 특성을 향상시키기 위하여 유기 보호막(570)의 하부에 무기 보호막(560)을 형성한다. 이때, 제3 드레인 전극(563)과 제1 화소 전극(591)을 접속하는 제3 화소 콘택홀(583)은 유/무기 보호막(560, 570)을 관통하여 형성되고, 연결전극(555)과 제2 화소 전극(592)을 접속하는 제4 화소 콘택홀(584) 또한, 유/무기 보호막(590, 570)을 관통하여 형성된다. 그리고 스토리지 전극(554)과 제1 화소 전극(591)의 중첩부에 제5 스토리지 커패시터(CST5)의 용량을 크게 하기 위하여 유기 보호막(570)이 제거된 개구부(585)가 형성되고 이에 따라, 스토리지 전극(554)과 제1 화소 전극(591)이 무기 보호막(560)을 사이에 두고 중첩된다.
- <147> 제2 기관(600)은 투명한 기관(601) 위에 블랙 매트릭스(602), 컬러 필터(603) 및 공통전극(605)을 포함한다.
- <148> 블랙매트릭스(602)는 제1 기관(100)의 제3 박막 트랜지스터(TFT3)와 게이트 라인(GL)으로의 빛샘을 방지하도록 이들과 중첩되어 형성된다.
- <149> 컬러 필터(603)는 적, 녹, 청의 색 수지가 제1 기관(500)의 제1 및 제2 화소 전극(591, 592) 각각과 대응되어 형성된다. 여기서, 컬러 필터(603)와 공통전극(605) 사이에 오버코트(604)가 더 형성될 수 있다. 컬러 필터(603)와 공통전극(605) 사이에 형성된 오버코트(604)는 컬러 필터(603)가 블랙 매트릭스(602) 위에 인접한 서브 화소가 중첩되어 형성됨으로써 발생된 단차를 보상하여 공통전극(605)이 평탄하게 형성되도록 한다.
- <150> 공통전극(605)은 컬러 필터(603) 및 블랙 매트릭스(604) 위에 형성되며 제1 및 제2 화소 전극(591, 592)과 프린지 필드를 형성한다. 이때, 공통전극(605)은 제1 및 제2 영역 각각을 다수의 도메인으로 분할하는 도메인 분할 수단이 형성된다. 도메인 분할 수단은 제1 기관(500)의 제1 및 제2 화소 전극(591, 592)과 대응되어 가로방향을 중심축으로 90도 기울어져 "Y"자 형상의 슬릿(606)이 형성된다. 슬릿(606)은 제1 및 제2 화소 전극(591, 592)이 패터닝된 형상과 엇갈리게 형성되어 서브화소를 다수의 도메인으로 분할한다. 즉, 제1 및 제2 화소 전극(591, 592)의 측면과 공통전극(605)의 슬릿(606)에 의한 프린지 필드가 형성되어 제1 및 제2 영역 각각은 도메인이 다수로 분할되어 광시야각이 넓어진다.
- <151> 그리고 도메인 분할 수단은 도 15에 도시된 바와 같이, 돌기(607)가 형성될 수 있다. 돌기(607)는 슬릿(606)이 형성된 패턴과 동일한 패턴 즉, 패턴닝 된 화소 전극(591, 592)의 가로방향을 중심축으로 "Y"자 형상이 90도 기울어져 형성되며, 패턴닝 된 화소 전극(591, 592)과 엇갈려 형성된다.
- <152> 도 16은 본 발명의 제4 실시 예에 따른 액정표시패널의 제1 기관을 도시한 평면도이고, 도 17은 도 16에 도시된 V-V'선을 따라 절단된 단면을 도시한 단면도이다.
- <153> 도 16 및 도 17은 도 13 및 도 14와 대비하여 제2 영역에 제2 화소 전극(592)에 충전된 잔류 전압을 데이터 라인(DL)으로 방전시키는 제4 반도체층(534)이 형성된 것을 제외하고는 동일한 구성요소를 구비하므로, 동일한 구성요소에 대한 중복된 설명은 생략하기로 한다.
- <154> 구체적으로, 제4 반도체층(534)은 제2 스토리지 라인(SL2)과 게이트 절연막(520)을 사이에 두고 게이트 절연막

(520) 위에 중첩되어 형성된다. 제4 반도체층(534)은 그 일측이 데이터 라인(DL)의 일부와 중첩되어 형성되며, 타측은 연결전극(555)과 중첩되어 형성된다. 이에 따라, 연결전극(555)에서 데이터 라인(DL) 전압이 방전될 때, 제4 반도체층(534)이 채널역할을 한다. 즉, 제2 화소 전극(592)이 한 프레임 동안 충전된 후 다음 프레임에 제2 데이터 전압(VD2)이 공급되기 전에 제2 화소 전극(592)에 충전되었던 제2 충전 전압(VL)이 모두 방전되어야 한다. 그러나, 제2 화소 전극(592)에 형성된 기생커패시터들에 의해 제2 충전 전압이 모두 방전되지 못하는 경우가 발생된다. 따라서, 다음 제2 데이터 전압(VD2)이 입력되기 이전에 제2 스토리지 라인(SL2)에 전압을 공급하고, 데이터 라인(DL)에 전압을 인가하지 않으면 제2 화소 전극(592)의 잔류 전압이 제4 반도체층(534)을 채널로 하여 데이터 라인(DL)으로 방전된다. 이에 따라, 제2 화소 전극(592)에 잔류 전압이 모두 방전되어 화질이 개선된다.

<155> 도 18은 본 발명의 제5 실시 예를 설명하기 위하여, 도 13에 도시된 액정표시패널의 V-V'선을 따라 절단된 단면을 도시한 단면도이다.

<156> 도 18은 제1 기판(700)에 컬러 필터(780)가 형성된 컬러 필터 온 박막 트랜지스터 어레이(Color Filter On Thin Film Transistor Substrate; 이하, "COA"라 함)형태의 액정표시패널을 도시한 단면도로서, 도 18에 도시된 액정표시패널(20)에서 유기 보호막(570) 대신 컬러 필터(780)가 형성된 것을 제외하고는 동일한 구성요소를 구비하므로 동일한 구성요소에 대한 중복된 설명은 생략하기로 한다. 또한, 도 18은 도 17에 도시된 제2 기판(600)에서 컬러 필터(603)가 제거된 것을 제외하고는 동일한 구성요소를 구비하므로 동일한 구성요소에 대한 중복된 설명은 생략하기로 한다.

<157> 도 18을 참조하면, 본 발명의 제2 실시 예에 따른 액정표시패널은 COA 기판(700)과, 액정(750)을 사이에 두고 대향되게 형성된 제2 기판(800)을 포함한다.

<158> 구체적으로, COA 기판(700)은 투명한 기판(701) 위에 제1 영역과 제2 영역이 형성된 서브 화소, 제1 및 제2 영역 각각에 형성된 제1 및 제2 화소 전극(591, 592), 제1 화소 전극(591)에 제1 데이터 전압(VD1)을 공급하는 제3 박막 트랜지스터(TFT3), 제3 박막 트랜지스터(TFT3)에 게이트 온/오프 전압을 공급하는 게이트 라인(GL), 게이트 라인(GL)과 수직으로 교차하며, 제3 박막 트랜지스터(TFT3)와 접속된 데이터 라인(DL), 제1 영역에 제1 화소 전극(591)과 중첩되어 제3 스토리지 커패시터(CST3)를 형성하는 제1 스토리지 라인(SL1), 제2 영역에 제2 화소 전극(592)과 중첩되어 제4 스토리지 커패시터(CST4)를 형성하는 제2 스토리지 라인(SL2)을 포함한다. 그리고, 제1 화소 전극(591)과 중첩되어 제5 스토리지 커패시터(CST5)를 형성하는 스토리지 전극(554), 제5 스토리지 커패시터(CST5)로부터 제2 데이터 전압(VD2)을 제2 화소 전극(592)에 공급하기 위하여 스토리지 전극(554)과 제2 화소 전극(592)을 연결하는 연결전극(555)을 포함한다. 이때, 연결전극(555)의 일측 끝단은 제2 스토리지 라인(SL2)과 중첩되게 형성된다.

<159> 그리고, 제3 박막 트랜지스터(TFT3)와 데이터 라인(DL)을 보호하는 무기 보호막(560), 무기 보호막(560)과 제1 및 제2 화소 전극(591, 592) 사이의 각각의 서브 화소 영역에 유기 절연물질로 형성된 적(R), 녹(G), 청(B)의 컬러 필터(780)가 형성된다.

<160> 제1 및 제2 화소 전극(591, 592)은 본 발명의 제3 실시 예를 설명하는 도 13과 같이, 쉼브론(Chevron) 형태로 형성된다. 컬러 필터(780)는 유기 물질로 서브 화소 영역마다 형성된다. 이때, 제3 박막 트랜지스터(TFT3)의 제3 드레인 전극(563)과 제1 화소 전극(591)을 접속하기 위하여 컬러 필터(780) 및 무기 보호막(560)을 관통하는 제3 화소 콘택홀(583)이 형성된다. 그리고 제1 화소 전극(591)과 스토리지 전극(554)이 중첩하는 영역의 컬러 필터(780)가 제거된 개구부(585)가 형성되어 제5 스토리지 커패시터(CST5)의 용량을 크게 한다.

<161> 이러한 COA 기판(700)은 박막 트랜지스터 어레이가 형성된 제1 기판(700)에 컬러 필터(780)를 형성함으로써 제조 공정을 단순화시킬 수 있다.

<162> 이때, 제2 기판(800)은 투명한 기판(801) 위에 블랙 매트릭스(602)와 공통전극(605)이 형성되고, 블랙 매트릭스(602)와 공통전극(605) 사이에 공통전극(605)을 평탄화하는 오버코트(604)가 더 형성될 수 있다. 그리고, 공통전극(605)은 도 18에 도시된 바와 같이 제1 기판(700)의 제1 및 제2 화소 전극(591, 592)의 측면과 엇갈리게 도메인을 분할하는 슬릿(806)이 형성된다. 즉, 제1 및 제2 화소 전극(591, 592)의 측면과 공통전극(605)의 슬릿(806)에 의한 프린지 필드가 형성되어 제1 및 제2 영역 각각은 도메인이 다수로 분할되어 광시야각이 넓어진다.

<163> 그리고 도메인 분할 수단은 도 19에 도시된 바와 같이, 돌기(607)가 형성될 수 있다. 돌기(607)는 슬릿(806)이 형성된 패턴과 동일한 패턴 즉, 패턴닝 된 제1 및 제2 화소 전극(591, 592)의 가로방향을 중심축으로 "Y"자 형

상이 90도 기울어져 형성되며, 패터닝된 제1 및 제2 화소 전극(591, 592)과 엇갈려 형성된다.

- <164> 도 20은 본 발명의 제3 내지 제5 실시 예에 따른 액정표시패널을 포함하는 액정표시장치를 개략적으로 도시한 블록도이다.
- <165> 도 20을 참조하면, 본 발명의 제3 내지 제5 실시 예에 따른 액정표시패널을 포함하는 액정표시장치는 액정표시패널(20), 액정표시패널(20)의 게이트 라인(GL)을 구동하는 게이트 구동부(30), 액정표시패널(20)의 데이터 라인(DL)을 구동하는 데이터 구동부(40), 게이트 구동부(30) 및 데이터 구동부(40) 각각에 제어신호를 공급하고, 데이터 구동부(40)에 화소 데이터 신호를 공급하는 타이밍 컨트롤러(60) 및 게이트 구동부(30), 데이터 구동부(40) 및 액정표시패널(20)에 전원신호를 공급하는 전원부(50)를 포함한다.
- <166> 구체적으로, 전원부(50)는 게이트 온/오프 전압(VON, VOFF)을 생성하여 게이트 구동부(30)에 공급하는 게이트 온/오프 전압 공급부, 아날로그 구동전압(AVDD)을 생성하여 데이터 구동부(40)에 공급하는 아날로그 구동전압 공급부, 공통전압(VCOM)을 생성하여 액정표시패널(20)의 공통전극(605)에 공급하는 공통전압 공급부 및 제1 스토리지 전압(VST1)과 제2 스토리지 전압(VST2)을 생성하여 액정표시패널(20)의 제1 및 제2 스토리지 라인(SL1, SL2)에 공급하는 스토리지 전압 공급부를 포함한다. 스토리지 전압 공급부는 제1 및 제2 스토리지 라인(SL1, SL2) 각각에 제1 스토리지 전압(VST1)과 제2 스토리지 전압(VST2)을 공급한다. 이때, 제1 및 제2 스토리지 전압(VST1, VST2)은 서로 위상이 반전되어 공급된다.
- <167> 타이밍 컨트롤러(60)는 외부로부터 입력된 R, G, B의 화상 데이터 신호를 정렬하여 데이터 구동부(40)로 공급한다. 그리고 타이밍 컨트롤러(60)는 외부로부터 화상 데이터 신호와 함께 입력된 다수의 동기 신호들, 예를 들면 도트 클럭, 데이터 이네이블 신호, 수직 동기 신호, 수평 동기 신호 등을 이용하여 데이터 구동부(40)와 게이트 구동부(30)의 구동 타이밍을 제어하는 다수의 제어 신호들을 생성하여 공급한다. 예를 들면, 타이밍 컨트롤러(60)는 게이트 구동부(30)에 공급되는 게이트 스타트 펄스, 게이트 쉬프트 클럭, 출력제어신호 등을 포함하는 게이트 제어신호(G_CS)들을 생성하여 공급한다. 또한, 타이밍 컨트롤러(60)는 데이터 스타트 펄스, 데이터 쉬프트 클럭, 극성 제어 신호 등을 포함하는 데이터 제어신호(C_CS)들을 생성하여 데이터 구동부(40)로 공급한다.
- <168> 게이트 구동부(30)는 제1 영역의 제3 박막 트랜지스터(TFT3)를 구동하는 게이트 온 전압(VON)을 공급한다. 게이트 구동부(30)는 타이밍 컨트롤러(60)로부터 인가된 게이트 제어신호(G_CS)에 따라 전원부(50)로부터 공급되는 게이트 온 전압(VON)을 순차적으로 공급하고 나머지 시간에는 게이트 오프 전압(VOFF)을 공급한다.
- <169> 데이터 구동부(40)는 타이밍 컨트롤러(60)로부터의 데이터 제어신호(D_CS)에 응답하여 디지털 데이터 신호를 아날로그 데이터 신호로 변환하여 액정표시패널(20)의 게이트 라인(GL)에 순차적으로 게이트 온 전압(VON)이 공급될 때마다 아날로그 신호로 변환된 제1 데이터 전압(VD1)을 순차적으로 데이터 라인(DL)으로 공급한다. 이러한 데이터 구동부(40)는 쉬프트 레지스터, 래치부, 디지털-아날로그 변환부, 출력 버퍼부 및 감마전압 공급부를 포함한다. 쉬프트 레지스터는 타이밍 컨트롤러(60)로부터의 데이터 스타트 펄스를 데이터 쉬프트 클럭에 따라 순차적으로 쉬프트시키면서 샘플링 신호를 발생한다. 래치부는 샘플링 신호에 응답하여 타이밍 컨트롤러(60)로부터 입력되는 R, G, B의 데이터 신호를 순차적으로 래치하여 한 수평 라인분의 데이터가 래치되면 디지털-아날로그 변환부로 동시에 출력한다. 디지털-아날로그 변환부는 감마전압 공급부에서 공급된 감마 전압 중 래치부로부터의 데이터에 해당되는 감마 전압을 선택하여 아날로그 데이터 전압으로 출력하고, 출력 버퍼부는 디지털-아날로그 변환부로부터의 데이터 신호를 완충하여 데이터 라인(DL)으로 공급한다.
- <170> 한편, 디지털-아날로그 변환부는 타이밍 컨트롤러(60)로부터의 극성 제어 신호에 따라 정극성 또는 부극성 감마전압을 선택하여 아날로그 데이터 전압으로 출력한다. 특히 수직 도트 인버전 방식에 대응하는 극성 제어 신호에 응답하여 디지털-아날로그 변환부는 좌우로 인접한 출력 채널에는 상반된 극성의 데이터 신호가 출력되게 하고, 그 출력 채널을 통해 공급되는 데이터 전압의 극성이 수평기간 단위로 반전되게 한다.
- <171> 다음으로, 본 발명의 제3 및 제5 실시 예에 따른 액정표시패널을 포함하는 액정표시장치의 구동방법을 도 21 및 도 22를 참조하여 설명하기로 한다.
- <172> 도 21은 본 발명의 제3 및 제5 실시 예에 따른 액정표시패널을 포함하는 액정표시장치의 구동방법을 설명하기 위한 타이밍도이고, 도 22는 고계조로 공급되는 데이터 전압과 제1 및 제2 화소 전극에 충전된 제1 및 제2 화소 전압을 설명하기 위한 그래프이다.
- <173> 도 21 및 도 22를 참조하면, 게이트 라인(GL)에 게이트 온 전압(VON)이 공급되면, 제3 박막 트랜지스터(TFT3)가 턴온되어 데이터 라인(DL)으로부터 공급되는 고계조의 제1 데이터 전압(VD1)이 제1 화소 전극(591)에 공급된다.

이때, 제1 스토리지 라인(SL1)에 제1 스토리지 전압(VST1)이 공급되어 제1 화소 전극(591)으로 공급되는 제1 데이터 전압(VD1)을 제1 스토리지 전압(VST1) 레벨만큼 쉬프트시킨다. 여기서, 제1 데이터 전압(VD1)은 하이 전압이 공급되고 이에 따라, 제1 데이터 전압(VD1)을 쉬프트시키기 위하여 제1 스토리지 라인(SL1)에 공급되는 제1 스토리지 전압(VST1)이 하이 전압으로 공급된다. 다음으로, 제5 스토리지 커패시터(CST5)에 제2 데이터 전압(VD2)이 제2 화소 전극(592)으로 공급된다. 이때, 제2 스토리지 라인(SL2)에 제2 스토리지 전압(VST2)이 공급되어 제2 화소 전극(592)에 공급된 제2 데이터 전압을 제2 스토리지 전압(VST2) 레벨만큼 쉬프트시킨다. 여기서, 제2 화소 전극(592)에 공급된 제2 데이터 전압(VD2)은 제1 화소 전극(591)에 공급된 제1 데이터 전압(VD1)의 레벨보다 낮은 레벨의 전압 즉, 제1 데이터 전압(VD1)과 제2 액정커패시터(CLC2)에 충전된 전압의 중간 전압이 공급되며, 제2 스토리지 전압(VST2)은 제1 스토리지 전압(VST1)과 그 위상이 반전된 전압이 공급됨으로써 제2 화소 전극(592)으로 공급되는 전압의 레벨이 제2 스토리지 전압(VST2)이 스윙하는 방향으로 쉬프트된다. 이에 따라, 도 22에 도시된 그래프에서와 같이 제1 화소 전극(591)과 제2 화소 전극(592)에 충전된 제1 및 제2 화소 전압(VH, VL)은 데이터 라인(DL)으로부터 공급된 제1 데이터 전압(VD1)이 제1 스토리지 전압(VST1) 레벨만큼 쉬프트되고, 제5 스토리지 커패시터(CST5)를 통해 제2 화소 전극(592)으로 공급되는 제1 데이터 전압(VD1)이 제2 스토리지 전압(VST2) 레벨만큼 쉬프트되어 제1 및 제2 화소 전극(591, 592) 각각에 충전된 제1 및 제2 화소 전압(VH, VL)의 차이가 커진다. 이때, 제1 및 제2 스토리지 전압(VST1, VST2)의 차이값은 2 내지 5V인 것이 바람직하다. 이에 따라, 도 22에 도시한 바와 같이 제1 및 제2 화소 전극(591, 592)에 충전된 제1 및 제2 화소 전압(VH, VL)의 실효값의 차이가 커져 시인성이 개선된다.

<174> 여기서, 서브 화소에 형성된 제1 및 제2 화소 전극(591, 592)은 수평기간 단위 즉 프레임마다 반전된다. 즉, 제1 데이터 전압(VD1)이 수평기간 단위로 공통전압을 기준으로 반전되어 공급된다. 이를 위하여, 데이터 구동부(40)는 타이밍 컨트롤러(60)로부터의 극성 제어 신호에 따라 정극성 또는 부극성 감마 전압을 선택하여 아날로그 데이터 전압으로 출력한다. 이때, 제1 데이터 전압(VD1)이 반전되어 공급될 때, 제1 및 제2 스토리지 전압(VST1, VST2)도 반전되어 공급되는 것이 바람직하다.

발명의 효과

<175> 상술한 바와 같이, 상술한 바와 같이, 본 발명에 따른 액정표시장치 및 이의 구동방법은 제1 영역과 제2 영역 각각에 형성된 제1 및 제2 화소 전극과 제1 및 제2 화소 전극 각각을 구동하는 제1 및 제2 박막 트랜지스터를 구비하고, 제1 및 제2 박막 트랜지스터 각각에 게이트 온 전압을 공급하는 제1 및 제2 게이트 라인을 형성하며, 제1 영역과 제2 영역에 그 위상이 반전된 스토리지 전압을 공급하여 제1 영역과 제2 영역의 화소 전압의 실효값 차를 크게 함으로써 시인성을 개선할 수 있다.

<176> 그리고, 본 발명에 따른 액정표시장치 및 이의 구동방법은 커패시터 커플링에 의해 제1 영역의 데이터 전압을 감압하여 제2 영역에 공급하고 제1 영역과 제2 영역에 그 위상이 반전된 스토리지 전압을 공급하여 제1 영역과 제2 영역의 화소 전압의 실효값 차를 크게 함으로써 시인성을 개선할 수 있다.

<177> 또한, 박막 트랜지스터 어레이가 형성된 제1 기판에 유기 절연물질로 컬러 필터를 형성하여 공정시간 및 비용을 줄일 수 있다.

<178> 그리고 유기 보호막을 사용하여 개구율을 향상할 수 있다.

<179> 이상에서 설명한 본 발명의 상세한 설명에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자 또는 해당 기술분야에 통상의 지식을 갖는 자라면 후술될 특허청구범위에 기재된 본 발명의 사상 및 기술 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면의 간단한 설명

<1> 도 1은 본 발명의 제1 및 제2 실시 예에 따른 액정표시패널을 도시한 평면도이다.

<2> 도 2는 본 발명의 제1 실시 예를 설명하기 위하여 도 1에 도시된 액정표시패널의 I-I'선을 따라 절단된 단면을 도시한 단면도이다.

<3> 도 3은 제1 영역과 제2 영역 각각에 형성된 화소 전극들의 면적을 대비한 도면이다.

<4> 도 4는 도 2에 도시된 컬러 필터 기판의 공통전극이 돌기로 패터닝되어 형성된 것을 도시한 단면도이다.

<5> 도 5는 본 발명의 제2 실시 예를 설명하기 위하여, 도 1에 도시된 액정표시패널의 II-II'선을 따라 절단된 단면

을 도시한 단면도이다.

- <6> 도 6은 도 5에 도시된 제2 기관의 도메인 분할 수단이 돌기로 형성된 것을 도시한 단면도이다.

<7> 도 7은 본 발명의 제1 및 제2 실시 예에 따른 액정표시패널을 포함하는 액정표시장치를 개략적으로 도시한 블록도이다.

<8> 도 8은 도 7에 도시된 전원부를 구체적으로 도시한 블록도이다.

<9> 도 9는 본 발명의 제1 및 제2 실시 예에 따른 액정표시패널을 포함하는 액정표시장치의 구동방법을 도시한 타이밍도이다.

<10> 도 10은 제1 및 제2 실시 예에 따른 액정표시패널을 포함하는 액정표시장치의 제1 화소 전압과 제2 화소 전압의 실효값 차를 도시한 그래프이다.

<11> 도 11은 본 발명의 제1 및 제2 실시 예에 따른 액정표시패널을 포함하는 액정표시장치에서 도트 인버전되어 구동되는 것을 도시한 블록도이다.

<12> 도 12는 본 발명의 제1 및 제2 실시 예에 따른 액정표시패널을 포함하는 액정표시장치의 프리차지 구동방법을 도시한 타이밍도 이다.

<13> 도 13은 본 발명의 제3 및 제5 실시 예에 따른 액정표시패널을 도시한 평면도이다.

<14> 도 14는 본 발명의 제3 실시 예를 설명하기 위하여 도 13에 도시된 액정표시패널의 III-III'선을 따라 절단된 단면을 도시한 단면도이다.

<15> 도 15는 도 13에 도시된 액정표시패널의 III-III' 선을 따라 절단된 단면을 도시한 도면으로, 도메인 분할 수단으로 제2 기관에 돌기가 형성된 것을 도시한 단면도이다.

<16> 도 16는 본 발명의 제4 실시 예에 따른 액정표시패널의 제1 기관을 도시한 평면도이다.

<17> 도 17은 도 16에 도시된 제1 기관의 IV-IV'선을 따라 절단된 단면을 도시한 단면도이다.

<18> 도 18은 본 발명의 제5 실시 예를 설명하기 위하여, 도 12에 도시된 액정표시패널의 V-V'선을 따라 절단된 단면을 도시한 단면도이다.

<19> 도 19는 도 18에 도시된 제2 기관의 공통전극 패턴이 돌기로 형성된 것을 도시한 단면도이다.

<20> 도 20은 본 발명의 제3 내지 제5 실시 예에 따른 액정표시패널을 포함하는 액정표시장치를 개략적으로 도시한 블록도이다.

<21> 도 21은 본 발명의 제3 내지 제5 실시 예에 따른 액정표시패널을 포함하는 액정표시장치의 구동방법을 설명하기 위한 타이밍도이다.

<22> 도 22는 본 발명의 제3 내지 제5 실시 예에 따른 액정표시패널을 포함하는 액정표시장치의 제1 화소 전압과 제2 화소 전압의 실효값을 도시한 그래프이다.

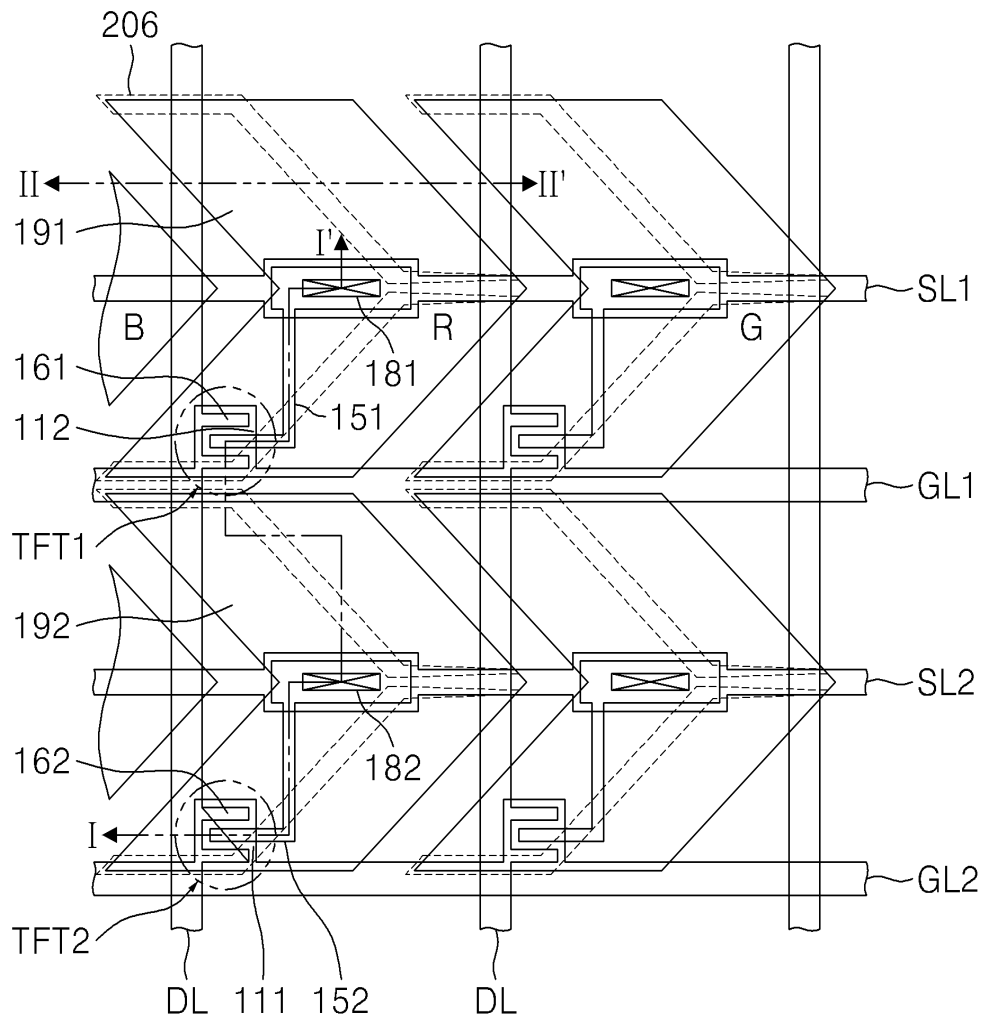
<23> <도면부호의 간단한 설명>

<24> 10, 20: 액정표시패널	30: 게이트 구동부
<25> 40: 데이터 구동부	50: 전원부
<26> 51: 게이트 온/오프 전압 공급부	52: 스토리지 전압 공급부
<27> 53: 아날로그 전압 공급부	60: 타이밍 컨트롤러
<28> 100, 500: 제1 기관	200, 400, 600, 800: 제2 기관
<29> 101, 201, 301, 401, 501, 601, 701, 801: 투명 기관	
<30> 111, 112, 513: 제1 및 제2 게이트 전극	
<31> 120, 520: 게이트 절연막	
<32> 121, 122: 제1 및 제2 스토리지 전압 공급라인	

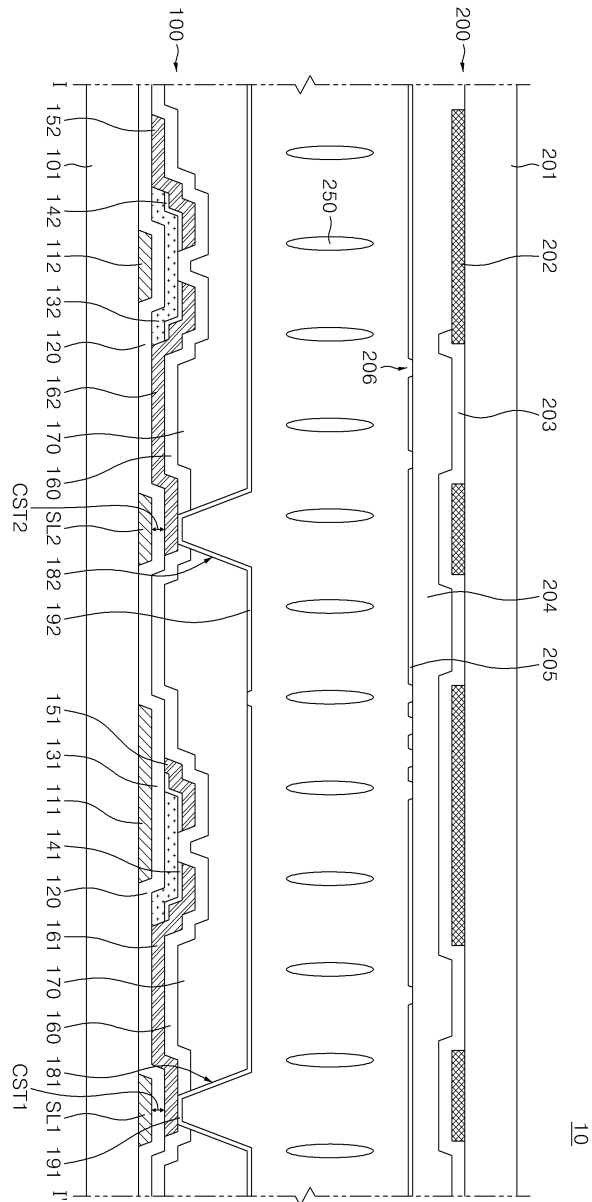
- | | | |
|------|------------------------------------|---------------------------|
| <33> | 131, 132, 533, 534: 제1 내지 제4 반도체층 | |
| <34> | 141, 142, 543: 제1 내지 제3 오믹 콘택층 | |
| <35> | 151, 152, 553: 제1 및 제2 소스 전극 | 160, 560: 무기 보호막 |
| <36> | 161, 162, 563: 제1 내지 제3 드레인 전극 | 170, 570: 유기 보호막 |
| <37> | 181, 182, 583, 584: 제1 및 제2 화소 콘택홀 | |
| <38> | 191, 591: 제1 화소 전극 | 192, 592: 제2 화소 전극 |
| <39> | 202, 602: 블랙 매트릭스 | 203, 280, 603, 880: 컬러 필터 |
| <40> | 204, 604: 오버코트 | 205, 605: 공통전극 |
| <41> | 206, 606: 슬릿 | 207, 607: 돌기 |
| <42> | 205, 780: 액정 | 300, 700: COA 기판 |

도면

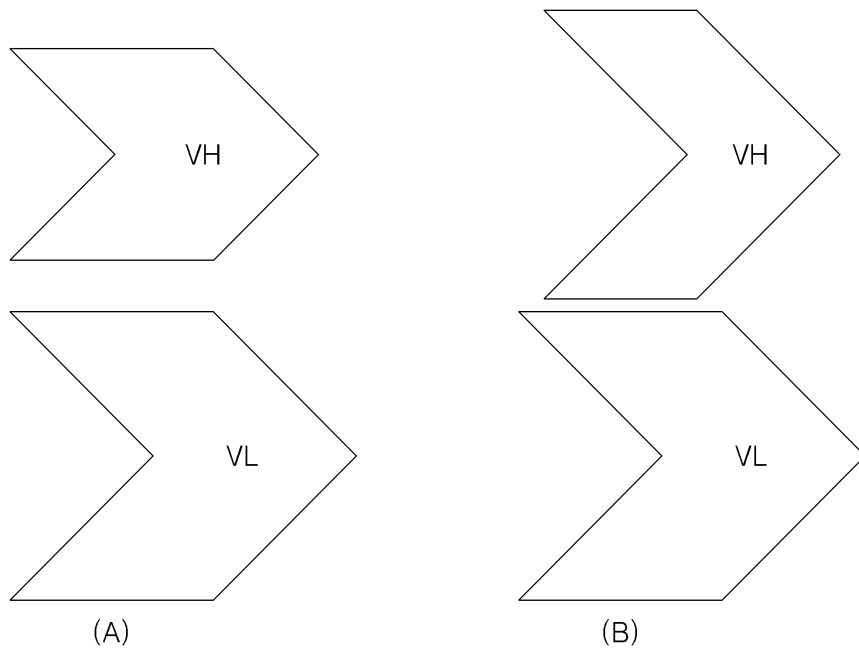
도면1



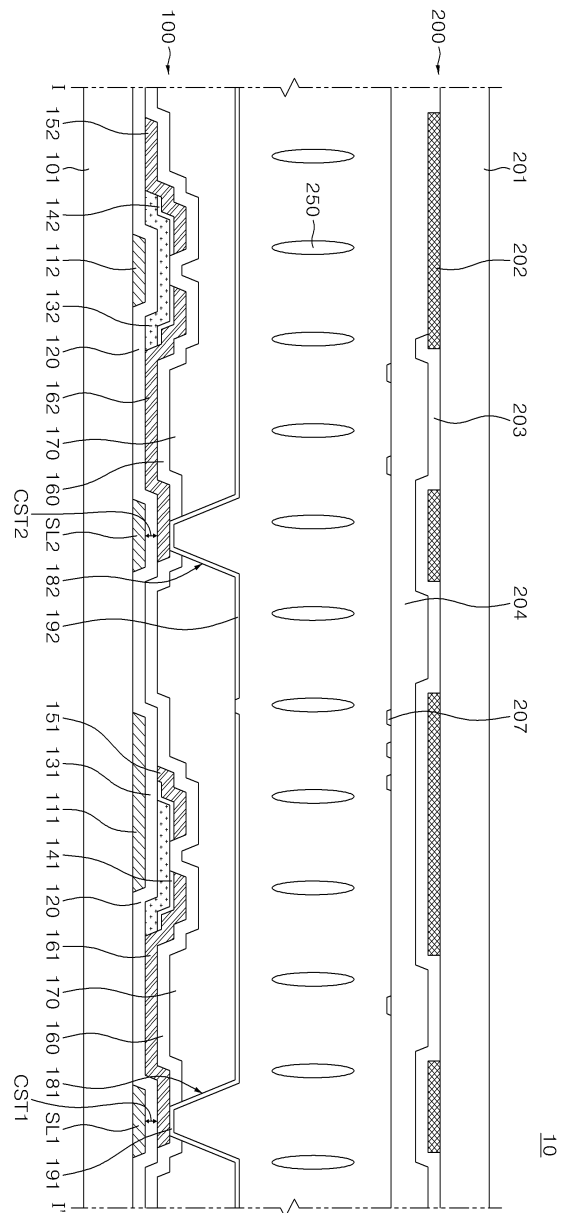
도면2



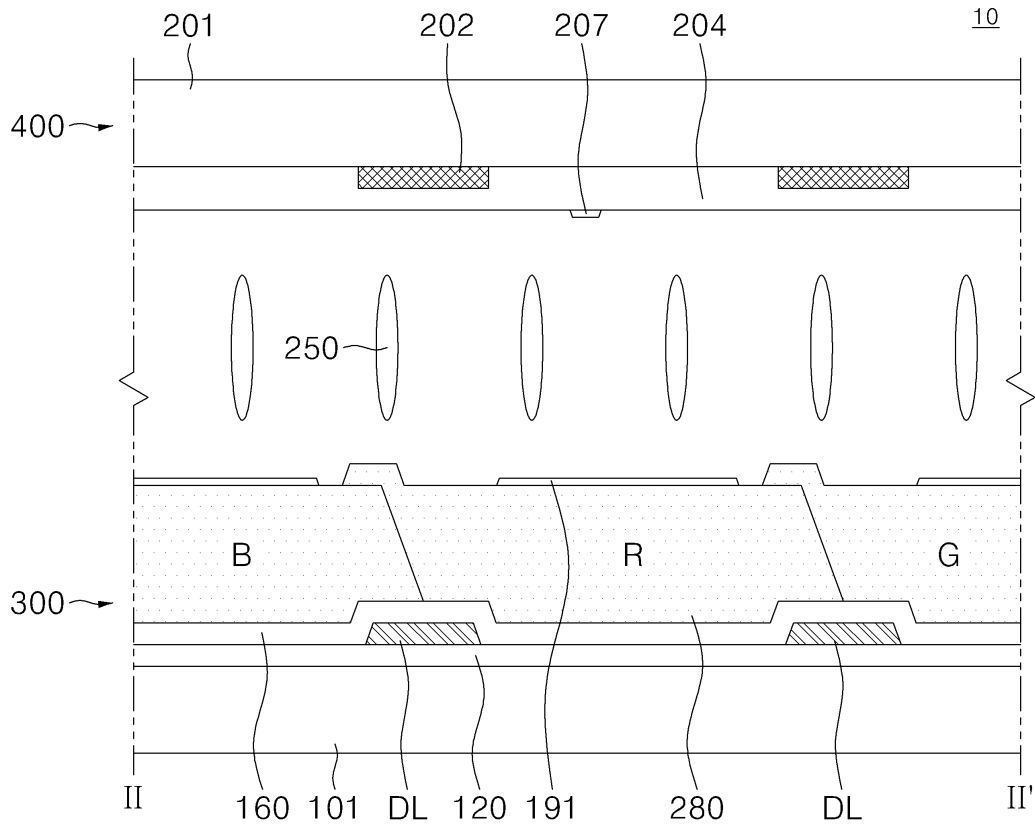
도면3



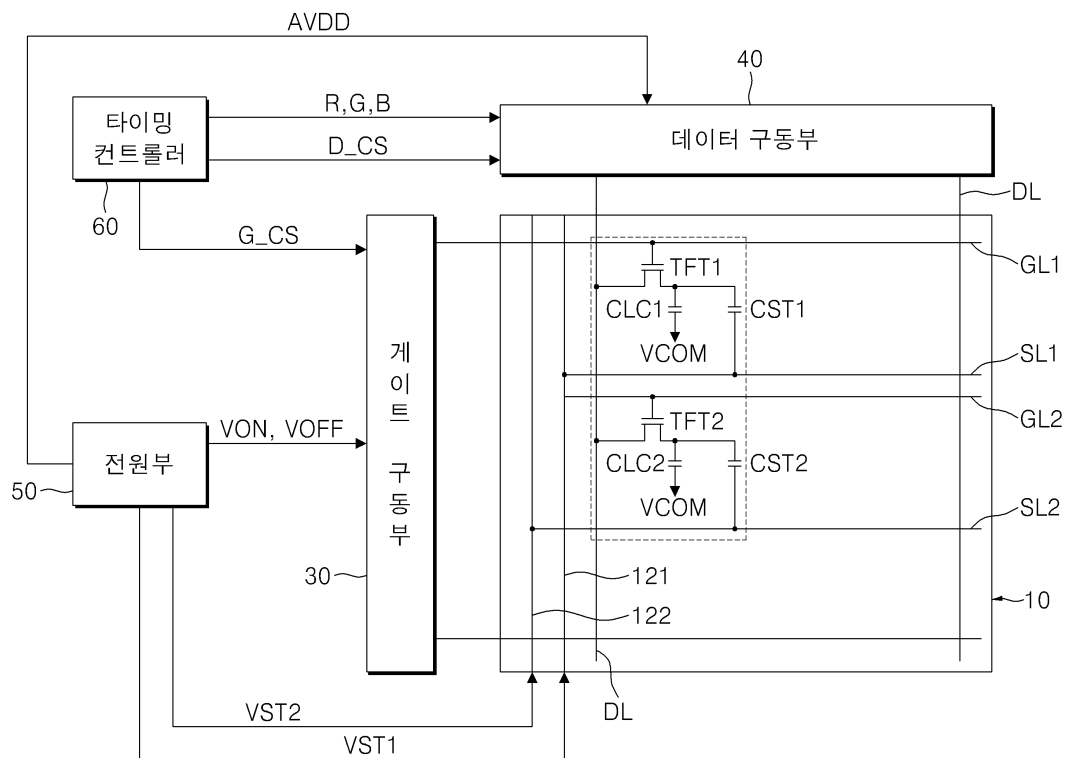
도면4



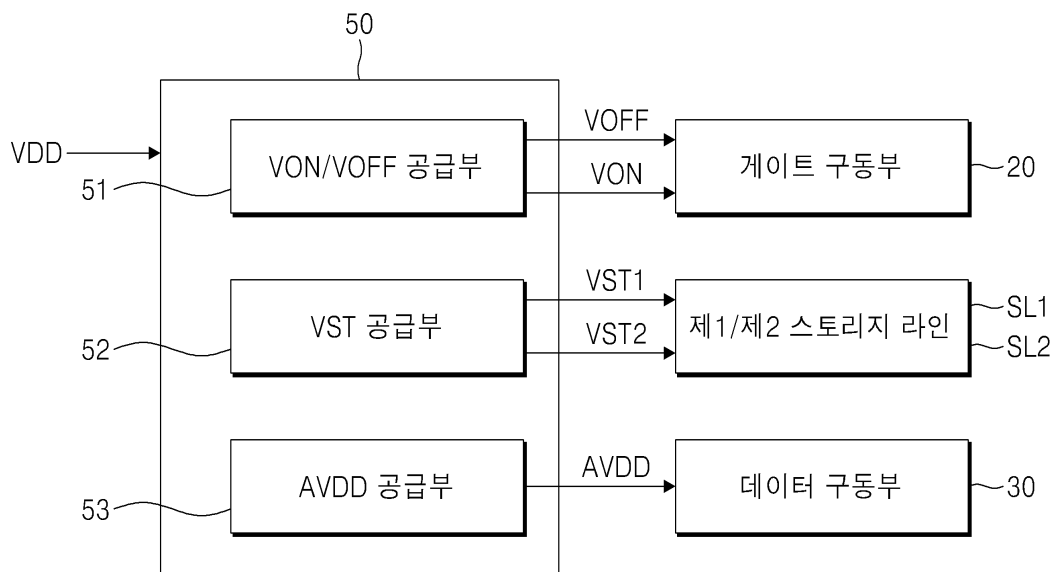
도면6



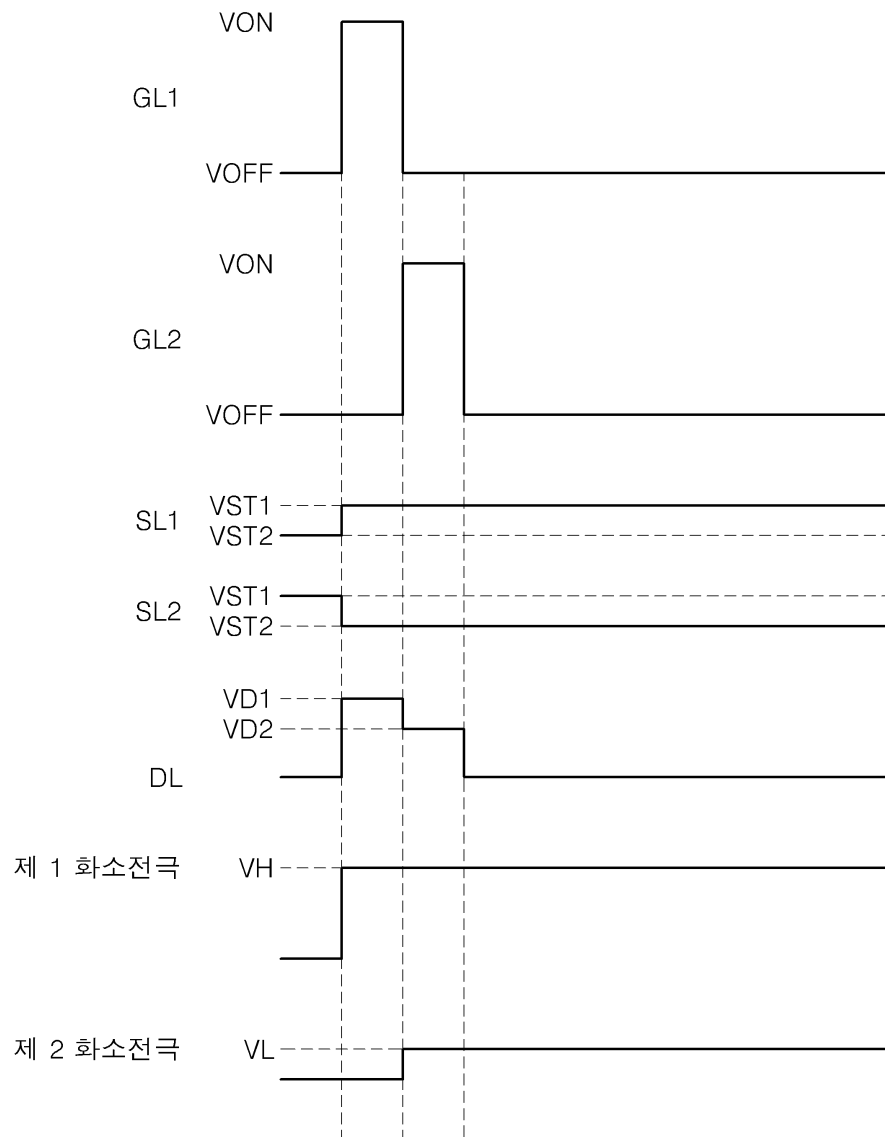
도면7



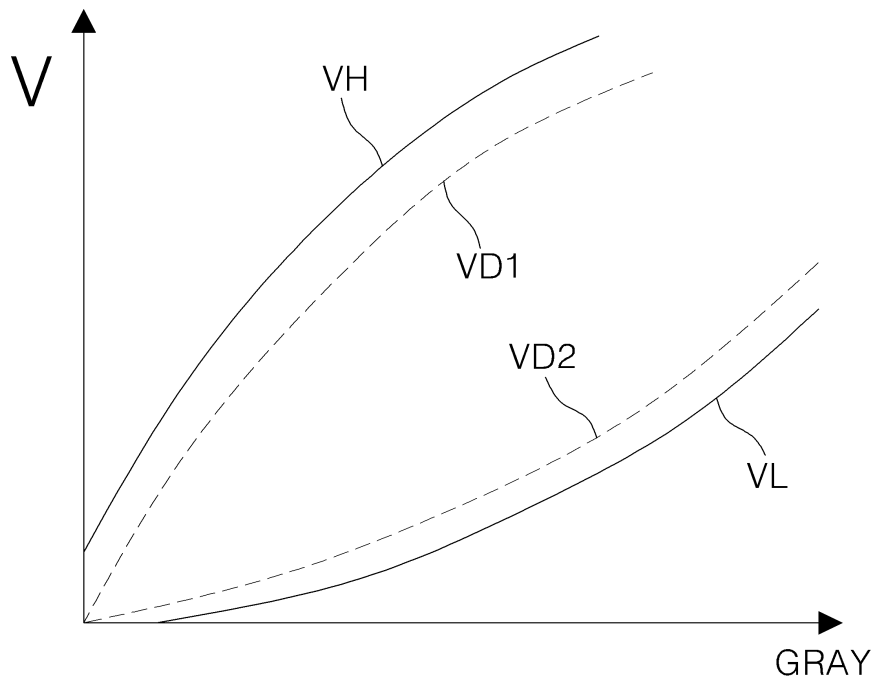
도면8



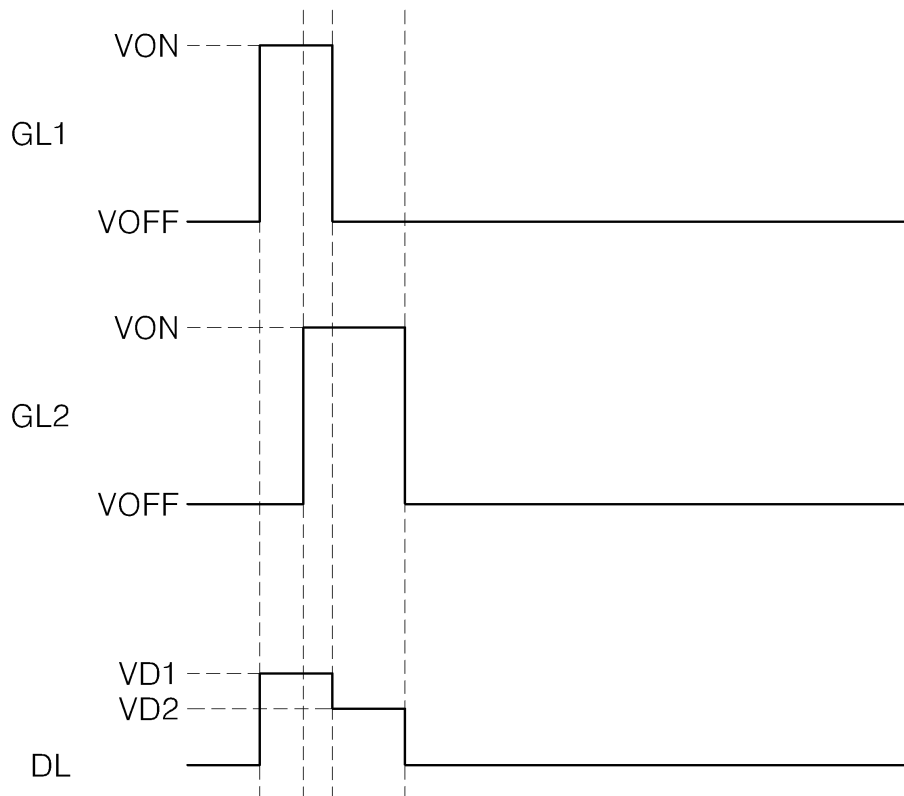
도면9



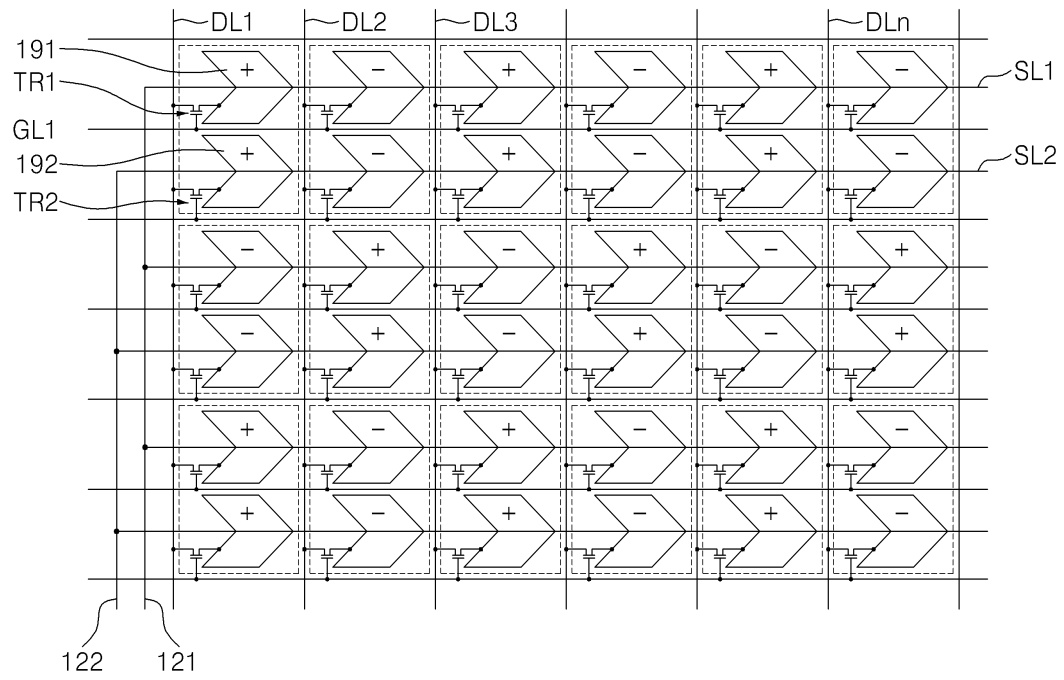
도면10

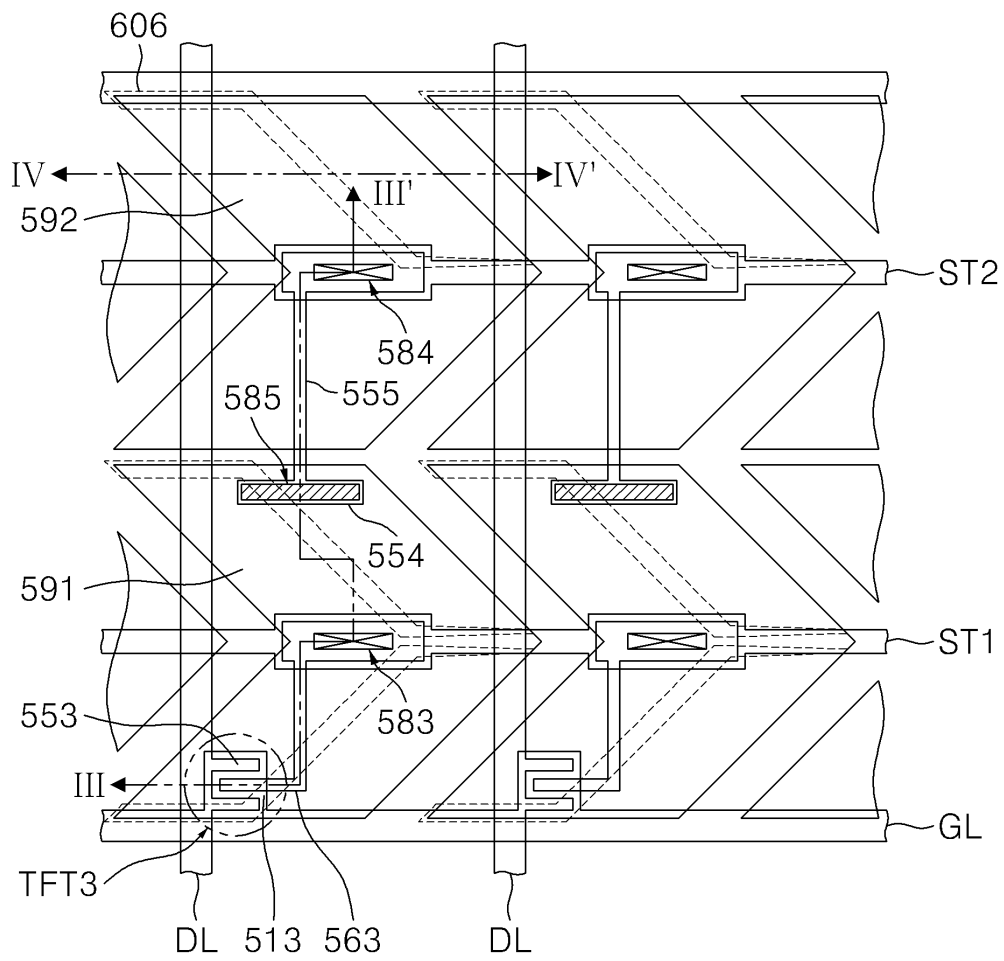


도면11

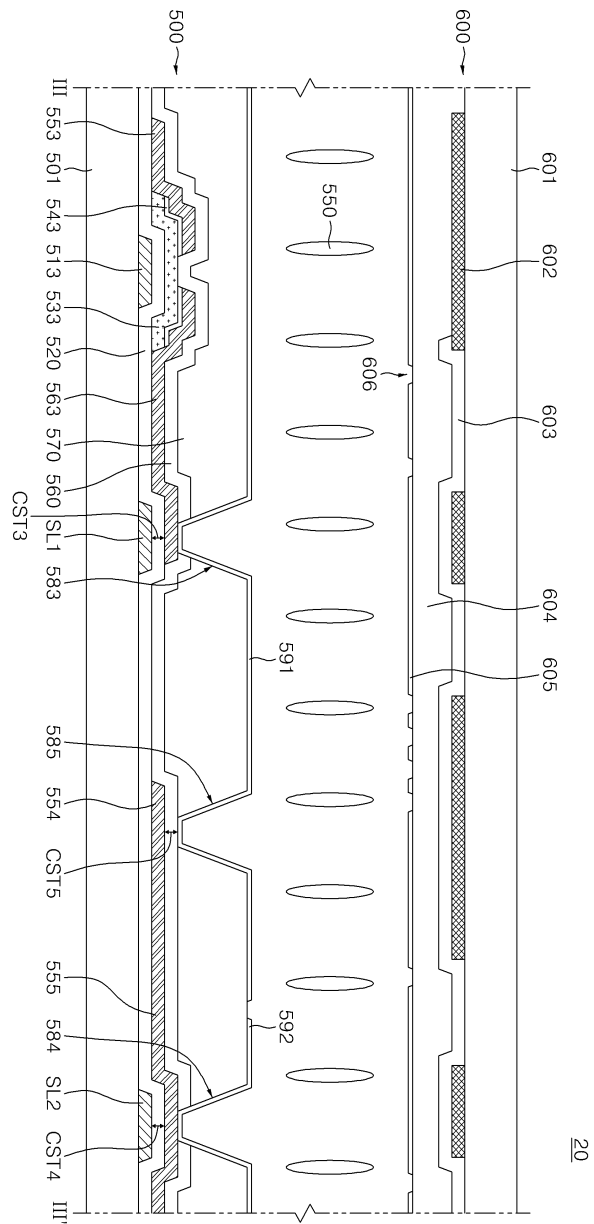


도면12

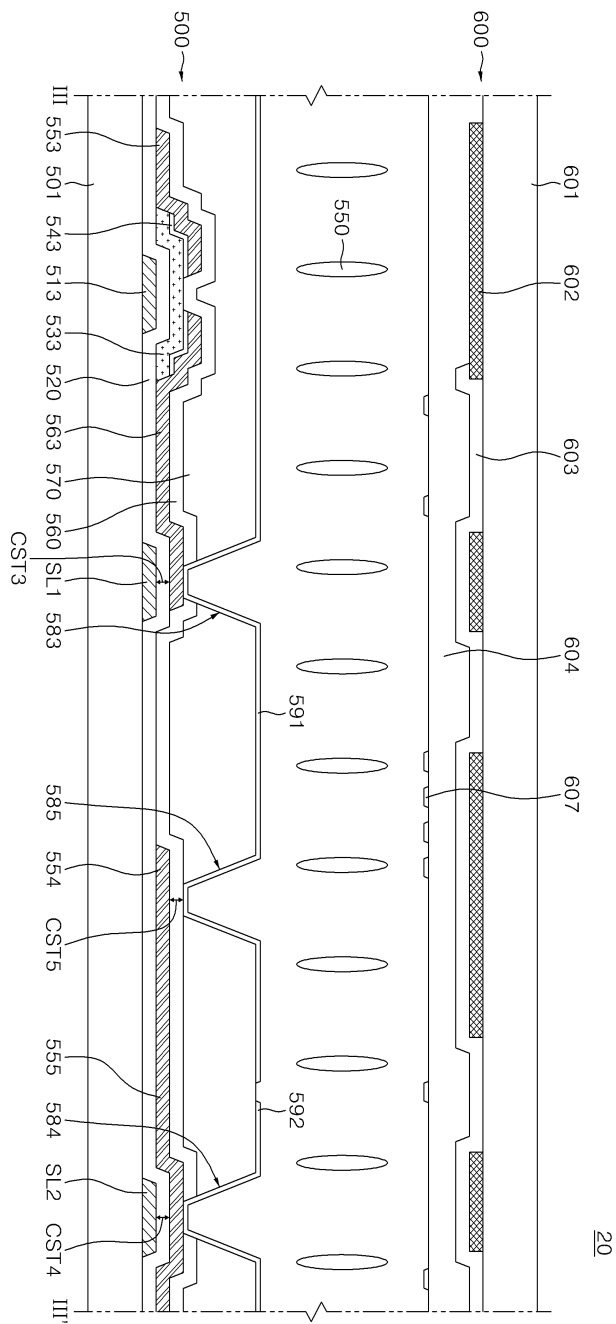




도면14

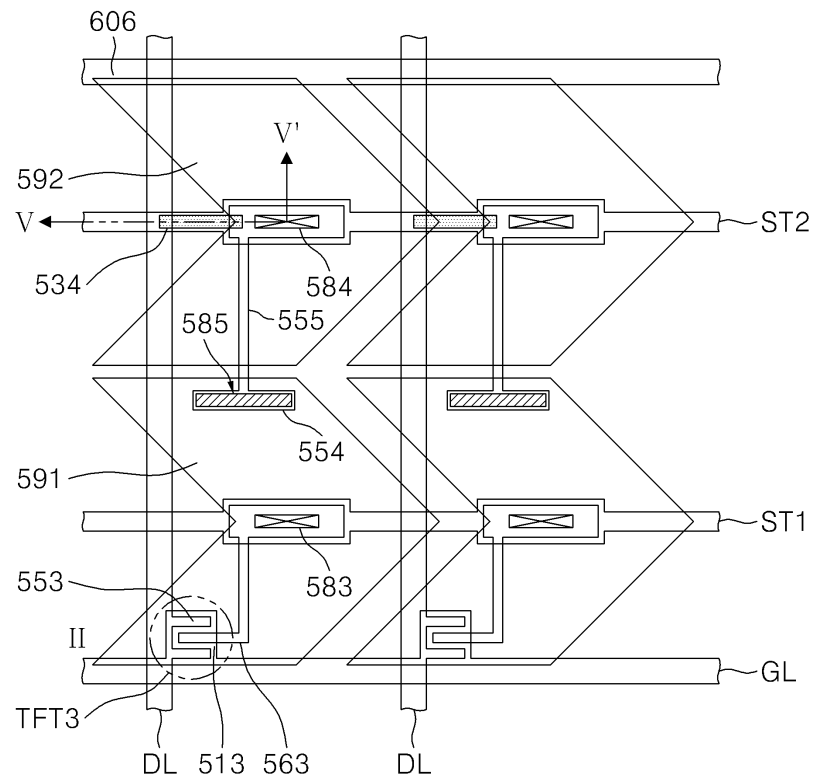


도면15

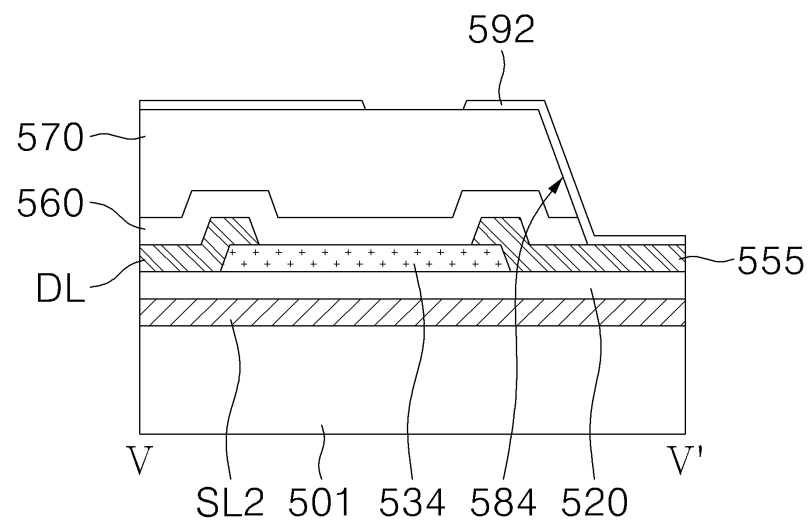


도면16

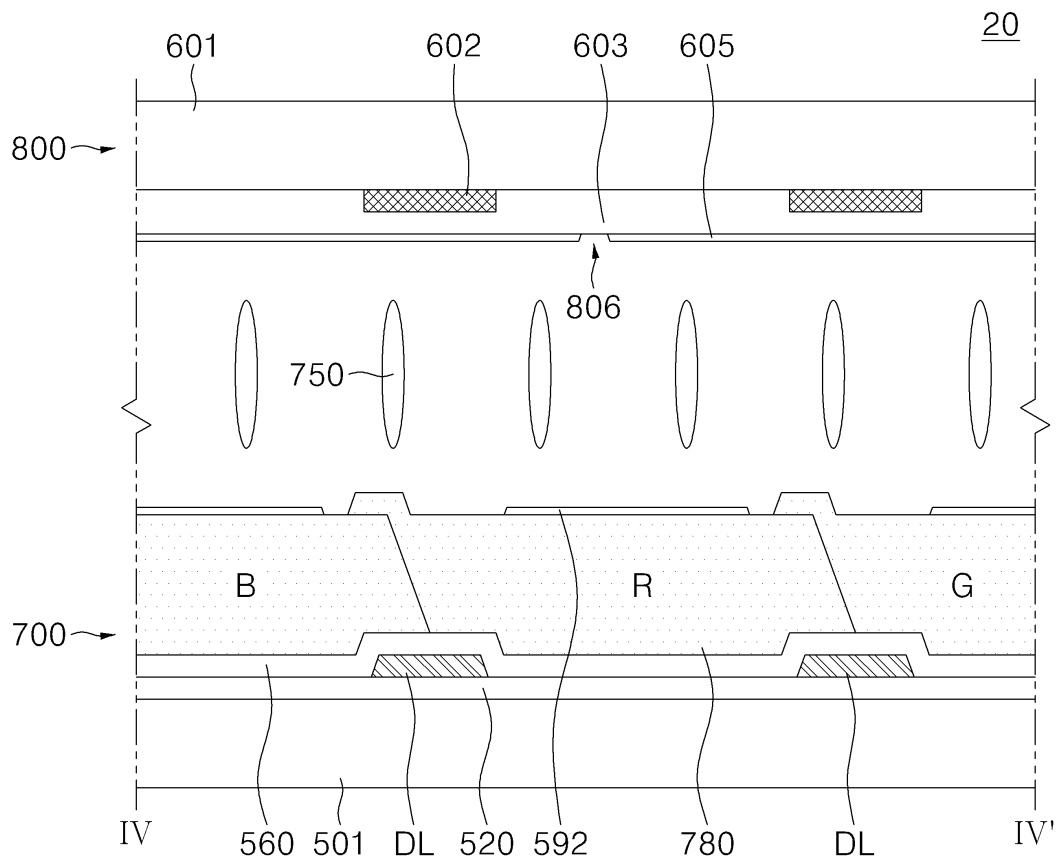
500



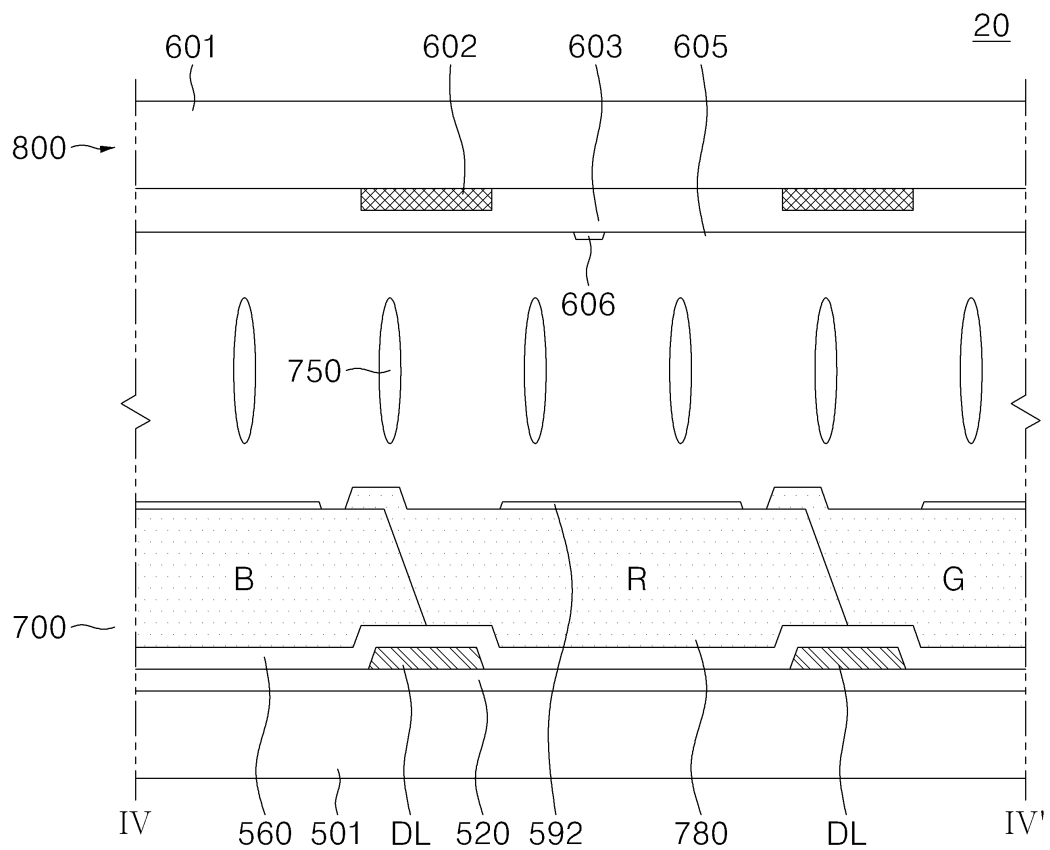
도면17



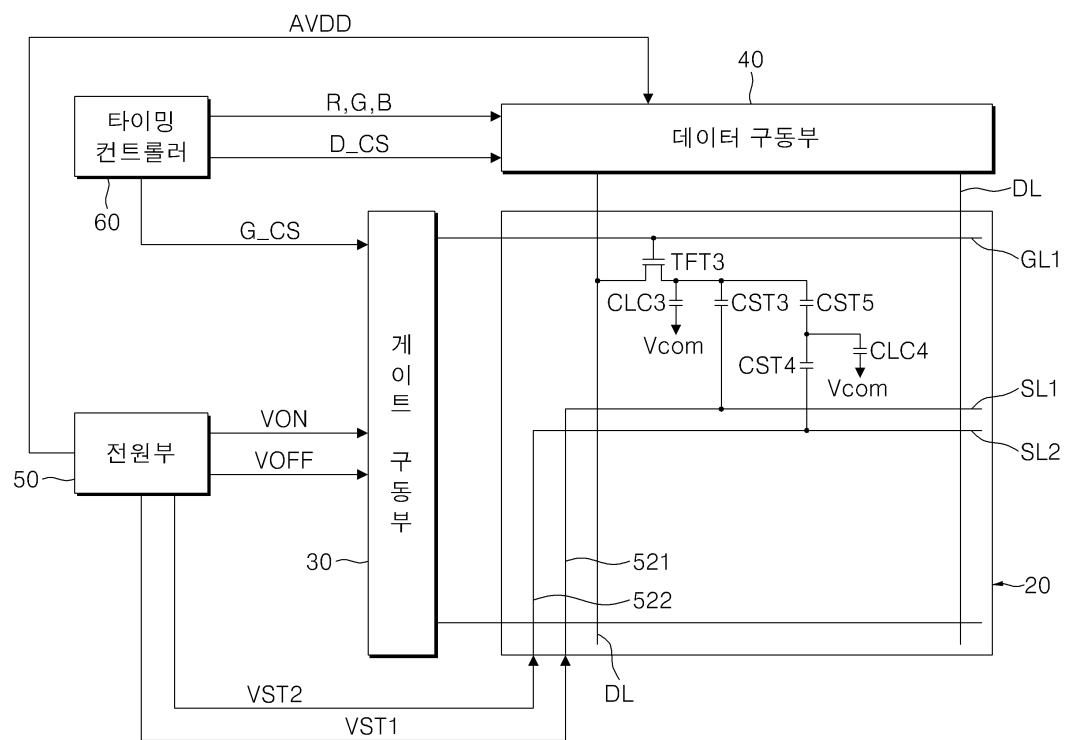
도면18



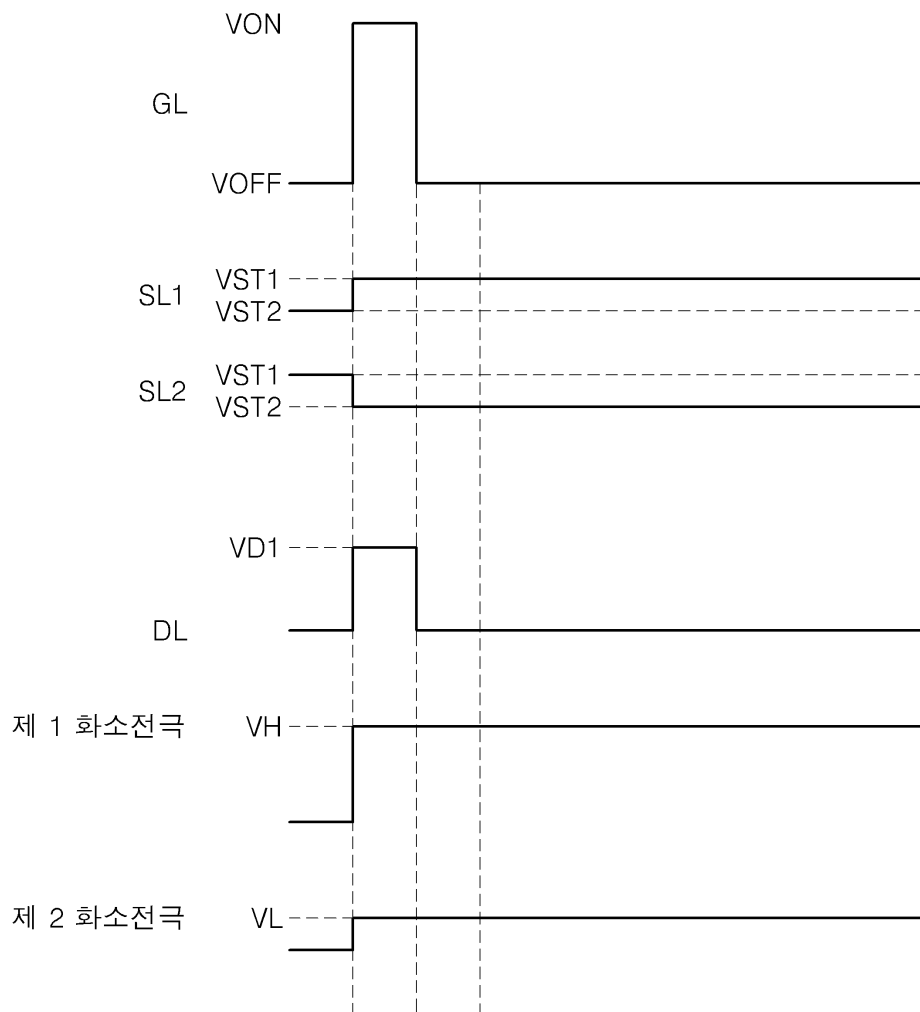
도면19



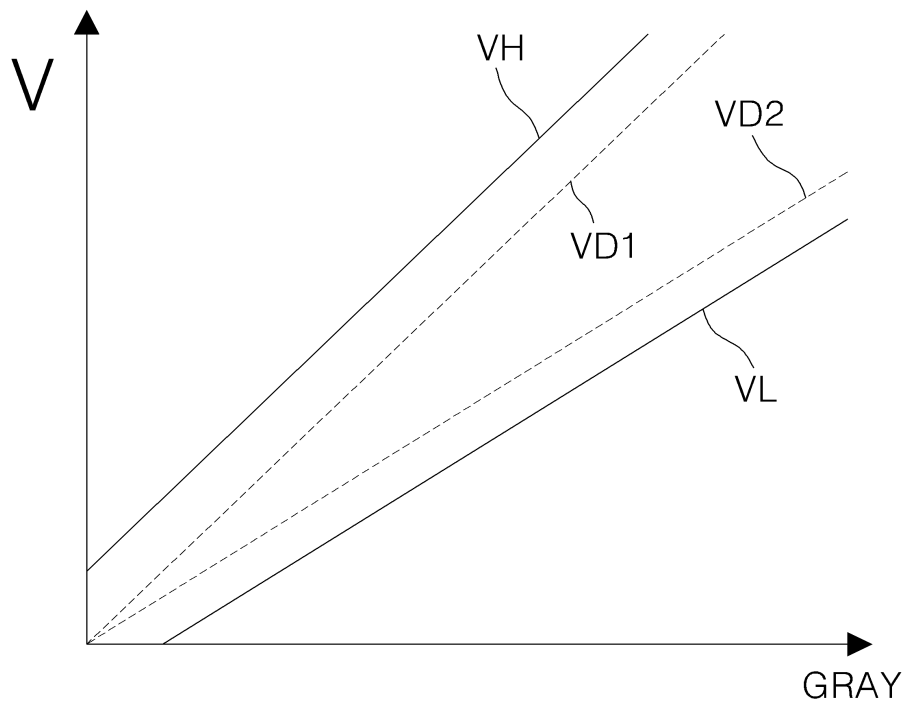
도면20



도면21



도면22



专利名称(译)	液晶显示器及其驱动方法		
公开(公告)号	KR1020080056481A	公开(公告)日	2008-06-23
申请号	KR1020060129451	申请日	2006-12-18
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	KIM DONG GYU		
发明人	KIM, DONG GYU		
IPC分类号	G02F1/133 G09G3/36		
CPC分类号	G09G2300/0443 G09G2310/06 G02F1/1393 G02F1/13624 G09G3/3614 G09G3/3655 G09G2300/0447		
代理人(译)	KWON , HYUK SOO SE JUN OH 宋 , 云何		
外部链接	Espacenet		

摘要(译)

本发明涉及一种具有改进的垂直排列液晶显示装置的液晶显示器，特别是具有高开口率和可视性的宽视角优良的驱动方法及其驱动方法。为此，本发明的目的是提供数据电压的有效电压的差值，包括分别连接电气的第一和第二存储电容器，第一和第二像素电极，当前驱动的第一和第二薄膜晶体管以及第一和第二像素电极和第一第二像素电极充电很多，一个液晶显示器及其驱动方法。此外，本发明的目的是提供数据电压的有效电压的差异，使用串联的存储电容器对第二像素电极充电，并且分别为第一像素电极充电的第一像素电极和第二像素电极充电的数据电压。 ，一种液晶显示器及其驱动方法。

