



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0046873
(43) 공개일자 2008년05월28일

(51) Int. Cl.

G02F 1/133 (2006.01)

(21) 출원번호 10-2006-0116487

(22) 출원일자 2006년11월23일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

김희준

충남 천안시 용곡동 동일하이빌 103동 201호

박정은

충남 아산시 탕정면 삼성크리스탈기숙사 비취동 405호

이용우

서울 용산구 후암동 143-36

(74) 대리인

권혁수, 송윤호, 오세준

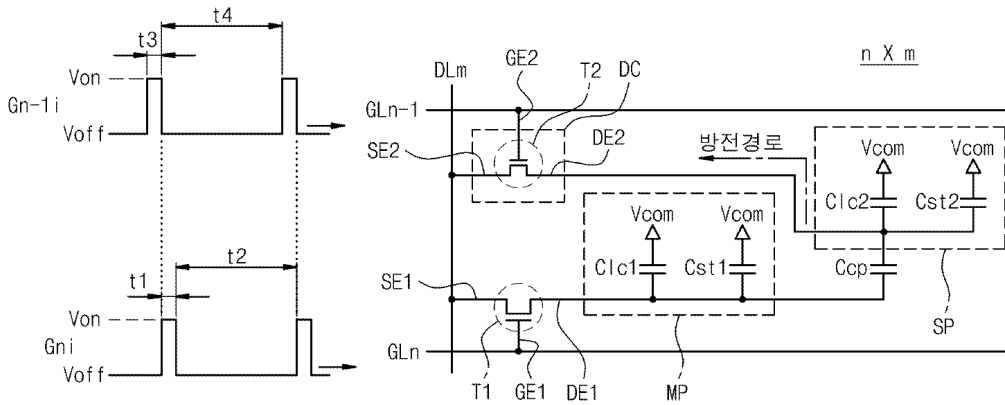
전체 청구항 수 : 총 18 항

(54) 표시패널

(57) 요약

다수의 화소를 포함하는 표시패널이 제공된다. 상기 다수의 화소 각각은 제 1 박막 트랜지스터, 제 1 및 제 2 액정 캐패시터, 커플링 캐패시터 및 방전회로를 포함한다. 제 1 액정 캐패시터는 제 1 박막 트랜지스터를 통해 데이터 라인과 연결된다. 상기 제 2 액정 캐패시터는 상기 커플링 캐패시터를 통해 상기 제 1 액정 캐패시터와 병렬로 연결된 구조를 갖는다. 그리고, 상기 방전회로는 상기 커플링 캐패시터와 상기 제 2 액정 캐패시터 사이에 연결되어 있으며, 제 2 액정 캐패시터에 축적된 전하를 상기 데이터 라인으로 방전한다. 이 표시패널은 제 2 액정 캐패시터에 축적된 전하를 방전시킬 수 있는 방전 경로를 제공한다. 따라서, 상기 제 2 액정 캐패시터에 축적된 전하에 의해 발생하는 표시화면상의 잔상을 제거함으로써, 표시패널의 표시품질이 향상된다.

대표도



특허청구의 범위

청구항 1

게이트 온 전압과 게이트 오프 전압을 포함하는 게이트 펄스를 순차적으로 입력받는 다수의 게이트 라인;

상기 다수의 게이트 라인과 절연되게 교차하고, 데이터 전압을 입력받는 다수의 데이터 라인; 및

상기 다수의 게이트 라인과 상기 다수의 데이터 라인에 의해 정의되는 다수의 화소 영역에 구비된 다수의 화소를 포함하며,

상기 다수의 화소 각각은,

n (여기서, n 은 자연수)번째 게이트 라인과 m (여기서, m 은 자연수)번째 데이터 라인에 연결되고, 상기 게이트 온 전압을 유지하는 게이트 펄스에 응답하여 상기 데이터 전압을 출력하는 제 1 박막 트랜지스터;

상기 제 1 박막 트랜지스터와 전기적으로 연결되어 상기 데이터 전압을 메인 픽셀 전압으로 충전하는 제 1 액정 캐패시터;

상기 제 1 액정 캐패시터와 병렬로 연결되어 상기 데이터 전압을 입력받는 커플링 캐패시터;

상기 커플링 캐패시터와 직렬로 연결되어 상기 커플링 캐패시터 의해 상기 데이터 전압보다 낮은 데이터 전압을 서브 픽셀 전압으로 충전하는 제 2 액정 캐패시터; 및

상기 커플링 캐패시터와 상기 제 2 액정 캐패시터 사이에 연결되어 상기 제 2 액정 캐패시터에 축적된 전하의 방전 경로를 형성하는 방전 회로를 포함하는 것을 특징으로 하는 표시패널.

청구항 2

제 1 항에 있어서, 상기 방전 회로는 제 2 박막 트랜지스터로 이루어진 것을 특징으로 하는 표시패널.

청구항 3

제 2 항에 있어서, 상기 제 1 박막 트랜지스터는

n 번째 게이트 라인과 전기적으로 연결되어 상기 게이트 온 전압을 유지하는 게이트 펄스를 입력받는 제 1 게이트 전극;

m 번째 데이터 라인과 전기적으로 연결되어 상기 데이터 전압을 입력받는 제 1 소오스 전극; 및

상기 제 1 소오스 전극을 통해 입력된 상기 데이터 전압을 출력하는 제 1 드레인 전극을 포함하며,

상기 제 2 박막 트랜지스터는

$n-1$ 번째 게이트 라인과 전기적으로 연결된 제 2 게이트 전극;

상기 m 번째 데이터 라인과 전기적으로 연결된 제 2 소오스 전극; 및

상기 커플링 캐패시터와 상기 제 2 액정 캐패시터 사이에 전기적으로 연결된 제 2 드레인 전극을 포함하는 것을 특징으로 하는 표시패널.

청구항 4

제 3 항에 있어서, 상기 제 2 액정 캐패시터에 축적된 전하는 상기 제 2 박막 트랜지스터를 통해 상기 m 번째 데이터 라인으로 방전되는 것을 특징으로 하는 표시패널.

청구항 5

제 3 항에 있어서, 게이트 오프 전압을 유지하는 게이트 펄스에 응답하여 상기 제 1 박막 트랜지스터가 턴 오프 될 때, 상기 제 2 액정 캐패시터에 축적된 전하가 방전을 시작하는 것을 특징으로 하는 표시패널.

청구항 6

제 2 항에 있어서, 상기 제 1 박막 트랜지스터는

n 번째 게이트 라인과 전기적으로 연결되어 상기 게이트 펄스를 입력받는 제 1 게이트 전극;

m 번째 데이터 라인과 전기적으로 연결되어 상기 데이터 전압을 입력받는 제 1 소오스 전극; 및

상기 제 1 소오스 전극을 통해 입력된 상기 데이터 전압을 출력하는 제 1 드레인 전극을 포함하며,

상기 제 2 박막 트랜지스터는

n-1 번째 게이트 라인과 전기적으로 연결된 제 2 게이트 전극;

m+1 번째 데이터 라인과 전기적으로 연결된 제 2 소오스 전극; 및

상기 커플링 캐패시터와 상기 제 2 액정 캐패시터 사이에 전기적으로 연결된 제 2 드레인 전극을 포함하는 것을 특징으로 하는 표시패널.

청구항 7

제 6 항에 있어서, 상기 제 2 액정 캐패시터에 축적된 전하는 상기 제 2 박막 트랜지스터를 통해 상기 m+1 번째 데이터 라인으로 방전되는 것을 특징으로 하는 표시패널.

청구항 8

제 2 항에 있어서, 상기 제 2 박막 트랜지스터의 W/L(여기서, W는 채널폭이고, L은 채널의 길이를 나타냄)은 상기 제 1 박막 트랜지스터의 W/L의 20%이하인 것을 특징으로 하는 표시패널.

청구항 9

제 1 항에 있어서, 상기 각 화소는

상기 제 1 액정 커패시터와 병렬로 연결된 제 1 스토리지 캐패시터; 및

상기 제 2 액정 캐패시터와 병렬로 연결된 제 2 스토리지 캐패시터를 더 포함하는 것을 특징으로 하는 표시패널.

청구항 10

게이트 온 전압과 게이트 오프 전압을 포함하는 게이트 펄스를 순차적으로 입력받는 다수의 게이트 라인과, 상기 다수의 게이트 라인과 절연되게 교차하고, 데이터 전압을 입력받는 다수의 데이터 라인 및 상기 다수의 게이트 라인과 상기 다수의 데이터 라인에 의해 정의되는 다수의 화소 영역에 구비된 다수의 화소를 포함하는 어레이 기판;

상기 어레이 기판과 대향하여 결합하고, 공통전극이 구비된 대향기판; 및

상기 어레이 기판과 상기 대향 기판과의 사이에 개재된 액정층을 포함하고,

상기 다수의 화소 각각은,

n(여기서, n은 자연수) 번째 게이트 라인과 m(여기서, m은 자연수) 번째 데이터 라인에 연결되고, 상기 게이트 온 전압을 유지하는 상기 게이트 펄스에 응답하여 상기 데이터 전압을 출력하는 제 1 박막 트랜지스터;

상기 제 1 박막 트랜지스터의 제 1 드레인 전극에 전기적으로 연결되어 상기 데이터 전압을 메인 픽셀 전압으로 입력받는 메인 화소 전극;

상기 메인 화소 전극과 일정 간격으로 이격되어 형성되며, 상기 제 1 드레인 전극으로부터 연장된 부분과 부분적으로 오버랩되어 상기 데이터 전압보다 낮은 데이터 전압을 서브 픽셀 전압으로 입력받는 서브 화소 전극; 및

상기 서브 화소 전극과 전기적으로 연결되어 상기 서브 화소 전극의 전압의 방전 경로를 형성하는 제 2 박막 트랜지스터를 포함하는 것을 특징으로 하는 표시 패널.

청구항 11

제 10 항에 있어서, 상기 제 1 박막 트랜지스터는,

n 번째 게이트 라인으로부터 분기된 제 1 게이트 전극; 및

상기 제 1 게이트 전극 위에 형성되며, 상기 m 번째 데이터 라인으로부터 분기된 제 1 소오스 전극을 더 포함하며,

상기 제 2 박막 트랜지스터는,

n-1 번째 게이트 라인으로부터 분기된 제 2 게이트 전극;

상기 제 2 게이트 전극 위에 형성되며, m 번째 데이터 라인으로부터 분기된 제 2 소오스 전극; 및

상기 제 2 소오스 전극과 일정거리로 이격되어 형성되며 상기 서브 화소 전극과 전기적으로 연결된 제 2 드레인 전극을 포함하는 것을 특징으로 하는 표시패널.

청구항 12

제 11 항에 있어서, 게이트 오프 전압을 유지하는 게이트 펄스에 응답하여 상기 제 1 박막 트랜지스터가 턴오프될 때, 상기 서브 화소 전극에 나타나는 전압은 상기 제 2 박막 트랜지스터를 통해 상기 m 번째 데이터 라인으로 방전되는 것을 특징으로 하는 표시패널.

청구항 13

제 10 항에 있어서, 상기 제 1 박막 트랜지스터는,

n 번째 게이트 라인으로부터 분기된 제 1 게이트 전극; 및

상기 제 1 게이트 전극 위에 형성되며, 상기 m 번째 데이터 라인으로부터 분기된 제 1 소오스 전극을 더 포함하며,

상기 제 2 박막 트랜지스터는,

n-1 번째 게이트 라인으로부터 분기된 제 2 게이트 전극;

상기 제 2 게이트 전극 위에 형성되며, m+1 번째 데이터 라인으로부터 분기된 제 2 소오스 전극; 및

상기 제 2 소오스 전극과 일정거리로 이격되어 형성되며 상기 서브 화소 전극과 전기적으로 연결된 제 2 드레인 전극을 포함하는 것을 특징으로 하는 표시패널.

청구항 14

제 13 항에 있어서, 상기 서브 화소 전극의 전압은 상기 제 2 박막 트랜지스터를 통해 상기 m+1 번째 데이터 라인으로 방전되는 것을 특징으로 하는 표시패널.

청구항 15

제 10 항에 있어서, 상기 메인 화소 전극의 가장자리와 부분적으로 오버랩되는 메인 스토리지 전극; 및

상기 서브 화소 전극의 가장자리와 부분적으로 오버랩되는 서브 스토리지 전극을 더 포함하는 것을 특징으로 하는 표시패널.

청구항 16

제 15 항에 있어서, 상기 메인 스토리지 전극과 상기 서브 스토리지 전극은 일체로 형성된 것을 특징으로 하는 표시패널.

청구항 17

제 10 항에 있어서, 상기 제 1 박막 트랜지스터와 상기 제 2 박막 트랜지스터는 동일한 공정을 통해 동시에 형성되는 것을 특징으로 하는 표시패널.

청구항 18

제 17 항에 있어서, 상기 제 2 박막 트랜지스터의 W/L(여기서, W는 채널폭이고, L은 채널의 길이를 나타냄)은 상기 제 1 박막 트랜지스터의 W/L의 20%이하인 것을 특징으로 하는 표시패널.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <9> 본 발명은 표시패널에 관한 것으로서, 보다 구체적으로, 화소에 축적된 전하를 효과적으로 방전하는 표시패널에 관한 것이다.
- <10> 액정표시장치(Liquid Crystal Display device)는 박막 트랜지스터가 형성되어 있는 박막 트랜지스터 기판과, 컬러 필터층이 형성되어 있는 컬러필터 기판, 그리고 이들 사이에 구비된 액정층을 포함하는 액정표시패널을 포함한다. 이 액정표시패널은 비 발광소자이므로 박막 트랜지스터 기판의 후면에 배치되어 광을 조사하는 백라이트 유닛을 포함한다. 이 백라이트 유닛으로부터 조사된 광은 액정층의 배열상태에 따라 투과광이 조절된다.
- <11> 액정표시장치는 박형, 소형, 저소비 전력에는 유리하나, 대형화, 풀컬러(full color) 구현, 콘트라스트(contrast) 향상 및 시야각 등에서 취약한 점을 보이고 있다.
- <12> 상술한 바와 같은 시야각을 개선하기 위해 PVA(Pterned Vertically Aligned) 모드의 액정표시장치(이하, 'PVA 모드'라 일컫는다.)가 개발되었다. 이 PVA 모드는 픽셀 전극과 공통 전극에 각각 절개 패턴이 형성되어 있고, 이들 절개 패턴들에 의해 형성되는 프린지 필드(fringe field)를 이용하여 액정 분자들의 눕는 방향을 조절함으로써 시야각이 향상된다.
- <13> PVA 모드는 액정이 수직 거동하므로 정면과 측면에서 관찰할 때 액정 분자를 통과하는 광의 위상 지연(retardation) 값의 차이가 시야각에 따라 크게 변한다. 이로 인해 측면에서 낮은 계조의 휘도가 급격히 상승하여 대비비(contrast ratio) 저하를 수반한 시인성 저하를 유발한다. 이를 개선하기 위하여 픽셀 전극을 데이터 전압이 직접 인가되는 제 1 구역과 전기적으로 플로팅되어 있는 제 2 구역으로 나누는 SPVA(super-PVA) 방식의 액정표시장치가 개발되었다.
- <14> 한편 액정표시패널의 오프 시에는 게이트 라인을 통해 접지 전압이 인가되며 이에 따라 박막 트랜지스터의 게이트 전극에도 접지 전압이 인가된다. 이 경우 통상적인 박막 트랜지스터는 약 10pA 내지 1nA의 전류가 흐를 수 있기 때문에 수백 ms 내에 화소에 충전된 전하들이 모두 데이터 라인을 통해 외부로 방전된다.
- <15> 그런데 상술한 SPVA의 제 2 구역은 제 1 구역, 박막 트랜지스터 그리고 데이터 라인과 전기적으로 분리되어 있는 플로팅 상태이기 때문에 액정표시패널의 제 2 구역에 축적된 전하가 적절히 방전되지 못한다.
- <16> 이와 같이 방전이 원활히 이루어지지 않게 되면, 액정에 동일한 극성의 전압이 계속 인가되어, 오프된 상태에서도 액정표시패널에 잔상이 남아 있거나 액정표시패널의 구동시에 플리커(flicker) 현상이 발생한다.

발명이 이루고자 하는 기술적 과제

- <17> 따라서, 본 발명의 목적은 휘도를 향상시키고, 측면 시인성을 개선하기 위한 표시패널을 제공하는 것이다.

발명의 구성 및 작용

- <18> 상기와 같은 기술적 과제를 달성하기 위한 본 발명에 따른 표시패널은 다수의 게이트 라인과, 다수의 데이터 라인을 포함한다. 상기 다수의 게이트 라인은 게이트 온 전압과 게이트 오프 전압을 포함하는 게이트 펄스를 순차적으로 입력받는다. 상기 다수의 데이터 라인은 상기 다수의 게이트 라인과 절연되게 교차하고, 데이터 전압을 입력받는다. 또한, 상기 표시패널은 상기 다수의 게이트 라인과 상기 다수의 데이터 라인에 의해 정의되는 다수의 화소 영역에 구비된 다수의 화소를 포함한다. 상기 다수의 화소 각각은 제 1 박막 트랜지스터, 제 1 액정 캐패시터, 커플링 캐패시터, 제 2 액정 캐패시터 및 방전회로를 포함한다.
- <19> 상기 제 1 박막 트랜지스터는 n(여기서, n은 자연수)번째 게이트 라인과 m(여기서, m은 자연수)번째 데이터 라인에 연결되고, 상기 게이트 온 전압을 유지하는 게이트 펄스에 응답하여 상기 데이터 전압을 출력한다. 상기

제 1 액정 캐패시터는 상기 제 1 박막 트랜지스터와 전기적으로 연결되어 상기 데이터 전압을 메인 픽셀 전압으로 충전한다. 상기 커플링 캐패시터는 상기 제 1 액정 캐패시터와 병렬로 연결되어 상기 데이터 전압을 입력받는다. 상기 제 2 액정 캐패시터는 상기 커플링 캐패시터와 직렬로 연결되어 상기 커플링 캐패시터 의해 상기 데이터 전압보다 낮은 데이터 전압을 서브 픽셀 전압으로 충전한다. 상기 방전 회로는 상기 커플링 캐패시터와 상기 제 2 액정 캐패시터 사이에 연결되어 상기 제 2 액정 캐패시터에 축적된 전하의 방전 경로를 형성한다. 바람직하게는 상기 방전 회로는 제 2 박막 트랜지스터로 이루어진다.

- <20> 보다 구체적으로, 상기 제 1 박막 트랜지스터는 n 번째 게이트 라인과 전기적으로 연결되어 상기 게이트 온 전압을 유지하는 게이트 펄스를 입력받는 제 1 게이트 전극, m 번째 데이터 라인과 전기적으로 연결되어 상기 데이터 전압을 입력받는 제 1 소오스 전극; 및 상기 제 1 소오스 전극을 통해 입력된 상기 데이터 전압을 출력하는 제 1 드레인 전극을 포함한다.
- <21> 상기 제 2 박막 트랜지스터는 n-1 번째 게이트 라인과 전기적으로 연결된 제 2 게이트 전극, 상기 m 번째 데이터 라인과 전기적으로 연결된 제 2 소오스 전극; 및 상기 커플링 캐패시터와 상기 제 2 액정 캐패시터 사이에 전기적으로 연결된 제 2 드레인 전극을 포함한다. 결과적으로, 상기 제 2 액정 캐패시터에 축적된 전하는 상기 제 2 박막 트랜지스터를 통해 상기 m 번째 데이터 라인으로 방전된다.
- <22> 상술한 바와 같은 본 발명의 표시패널에 의하면, 전기적으로 플로팅되어 있는 제 2 액정 캐패시터의 방전 경로를 형성함으로써, 상기 제 2 액정 캐패시터에 축적된 전하를 효과적으로 방전할 수 있다. 이에 따라, 본 발명에 따른 표시패널은 상기 제 2 액정 캐패시터에 축적된 전하에 의해 발생하는 표시화면상의 잔상을 제거함으로써, 표시패널의 표시품질을 향상시킬 수 있다.
- <23> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다. 각 도면을 이해함에 있어서, 동일한 부재는 가능한 한 동일한 참조부호로 도시하고자 함에 유의해야 한다. 그리고, 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 공지 기능 및 구성에 대한 상세한 기술은 생략하기로 한다.
- <24> 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다.
- <25> 도 1은 본 발명의 일 실시예에 따른 표시패널에 구비된 $n \times m$ 화소의 등가 회로도이고, 도 2는 도 1에 도시된 등가 회로에 대한 파형도이다.
- <26> 도 1 및 도 2를 참조하면, $n \times m$ 화소는 n 번째 게이트 라인(GL_n), m 번째 데이터 라인(DL_m), 제 1 박막 트랜지스터(T_1) 및 방전 회로(DC: Discharge Circuit)를 포함한다. 제 1 박막 트랜지스터(T_1)는 n 번째 게이트 라인(GL_n)과 m 번째 데이터 라인(DL_m)에 전기적으로 연결된다.
- <27> 구체적으로, 상기 제 1 박막 트랜지스터(T_1)의 제 1 게이트 전극(GE_1)은 상기 n 번째 게이트 라인(GL_n)에 전기적으로 연결되고, 제 1 소오스 전극(SE_1)은 상기 m 번째 데이터 라인(DL_m)에 전기적으로 연결된다. 또한, 상기 제 1 박막 트랜지스터(T_1)는 제 1 드레인 전극(DE_1)을 구비한다.
- <28> 상기 n 번째 게이트 라인(GL_n)에는 게이트 펄스(G_n)가 인가되고, 상기 m 번째 데이터 라인(DL_m)에는 데이터 전압(V_d)이 인가된다. 상기 게이트 펄스(G_n)는 제1 구간(t_1) 동안 유지되는 게이트 온 전압(V_{ON})과 상기 제 1 구간(t_1)에 시간순으로 연속한 제 2 구간(t_2) 동안 유지되는 게이트 오프 전압(V_{OFF})으로 이루어진다.
- <29> 상기 제 1 구간(t_1)에 해당하는 게이트 온 전압으로 유지되는 게이트 펄스(G_n)에 응답하여 상기 제 1 박막 트랜지스터(T_1)가 턴-온되면, 상기 소오스 전극(SE_1)으로 인가된 상기 데이터 전압(V_d)은 상기 제 1 드레인 전극(DE_1)으로 출력된다.
- <30> 상기 제 1 구간(t_1) 이후, 상기 제 2 구간(t_2)에 해당하는 게이트 오프 전압(V_{OFF})으로 유지되는 게이트 펄스에 응답하여 상기 제 1 박막 트랜지스터(T_1)는 턴-오프된다.
- <31> 상기 방전 회로(DC)는 n-1 번째 게이트 라인(GL_{n-1})과 m 번째 데이터 라인(DL_m)에 전기적으로 연결된다.
- <32> 구체적으로 상기 방전 회로(DC)는 제 2 박막 트랜지스터(T_2)를 포함한다. 제 2 박막 트랜지스터(T_2)의 제 2 게이트 전극(GE_2)은 n-1 번째 게이트 라인(GL_{n-1})에 연결되고, 제 2 소오스 전극(SE_2)은 m 번째 데이터 라인(DL_m)에 연결된다. 또한, 상기 제 2 박막 트랜지스터(T_2)는 제 2 드레인 전극(DE_2)을 구비한다.
- <33> 상기 n-1 번째 게이트 라인(GL_n)에는 게이트 펄스(G_{n-1})가 인가되고, 상기 m 번째 데이터 라인(DL_m)에는 데이터 전압(V_d)이 인가된다. 상기 게이트 펄스(G_{n-1})는 제 3 구간(t_3) 동안 유지되는 게이트 온 전압(V_{ON})과 상기 제

3 구간(t3)에 시간순으로 연속한 제 4 구간(t4) 동안 유지되는 게이트 오프 전압(VOFF)으로 이루어진다.

- <34> 상기 제 3 구간(t3)에 해당하는 게이트 온 전압(VON)으로 유지되는 게이트 펄스(Gn-1)에 응답하여 상기 제 2 박막 트랜지스터(T2)가 턴-온되면, 상기 제 2 소오스 전극(SE2)으로 인가된 상기 데이터 전압(Vd2)은 상기 제 2 드레인 전극(DE1)으로 출력된다.
- <35> 상기 제 3 구간(t3) 이후, 상기 제 4 구간(t4)에 해당하는 게이트 오프 전압(VOFF)으로 유지되는 게이트 펄스(Gn-1)에 응답하여 상기 제 2 박막 트랜지스터(T2)는 턴-오프된다.
- <36> 상기 n×m 화소는 메인 픽셀(MP), 커플링 캐패시터(Ccp) 및 서브 픽셀(SP)를 더 포함한다. 상기 메인 픽셀(MP)과 커플링 캐패시터(Ccp)은 상기 제 1 박막 트랜지스터(T1)의 제 1 드레인 전극(DE1)을 통해 병렬로 연결되고, 상기 커플링 캐패시터(Ccp)와 상기 서브 픽셀(SP)은 직렬로 연결된다.
- <37> 상기 메인 픽셀(MP)은 제 1 드레인 전극(DE1)에 병렬로 연결된 제 1 액정 캐패시터(C1c1)와 제 1 스토리지 캐패시터(Cst1)로 이루어진다.
- <38> 구체적으로, 상기 제 1 액정 캐패시터(C1c1)의 일단은 상기 제 1 박막 트랜지스터(T1)의 드레인 전극(DE1)과 전기적으로 연결되고, 타단은 공통 전압(Vcom)이 인가되는 공통 전극과 전기적으로 연결된다. 상기 제 1 스토리지 캐패시터(Cst1)의 일단은 상기 제 1 액정 캐패시터(C1c1)의 일단과 전기적으로 연결되고, 타단은 공통 전압(Vcom)이 인가되는 공통 전극과 전기적으로 연결된다.
- <39> 상기 커플링 캐패시터(Ccp)는 메인 픽셀(MP)과 서브 픽셀(SP) 사이에 위치한다. 구체적으로, 상기 커플링 캐패시터(Ccp)의 일단은 상기 제 1 드레인 전극(DE1)에 연결되고, 타단은 상기 서브 픽셀(SP)에 연결된다.
- <40> 상기 서브 픽셀(SP)은 상기 커플링 캐패시터(Ccp)의 타단에 병렬로 연결된 제 2 액정 캐패시터(C1c2)와 제 2 스토리지 캐패시터(Cst2)로 이루어진다.
- <41> 구체적으로, 상기 제 2 액정 캐패시터(C1c2)의 일단은 상기 커플링 캐패시터(Ccp)의 타단과 전기적으로 연결되고, 타단은 상기 공통 전압(Vcom)이 인가되는 상기 공통 전극과 전기적으로 연결된다. 상기 제 2 스토리지 캐패시터(Cst2)의 일단은 상기 커플링 캐패시터(Ccp)의 타단과 전기적으로 연결되며, 타단은 상기 공통 전압(Vcom)이 인가되는 공통 전극과 전기적으로 연결된다. 그리고, 상기 커플링 캐패시터(Ccp)의 타단에 연결된 상기 제 2 액정 캐패시터(C1c2)의 일단은 상기 방전 회로(DC)에 포함된 제 2 박막 트랜지스터(T2)의 제 2 드레인 전극(DE2)과 전기적으로 연결된다.
- <42> n 번째 게이트 라인(GLn)으로 게이트 온 전압(Gn)이 입력되면, 제 1 박막 트랜지스터(T1)가 턴온되어, 상기 데이터 라인(DLm)으로 인가된 데이터 전압(Vd1)은 제 1 드레인 전극(DE1)으로 출력된다. 제 1 박막 트랜지스터(T1)의 드레인 전극(DE1)으로 출력된 데이터 전압(Vd1)은 메인 픽셀(MP)의 제 1 액정 캐패시터(C1c1)와 서브 픽셀(SP)의 제 2 액정 캐패시터(C1c2)에 각각 충전된다. 이때, 상기 서브 픽셀(SP)의 제 1 액정 캐패시터(C1c1)에 충전된 전압은 상기 커플링 캐패시터(Ccp)에 의해 상기 메인 픽셀(MP)의 제 2 액정 캐패시터(C1c2)에 충전된 전압보다 작다.
- <43> 이와 같이, 상기 제 1 액정 캐패시터(C1c1)와 상기 제 2 액정 캐패시터(C1c2)에 각각 충전된 전압의 차이에 의해서, 상기 제 2 액정 캐패시터(C1c2)에 포함된 액정 분자들은 상기 제 1 액정 캐패시터(C1c1)에 포함된 액정 분자들보다 높은 정도가 작아진다. 따라서, 상기 메인 픽셀(MP)과 상기 서브 픽셀(SP)에서 투과되는 광의 양이 합성되면서 정면에서는 기존과 동일한 휘도를 나타내면서 측면 시야각을 향상시킬 수 있다.
- <44> 한편, 도 1에 도시된 실시예와는 달리 종래의 표시패널에서는, n 번째 게이트 라인(GLn)으로 게이트 오프 전압의 게이트 펄스(Gn)가 입력되면, 제 1 박막 트랜지스터(T1)가 턴오프되어 저항으로 작용한다. 이 저항으로 작용하는 제 1 박막 트랜지스터에 의해 제 1 액정 캐패시터(C1c1)는 m 번째 데이터 라인(DLm)을 통해 외부로 방전된다. 그러나, 제 2 액정 캐패시터(C1c2)는 커플링 캐패시터(Ccp)에 의해 플로팅되어 있으므로, 외부로 방전되지 못한다.
- <45> 그러나, 본 발명에 따른 표시패널은 전술한 바와 같이, 제 2 액정 캐패시터(C1c2)의 일단이 방전회로(DC)의 제 2 박막 트랜지스터(T2)와 연결되어 제 2 액정 캐패시터(C1c2)의 방전 경로를 제공한다.
- <46> 구체적으로, n 번째 게이트 라인(GLn)으로 게이트 오프 전압(VOFF)을 유지하는 게이트 펄스(Gn)가 입력되면, 제 1 박막 트랜지스터(T1)가 턴오프된다. 이때, n-1 번째 게이트 라인(GLn-1)도 게이트 오프 전압(VOFF)으로 유지되는 상태이므로 방전회로(DC)에 구비된 제 2 박막 트랜지스터(T2)도 턴오프된다.

- <47> 이렇게 되면, 제 2 박막 트랜지스터(T2)도 제 2 액정 캐패시터(C1c2)의 일단과 m 번째 데이터 라인(DLm)을 연결하는 저항으로 작용하게 된다. 이 저항으로 작용하는 제 2 박막 트랜지스터(T2)에 의해 제 2 액정 캐패시터(C1c2)도 외부로 방전할 수 있게 된다.
- <48> 한편, n-1번째 게이트 라인(GLn-1)으로 게이트 온 전압(VON)이 유지되는 게이트 펄스(Gn-1)가 입력되면, 방전 회로에 구비된 제 2 박막 트랜지스터(T2)가 턴온된다. 따라서, 제 2 액정 캐패시터(C1c2)는 데이터 전압(Vd2)에 의해 일정 양의 전하가 미리 충전된다. 여기서, 제 2 액정 캐패시터(C1c2)에 너무 많은 양의 전하가 미리 충전되면, n 번째 게이트 라인(GLn)의 게이트 오프 전압(VOFF)이 유지되는 짧은 시간(t2) 동안 충분한 방전이 이루어질 수 없다. 따라서, 제 2 액정 캐패시터(C1c2)에 미리 충전되는 전하의 양을 최소화하기 위해 제 2 박막 트랜지스터(T2)의 사이즈 즉, 구동능력을 적절히 조절하여야 한다. 바람직하게는, 상기 제 2 박막 트랜지스터(T2)는 제 1 박막 트랜지스터(T1)의 사이즈의 20% 이하로 설계하는 것이 바람직하다. 예컨대, 트랜지스터의 사이즈를 W/L(여기서, W는 채널의 폭을 의미하며, L은 채널의 길이를 의미한다.)로 정의할 때, 상기 제 2 박막 트랜지스터(T2)의 사이즈를 제 1 박막 트랜지스터(T1)의 사이즈의 1/20 이하로 설계하는 것이 바람직하다.
- <49> 도 2 및 도 3은 본 발명에 따른 표시패널에 구비된 메인 픽셀(MP)과 서브 픽셀(SP)에 나타나는 전압 파형도이다. 도 2에는 방전회로가 제공되지 않은 n×m의 화소에서의 정상 동작시 메인 픽셀 전압(Vmp') 및 서브 픽셀 전압(Vsp')의 파형의 비교 예가 나타난다. 그리고, 방전회로(DC)가 제공된 n×m의 화소에서의 정상동작시 메인 픽셀 전압(Vmp) 및 서브 픽셀 전압(Vsp)의 파형이 함께 나타난다.
- <50> 도 2에 도시된 바와 같이, 각 화소 별로 제 2 박막 트랜지스터가 구비된 방전회로를 구비하더라도 정상동작에 전혀 문제가 없음을 알 수가 있다. 다만, 제 2 박막 트랜지스터(T2)의 사이즈 설계시 제 1 박막 트랜지스터(T1)의 사이즈의 1/20 보다 크게 설계한 경우, 도 3에 도시된 바와 같이, 서브 픽셀(Vsp', Vsp) 간의 전압차가 발생할 수 있다. 따라서, 전술한 바와 같이, 제 2 박막 트랜지스터(T2)의 사이즈 설계시 제 1 박막 트랜지스터(T1)의 사이즈의 1/20 보다 작게 설계하는 것이 바람직하다.
- <51> 도 4는 도 1에 도시된 표시패널의 레이아웃이고, 도 5는 도 4에 도시된 절단선 I-I'에 따라 절단한 단면도이고, 도 6은 도 4에 도시된 절단선 II-II'에 따라 절단한 단면도이고, 도 7은 도 4에 도시된 절단선 III-III'에 따라 절단한 단면도이다.
- <52> 도 4를 참조하면, 표시패널(100)은 어레이 기관(110), 상기 어레이 기관(110)과 대향하여 결합하는 대향기관(120) 및 상기 어레이 기관(110)과 상기 대향기관(120)과의 사이에 개재된 액정층(130)으로 이루어진다.
- <53> 상기 어레이 기관(110)은 제 1 베이스 기관(111)을 포함하며, 상기 제 1 베이스 기관(111) 위에는 다수의 게이트 라인과 다수의 데이터 라인이 형성된다. 구체적으로, 상기 게이트 라인(GLn)들은 제1 방향(D1)으로 연장되고, 상기 데이터 라인들(DL)은 상기 제1 방향(D1)과 직교하는 제2 방향(D2)으로 연장되며 상기 게이트 라인들(GL)과 절연되게 교차한다. 그리고, 상기 게이트 라인들(GLn)과 상기 데이터 라인들(DLm)에 의해 다수의 화소 영역이 정의된다.
- <54> 각 화소 영역 위에는 제 1 박막 트랜지스터(T1), 제 2 박막 트랜지스터(T2), 메인 픽셀 및 서브 픽셀이 제공된다.
- <55> 도 5를 참조하면, 제 1 박막 트랜지스터(T1)는 상기 게이트 라인(GLn)과 상기 데이터 라인(DLm)에 전기적으로 연결된다. 구체적으로, 상기 박막 트랜지스터(T1)의 게이트 전극(GE)은 상기 게이트 라인(GL)으로부터 분기되고, 소오스 전극(SE)은 상기 데이터 라인(DL)으로부터 분기된다. 상기 제 1 박막 트랜지스터(T1)의 제 1 드레인 전극(DE1)은 상기 메인 픽셀에 전기적으로 연결된다.
- <56> 제 1 박막 트랜지스터(T1)는 상기 게이트 라인(GLn)으로 인가된 게이트 펄스에 응답하여 상기 데이터 라인(DL)으로 인가된 데이터 전압을 상기 제 1 드레인 전극(DE1)으로 출력한다.
- <57> 상기 메인 픽셀은 메인 화소 전극(MP) 및 메인 스토리지 전극(MS)으로 이루어지고, 상기 서브 픽셀은 서브 화소 전극(SP) 및 서브 스토리지 전극(SS)으로 이루어진다. 상기 메인 화소 전극(MP)과 상기 서브 화소 전극(SP)은 서로 다른 크기로 이루어진다. 상기 메인 화소 전극(110)과 상기 서브 화소 전극(120) 중에서 상기 데이터 라인(DLm)과 평행한 어느 한 변은 상기 게이트 라인(GLn)이 연장된 상기 제 1 방향(D1)으로 절곡된 형상을 갖는다.
- <58> 상기 메인 화소 전극(MP)은 제 1 콘택홀(C1)을 통해 제 1 박막 트랜지스터(T1)의 제1 드레인 전극(DE1)에 전기적으로 연결되어 상기 데이터 전압을 입력받는다.
- <59> 상기 서브 화소 전극(SP)은 상기 제 1 박막 트랜지스터(T1)의 제 1 드레인 전극(DE1)의 연장된 부분(A)과 오버

랩되어 커패시터 캐패시터(Ccp)를 형성한다.

- <60> 상기 메인 화소 전극(MP)과 서브 화소 전극은 서로 소정의 간격으로 이격되어 형성된다. 따라서, 상기 게이트 온 전압(VON)을 유지되는 게이트 펄스가 인가되는 제 1 구간(t_1 , 도 1을 참조) 동안에는 상기 박막 트랜지스터(T1)를 통해 상기 메인 및 서브 화소전극(MP, SP)은 전기적으로 연결되지만, 제 1 구간이후, 제 2 구간 동안 상기 박막 트랜지스터(T1)가 턴-오프되면, 상기 메인 및 서브 화소전극(MP, SP)은 서로 전기적으로 분리된다. 여기서, 한 화소 영역 내에서 상기 메인 및 서브 화소 전극(MP, SP)이 서로 이격된 영역은 화소 전극이 제거된 영역으로 제 1 개구부(O1)로 정의된다.
- <61> 메인 스토리지 전극(MS)과 서브 스토리지 전극(SS)은 일체로 형성되어 메인 화소 전극(MP) 및 서브 화소 전극(SP)에 각각 오버랩된다. 구체적으로, 상기 메인 스토리지 전극(MS)은 제1 방향(D1)으로 연장되고, 상기 메인 화소 전극(MP)과 부분적으로 오버랩된다. 메인 화소 전극(MP)과 메인 스토리지 전극(MS)이 부분적으로 오버랩된 영역에 의해 제 1 스토리지 캐패시터(cst1)가 형성된다.
- <62> 상기 서브 스토리지 전극(SS)은 메인 스토리지 전극(MS)을 사이에 두고 제 2 방향(D2)으로 연장되고, 상기 서브 화소전극(SP)과 부분적으로 오버랩된다. 서브 화소 전극(SP)과 서브 스토리지 전극(SS)이 오버랩된 영역에 의해 제 2 스토리지 캐패시터가 형성된다. 메인 스토리지 전극(MS)과 서브 스토리지 전극(SS)은 공통전압(VCOM)이 인가된다.
- <63> 계속해서, 도 4 및 도 6 내지 도 7을 참조하면, 제 2 박막 트랜지스터(T2)는 n 번째 게이트 라인(GL_n-1)과 데이터 라인(DL_m)에 전기적으로 연결된다.
- <64> 상기 제 2 박막 트랜지스터(T2)의 게이트 전극(GE_n-1)은 n-1번째 게이트 라인(GL_n-1)으로부터 분기 되고, 소오스 전극(SE_n-1)은 상기 데이터 라인(DL_m)으로부터 분기된다. 그리고, 제 2 박막 트랜지스터의 제 2 드레인 전극(DE_2)은 상기 소오스 전극(SE_n-1)으로부터 일정한 거리로 이격되도록 형성된다. 또한, 제 2 드레인 전극(DE_2)은 그 일부가 연장되어 제 2 콘택홀(C_2)을 통해 서브 화소 전극(SP)과 전기적으로 연결된다. 이렇게 함으로써, 서브 화소 전극(SP)을 포함하는 제 2 액정 캐패시터(C_{lc2})와 제 2 박막 트랜지스터(T2)가 전기적으로 연결됨으로써, 상기 제 2 액정 캐패시터(C_{lc2})의 방전 경로가 제공된다.
- <65> 상기 제 2 박막 트랜지스터(T2)는 제 1 박막 트랜지스터(T1)의 n-1번째 게이트 라인(GL_n-1)에 연결된 제 1 박막 트랜지스터(T1)의 게이트 전극(GE_n-1), 소오스 전극(SE_n-1) 및 반도체 층(113)을 공유한다. 따라서, 제 2 박막 트랜지스터(T2)와 제 1 박막 트랜지스터(T1)는 동일한 공정에서 동시에 형성되므로, 제 2 박막 트랜지스터를 형성하기 위한 별도의 추가공정이 요구되지 않는다.
- <66> 다시 도 4를 참조하면, 상기 대향 기관(120) 위에는 제 2 베이스 기관(121), 블랙 매트릭스(122), 컬러 필터층(123) 및 공통전극(124)이 구비된다.
- <67> 상기 블랙 매트릭스(122)는 차광성 물질로 이루어져 상기 제 2 베이스 기관(121) 위에 구비된다. 상기 블랙 매트릭스(122)는 한 화소의 비 유효 영역에 구비되어 빛샘 현상을 방지한다.
- <68> 상기 컬러필터층(123)은 레드, 그린 및 블루 색화소로 이루어져 한 화소의 유효 영역에 구비된다.
- <69> 상기 공통전극(124)은 상기 블랙 매트릭스(122) 및 컬러 필터층(123) 위에 전체적으로 형성된다. 이후, 패터닝 공정에 의해서 상기 공통전극(124)에는 다수의 제 2 개구부(O2)가 형성된다. 상기 다수의 제 2 개구부(O2)는 상기 제 1 개구부(O1)와 서로 다른 위치에 형성된다. 구체적으로, 서로 인접하는 2개의 제 2 개구부(O2) 사이에 상기 제1 개구부(O1)가 위치한다.
- <70> 상기 제 1 및 제 2 개구부(O1, O2)에 의해서 한 화소 영역에는 액정 분자들이 서로 다른 방향으로 배열되는 다수의 도메인이 형성된다. 이와 같이, 각 도메인에 따라서 액정 분자의 배열 방향을 서로 다르게 함으로써, 각 도메인의 상호 보상효과로 인해서 시야각에 따른 시인성의 변화를 감소시킬 수 있다. 이로써, 표시장치의 광 시야각을 확보할 수 있다.
- <71> 도 8은 본 발명의 다른 실시예에 따른 표시패널에 구비된 $m \times n$ 화소의 등가 회로도이고, 도 9는 도 8에 도시된 표시패널의 레이아웃을 나타낸 도면이다.
- <72> 본 실시 예에 있어서, 앞선 실시예와 중복되는 부분에 대해서는 동일한 도면 부호를 사용하였으며, 상기 중복되는 부분에 대한 상세 설명은 생략한다.
- <73> 도 8 및 도 9를 참조하면, $n \times m$ 화소는 n 번째 게이트 라인(GL_n), m 번째 데이터 라인(DL_m), 제 1 박막 트랜지

스터(T1) 및 방전 회로(DC: Discharge Circuit)를 포함한다. 제 1 박막 트랜지스터(T1)는 n 번째 게이트 라인 (GLn)과 m 번째 데이터 라인(DLm)에 전기적으로 연결된다. 상기 방전회로는 제 2 박막 트랜지스터(T2)를 포함한다.

- <74> 본 발명의 다른 실시예에 따른 표시패널은 앞선 실시예와는 다른 제 2 액정 캐패시터(C1c2)의 방전 경로를 제공한다.
- <75> 구체적으로, n-1 번째 게이트 라인과 m+1 번째 데이터 라인에 연결된 제 2 박막 트랜지스터를 통해 상기 제 2 액정 캐패시터의 방전 경로가 형성된다. 즉, 제 1 박막 트랜지스터(T1)가 게이트 오프 전압이 유지되는 게이트 펄스에 응답하여 턴 오프될 때, 상기 제 2 액정 캐패시터(C1c2)에 축적된 전하는 m+1번째 데이터 라인을 통해 방전을 시작하게 된다.

발명의 효과

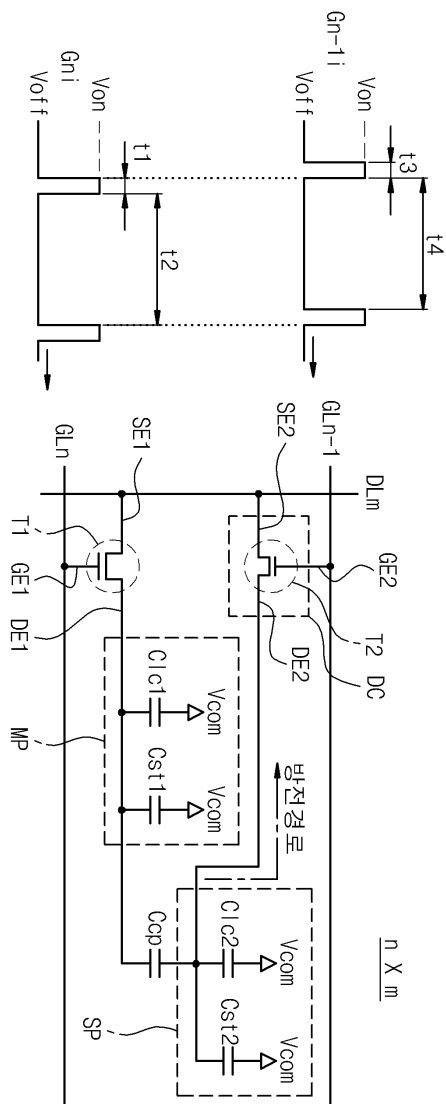
- <76> 이상 설명한 바와 같이, 본 발명의 표시패널에 의하면, 전기적으로 플로팅되어 있는 제 2 액정 캐패시터의 방전 경로를 형성함으로써, 상기 제 2 액정 캐패시터에 축적된 전하를 효과적으로 방전할 수 있다.
- <77> 따라서, 본 발명에 따른 표시패널은 상기 제 2 액정 캐패시터에 축적된 전하에 의해 발생하는 표시화면상의 잔상을 제거함으로써, 표시패널의 표시품질을 향상시킬 수 있다.
- <78> 이상 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면의 간단한 설명

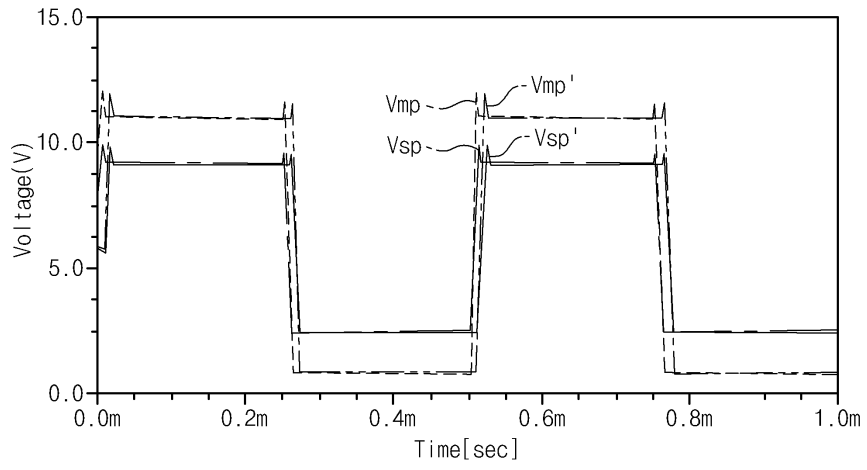
- <1> 도 1은 본 발명의 일 실시예에 따른 표시패널에 구비된 m×n화소의 등가 회로도이다.
- <2> 도 2 및 도 3은 도 1에 도시된 등가 회로에 대한 파형도이다.
- <3> 도 4는 도 1에 도시된 표시패널의 레이아웃이다.
- <4> 도 5는 도 4에 도시된 절단선 I-I`에 따라 절단한 단면도이다.
- <5> 도 6은 도 4에 도시된 절단선 II-II`에 따라 절단한 단면도이다.
- <6> 도 7은 도 4에 도시된 절단선 III-III`에 따라 절단한 단면도이다.
- <7> 도 8은 본 발명의 다른 실시예에 따른 표시패널에 구비된 m×n화소의 등가 회로도이다.
- <8> 도 9는 도 8에 도시된 표시패널의 레이아웃이다.

도면

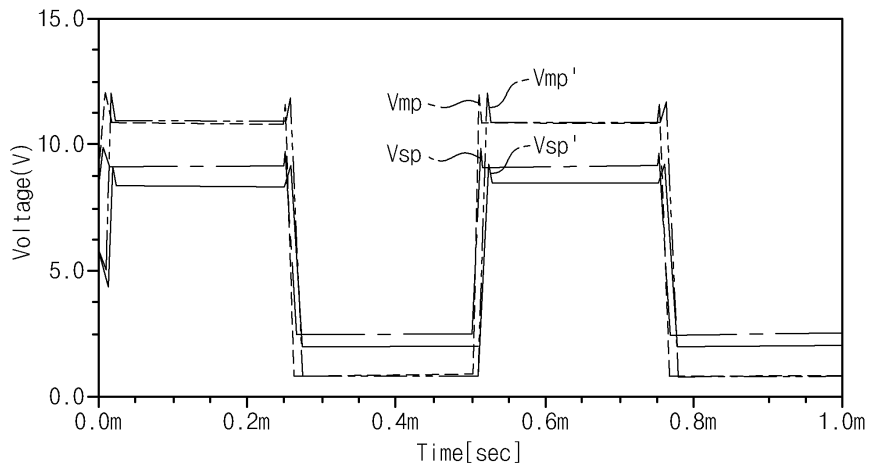
도면1



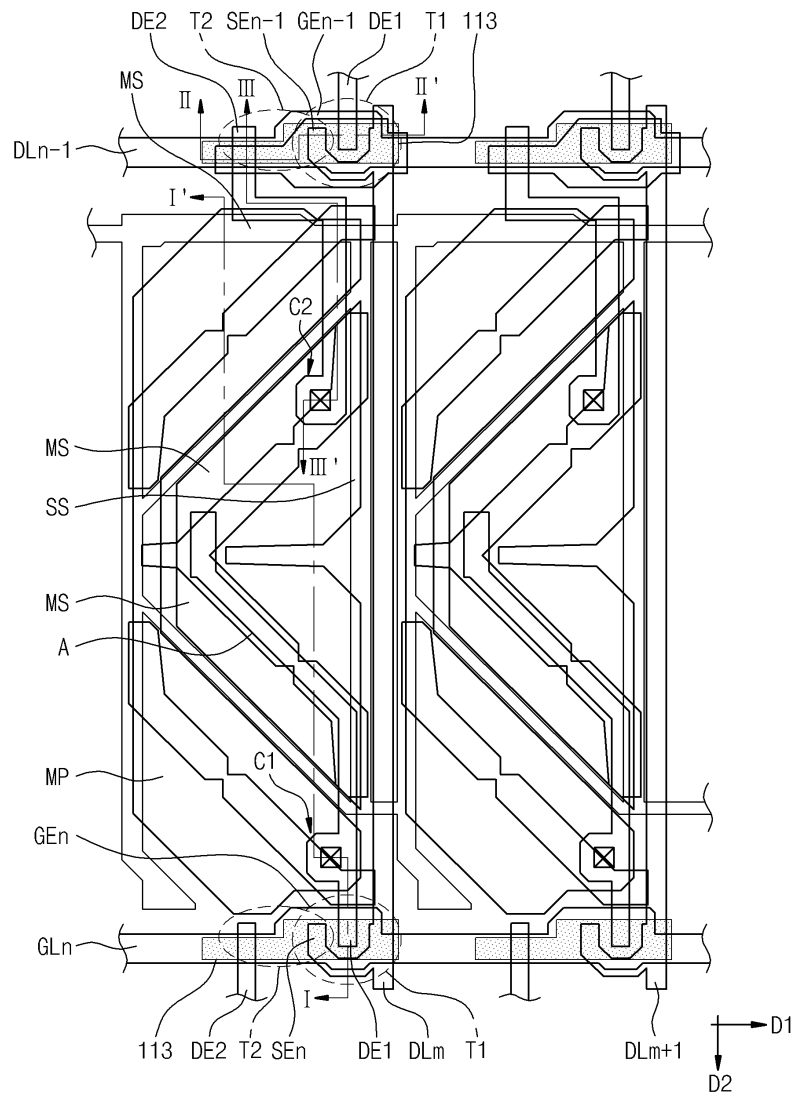
도면2



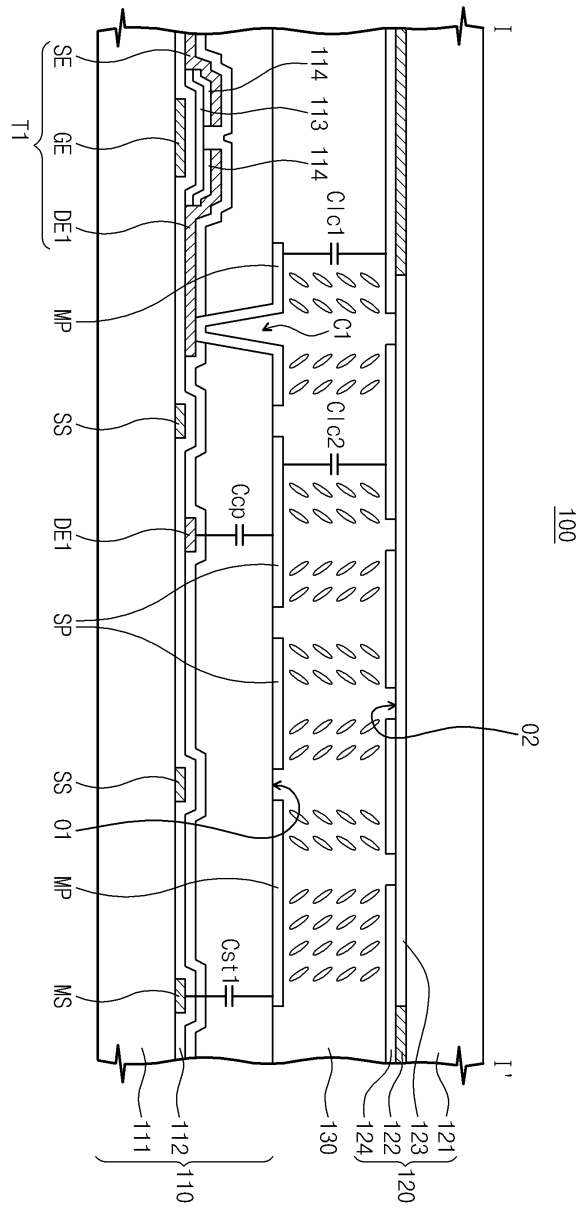
도면3



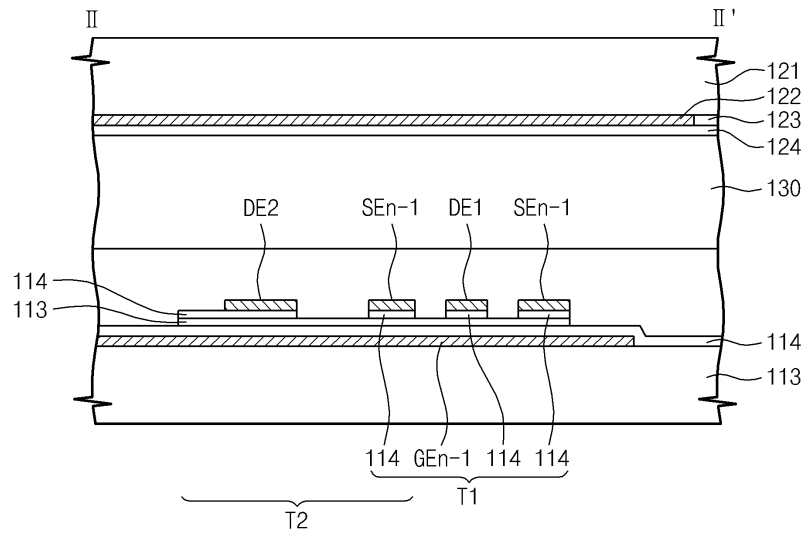
도면4



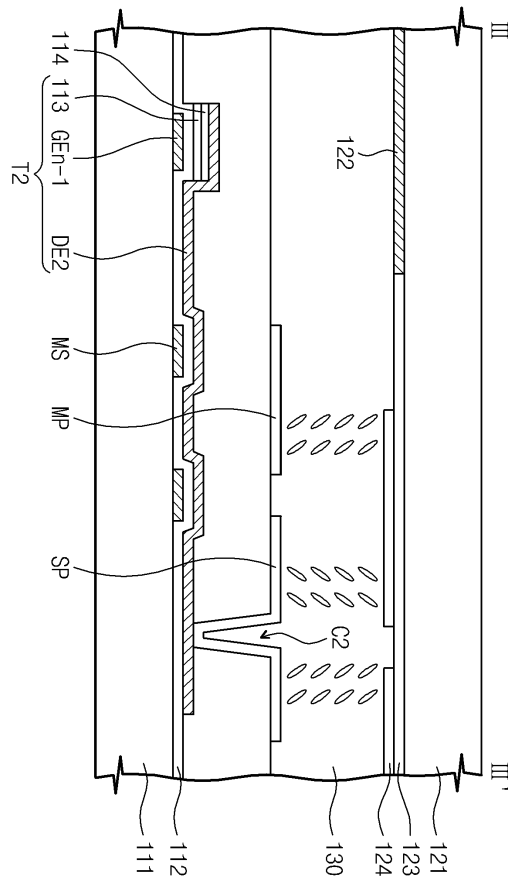
도면5



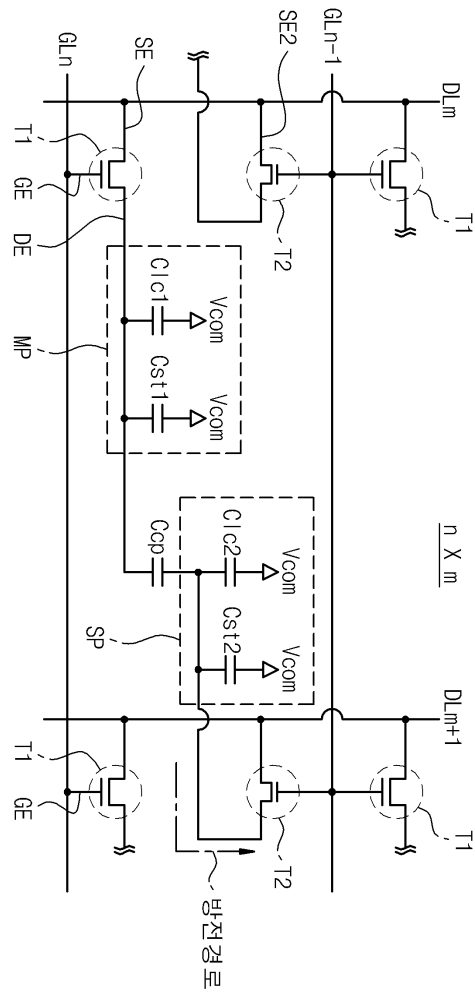
도면6



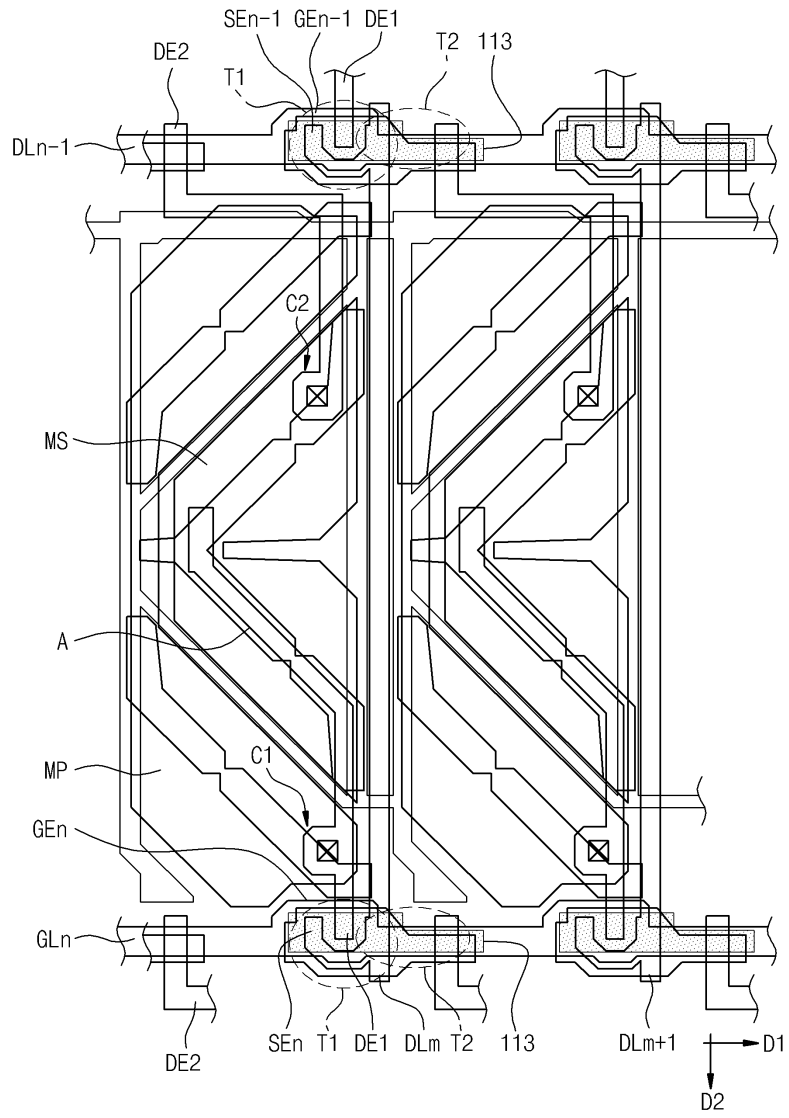
도면7



도면8



도면9



专利名称(译)	显示面板		
公开(公告)号	KR1020080046873A	公开(公告)日	2008-05-28
申请号	KR1020060116487	申请日	2006-11-23
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	KIM HEE JOON 김희준 PARK JEONG EUN 박정은 LEE YONG WOO 이용우		
发明人	김희준 박정은 이용우		
IPC分类号	G02F1/133		
CPC分类号	G09G2300/0443 G09G3/3648 G09G2310/0251 G09G2320/028 G09G2320/0209 G09G2300/0447		
代理人(译)	SE JUN OH KWON, HYUK SOO 宋, 云何		
外部链接	Espacenet		

摘要(译)

提供包括多个图像元素的显示面板。多个像素包括薄膜晶体管，第一和第二液晶电容器，以及耦合电容器和放电电路。第一液晶电容器通过薄膜晶体管连接到数据线。第二液晶电容器具有通过耦合电容器与第一液晶电容器并联连接的结构。并且放电电路连接在耦合电容器和第二液晶电容器之间。并且累积在第二液晶电容器中的电荷被放电到数据线。放电电路使该显示面板在第二液晶电容器中蓄积的电荷放电。因此，消除了由累积在第二液晶电容器中的电荷产生的显示屏上的余像。以这种方式，改善了显示面板的显示质量

