



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0000496  
(43) 공개일자 2008년01월02일

(51) Int. Cl.

G02F 1/136 (2006.01)

(21) 출원번호 10-2006-0123570  
(22) 출원일자 2006년12월07일  
심사청구일자 없음  
(30) 우선권주장  
1020060058231 2006년06월27일 대한민국(KR)

(71) 출원인  
엘지.필립스 엘시디 주식회사  
서울 영등포구 여의도동 20번지  
(72) 발명자  
권기영  
대구 북구 국우동 현대3차 APT 103동 1104호  
황광희  
대구 북구 동천동 칠곡화성3차 108/1105호  
(74) 대리인  
특허법인네이트

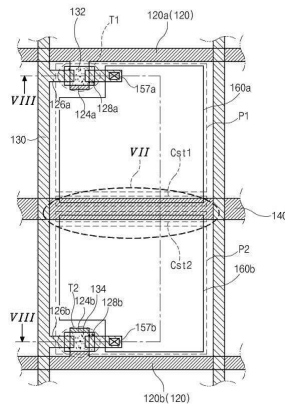
전체 청구항 수 : 총 14 항

(54) 액정표시장치용 어레이 기판 및 그 제조방법

(57) 요약

본 발명에서는, 기판 상에 위치하며, 서로 이격되게 위치하는 제 1, 2 게이트 배선과; 상기 제 1, 2 게이트 배선 사이에서, 상기 제 1, 2 게이트 배선과 평행하게 위치하는 공통 배선과; 상기 공통 배선을 기준으로 상기 제 1, 2 게이트 배선과 교차하여 제 1, 2 화소 영역을 정의하는 데이터 배선과; 상기 제 1 게이트 배선 및 데이터 배선의 교차지점 및 상기 제 2 게이트 배선 및 데이터 배선의 교차지점에 각각 형성된 제 1, 2 박막트랜지스터와; 상기 제 1 화소 영역에서 상기 제 1 박막트랜지스터에 연결되는 제 1 화소 전극과; 상기 제 2 화소 영역에서 상기 제 2 박막트랜지스터에 연결되는 제 2 화소 전극을 포함하며, 상기 제 1, 2 화소 전극은 상기 공통 배선을 기준으로 대칭적인 형상을 가지고, 상기 제 1, 2 화소 전극의 각각의 상기 공통 배선과 인접한 끝단부는 상기 공통 배선과 중첩되는 것을 특징으로 하는 액정표시장치용 어레이 기판을 제공하는 것을 특징으로 한다.

대표도 - 도6



## 특허청구의 범위

### 청구항 1

기관 상에 위치하며, 서로 이격되게 위치하는 제 1, 2 게이트 배선과;

상기 제 1, 2 게이트 배선 사이에서, 상기 제 1, 2 게이트 배선과 평행하게 위치하는 공통 배선과;

상기 공통 배선을 기준으로 상기 제 1, 2 게이트 배선과 교차하여 제 1, 2 화소 영역을 정의하는 데이터 배선과;

상기 제 1 게이트 배선 및 데이터 배선의 교차지점 및 상기 제 2 게이트 배선 및 데이터 배선의 교차지점에 각각 형성된 제 1, 2 박막트랜지스터와;

상기 제 1 화소 영역에서 상기 제 1 박막트랜지스터에 연결되는 제 1 화소 전극과;

상기 제 2 화소 영역에서 상기 제 2 박막트랜지스터에 연결되는 제 2 화소 전극을 포함하며, 상기 제 1, 2 화소 전극의 각각의 상기 공통 배선과 인접한 끝단부는 상기 공통 배선과 중첩되는 것을 특징으로 하는 액정표시장치용 어레이 기관.

### 청구항 2

제 1 항에 있어서,

상기 제 1 박막트랜지스터는, 상기 제 1 게이트 배선에 연결되는 제 1 게이트 전극과, 상기 제 1 게이트 배선 상에 위치하는 제 1 반도체층과, 상기 제 1 반도체층 상부에 위치하며 상기 제 1 게이트 전극을 기준으로 서로 이격되게 위치하는 제 1 소스 전극 및 제 2 드레인 전극을 포함하고, 그리고 상기 제 2 박막트랜지스터는 상기 제 2 게이트 배선에 연결되는 제 2 게이트 전극과, 상기 제 2 게이트 배선 상부에 위치하는 제 2 반도체층과, 상기 제 2 반도체층 상부에 위치하며 상기 제 2 게이트 전극을 기준으로 서로 이격되는 제 2 소스 전극 및 제 2 드레인 전극을 포함하는 것을 특징으로 하는 액정표시장치용 어레이 기관.

### 청구항 3

제 1 항에 있어서,

상기 공통 배선 및 화소 전극 사이에 위치하는 절연층을 더욱 포함하는 것을 특징으로 하는 액정표시장치용 어레이 기관.

### 청구항 4

제 3 항에 있어서,

상기 절연층이 개재된 상태에서 상기 공통 배선 및 제 1 화소 전극 간의 중첩된 영역은 제 1 스토리지 커패시터를 이루고, 상기 절연층이 개재된 상태에서 상기 공통 배선 및 제 2 화소 전극 간의 중첩된 영역은 제 2 스토리지 커패시터를 이루는 것을 특징으로 하는 액정표시장치용 어레이 기관.

### 청구항 5

제 4 항에 있어서,

상기 제 1, 2 스토리지 커패시터는 서로 대응되는 용량을 가지는 것을 특징으로 하는 액정표시장치용 어레이 기관.

### 청구항 6

제 1항에 있어서,

상기 제 1, 2 화소 전극은 상기 공통 배선을 기준으로 대칭적인 형상을 가지는 것을 특징으로 하는 액정표시장치용 어레이 기관.

### 청구항 7

기관 상에 위치하며, 서로 이격되게 위치하는 제 1, 2 게이트 배선과 상기 제 1, 2 게이트 배선과 각각 연결되며 서로 마주보는 제 1, 2 게이트 전극을 형성하는 단계와;

상기 제 1, 2 게이트 배선 사이에서, 상기 제 1, 2 게이트 배선과 평행하게 위치하는 공통 배선을 형성하는 단계와;

상기 공통 배선을 기준으로 상기 제 1, 2 게이트 배선과 교차되어 제 1, 2 화소 영역을 정의하는 데이터 배선과, 상기 데이터 배선에 연결되는 제 1, 2 소스 전극과, 상기 제 1, 2 소스 전극으로부터 각각 이격되게 위치하는 제 1, 2 드레인 전극을 형성하는 단계와;

상기 제 1 화소 영역에서 상기 제 1 드레인 전극에 연결되는 제 1 화소 전극과, 상기 제 2 화소 영역에서 상기 제 2 드레인 전극에 연결되는 제 2 화소 전극을 형성하는 단계를 포함하며, 상기 제 1, 2 화소 전극 각각의 상기 공통 배선과 인접한 끝단부는 상기 공통 배선과 중첩되는 것을 특징으로 하는 액정표시장치용 어레이 기관의 제조방법.

#### 청구항 8

제 7 항에 있어서,

상기 제 1, 2 게이트 배선과 상기 제 1, 2 게이트 전극 상에 게이트 절연막을 형성하는 단계를 더욱 포함하는 것을 특징으로 하는 액정표시장치용 어레이 기관.

#### 청구항 9

제 7 항에 있어서,

상기 공통 배선을 형성하는 단계는, 상기 제 1, 2 게이트 배선 및 상기 제 1, 2 게이트 전극을 형성하는 단계와 동시에 이루어지는 것을 특징으로 하는 액정표시장치용 어레이 기관의 제조방법.

#### 청구항 10

제 9 항에 있어서,

상기 데이터 배선, 상기 제 1, 2 소스 전극, 그리고 제 1, 2 드레인 전극 상에 보호층을 형성하는 단계를 더욱 포함하는 것을 특징으로 하는 액정표시장치용 어레이 기관의 제조방법.

#### 청구항 11

제 10 항에 있어서,

상기 절연층이 개재된 상태에서 상기 공통 배선 및 제 1 화소 전극 간의 중첩된 영역은 제 1 스토리지 커패시터를 이루고, 상기 절연층이 개재된 상태에서 상기 공통 배선 및 제 2 화소 전극 간의 중첩된 영역은 제 2 스토리지 커패시터를 이루는 것을 특징으로 하는 액정표시장치용 어레이 기관의 제조방법.

#### 청구항 12

제 10 항에 있어서,

상기 보호층을 형성하는 단계는, 상기 제 1, 2 드레인 전극 영역을 각각 노출시키는 제 1, 2 드레인 콘택홀을 형성하는 단계를 더욱 포함하는 것을 특징으로 하는 액정표시장치용 어레이 기관의 제조방법.

#### 청구항 13

제 12 항에 있어서,

상기 제 1 화소 전극은 상기 제 1 드레인 콘택홀을 통해 상기 제 1 드레인 전극에 연결되고, 상기 제 2 화소 전극은 상기 제 2 드레인 콘택홀을 통해 상기 제 2 드레인 전극에 연결되는 것을 특징으로 하는 액정표시장치용 어레이 기관의 제조방법.

#### 청구항 14

제 7 항에 있어서,

상기 제 1, 2 화소 전극은 상기 공통 배선을 기준으로 대칭적인 형상을 가지는 것을 특징으로 하는 액정표시장치용 어레이 기관의 제조방법.

## 명세서

### 발명의 상세한 설명

#### 발명의 목적

##### 발명이 속하는 기술 및 그 분야의 종래기술

- <19> 본 발명은 액정표시장치에 관한 것이며, 특히 고개구율 구조 액정표시장치용 어레이 기관 및 그 제조방법에 관한 것이다.
- <20> 일반적으로 액정표시장치는 액정의 광학적 이방성과 편광특성을 이용하여 구동된다. 상기 액정은 구조가 가늘고 길기 때문에 분자의 배열에 방향성을 지니고 있으며, 인위적으로 액정에 전기장을 인가하여 분자배열의 방향을 제어할 수 있다.
- <21> 따라서, 상기 액정의 분자배열 방향을 임의로 조절하면, 액정의 분자배열이 변하게 되고, 광학적 이방성에 의해 상기 액정의 분자배열 방향으로 빛이 굴절하여 화상정보를 표현할 수 있다.
- <22> 또한, 액정표시장치는 공통 전극이 형성된 컬러필터 기관과 화소 전극이 형성된 어레이 기관과, 두 기관 사이에 개재된 액정층으로 이루어지며, 이러한 액정표시장치는 공통 전극과 화소 전극 간에 생성되는 수직전기장에 의해 구동되며 투과율과 개구율 등의 특성이 우수하다.
- <23> 일반적으로 어레이 기관의 화소 전극은 컬러필터 기관의 공통 전극과 함께 액정 커패시터를 이루는데, 상기 액정 커패시터에 인가된 전압을 다음 신호가 들어올 때까지 유지하기 위해 스토리지 커패시터를 액정 커패시터에 연결해서 사용한다.
- <24> 일반적으로 스토리지 커패시터는 두 가지 방법으로 형성될 수 있는데, 스토리지 커패시터용 전극을 별도로 형성하여 공통 전극과 연결하여 사용하는 방식과 n-1 번째 게이트 배선의 일부를 n 번째 화소의 스토리지 커패시터의 어느 한 전극으로 사용하는 방식이 있다.
- <25> 전자를 스토리지 온 커먼(storage on common) 방식, 후자를 스토리지 온 게이트(storage on gate) 방식이라고 부른다.
- <26> 상기 스토리지 온 게이트 방식은 게이트 배선의 로우레벨(low-level) 전압을 스토리지 커패시터의 전압으로 이용하므로, 외부 공통 배선이 필요 없게 되는 장점이 있으나, 게이트 신호의 커플링(coupling)에 의한 간섭을 받게되는 단점이 있다.
- <27> 이에 반해, 스토리지 온 커먼 방식은 게이트 신호에 대한 간섭이 없으며 충분한 스토리지 용량을 확보할 수 있는 장점이 있으나, 공통 배선을 추가로 형성하게 되며, 이에 따른 빛샘에 의한 영향으로 개구율이 감소되는 단점이 있다.
- <28> 한편, 액티브 매트릭스형(active matrix type) 액정표시장치가 주 액정표시장치로 이용되는데, 액티브 매트릭스형 액정표시장치는 매트릭스 타입으로 배치된 박막트랜지스터 및 상기 박막트랜지스터와 연결된 화소 전극을 포함한다. 상기 액티브 매트릭스형 액정표시장치는 고해상도와 동영상 표시하는데 탁월하기 때문에 계속 연구 개발되고 있다.
- <29> 이하, 첨부한 도면을 참조하여 종래의 액티브 매트릭스형 액정표시장치에 대해 설명한다.
- <30> 도 1은 종래에 따른 스토리지 온 커먼 방식 액정표시장치용 어레이 기관에 대한 개략적인 평면도이다.
- <31> 도시한 바와 같이, 기관(10) 상에 일 방향으로 다수 개의 게이트 배선(20)이 형성되어 있고, 상기 게이트 배선들(20)과 또 다른 일방향으로 교차되어 다수 개의 화소 영역(P)을 정의하는 다수 개의 데이터 배선(30)이 형성되어 있다.
- <32> 상기 게이트 배선(20) 및 데이터 배선(30)이 교차되는 지점에는 박막트랜지스터(T)가 각각 형성되어 있다.
- <33> 상기 박막트랜지스터(T)와 연결되어, 상기 화소 영역(P)별로는 화소 전극(60)이 각각 형성되어 있고, 상기 게이

트 배선(20)과 평행하게 이격되어 상기 화소 영역을 경유하여 공통 배선(40)이 각각 형성되어 있다.

- <34> 도 2는 상기 도 1의 "II"영역의 화소 영역에 대한 확대도이다.
- <35> 도시한 바와 같이, 상기 게이트 배선(20)과 연결되어 게이트 전극(24)이 형성되어 있고, 상기 데이터 배선(30)과 연결되어 소스 전극(26)이 형성되어 있으며, 상기 소스 전극(26)과 이격되어 드레인 전극(28)이 형성되어 있다. 이때, 상기 소스 전극(26) 및 드레인 전극(28)은 상기 게이트 전극(24)을 중심으로 이격된 구조를 가진다. 그리고, 상기 게이트 전극(24)과 중첩된 영역에는 아일랜드 패턴 구조의 반도체층(32)이 형성되어 있고, 상기 게이트 전극(24), 반도체층(32), 소스 전극(26) 및 드레인 전극(28)은 박막트랜지스터(T)를 이룬다.
- <36> 그리고, 상기 박막트랜지스터(T)를 덮는 영역에는 보호층(미도시)이 형성되며, 상기 보호층에는 드레인 전극(28)을 일부 노출시키는 드레인 콘택홀(57)이 형성되어 있으며, 상기 드레인 콘택홀(57)을 통해 화소 전극(60)은 상기 드레인 전극(28)과 전기적으로 연결된다.
- <37> 그리고, 상기 화소 전극(60)과 공통 배선(40) 간의 중첩 영역은 스토리지 커패시터(Cst)를 이룬다. 즉, 상기 화소 전극(60)과 중첩되는 공통 배선(40) 영역은 제 1 커패시터 전극, 상기 공통 배선(40)과 중첩되는 화소 전극(60) 영역은 제 2 커패시터 전극을 이루고, 상기 제 1, 2 커패시터 전극 사이에 개재된 절연층을 포함하여 스토리지 커패시터(Cst)를 이루게 된다.
- <38> 상기 화소 전극(60)이 형성된 영역은 개구율과 비례관계를 갖는데, 상기 스토리지 온 커먼 방식에서는 공통 배선(40)이 상기 화소 전극(60)과 중첩되게 화소 영역(P)내 위치함에 따라 그만큼 개구율이 감소된다.
- <39> 도 3a 내지 3c는 종래에 따른 공통방식 액정표시장치용 어레이 기판을 상기 도 2의 절단선 "III-III"에 따라 제조 공정 순으로 도시한 개략적인 단면도이다.
- <40> 도 3a에 도시한 바와 같이, 기판(10) 상에 게이트 전극(24) 및 공통 배선(40)을 형성하고, 상기 게이트 전극(24) 및 공통 배선(40) 상부에 게이트 절연막(45)을 형성한다.
- <41> 도 3b에 도시한 바와 같이, 상기 게이트 절연막(45) 상부에 상기 게이트 전극(24)과 중첩된 위치에 액티브층(32a) 및 오믹콘택층(32b)이 차례대로 적층되는 구조의 반도체층(32)을 형성하고, 상기 반도체층(32) 상부에는 서로 이격되게 위치하는 소스 전극(26) 및 드레인 전극(28)을 형성하는 단계이다.
- <42> 이 단계에서는, 상기 소스 전극(26) 및 드레인 전극(28) 사이의 오믹콘택층(32b)을 제거하고 그 하부에 위치하는 액티브층(32a)을 노출시켜 채널(ch)을 형성하는 단계를 포함하며, 상기 게이트 전극(24), 반도체층(32), 소스 전극(26) 및 드레인 전극(28)은 박막트랜지스터(T)를 이룬다.
- <43> 도 3c에서는, 상기 소스 전극(26) 및 드레인 전극(28) 상부에 보호층(55)을 형성하고, 상기 보호층(55)에 드레인 전극(28)을 일부 노출시키는 드레인 콘택홀(57)을 형성하며, 상기 보호층(55) 상부의 화소 영역(도 2의 P)에는 상기 드레인 콘택홀(57)을 통해 드레인 전극(28)과 연결되는 화소 전극(60)을 형성하는 단계이다.
- <44> 이 단계에서, 상기 게이트 절연막(45) 및 보호층(55)이 개재된 상태에서 서로 중첩되게 위치하는 공통 배선(40) 및 화소 전극(60) 영역은 스토리지 커패시터(Cst)를 이룬다. 즉, 상기 중첩된 영역에서 공통 배선(40)은 제 1 커패시터 전극으로, 화소 전극(60)은 제 2 커패시터 전극 역할을 하여 스토리지 온 커먼(storage on common) 방식의 스토리지 커패시터(Cst)가 이루어진다.
- <45> 즉, 상기 공통 배선(40)은 공통 전압의 인가를 통해 전극으로 이용되고, 상기 화소 전극(60)은 드레인 전극(28)과의 전기적 연결을 통해 또 하나의 전극으로 이용된다.
- <46> 도 4는 상기 도 3의 "IV"영역에 대한 확대도이다.
- <47> 도시한 바와 같이, 화소 영역(P) 내에서 화소 전극(60)과 중첩되게 공통 배선(40)을 형성하여, 화소 전극(P)과 공통 배선(40) 간의 중첩 영역을 스토리지 커패시터(도 2의 Cst)로 이용하는 스토리지 온 커먼 방식 스토리지 커패시터가 구비된다.
- <48> 그러나, 상기 공통 배선(40)에 인가되는 전압과 상기 공통 배선(40)과 중첩되게 위치하는 화소 전극(60)에 인가되는 전압 간에 신호 왜곡이 발생되어, 상기 공통 배선(40)과 중첩되게 위치하는 화소 전극(60) 상부에 위치하는 액정의 제어가 제대로 이루어지지 않아 도면에서 볼 때, 상기 공통 배선(40)의 상측과 하측 부분인 영역 "LR"에서는 빛샘이 야기되는 문제점이 있다.
- <49> 이때, 상기 "LR" 부분에서의 빛샘은 액정표시장치의 블랙 영상의 휘도를 증가시켜 대조비(contrast ratio)를 감

소시키게 된다.

<50> 또한, 상기 화소 영역(P) 내 위치하는 공통 배선(40)의 선폭을 줄여 개구율을 높이다 보면, 상기 공통 배선(40)의 저항이 증가하여 전압강하가 발생되고 이로 인해 스토리지 전압 공급이 불안정하게 되는 문제가 있으므로, 상기 공통 배선(40)의 선폭에 대한 제한으로 개구율이 감소되는 문제점이 있었다.

**발명이 이루고자 하는 기술적 과제**

<51> 전술한 바와 같은 문제점을 해결하기 위하여, 본 발명에서는 공통 배선과 화소 전극 간의 전압 왜곡 현상을 줄여 빛샘 현상을 줄여 콘트라스트 특성을 향상시키고, 공통 배선의 선폭 제한을 완화하여 공통 전압을 안정적으로 인가함으로써 화질을 향상시키고 개구율을 높일 수 있는 액정표시장치용 어레이 기판 및 그 제조방법을 제공하는 것을 목적으로 한다.

<52> 상기 목적을 달성하기 위하여, 본 발명에서는 두 개의 화소가 짝을 이루어 서로 대칭적인 구조로 형성하고, 상기 두 개의 화소 영역의 대칭축에 공통 배선을 형성하고자 한다.

<53>

**발명의 구성 및 작용**

<54> 상기 목적을 달성하기 위하여, 본 발명의 제 1 특징에서는, 기판 상에 위치하며, 서로 이격되게 위치하는 제 1, 2 게이트 배선과; 상기 제 1, 2 게이트 배선 사이에서, 상기 제 1, 2 게이트 배선과 평행하게 위치하는 공통 배선과; 상기 공통 배선을 기준으로 상기 제 1, 2 게이트 배선과 교차하여 제 1, 2 화소 영역을 정의하는 데이터 배선과; 상기 제 1 게이트 배선 및 데이터 배선의 교차지점 및 상기 제 2 게이트 배선 및 데이터 배선의 교차지점에 각각 형성된 제 1, 2 박막트랜지스터와; 상기 제 1 화소 영역에서 상기 제 1 박막트랜지스터에 연결되는 제 1 화소 전극과; 상기 제 2 화소 영역에서 상기 제 2 박막트랜지스터에 연결되는 제 2 화소 전극을 포함하며, 상기 제 1, 2 화소 전극의 각각의 상기 공통 배선과 인접한 끝단부는 상기 공통 배선과 중첩되는 것을 특징으로 하는 액정표시장치용 어레이 기판을 제공한다.

<55> 상기 제 1 박막트랜지스터는, 상기 제 1 게이트 배선에 연결되는 제 1 게이트 전극과, 상기 제 1 게이트 배선 상에 위치하는 제 1 반도체층과, 상기 제 1 반도체층 상부에 위치하며 상기 제 1 게이트 전극을 기준으로 서로 이격되게 위치하는 제 1 소스 전극 및 제 2 드레인 전극을 포함하고, 그리고 상기 제 2 박막트랜지스터는 상기 제 2 게이트 배선에 연결되는 제 2 게이트 전극과, 상기 제 2 게이트 배선 상부에 위치하는 제 2 반도체층과, 상기 제 2 반도체층 상부에 위치하며 상기 제 2 게이트 전극을 기준으로 서로 이격되는 제 2 소스 전극 및 제 2 드레인 전극을 포함하는 것을 특징으로 한다.

<56> 상기 공통 배선 및 화소 전극 사이에 위치하는 절연층을 더욱 포함하는 것을 특징으로 하고, 상기 절연층이 개재된 상태에서 상기 공통 배선 및 제 1 화소 전극 간의 중첩된 영역은 제 1 스토리지 커패시터를 이루고, 상기 절연층이 개재된 상태에서 상기 공통 배선 및 제 2 화소 전극 간의 중첩된 영역은 제 2 스토리지 커패시터를 이루는 것을 특징으로 하며, 상기 제 1, 2 스토리지 커패시터는 서로 대응되는 용량을 가지는 것을 특징으로 하고, 상기 제 1, 2 화소 전극은 상기 공통 배선을 기준으로 대칭적인 형상을 가지는 것을 특징으로 한다.

<57> 본 발명의 제 2 특징에서는, 기판 상에 위치하며, 서로 이격되게 위치하는 제 1, 2 게이트 배선과 상기 제 1, 2 게이트 배선과 각각 연결되며 서로 마주보는 제 1, 2 게이트 전극을 형성하는 단계와; 상기 제 1, 2 게이트 배선 사이에서, 상기 제 1, 2 게이트 배선과 평행하게 위치하는 공통 배선을 형성하는 단계와; 상기 공통 배선을 기준으로 상기 제 1, 2 게이트 배선과 교차되어 제 1, 2 화소 영역을 정의하는 데이터 배선과, 상기 데이터 배선에 연결되는 제 1, 2 소스 전극과, 상기 제 1, 2 소스 전극으로부터 각각 이격되게 위치하는 제 1, 2 드레인 전극을 형성하는 단계와; 상기 제 1 화소 영역에서 상기 제 1 드레인 전극에 연결되는 제 1 화소 전극과, 상기 제 2 화소 영역에서 상기 제 2 드레인 전극에 연결되는 제 2 화소 전극을 형성하는 단계를 포함하며, 상기 제 1, 2 화소 전극 각각의 상기 공통 배선과 인접한 끝단부는 상기 공통 배선과 중첩되는 것을 특징으로 하는 액정표시장치용 어레이 기판의 제조방법을 제공한다.

<58> 상기 제 1, 2 게이트 배선과 상기 제 1, 2 게이트 전극 상에 게이트 절연막을 형성하는 단계를 더욱 포함하는 것을 특징으로 하고, 상기 공통 배선을 형성하는 단계는, 상기 제 1, 2 게이트 배선 및 상기 제 1, 2 게이트 전극을 형성하는 단계와 동시에 이루어지는 것을 특징으로 하며, 상기 데이터 배선, 상기 제 1, 2 소스 전극, 그리고 제 1, 2 드레인 전극 상에 보호층을 형성하는 단계를 더욱 포함하는 것을 특징으로 하고, 상기 절연층

이 개제된 상태에서 상기 공통 배선 및 제 1 화소 전극 간의 중첩된 영역은 제 1 스토리지 커패시터를 이루고, 상기 절연층이 개제된 상태에서 상기 공통 배선 및 제 2 화소 전극 간의 중첩된 영역은 제 2 스토리지 커패시터를 이루며, 상기 제 1, 2 화소 전극은 상기 공통 배선을 기준으로 대칭적인 형상을 가지는 것을 특징으로 한다.

- <59> 상기 보호층을 형성하는 단계는, 상기 제 1, 2 드레인 전극 영역을 각각 노출시키는 제 1, 2 드레인 콘택홀을 형성하는 단계를 더욱 포함하는 것을 특징으로 하고, 상기 제 1 화소 전극은 상기 제 1 드레인 콘택홀을 통해 상기 제 1 드레인 전극에 연결되고, 상기 제 2 화소 전극은 상기 제 2 드레인 콘택홀을 통해 상기 제 2 드레인 전극에 연결되는 것을 특징으로 한다.
- <60> 이하, 첨부한 도면을 참조하여 본 발명에 따른 바람직한 실시예를 설명한다.
- <61> 도 5는 본 발명의 실시예에 따른 액정표시치용 어레이 기판에 대한 개략적인 평면도이고, 도 6은 상기 도 5의 "VI" 영역의 두 개의 화소 영역에 대한 확대도이며, 도 7은 상기 도 6의"VII" 영역에 대한 확대도이다.
- <62> 도시한 바와 같이, 기판(100) 상에 제 1 방향으로 다수 개의 게이트 배선(120)이 형성되어 있고, 상기 제 1 방향과 교차되는 제 2 방향으로 위치하여 다수 개의 게이트 배선(120)과 교차되는 다수 개의 데이터 배선(130)이 형성되어 있다.
- <63> 그리고, 상기 다수 개의 게이트 배선(120)은 서로 이격되게 위치하는 제 1, 2 게이트 배선(120a, 120b)을 포함하며, 상기 제 1 게이트 배선(120a)에서 연장되어 제 1 게이트 전극(124a)이 형성되어 있고, 상기 제 2 게이트 배선(120b)에서 연장되어 제 2 게이트 전극(124b)이 형성되어 있다.
- <64> 그리고, 상기 제 1 게이트 전극(124a)을 중심으로 서로 이격되게 제 1 소스 전극(126a) 및 제 1 드레인 전극(128a)이 형성되어 있고, 상기 제 2 게이트 전극(124a)을 중심으로 서로 이격되게 제 2 소스 전극(126b) 및 제 2 드레인 전극(128b)이 형성되어 있다. 이때, 상기 제 1, 2 소스 전극(126a, 126b)은 데이터 배선(130)에서 연장되어 있다. 그리고, 상기 제 1, 2 게이트 전극(124a, 124b)과 중첩된 영역에는 아일랜드 패턴 구조의 제 1, 2 반도체층(132, 134)이 형성되어 있어서, 상기 제 1 게이트 전극(124a), 제 1 반도체층(132), 제 1 소스 전극(126a), 그리고 제 1 드레인 전극(128a)은 제 1 박막트랜지스터(T1)를 이루고, 상기 제 2 게이트 전극(126b), 제 2 반도체층(134), 제 2 소스 전극(126b), 그리고 제 2 드레인 전극(128b)은 제 2 박막트랜지스터(T2)를 이룬다.
- <65> 상기 제 1, 2 박막트랜지스터(T1, T2)도 상기 제 1, 2 게이트 전극(124a, 124b)과 마찬가지로 서로 마주보며 대칭적인 구조로 위치하는 것을 특징으로 한다.
- <66> 그리고, 상기 제 1, 2 박막트랜지스터(T1, T2)와 연결되어 제 1, 2 화소 전극(160a, 160b)이 형성되어 있다. 도면으로 제시하지 않았지만, 상기 제 1, 2 박막트랜지스터(T1, T2)를 덮는 영역에는 보호층(미도시)이 형성되며, 상기 보호층에는 상기 제 1, 2 드레인 전극(128a, 128b)을 노출시키는 제 1, 2 드레인 콘택홀(157a, 157b)이 형성되고, 상기 제 1, 2 화소 전극(160a, 160b)은 상기 제 1, 2 드레인 콘택홀(157a, 157b)을 통해 상기 제 1, 2 드레인 전극(128a, 128b)과 각각 연결된다.
- <67> 그리고, 상기 제 1, 2 박막트랜지스터(T1, T2)의 대칭축이 되는 제 1 방향으로 공통 배선(140)이 위치하는 것을 특징으로 한다. 본 발명에 화소 영역은 상기 제 1, 2 게이트 배선(120a, 120b)과 상기 제 1, 2 게이트 배선(120a, 120b) 사이에 위치하는 공통 배선(140) 그리고, 제 1, 2 게이트 배선(120a, 120b) 및 공통 배선(140)과 데이터 배선(130)의 교차 영역은 화소 영역을 정의하는 것을 특징으로 한다. 다시 말해서, 상기 공통 배선(140)을 기준으로 해서 상기 제 1 게이트 배선(120a)과 데이터 배선(130) 간에 교차 영역은 제 1 화소 영역(P1)을 이루고, 상기 제 2 게이트 배선(120b)과 데이터 배선(130) 간의 교차 영역은 제 2 화소 영역(P2)을 이룬다. 여기서, 상기 제 1, 2 게이트 전극(124a, 124b)은 상기 공통 배선(140)을 기준으로 해서 서로 마주보는 대칭적인 구조를 이룬다.
- <68> 한편, 상기 공통 배선(140)과 인접한 상기 제 1, 2 화소 전극(160a, 160b)의 끝단부는 서로 중첩되어 있는 것을 특징으로 한다. 상기 공통 배선(140)과 중첩된 제 1, 2 화소 전극(160a, 160b)의 중첩영역은 미도시한 절연체가 개제된 상태에서 제 1, 2, 스토리지 커패시터(Cst1, Cst2)를 이룬다. 상기 제 1, 2, 스토리지 커패시터(Cst1, Cst2)를 이루는 공통 배선(140) 영역은 제 1 커패시터 전극 역할을 하고, 제 1, 2 화소 전극(160a, 160b) 영역은 제 2 커패시터 전극 역할을 한다.
- <69> 본 발명에서는, 스토리지 온 커먼 방식으로 스토리지 커패시터를 구성함에 있어, 공통 배선이 서로 대칭적으로

배치된 두 개의 화소 전극간의 대칭축을 이루는 경계부에 위치하여, i) 기존의 주요 화소 영역에 공통 배선을 배치했을 때보다 공통 배선과 화소 전극 간의 전압의 왜곡 현상을 줄여 빔샘 현상을 줄일 수 있다. 더욱이, 본 발명에서는 하나의 공통 배선이 서로 독립적인 두 개의 화소가 공유함으로써, 기존의 하나의 화소 영역에서 공통 배선의 양측에서 나타났던 빔샘 현상을 어느 한 일측에서만 나타나게 되므로 상기 빔샘 현상을 줄일 수 있다.

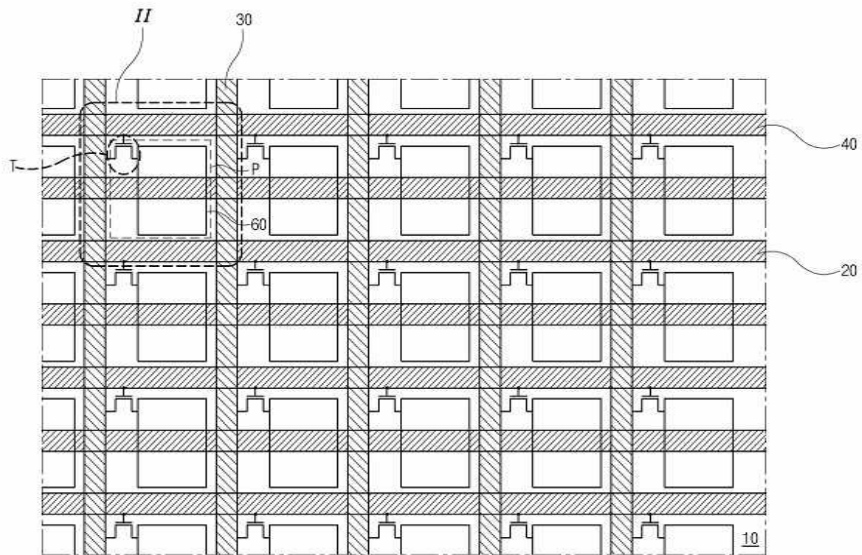
- <70> ii) 그리고, 상기 공통 배선을 화소 영역 간 경계부에 배치함에 따라, 공통 배선의 선포에 의한 개구율 감소를 줄일 수 있어, 공통 배선의 선포 제한을 완화하여 공통 전압을 안정적으로 인가하여 화질 특성을 향상시킬 수 있다.
- <71> iii) 기본적으로, 공통 배선을 화소 영역 간 경계부에 배치함에 따라 개구 영역의 감소를 방지할 수 있다.
- <72> 도 8a 내지 8e는 도 6의 절단선 "VIII-VIII"에 따라 절단 단면도로서, 본 발명의 일실시예에 따른 액정표시장치용 어레이 기판의 제조 공정에 따라 도시된 도면이다.
- <73> 도 8a에 도시한 바와 같이, 기판(100) 상에 제 1, 2 게이트 전극(124a, 124b) 및 공통 배선(140)을 형성하는 단계이다.
- <74> 제 1, 2 화소 영역(P1, P2)이 정의된 기판(100) 상에, 상기 제 1, 2 게이트 전극(124a, 124b) 및 공통 배선(140)은 알루미늄, 구리와 같은 저저항 금속물질 또는 이러한 금속물질을 포함한 이중층 금속물질을 이용하여 형성될 수 있다.
- <75> 이때, 상기 제 1, 2 게이트 전극(124a, 124b)은 각각 제 1, 2 화소 영역(P1, P2)에 위치하며, 상기 공통 배선(140)은 제 1, 2 화소 영역(P1, P2) 간 경계부에 위치하는 것을 특징으로 한다.
- <76> 도 8b에 도시한 바와 같이, 상기 제 1, 2 게이트 전극(124a, 124b), 공통 배선(140) 상에 게이트 절연막(145)을 형성하고, 상기 게이트 절연막(145) 상부에서 상기 제 1, 2 게이트 전극(124a, 124b)과 대응된 위치에 제 1, 2 반도체층(132, 134)을 각각 형성하는 단계이다.
- <77> 상기 게이트 절연막(145)은 실리콘 산화막(SiO<sub>x</sub>), 실리콘 질화막(SiN<sub>x</sub>)와 같은 무기절연물질에서 선택될 수 있다. 상기 제 1, 2 반도체층(132, 134)을 형성하는 단계는, 순수 비정질 실리콘 물질을 증착하여 제 1, 2 액티브층(132a, 134a)을 형성하는 단계와, 상기 제 1, 2 액티브층(132a, 134a) 상에 불순물 비정질 실리콘 물질을 증착하여 제 1, 2 오믹 콘택층(132b, 134b)을 형성하는 단계를 포함한다.
- <78> 즉, 상기 제 1 액티브층(132a) 및 제 1 오믹 콘택층(132b)은 제 1 반도체층(132)을 이루고, 제 2 액티브층(134a) 및 제 2 오믹콘택층(134b)은 제 2 반도체층(134)을 이룬다.
- <79> 도 8c에 도시한 바와 같이, 제 1, 2 반도체층(132, 134) 상부에 제 1 소스 전극(126a) 및 제 1 드레인 전극(128a) 그리고, 제 2 소스 전극(126b) 및 제 2 드레인 전극(128b)을 각각 형성하는 단계이다. 상기 제 1 소스 전극(126a) 및 제 1 드레인 전극(128a)은 상기 제 1 반도체층(132) 상부에서 서로 이격되게 위치하고, 상기 제 2 소스 전극(126b) 및 제 2 드레인 전극(128b)은 상기 제 2 반도체층(134) 상부에서 서로 이격되게 위치한다.
- <80> 상기 제 1 소스 전극(126a) 및 제 1 드레인 전극(128a) 그리고, 제 2 소스 전극(126b) 및 제 2 드레인 전극(128b)은 몰리브덴, 텅스텐, 니켈과 같은 도전성 금속물질에서 선택될 수 있다.
- <81> 이 단계에서는, 상기 제 1 소스 전극(126a) 및 제 1 드레인 전극(128a)의 이격구간에 노출된 제 1 오믹콘택층(132b)을 제거하는 단계와, 상기 제 2 소스 전극(126b) 및 제 2 드레인 전극(128b)의 이격구간에 노출된 제 2 오믹콘택층(134b)을 제거하는 단계를 거쳐, 노출된 제 1 액티브층(132a) 영역 및 제 2 액티브층(134a) 영역을 제 1 채널(CH1) 및 제 2 채널(CH2)로 정의하는 단계를 포함한다.
- <82> 상기 제 1 게이트 전극(124a), 제 1 반도체층(132), 제 1 소스 전극(126a) 및 제 1 드레인 전극(128a)은 제 1 박막트랜지스터(T1)를 이루고, 상기 제 2 게이트 전극(124b), 제 2 반도체층(134), 제 2 소스 전극(126b) 및 제 2 드레인 전극(128b)은 제 2 박막트랜지스터(T2)를 이룬다.
- <83> 도 8d에 도시한 바와 같이, 상기 제 1, 2 박막트랜지스터(T1, T2) 상에 보호층(155)을 형성하는 단계와, 상기 보호층(155)에 상기 제 1, 2 드레인 전극(128a, 128b)을 노출시키는 제 1, 2 드레인 콘택홀(157a, 157b)을 각각 형성하는 단계이다.
- <84> 상기 보호층(155)을 이루는 물질은 유기절연물질 또는 무기절연물질에서 선택될 수 있으며, 무기절연물질로는



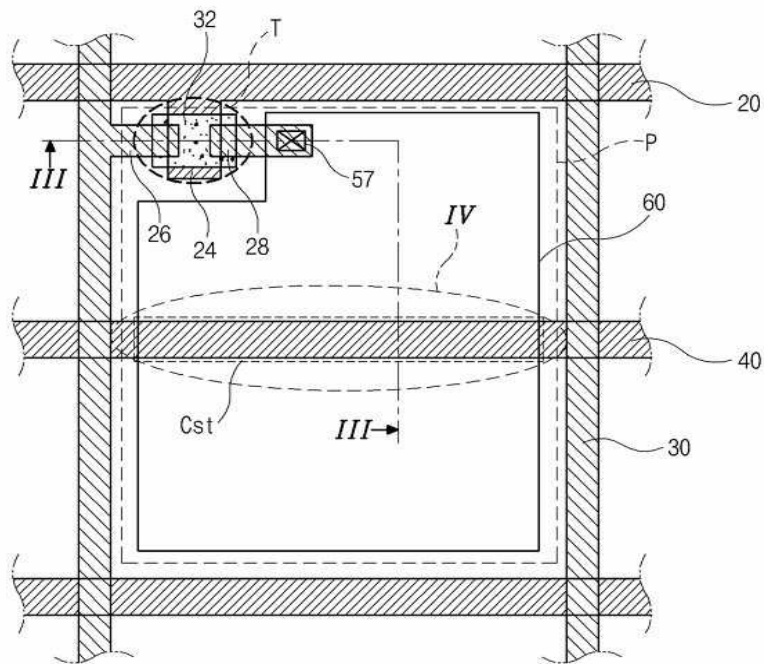
- <15> 160a, 160b: 제 1, 2 화소 전극
- <16> Cst1, Cst2: 제 1, 2 스토리지 커패시터
- <17> P1, P2: 제 1, 2 화소 영역
- <18> T1, T2: 제 1, 2 박막트랜지스터

도면

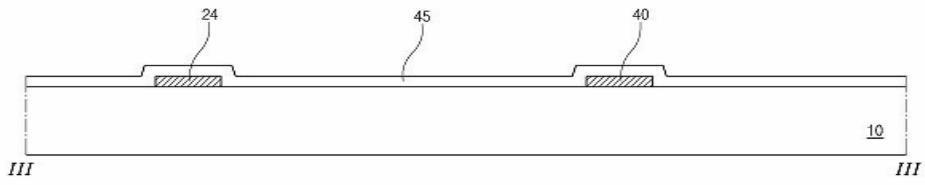
도면1



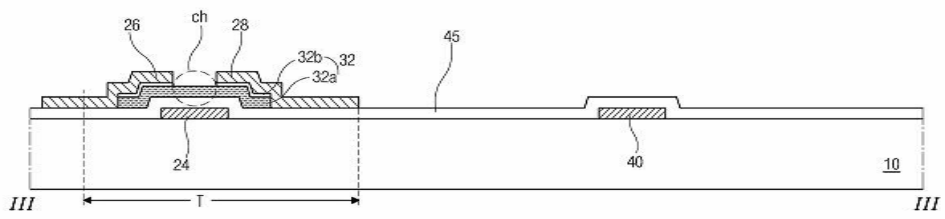
도면2



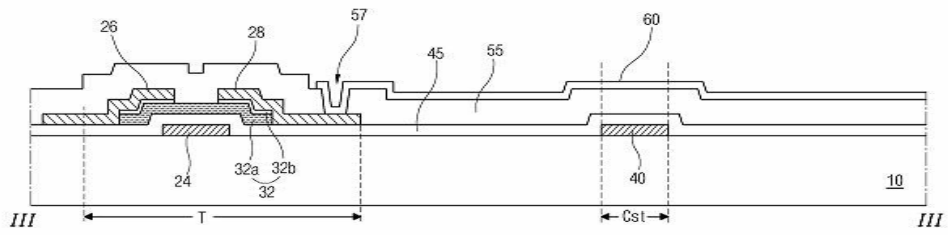
도면3a



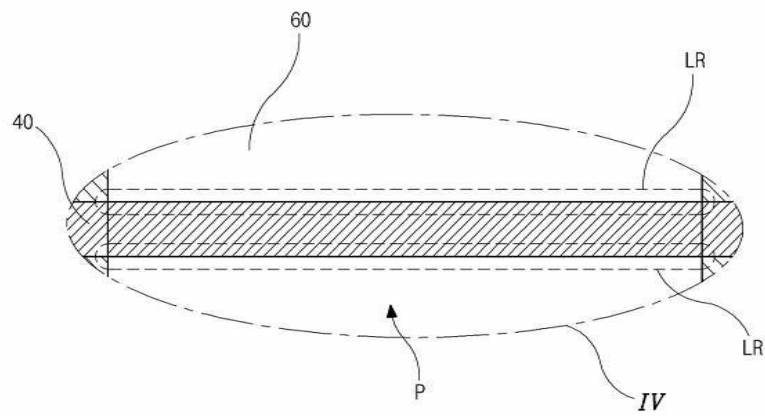
도면3b



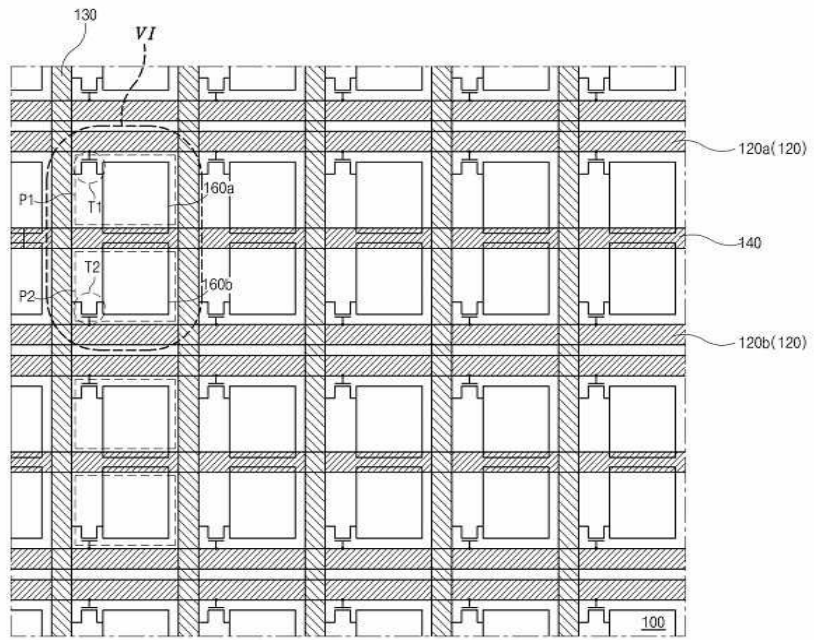
도면3c



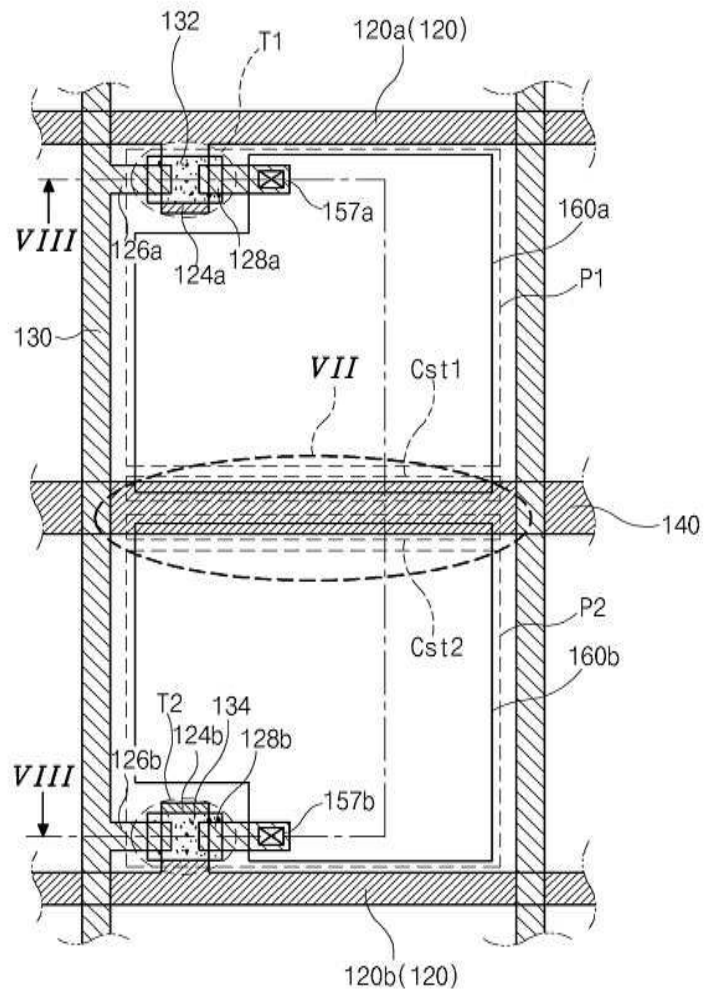
도면4



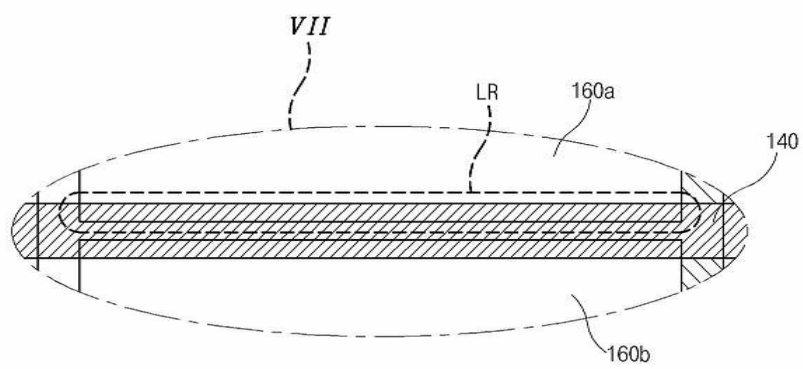
도면5



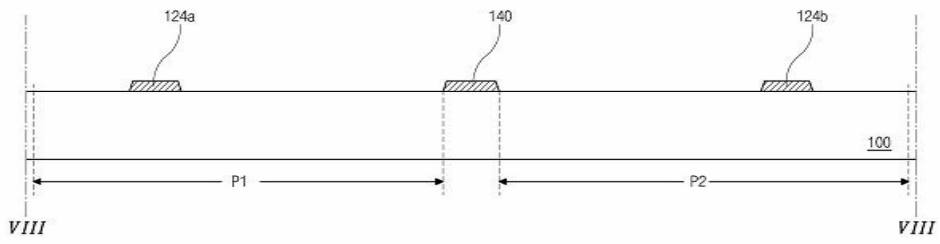
도면6



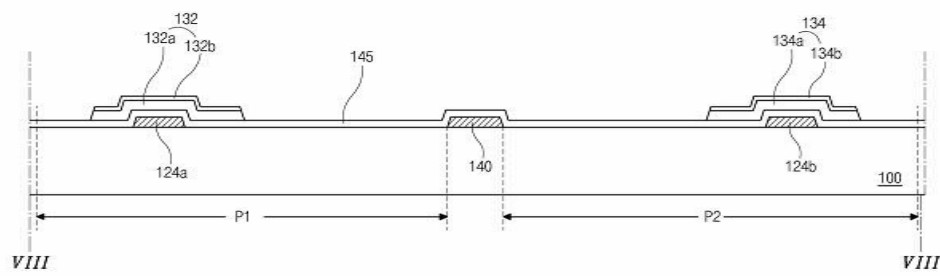
도면7



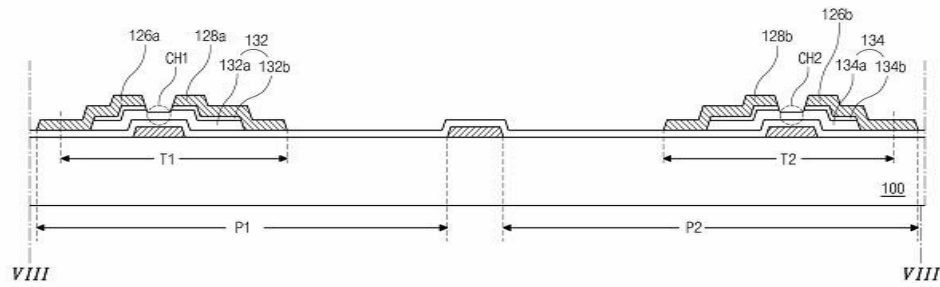
도면8a



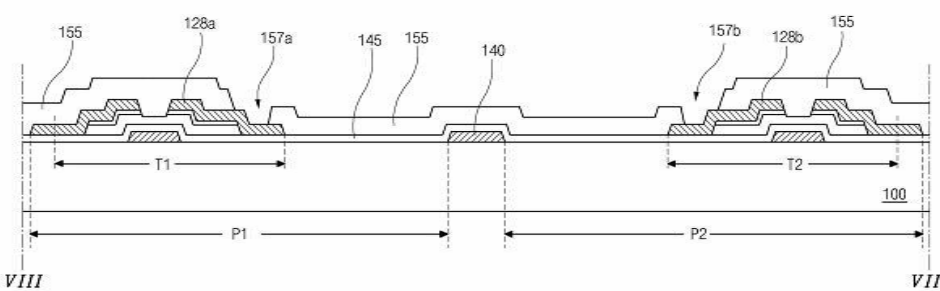
도면8b



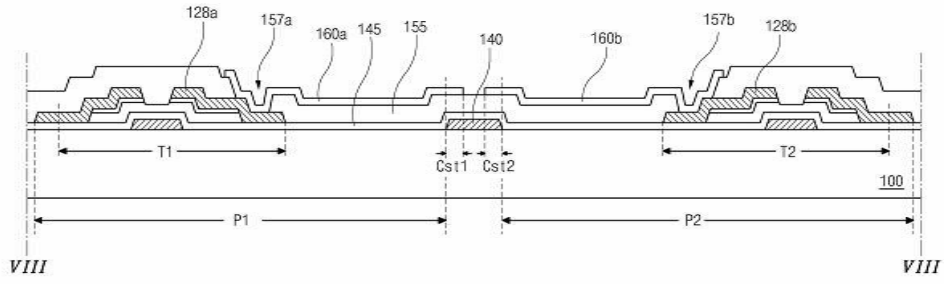
도면8c



도면8d



도면8e



|                |  |         |            |
|----------------|--|---------|------------|
| 专利名称(译)        | 用于液晶显示装置的阵列基板及其制造方法                            |         |            |
| 公开(公告)号        | <a href="#">KR1020080000496A</a>               | 公开(公告)日 | 2008-01-02 |
| 申请号            | KR1020060123570                                | 申请日     | 2006-12-07 |
| [标]申请(专利权)人(译) | 乐金显示有限公司                                       |         |            |
| 申请(专利权)人(译)    | LG显示器有限公司                                      |         |            |
| 当前申请(专利权)人(译)  | LG显示器有限公司                                      |         |            |
| [标]发明人         | KWON KI YOUNG<br>권기영<br>HWANG KWANG HEE<br>황광희 |         |            |
| 发明人            | 권기영<br>황광희                                     |         |            |
| IPC分类号         | G02F1/136                                      |         |            |
| CPC分类号         | G02F2001/134345 G02F1/136286 G02F2201/40       |         |            |
| 优先权            | 1020060058231 2006-06-27 KR                    |         |            |
| 外部链接           | <a href="#">Espacenet</a>                      |         |            |

摘要(译)

在本发明中，第一和第二栅极布线位于基板上并且彼此间隔开，公共布线，位于第一和第二栅极布线之间，并与第一和第二栅极布线平行；一条数据线，与第一和第二栅极线交叉，并参照公共线限定第一和第二像素区域；第一和第二薄膜晶体管分别形成在第一栅极线和数据线的交叉点处以及第二栅极线和数据线的交叉点处；第一像素电极连接到第一像素区域中的第一薄膜晶体管；并且，第二像素电极连接到第二像素区域中的第二薄膜晶体管，其中第一和第二像素电极相对于公共布线具有对称形状，以及第一和第二像素电极并且，与每个公共布线相邻的端部与公共布线重叠。

