



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2007-0120259
(43) 공개일자 2007년12월24일

(51) Int. Cl.

G02F 1/1345 (2006.01)

(21) 출원번호 10-2006-0054780

(22) 출원일자 2006년06월19일

심사청구일자 없음

(71) 출원인

엘지.필립스 엘시디 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

김영일

경북 구미시 진평동 미래주공아파트 108동 404호

박중섭

경북 칠곡군 석적면 중리부영아파트 111/1103

김용완

경북 구미시 도량2동 프란체 501동 804호

(74) 대리인

특허법인로얄

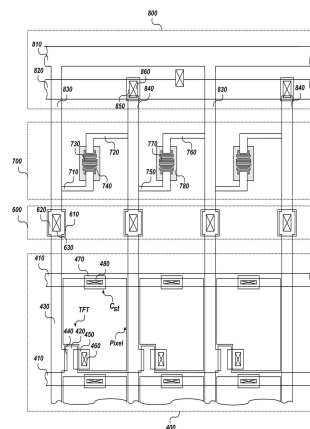
전체 청구항 수 : 총 15 항

(54) 액정 표시장치용 박막트랜지스터 어레이 기판 및 그 제조방법

(57) 요약

이븐/오드 쇼팅바에 각각 연결된 데이터 라인들 사이에 등전위 형성시, 채널 형성으로 인한 전류 이동을 방지할 수 있는 박막트랜지스터 어레이 기판 및 그 제조 방법이 제공된다. 액정 표시장치용 박막트랜지스터 어레이 기판은, 다수의 게이트 라인들 및 데이터 라인들의 각각의 교차 영역에 매트릭스 형태로 배열된 박막트랜지스터; 다수의 데이터 라인들 중 오드 데이터 라인들에 공통으로 접속된 오드 쇼팅바; 다수의 데이터 라인들 중 이븐 데이터 라인들에 공통으로 접속된 이븐 쇼팅바; 및 오드 쇼팅바로부터 분기된 오드 데이터 라인들과 이븐 쇼팅바로부터 분기된 이븐 데이터 라인들에 직접 접속되어 박막트랜지스터의 소스/드레인 형성시까지 오드 데이터 라인들과 이븐 데이터 라인 사이에 등전위를 형성하는 등전위 라인; 및 박막트랜지스터 및 다수의 게이트 라인들 및 데이터 라인들을 보호하기 위한 보호막을 포함하며, 등전위 라인은 소스/드레인 형성에 따른 채널 형성 이후, 보호막 형성시에 단선되며, 등전위 라인을 형성하기 위한 패턴은 등전위 라인의 폭(W)과 채널의 폭(L)의 비(W/L)가 작은 값을 갖도록 형성된다.

대표도 - 도6



특허청구의 범위

청구항 1

다수의 게이트 라인들 및 데이터 라인들의 각각의 교차 영역에 매트릭스 형태로 배열된 박막트랜지스터;

상기 다수의 데이터 라인들 중 오드 데이터 라인들에 공통으로 접속된 오드 쇼팅바(Odd Shorting Bar);

상기 다수의 데이터 라인들 중 이븐 데이터 라인들에 공통으로 접속된 이븐 쇼팅바(Even Shorting Bar); 및

상기 오드 쇼팅바로부터 분기된 오드 데이터 라인들과 상기 이븐 쇼팅바로부터 분기된 이븐 데이터 라인들에 직접 접속되어 상기 박막트랜지스터의 소스/드레인 형성시까지 상기 오드 데이터 라인들과 상기 이븐 데이터 라인 사이에 등전위를 형성하는 등전위 라인; 및

상기 박막트랜지스터 및 상기 다수의 게이트 라인들 및 데이터 라인들을 보호하기 위한 보호막

을 포함하며,

상기 등전위 라인은 상기 소스/드레인 형성에 따른 채널 형성 이후, 상기 보호막 형성시에 단선되며, 상기 등전위 라인을 형성하기 위한 패턴은 상기 등전위 라인의 폭(W)과 상기 채널의 폭(L)의 비(W/L)가 작은 값을 갖도록 형성되는 것을 특징으로 하는 박막트랜지스터 어레이 기판.

청구항 2

제1항에 있어서,

상기 등전위 라인의 폭(W)과 상기 채널의 폭(L)의 비(W/L)가 작은 값을 가질수록 상기 데이터 라인간의 저항을 증가시키고, 이에 따라 상기 채널 형성에 따른 전류 이동을 방지하는 것을 특징으로 하는 박막트랜지스터 어레이 기판.

청구항 3

제1항에 있어서, 상기 등전위 라인은,

상기 오드 데이터 라인 또는 이븐 데이터 라인으로부터 분기되는 제1 등전위 라인;

상기 이븐 데이터 라인 또는 오드 데이터 라인으로부터 분기되는 제2 등전위 라인; 및

상기 소스/드레인 형성시까지 제1 및 제2 등전위 라인이 연결된 이후, 오픈홀에 의해 상기 등전위 라인을 오픈시키는 단선 영역

을 포함하는 박막트랜지스터 어레이 기판.

청구항 4

제3항에 있어서,

상기 오픈홀은 상기 보호막 형성 공정 이전에 형성되며, 상기 오드 데이터 라인들과 이븐 데이터 라인들 사이마다 상기 등전위 라인을 오픈시키는 것을 특징으로 하는 박막트랜지스터 어레이 기판.

청구항 5

제3항에 있어서,

상기 제1 등전위 라인 및 제2 등전위 라인 중 어느 하나는 상기 오드 쇼팅바에 직접 연결되는 것을 특징으로 하는 박막트랜지스터 어레이 기판.

청구항 6

제1항에 있어서,

상기 등전위 라인은 상기 박막트랜지스터의 게이트 형성시에 동일하게 형성되는 게이트 금속층 상에 형성되는 것을 특징으로 하는 박막트랜지스터 어레이 기판.

청구항 7

제1항에 있어서,

상기 등전위 라인은 상기 이븐 데이터 라인과 상기 오드 데이터 라인을 연결하는 폴리브덴(Mo) 금속 패턴인 것을 특징으로 하는 박막트랜지스터 어레이 기판.

청구항 8

제1항에 있어서,

상기 오드 쇼팅바 및 이븐 쇼팅바 중 어느 하나의 쇼팅바, 상기 데이터 라인들 및 상기 등전위 라인은 소스/드레인 금속층으로 형성되고,

상기 오드 쇼팅바 및 이븐 쇼팅바 중 다른 하나의 쇼팅바는 게이트 금속층으로 형성되며, 상기 소스/드레인 금속층과 상기 게이트 금속층 사이에는 게이트 절연막이 형성되는 것을 특징으로 하는 박막트랜지스터 어레이 기판.

청구항 9

제8항에 있어서,

상기 게이트 금속층으로 형성된 쇼팅바와 상기 소스/드레인 금속층으로 형성된 데이터 라인들이 콘택홀을 경유하여 전기적으로 접속하는 콘택 전극을 추가로 포함하는 박막트랜지스터 어레이 기판.

청구항 10

제1항에 있어서,

상기 오드 쇼팅바, 상기 이븐 쇼팅바 및 상기 등전위 라인은 액정 셀 검사 이후 스크라이빙 라인을 따라 절단되는 것을 특징으로 하는 박막트랜지스터 어레이 기판.

청구항 11

a) 다수의 게이트 라인들 및 데이터 라인들의 각각의 교차 영역에 매트릭스 형태로 배열된 박막트랜지스터를 형성하는 단계;

b) 상기 다수의 데이터 라인들 중 오드 데이터 라인들에 공통으로 접속된 오드 쇼팅바 및 상기 다수의 데이터 라인들 중 이븐 데이터 라인들에 공통으로 접속된 이븐 쇼팅바를 형성하는 단계;

c) 상기 오드 쇼팅바로부터 분기된 오드 데이터 라인들과 상기 이븐 쇼팅바로부터 분기된 이븐 데이터 라인들 사이에 등전위를 형성하는 등전위 라인—여기서, 등전위 라인은 소스/드레인 형성에 따른 채널 형성 이후, 보호막 형성시에 단선되며, 상기 등전위 라인의 폭(W)과 상기 채널의 폭(L)의 비(W/L)가 작은 값을 갖도록 형성됨—을 형성하는 단계;

d) 상기 데이터 및 게이트 라인들, 상기 박막트랜지스터들과 상기 쇼팅바들의 원하는 부분을 부분적으로 노출시키는 다수의 콘택홀들과 함께 상기 오드 라인들과 이븐 라인들 사이마다 상기 등전위 라인을 오픈시키는 오픈홀을 형성하는 단계; 및

e) 상기 화소전극과 함께 상기 콘택홀들에 걸쳐 형성되는 콘택 전극을 형성하는 단계를 포함하는 박막트랜지스터 어레이 기판의 제조 방법.

청구항 12

제11항에 있어서,

상기 c) 단계의 등전위 라인의 폭(W)과 상기 채널의 폭(L)의 비(W/L)가 작은 값을 가질수록 상기 데이터 라인간의 저항을 증가시키고, 이에 따라 상기 채널 형성에 따른 전류 이동을 방지하는 것을 특징으로 하는 박막트랜지스터 어레이 기판의 제조 방법.

청구항 13

제11항에 있어서,

상기 c) 단계의 등전위 라인은 상기 박막트랜지스터의 게이트 형성시에 동일하게 형성되는 게이트 금속층 상에 형성되는 것을 특징으로 하는 박막트랜지스터 어레이 기판의 제조 방법.

청구항 14

제11항에 있어서, 상기 b) 단계는,

상기 오드 쇼팅바 및 이븐 쇼팅바 중 어느 하나의 쇼팅바, 상기 데이터 라인들 및 상기 등전위 라인은 소스/드레인 금속층으로 형성하는 단계; 및

상기 오드 쇼팅바 및 이븐 쇼팅바 중 다른 하나의 쇼팅바는 게이트 금속층으로 형성되며, 상기 소스/드레인 금속층과 상기 게이트 금속층 사이에는 게이트 절연막을 형성하는 단계

를 포함하는 박막트랜지스터 어레이 기판의 제조 방법.

청구항 15

제14항에 있어서,

상기 게이트 금속층으로 형성된 쇼팅바와 상기 소스/드레인 금속층으로 형성된 데이터 라인들이 콘택홀을 경유하여 전기적으로 접속하는 콘택 전극을 형성하는 단계를 추가로 포함하는 박막트랜지스터 어레이 기판의 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <18> 본 발명은 액정 표시장치에 관한 것으로, 보다 구체적으로, 액정 표시장치용 박막트랜지스터 제조시, 오드 데이터 라인과 이븐 데이터 라인 간에 등전위를 형성하기 위한 액정 표시장치용 박막트랜지스터 어레이 기판 및 그 제조 방법에 관한 것이다.
- <19> 일반적으로, 액정 표시장치는 액정 분자의 광학적 이방성과 복굴절 특성을 이용하여 화상을 표현하는 장치이다. 액정 표시장치는 전계 생성 전극이 각각 형성되어 있는 두 기판을 두 전극이 형성되어 있는 면이 마주 대하도록 배치하고, 두 기판 사이에 액정 물질을 주입하며, 이후, 두 전극에 전압을 인가하여 생성되는 전기장에 의해 상기 액정 분자 배열을 변경시키고, 이를 통하여 투명 절연 기판에 투과되는 빛의 양을 조절함으로써, 원하는 화상을 표현하게 된다.
- <20> 이러한 액정 표시장치로는 박막 트랜지스터(Thin Film Transistor: TFT)를 스위칭 소자로 이용하는 박막 트랜지스터 액정 표시장치(TFT LCD)가 주로 사용되고 있다.
- <21> 도 1은 일반적인 액정 패널의 구성을 개략적으로 나타낸 도면이다.
- <22> 도 1을 참조하면, 액정 표시장치 내에 구비된 액정 패널은, 일정 공간을 갖고 합착된 박막트랜지스터 어레이 기판(10), 컬러필터 기판(20), 및 상기 박막트랜지스터 어레이 기판(10)과 컬러필터 기판(20) 사이에 주입된 액정층(30)으로 구성된다. 이때, 박막트랜지스터 어레이 기판(10)은 스위칭 영역인 TFT 영역(TFT), 화소 영역(Pixel) 및 충전 영역(C_{ST})으로 정의된다.
- <23> 박막트랜지스터 어레이 기판(10)에는 투명한 글래스 기판(11) 상에 일정한 간격을 갖고 일 방향으로 복수개의 게이트 라인(12)이 배열되고, 또한 상기 게이트 라인(12)에 수직한 방향으로 일정한 간격을 갖고 복수개의 데이터 라인(16)이 배열됨으로써, 화소 영역(Pixel)을 정의하게 된다.
- <24> 그리고 각 화소 영역(Pixel)에는 화소 전극(18)이 형성되고, 상기 각 게이트 라인(12)과 데이터 라인(16)이 교차하는 부분에 박막 트랜지스터(TFT)가 형성되어, 상기 박막 트랜지스터가 상기 게이트 라인(12)을 통해 인가되는 스캔 신호에 따라 상기 데이터 라인(16)의 데이터 신호를 각각의 화소 전극(18)에 인가한다.

- <25> 그리고 컬러필터 기관(20)에는 투명한 글래스 기관(21) 상에 상기 화소 영역(Pixel)을 제외한 부분의 빛을 차단하기 위한 블랙 매트릭스층(22)이 형성되고, 상기 각 화소 영역에 대응되는 부분에는 색상을 표현하기 위한 R, G, B 칼라 필터층(23)이 형성되며, 상기 칼라 필터층(23) 위에는 공통 전극(24)이 형성되어 있다.
- <26> 상기 화소 전극(18)과 병렬로 연결된 충전 커패시터(C_{ST})가 게이트 라인(12)의 상부에 구성되며, 충전 커패시터(C_{ST})의 제1 전극으로는 게이트 라인(12)의 일부를 사용하고, 제2 전극으로는 소스 및 드레인 전극과 동일층 동일 물질로 형성된 섬(island) 형상의 금속 패턴을 사용한다.
- <27> 이러한 액정 표시장치는 상기 화소 전극(18)과 공통 전극(24) 사이의 전계에 의해 상기 박막트랜지스터 어레이 기관(10) 및 컬러필터 기관(20) 사이에 형성된 액정층(30)이 배향되고, 상기 액정층(30)의 배향 정도에 따라 액정층(30)을 투과하는 빛의 양을 조절함으로써 원하는 화상을 표현할 수 있다.
- <28> 한편, 박막트랜지스터 어레이 기관(10)은 제조 공정 후에 게이트 및 데이터 라인들(12, 16)의 단락, 단선 등과 같은 라인 불량과 박막트랜지스터(TFT)의 불량 등을 검출하기 위한 신호검사 과정을 거치게 된다. 이러한 신호검사 과정을 위하여 박막트랜지스터 어레이 기관(10)에는 게이트 라인들(12)과 데이터 라인들(16) 각각의 오드(Odd) 라인들과 이븐(Even) 라인들로 구분하여 접속된 오드 쇼팅바(Shorting Bar)와 이븐 쇼팅바가 각각 마련된다.
- <29> 구체적으로, 게이트 라인들의 검사는 오드 게이트 라인들에 공통 접속된 게이트 오드 쇼팅바와 이븐 게이트 라인들에 공통 접속된 게이트 이븐 쇼팅바를 이용하게 된다. 데이터 라인들의 검사는 오드 데이터 라인들에 공통 접속된 데이터 오드 쇼팅바와 이븐 데이터 라인들에 공통 접속된 데이터 이븐 쇼팅바를 이용하여 라인 불량을 검출하게 된다.
- <30> 도 2는 일반적인 액정 패널 상에 형성되는 등전위 라인을 개략적으로 설명하기 위한 도면이다.
- <31> 도 2를 참조하면, 액정 패널은 화소 영역(40), 게이트 패드부(50), 데이터 패드부(60), 등전위 라인 형성 영역(70) 및 이븐/오드 쇼팅바 영역(Even/Odd Shorting Bar: 80)을 포함하며, 등전위 라인 형성 영역(70)이 데이터 패드부(60) 및 이븐/오드 쇼팅바(80) 사이에 형성되어 데이터 라인들 사이에 등전위를 형성하게 되며, 액정 셀이 제조된 후, 등전위 라인 형성 영역(70) 및 데이터 패드부(60) 사이의 스크라이빙 라인을 따라 절단된다.
- <32> 한편, 도 3은 종래 기술에 따른 등전위 라인이 형성된 박막트랜지스터 어레이 기관을 나타내는 평면도이다.
- <33> 도 3을 참조하면, 데이터 쇼팅바를 포함하는 박막트랜지스터 어레이 기관은 게이트 라인(41)과 데이터 라인(43)의 교차부마다 형성된 박막트랜지스터(TFT); 박막트랜지스터(TFT)와 접속된 화소 전극(Pixel); 화소 전극(Pixel)과 이전단 게이트 라인(41)의 중첩부에 형성된 충전 커패시터(C_{ST}); 게이트 라인(41)에 접속되는 게이트 패드부(도시하지 않음); 데이터 라인(43)에 접속된 데이터 패드부(60)를 포함하는 어레이 영역; 데이터 패드부(60)를 경유하여 오드 데이터 라인들(83)에 공통 접속된 오드 쇼팅바(81); 이븐 데이터 라인들(84)에 공통 접속된 이븐 쇼팅바(82)를 포함하는 쇼팅바 영역(80); 및 상기 오드 데이터 라인(83) 및 이븐 데이터 라인(84)에 각각 연결되어 등전위를 형성하기 위한 등전위 라인(70)을 포함하여 구성된다.
- <34> 먼저, 데이터 쇼팅바 중 오드 쇼팅바(81)는 오드 데이터 라인들(83)과 공통 접속되고 데이터 패드부(60)를 경유하도록 형성되며, 이븐 쇼팅바(82)는 이븐 데이터 라인들(84)과 공통 접속되며 데이터 패드부(60)를 경유하도록 형성된다.
- <35> 오드 쇼팅바(81)는 데이터 라인들(43)과 함께 소스/드레인 금속층으로 형성된다. 이와 달리, 이븐 쇼팅바(82)는 그를 가로지르는 오드 데이터 라인들(83)과 절연되도록 게이트 금속층으로 형성된다. 게이트 금속층으로 형성된 이븐 쇼팅바(82)는 콘택홀(85)에 걸쳐 형성된 콘택전극(86)을 통해 소스/드레인 금속층으로 형성된 이븐 데이터 라인들(84)과 접속된다. 박막트랜지스터 어레이 기관이 완성되면, 오드 쇼팅바(81)와 이븐 쇼팅바(82)를 이용하여 데이터 라인들(43)의 불량 검사를 하게 된다. 이어서, 이븐 쇼팅바(82)와 데이터 패드부(60) 사이의 스크라이빙 라인을 따라 데이터 쇼팅바(80)를 절단해내게 된다.
- <36> 그런데, 이러한 박막트랜지스터 어레이 기관에서 제조 공정 중에 이븐 데이터 라인들(84)이 상대적으로 정전기에 취약한 특성을 가지게 된다. 이는 이븐 데이터 라인들(84) 각각이 소스/드레인 금속층 패터닝 이후부터 콘택 전극(86)이 형성될 때까지 독립적으로 분리되어 있기 때문이다. 이와 달리, 오드 데이터 라인들(83)은 동일한 소스/드레인 금속층으로 형성되는 오드 쇼팅바(81)에 의해 공통 접속된다. 이에 따라, 소스/드레인 금속층 패터닝 이후 정전기가 유입되는 경우, 상기 오드 쇼팅바(81)에 의해 공통으로 접속된 오드 데이터 라인들(83)에

서는 정전기 성분이 확산되어 약해지게 됨으로써 정전기에 의한 손상을 입지 않게 된다. 그러나 이븐 데이터 라인들(84) 각각은 콘택 전극(86)이 형성되어 이븐 쇼팅바(82)에 의해 공통적으로 접속될 때까지 독립적으로 분리되어 있게 된다. 이에 따라, 콘택전극(86)이 형성되기 전에 이븐 데이터 라인들(84)로 정전기가 유입되는 경우, 그 정전기에 의해 이븐 데이터 라인들(84)에 접속된 박막트랜지스터들이 손상되거나 이븐 데이터 라인들(84)과 게이트 라인의 교차부 등에서 절연과피 등과 같은 불량 발생하게 된다.

- <37> 즉, 데이터 이븐/오드 연결 라인을 게이트 및 소스/드레인 금속층으로 각각 형성하게 되는데, 이때, 데이터 라인 간의 등전위 형성을 위하여 등전위 패턴을 형성할 필요가 있고, 이에 따라 종래에는 직선 구조의 등전위 라인을 설계하였다.
- <38> 그런데, 종래의 기술에 따른 등전위 라인이 직선 구조로 되어 있는 경우, 등전위 패턴 선폭에 따라 국부적으로 단선되거나 연결되는 현상이 발생하게 되며, 이로 인해 TFT 패드의 불량을 발생시키는 문제점이 있다.
- <39> 한편, 도 4a 및 도 4b는 각각 도 3의 등전위 라인이 형성된 부분의 상세 도면이며, 도 5a 및 도 5b는 각각 도 4a 및 도 4b의 수직 단면도를 나타낸다.
- <40> 도 4a를 참조하면, 오드 데이터 라인(83) 및 이븐 데이터 라인(84) 사이에 등전위를 형성하기 위해, 오드 쇼팅바(81)에 연결되는 오드 데이터 라인(83)으로부터 분기되는 제1 등전위 라인(71), 및 이븐 쇼팅바(82)에 연결되는 이븐 데이터 라인(84)으로부터 분기되는 제2 등전위 라인(72)이 형성되고, 상기 제1 등전위 라인(71)과 제2 등전위 라인(72)을 소스/드레인 형성시까지 연결한 후 보호막 형성시 이를 단선시키는 단선 영역(73a, 73b)이 형성된다. 상기 단선 영역(73a, 73b)은 보호막 형성 공정 이전에 오픈홀을 형성하여 상기 제1 등전위 라인(71)과 제2 등전위 라인(72)을 단선시키게 된다.
- <41> 도 4b는 상기 단선 영역 하부에 게이트 금속층(74)이 형성된 경우를 제외하면, 도 4a와 동일하므로 상세한 설명은 생략한다. 또한, 도 5a 및 도 5b는 각각 도 4a 및 도 4b의 수직 단면도로서, 도면부호 A 및 B로 도시된 바와 같이, 상기 제1 등전위 라인(71) 및 제2 등전위 라인(72)이 소스/드레인 형성시까지 연결된 후, 보호막 형성 전에 오픈홀에 의해 단선되는 것을 각각 나타내고 있다.
- <42> 도 3, 도 5a 및 도 5b를 참조하면, 하부 기판(51) 상에 게이트 금속층으로 이루어진 이븐 쇼팅바(82)가 형성되고, 그 위에 게이트 절연막(52)이 형성된다. 게이트 절연막(52) 위에는 소스/드레인 금속층으로 이루어진 오드 데이터 라인들(83) 및 이븐 데이터 라인들(84)과 오드 쇼팅바(81)가 형성되고, 그 위에 보호막(55)이 형성된다. 그리고 도 3에 도시된 이븐 데이터 라인들(84)과 이븐 쇼팅바(82)가 노출되도록 게이트 절연막(52)과 보호막(55)을 관통하는 콘택홀(85)이 형성되고, 그 콘택홀(85)에 걸쳐 콘택 전극(86)이 형성되어 서로 다른 금속층으로 이루어진 이븐 데이터 라인들(84)과 이븐 쇼팅바(82)가 접속되게 한다.
- <43> 그러나, 종래의 기술에 따른 등전위 패턴 내부의 채널 구조를 변경함으로써, 즉, 소스/드레인 진행시까지만 연결된 후, 채널 형성을 통해서 보호막 공정 이후부터는 단선되는 형태로 제작될 경우, 채널 형성에 따른 전류 이동 현상이 발생하고, 이로 인해 데이터 라인간의 저항이 감소할 수 있다는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

- <44> 상기 문제점을 해결하기 위한 본 발명의 목적은, 등전위 라인 형성시에 채널 형성에 따른 전류 이동을 방지할 수 있는 액정 표시장치용 박막트랜지스터 어레이 기판 및 그 제조 방법을 제공하기 위한 것이다.
- <45> 또한, 본 발명의 다른 목적은, 등전위 형성을 위한 다양한 패턴 구조를 제공함으로써 TFT 패드부의 불량 발생을 줄일 수 있는 액정 표시장치용 박막트랜지스터 어레이 기판 및 그 제조 방법을 제공하기 위한 것이다.
- <46> 본 발명의 목적들은 이상에서 언급한 목적으로 제한되지 않으며, 언급되지 않은 또 다른 목적들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

발명의 구성 및 작용

- <47> 상기 목적을 달성하기 위하여, 본 발명에 따른 다수의 게이트 라인들 및 데이터 라인들의 각각의 교차 영역에 매트릭스 형태로 배열된 박막트랜지스터; 상기 다수의 데이터 라인들 중 오드 데이터 라인들에 공통으로 접속된 오드 쇼팅바; 상기 다수의 데이터 라인들 중 이븐 데이터 라인들에 공통으로 접속된 이븐 쇼팅바; 및 상기 오드 쇼팅바로부터 분기된 오드 데이터 라인들과 상기 이븐 쇼팅바로부터 분기된 이븐 데이터 라인들에 직접 접속되어 상기 박막트랜지스터의 소스/드레인 형성시까지 상기 오드 데이터 라인들과 상기 이븐 데이터 라인 사이에 등전위를 형성하는 등전위 라인; 및 상기 박막트랜지스터 및 상기 다수의 게이트 라인들 및 데이터 라인들을 보

호하기 위한 보호막을 포함하며, 상기 등전위 라인은 상기 소스/드레인 형성에 따른 채널 형성 이후, 상기 보호막 형성시에 단선되며, 상기 등전위 라인을 형성하기 위한 패턴은 상기 등전위 라인의 폭(W)과 상기 채널의 폭(L)의 비(W/L)가 작은 값을 갖도록 형성되는 것을 특징으로 한다.

- <48> 여기서, 상기 등전위 라인의 폭(W)과 상기 채널의 폭(L)의 비(W/L)가 작은 값을 가질수록 상기 데이터 라인간의 저항을 증가시키고, 이에 따라 상기 채널 형성에 따른 전류 이동을 방지하는 것을 특징으로 한다.
- <49> 여기서, 상기 등전위 라인은, 상기 오드 데이터 라인 또는 이븐 데이터 라인으로부터 분기되는 제1 등전위 라인; 상기 이븐 데이터 라인 또는 오드 데이터 라인으로부터 분기되는 제2 등전위 라인; 및 상기 소스/드레인 형성시까지 제1 및 제2 등전위 라인이 연결된 이후, 오픈홀에 의해 상기 등전위 라인을 오픈시키는 단선 영역을 포함할 수 있다.
- <50> 여기서, 상기 오픈홀은 상기 보호막 형성 공정 이전에 형성되며, 상기 오드 데이터 라인들과 이븐 데이터 라인들 사이마다 상기 등전위 라인을 오픈시키는 것을 특징으로 한다.
- <51> 여기서, 상기 제1 등전위 라인 및 제2 등전위 라인 중 어느 하나는 상기 오드 쇼팅바에 직접 연결되는 것을 특징으로 한다.
- <52> 여기서, 상기 등전위 라인은 상기 박막트랜지스터의 게이트 형성시에 동일하게 형성되는 게이트 금속층 상에 형성되는 것을 특징으로 한다.
- <53> 여기서, 상기 오드 쇼팅바 및 이븐 쇼팅바 중 어느 하나의 쇼팅바, 상기 데이터 라인들 및 상기 등전위 라인은 소스/드레인 금속층으로 형성되고, 상기 오드 쇼팅바 및 이븐 쇼팅바 중 다른 하나의 쇼팅바는 게이트 금속층으로 형성되며, 상기 소스/드레인 금속층과 상기 게이트 금속층 사이에는 게이트 절연막이 형성되는 것을 특징으로 한다. 또한, 상기 게이트 금속층으로 형성된 쇼팅바와 상기 소스/드레인 금속층으로 형성된 데이터 라인들이 콘택홀을 경유하여 전기적으로 접속하는 콘택 전극을 추가로 포함할 수 있다.
- <54> 또한, 본 발명에 따른 박막트랜지스터 어레이 기판의 제조 방법은, a) 다수의 게이트 라인들 및 데이터 라인들의 각각의 교차 영역에 매트릭스 형태로 배열된 박막트랜지스터를 형성하는 단계; b) 상기 다수의 데이터 라인들 중 오드 데이터 라인들에 공통으로 접속된 오드 쇼팅바 및 상기 다수의 데이터 라인들 중 이븐 데이터 라인들에 공통으로 접속된 이븐 쇼팅바를 형성하는 단계; c) 상기 오드 쇼팅바로부터 분기된 오드 데이터 라인들과 상기 이븐 쇼팅바로부터 분기된 이븐 데이터 라인들 사이에 등전위를 형성하는 등전위 라인-여기서, 등전위 라인은 소스/드레인 형성에 따른 채널 형성 이후, 보호막 형성시에 단선되며, 상기 등전위 라인의 폭(W)과 상기 채널의 폭(L)의 비(W/L)가 작은 값을 갖도록 형성됨-을 형성하는 단계; d) 상기 데이터 및 게이트 라인들, 상기 박막트랜지스터들과 상기 쇼팅바들의 원하는 부분을 부분적으로 노출시키는 다수의 콘택홀들과 함께 상기 오드 라인들과 이븐 라인들 사이마다 상기 등전위 라인을 오픈시키는 오픈홀을 형성하는 단계; 및 e) 상기 화소전극과 함께 상기 콘택홀들에 걸쳐 형성되는 콘택 전극을 형성하는 단계를 포함하여 이루어진다.
- <55> 여기서, 상기 c) 단계의 등전위 라인의 폭(W)과 상기 채널의 폭(L)의 비(W/L)가 작은 값을 가질수록 상기 데이터 라인간의 저항을 증가시키고, 이에 따라 상기 채널 형성에 따른 전류 이동을 방지하는 것을 특징으로 한다.
- <56> 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하고 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것으로, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- <57> 이하, 첨부된 도면을 참조하여, 본 발명의 실시예에 따른 액정 표시장치용 박막트랜지스터 어레이 기판 및 그 제조 방법을 구체적으로 설명한다.
- <58> 본 발명의 실시예는 TFT LCD 구조에서 데이터 라인 검사를 위해 이븐/오드 라인이 각각 게이트 금속과 소스/드레인 금속으로 연결됨에 따라 이븐/오드 라인에 서로 다른 전위 생성에 따른 TFT 패드 불량 발생을 최소화하게 된다.
- <59> 구체적으로, 본 발명의 실시예에서, 이븐/오드 데이터 라인을 소스/드레인 금속층으로 서로 묶어줌으로써 등전위를 형성하며, 이때 소스/드레인 형성시 채널 형성에 따른 전류 이동 현상이 발생할 수 있으므로, 등전위 라인의 폭(W)과 채널의 폭(L)의 비(W/L)가 작아지는 방향으로 등전위 패턴 구조를 변경함으로써, 데이터 라인 사이에 저항을 증가시키게 된다. 이때, 등전위 라인은 소스/드레인 진행시까지만 연결된 후 채널 형성을 통해서 보

호막 공정 이후부터는 단선되는 형태가 된다.

- <60> 도 6은 본 발명의 실시예에 따른 등전위 라인이 형성된 박막트랜지스터 어레이 기판을 나타내는 평면도이다.
- <61> 도 6을 참조하면, 본 발명의 실시예에 따른 등전위 라인이 형성된 박막트랜지스터 어레이 기판은, 화소영역(400), 데이터 패드 영역(600), 등전위 라인 형성 영역(700) 및 오드/이븐 쇼팅바 영역(800)을 포함한다.
- <62> 화소영역(400)에는 다수의 게이트 라인들(410) 및 데이터 라인들(430)의 각각의 교차 영역에 매트릭스 형태로 배열된 박막트랜지스터(TFT)가 형성되고, 이때, 박막트랜지스터(TFT)는 게이트(420), 소스(440) 및 드레인(450)로 형성되고, 콘택홀(460)에 의해 화소 전극(Pixel)과 연결된다. 또한, 상기 화소영역(400)에는 이전 게이트 라인(410) 상에 중첩되어 충전 커패시터(Cst)가 형성된다.
- <63> 데이터 패드 영역(600)에는 데이터 라인(430)을 오드/이븐 쇼팅바(810, 820)과 연결하도록 데이터 패드(610), 콘택홀(630) 및 콘택 전극(620)이 형성된다.
- <64> 오드/이븐 쇼팅바 영역(800)은 오드 쇼팅바(810) 및 이븐 쇼팅바(820)로 이루어지며, 오드 쇼팅바(810)는 상기 다수의 데이터 라인들(430) 중 오드 데이터 라인들(830)에 공통으로 접속되고, 이븐 쇼팅바(820)는 상기 다수의 데이터 라인들(430) 중 이븐 데이터 라인들(840)에 공통으로 접속된다.
- <65> 등전위 라인 형성 영역(700)에는 상기 오드 쇼팅바(810)로부터 분기된 오드 데이터 라인들(830)과 상기 이븐 쇼팅바(820)로부터 분기된 이븐 데이터 라인들(840)에 직접 접속되어 상기 박막트랜지스터의 소스/드레인 형성시 까지 상기 오드 데이터 라인들(830)과 상기 이븐 데이터 라인들(840) 사이에 등전위를 형성하게 된다.
- <66> 이때, 상기 등전위 라인은, 상기 오드 데이터 라인(830) 또는 이븐 데이터 라인(840)으로부터 분기되는 제1 등전위 라인(710, 750); 상기 이븐 데이터 라인(840) 또는 오드 데이터 라인(830)으로부터 분기되는 제2 등전위 라인(720, 760); 및 상기 소스/드레인 형성시까지 제1 등전위 라인(710, 750) 및 제2 등전위 라인(720, 760)이 연결된 이후, 오픈홀에 의해 상기 등전위 라인(710, 720, 750, 760)을 오픈시키는 단선 영역(730)을 포함한다. 여기서, 상기 오픈홀은 상기 보호막 형성 공정 이전에 형성되며, 상기 오드 데이터 라인들(830)과 이븐 데이터 라인들(840) 사이마다 상기 등전위 라인을 오픈시키게 된다. 또한, 상기 단선 영역(730)은 게이트 금속층(740) 상에 형성될 수 있다.
- <67> 이때, 등전위 라인(710, 720)은 상기 소스/드레인 형성에 따른 채널 형성 이후, 보호막 형성시에 단선되며, 상기 등전위 라인을 형성하기 위한 패턴은 상기 등전위 라인의 폭(W)과 상기 채널의 폭(L)의 비(W/L)가 작은 값을 갖도록 형성된다. 즉, 상기 등전위 라인의 폭(W)과 상기 채널의 폭(L)의 비(W/L)가 작은 값을 가질수록 상기 데이터 라인간의 저항을 증가시키고, 이에 따라 상기 채널 형성에 따른 전류 이동을 방지할 수 있게 된다.
- <68> 또한, 상기 박막트랜지스터 및 상기 다수의 게이트 라인들 및 데이터 라인들을 보호하기 위한 보호막(도시되지 않음)이 형성된다.
- <69> 상기 제1 등전위 라인(710, 750) 및 제2 등전위 라인(720, 760) 중 어느 하나는 상기 오드 쇼팅바(810)에 직접 연결될 수도 있다. 또한, 상기 등전위 라인은 상기 이븐 데이터 라인(840)과 상기 오드 데이터 라인(830)을 연결하는 폴리브덴(Mo) 금속 패턴일 수 있다.
- <70> 또한, 상기 오드 쇼팅바(810) 및 이븐 쇼팅바(820) 중 어느 하나의 쇼팅바, 상기 데이터 라인들(430) 및 상기 등전위 라인(710, 720, 750, 760)은 소스/드레인 금속층으로 형성되고, 상기 오드 쇼팅바(810) 및 이븐 쇼팅바(820) 중 다른 하나의 쇼팅바는 게이트 금속층으로 형성되며, 상기 소스/드레인 금속층과 상기 게이트 금속층 사이에는 게이트 절연막(도시되지 않음)이 형성된다.
- <71> 이때, 상기 게이트 금속층으로 형성된 쇼팅바(820)와 상기 소스/드레인 금속층으로 형성된 이븐 데이터 라인들(840)이 콘택홀(860)을 경유하여 전기적으로 접속하는 콘택 전극(850)을 추가로 포함하게 된다.
- <72> 또한, 상기 오드 쇼팅바(810), 상기 이븐 쇼팅바(820) 및 상기 등전위 라인(710, 720, 750, 760)은 액정 셀 검사 이후 스크라이빙 라인을 따라 절단될 수 있다.
- <73> 구체적으로, 도 6에 도시된 박막트랜지스터 어레이 기판은 게이트 라인(410)과 데이터 라인(430)의 교차부마다 형성된 박막트랜지스터(TFT)와, 박막트랜지스터(TFT)와 접속된 화소전극(Pixel)과, 화소전극(Pixel)과 이전단 게이트 라인(410)의 중첩부에 형성된 충전 커패시터(Cst)와, 게이트 라인(410)에 접속되는 게이트 패드부(도시하지 않음); 데이터 라인(430)에 접속된 데이터 패드부(600)를 포함하는 어레이 영역; 데이터 패드부(600)를 경유하여 오드 데이터 라인들(830)에 공통 접속된 오드 쇼팅바(810)와, 데이터 패드부(600)를 경유하여 이븐 데이

터 라인들(840)에 공통 접속된 이븐 쇼팅바(820)로 구성된 데이터 쇼팅바 영역 영역(800), 및 보호막의 패터닝 공정 이전까지 오드 데이터 라인들(830)과 이븐 데이터 라인들(840)을 공통 접속시키기 위한 등전위 라인(710, 720, 750, 760)을 포함하는 등전위 라인 형성 영역(700)을 구비한다.

<74> 게이트 라인(410)과 데이터 라인(430)은 게이트 절연막을 사이에 두고 절연되게 교차된다. 게이트 라인(410)과 데이터 라인(430)의 교차부마다 형성되는 박막트랜지스터(TFT)는, 게이트 라인(410)에 접속된 게이트 전극(420)과, 데이터 라인(430)에 접속된 소스 전극(440)과, 화소 전극(Pixel)에 접속된 드레인 전극(450)과, 게이트 전극(420)과 중첩되고, 소스 전극(440)과 드레인 전극(450) 사이에 채널을 형성하는 활성층(도시하지 않음)을 구비한다. 이때, 상기 활성층은 통상 데이터 라인(430)을 따라 신장된다. 상기 활성층 위에는 채널부를 제외한 영역에 오믹 접촉층이 형성된다. 이러한 박막트랜지스터(TFT)는 게이트 라인(410)에 공급되는 스캔신호에 응답하여 데이터 라인(430)에 공급되는 화소전압 신호가 화소 전극(Pixel)에 충전되어 유지되게 한다.

<75> 화소 전극(Pixel)은 보호막(도시하지 않음)을 관통하는 제1 콘택홀(460)을 통해 박막 트랜지스터(TFT)의 드레인 전극(450)과 접속된다. 화소전극(Pixel)은 충전된 화소 전압에 의해 통상적으로 상부 기관(도시하지 않음)인 컬러필터 기관에 형성되는 공통 전극과 전위차를 발생시키게 된다. 이 전위차에 의해 박막 트랜지스터 어레이 기관과 컬러필터 기관 사이에 위치하는 액정이 유전 이방성에 의해 회전하게 되며 도시하지 않은 광원으로부터 화소 전극(Pixel)을 경유하여 입사되는 광을 컬러필터 기관쪽으로 투과시키게 된다.

<76> 충전 커패시터(Cst)는 이전단 게이트 라인(410)과, 그 게이트 라인(410)과 게이트 절연막 사이에 두고 중첩되는 충전 전극(470)과, 그 충전 전극(470)과 보호막을 사이에 두고 중첩됨과 아울러 그 보호막에 형성된 제2 콘택홀(480)을 경유하여 접속된 화소전극(Pixel)으로 구성된다. 이러한 충전 커패시터(Cst)는 화소전극(Pixel)에 충전된 화소전압이 다음 화소전압이 충전될 때까지 안정적으로 유지되게 한다.

<77> 데이터 라인(430)은 데이터 패드부(600)를 경유하여 데이터 드라이버(도시되지 않음)와 접속되고, 게이트 라인(410)도 게이트 패드부를 경유하여 통해 게이트 드라이버(도시되지 않음)와 접속된다.

<78> 데이터 패드부(600)는 데이터 라인(430)으로부터 데이터링크를 경유하여 연장되는 데이터패드(610)와, 보호막을 관통하는 제3 콘택홀(630)을 통해 데이터패드(610)와 접속된 데이터 패드 보호전극(620)으로 구성된다.

<79> 데이터 쇼팅바 중 오드 쇼팅바(810)는 데이터 패드부(600)를 경유하여 오드 데이터 라인들(830)과 공통 접속되고, 이븐 쇼팅바(820)는 데이터 패드부(600)를 경유하여 이븐 데이터 라인들(840)과 공통 접속된다.

<80> 오드 쇼팅바(810)와 등전위 라인(710, 720, 750, 760)은 오드 및 이븐 데이터 라인(830, 840)들과 함께 소스/드레인 금속층으로 형성된다.

<81> 이와 달리, 이븐 쇼팅바(820)는 그를 가로지르는 오드 데이터 라인들(830)과 절연되도록 게이트 금속층으로 형성된다.

<82> 게이트 금속층으로 형성된 이븐 쇼팅바(820)는 도 6에 도시된 바와 같이 콘택홀(860)에 걸쳐 형성된 콘택전극(850)을 통해 소스/드레인 금속층으로 형성된 이븐 데이터 라인들(840)과 접속된다. 등전위 라인(710, 720, 750, 760)은 소스/드레인 금속층의 패터닝 공정에서부터 보호막 패터닝 공정 이전까지 데이터 라인들(430)을 공통 접속시켜 등전위를 형성하게 한다. 이에 따라, 상기 공정 중에 정전기가 데이터 라인들(430)로 유입되는 경우 공통 접속된 데이터 라인들(430)을 통해 정전기가 확산됨으로써 그 정전기에 의한 박막트랜지스터 손상, 절연 파괴 등과 같은 정전기 손상을 방지할 수 있게 된다. 이러한 등전위 라인(710, 720, 750, 760)은 보호막의 패터닝 공정에 의한 오픈홀들(730)을 통해 이븐 및 오드 데이터 라인들(830, 840) 사이에서 오픈된다. 박막 트랜지스터 어레이 기관이 완성되면 오드 쇼팅바(810)와 이븐 쇼팅바(820)를 이용하여 데이터 라인들(430)의 불량검사를 하게 된다. 이어서, 등전위 라인(710, 720, 750, 760)과 데이터 패드부(600) 사이의 스크라이빙 라인을 따라 데이터 쇼팅바(810, 820)를 절단해내게 된다.

<83> 도 7은 본 발명의 실시예에 따른 등전위 라인을 설명하기 위한 도면이다.

<84> 도 7을 참조하면, 본 발명의 실시예에 따른 등전위 라인(710, 720)은 상기 등전위 라인을 형성하기 위한 패턴은 상기 등전위 라인의 폭(W)과 상기 채널의 폭(L)의 비(W/L)가 작은 값을 갖도록 형성된다. 다시 말하면, 상기 등전위 라인의 폭(W)과 상기 채널의 폭(L)의 비(W/L)가 작은 값을 가질수록 상기 데이터 라인간의 저항을 증가시키고, 이에 따라 상기 채널 형성에 따른 전류 이동을 방지할 수 있게 된다. 후속적으로, 등전위 라인(710, 720)은 상기 소스/드레인 형성에 따른 채널 형성 이후, 보호막 형성시에 단선된다.

<85> 따라서, 상기 등전위 라인의 폭(W)을 적게 하거나, 상기 채널의 폭(L)을 크게 함으로써, 전류가 이동하지 못하

게 한다.

- <86> 또한, 상기 등전위 라인을 형성하기 위한 패턴이 다수의 미세 패턴으로 형성할 수 있는데, 전술한 바와 같이 상기 등전위 라인의 폭(W)을 적게 하거나, 상기 채널의 폭(L)을 크게 함으로써, 상기 등전위 라인의 폭(W)과 상기 채널의 폭(L)의 비(W/L)가 작아지게 한다면, 그 형상에 무관한 것은 당업자에게 자명하다. 상기 등전위 라인을 형성하기 위한 패턴의 다양한 예는 후속적으로 도 9a 내지 도 9d를 참조하여 설명하기로 한다.
- <87> 도 8은 본 발명의 실시예에 따른 등전위 라인 형성 방법을 설명하기 위한 수직 단면도로서, 본 발명의 실시예에 따른 박막트랜지스터 어레이 기판은, 하부 기판(510), 게이트 절연막(520), 활성층(530), 오믹 접촉층(540) 소스/드레인층에 각각 대응하여 형성되는 등전위 라인(710, 720), 오픈 홀이 형성되어 상기 등전위 라인(710, 720)을 단선시킨 후, 그 상부에 형성되는 보호막(550)을 포함하도록 형성된다. 여기서, 상기 하부 기판(510) 상에 게이트 금속층(740)이 형성된 것으로 도시되었지만, 상기 게이트 금속층(740)이 형성되지 않을 수도 있다.
- <88> 여기서, 상기 소스/드레인층에 대응하여 형성되는 등전위 라인(710, 720)이 상기 오픈홀(730)에 의해 단선되는데, 이때 채널의 폭(L)은 가급적 크게 형성하게 되고, 상기 등전위 라인(710, 720)의 폭(W)은 적게 형성함으로써, 상기 등전위 라인의 폭(W)과 상기 채널의 폭(L)의 비(W/L)가 작아지는 방향으로 등전위 라인 패턴을 형성하게 된다.
- <89> 한편, 본 발명의 실시예에 따른 박막트랜지스터 어레이 기판의 제조 방법은, 다수의 게이트 라인들 및 데이터 라인들의 각각의 교차 영역에 매트릭스 형태로 배열된 박막트랜지스터를 형성하고, 이후, 상기 다수의 데이터 라인들 중 오드 데이터 라인들에 공통으로 접속된 오드 쇼팅바 및 상기 다수의 데이터 라인들 중 이븐 데이터 라인들에 공통으로 접속된 이븐 쇼팅바를 형성하게 된다.
- <90> 다음으로, 상기 오드 쇼팅바로부터 분기된 오드 데이터 라인들과 상기 이븐 쇼팅바로부터 분기된 이븐 데이터 라인들 사이에 등전위를 형성하는 등전위 라인을 형성하되, 이때, 등전위 라인은 소스/드레인 형성에 따른 채널 형성 이후, 보호막 형성시에 단선되며, 상기 등전위 라인의 폭(W)과 상기 채널의 폭(L)의 비(W/L)가 작은 값을 갖도록 형성된다. 여기서, 상기 등전위 라인의 폭(W)과 상기 채널의 폭(L)의 비(W/L)가 작은 값을 가질수록 상기 데이터 라인간의 저항을 증가시키고, 이에 따라 상기 채널 형성에 따른 전류 이동을 방지하게 된다.
- <91> 다음으로, 상기 데이터 및 게이트 라인들, 상기 박막트랜지스터들과 상기 쇼팅바들의 원하는 부분을 부분적으로 노출시키는 다수의 콘택홀들과 함께 상기 오드 라인들과 이븐 라인들 사이마다 상기 등전위 라인을 오픈시키는 오픈홀을 형성하고, 다음으로, 상기 화소전극과 함께 상기 콘택홀들에 걸쳐 형성되는 콘택 전극을 형성하게 된다.
- <92> 도 6 및 도 8을 참조하여, 본 발명의 실시예에 따른 박막트랜지스터 어레이 기판의 제조 방법을 상세히 설명하면 다음과 같다.
- <93> 먼저, 하부 기판(510) 상에 이븐 데이터 쇼팅바를 형성하되, 상기 이븐 데이터 쇼팅바(820)는 하부 기판(510) 상에 스퍼터링 등의 증착방법으로 게이트 금속물질층을 증착한 후 마스크를 이용한 노광 공정과 식각 공정으로 패터닝함으로써 형성하게 된다. 이러한 이븐 데이터 쇼팅바(810)는 도 6에 도시된 어레이 내의 게이트 라인(410) 및 게이트전극(440) 등을 포함하는 게이트 패턴들과 함께 형성된다. 이때, 게이트 금속으로는 크롬(Cr), 몰리브덴(Mo), 알루미늄계 금속 등이 단일층 또는 이중층 구조로 이용된다.
- <94> 다음으로, 이븐 쇼팅바(820)가 형성된 하부기판(510) 상에 게이트 절연막(520)이 형성되고, 그 위에 오드 및 이븐 데이터 라인들(830, 840), 오드 쇼팅바(810), 그리고 등전위 라인(710, 720, 750, 760)이 형성된다.
- <95> 게이트 절연막(520)은 게이트 절연물질층을 PECVD(Plasma Enhanced Chemical Vapor Deposition) 등의 증착 방법으로 전면 증착하여 형성하게 된다. 게이트 절연물질로는 산화실리콘(SiO_x) 또는 질화실리콘(SiN_x) 등이 이용된다. 이어서, 게이트 절연막(520) 상에 비정질실리콘층 및 n+ 비정질실리콘층을 순차 적층한 후 제2 마스크를 이용한 노광 공정과 식각 공정으로 패터닝함으로써 도 6에 도시된 어레이 내의 활성층(530) 및 오믹 접촉층(540)을 형성하게 된다. 오드 및 이븐 데이터 라인들(830, 840), 오드 쇼팅바(810) 그리고 등전위 라인(710, 720, 750, 760)은 게이트 절연막(520) 상에 스퍼터링 등의 증착 방법으로 소스/드레인 금속물질층을 증착한 후 제3 마스크를 이용한 노광 공정과 식각 공정으로 패터닝함으로써 형성하게 된다. 이러한 오드 및 이븐 데이터 라인들(830, 840), 오드 쇼팅바(810), 그리고 등전위 라인(710, 720, 750, 760)은 도 6에 도시된 어레이 내의 데이터 라인(430), 소스 전극(440), 드레인 전극(460), 충전 전극(470), 데이터 패드(620) 등을 포함하는 소스/드레인 패턴들과 함께 형성된다.

- <96> 상기 등전위 라인(710, 720, 750, 760)은 오드 데이터 라인들(830)과 이븐 데이터 라인들(840)을 공통 접속시켜 등전위를 형성하게 된다. 이에 따라 등전위 라인(710, 720, 750, 760)이 오픈될 때까지 오드 및 이븐 데이터 라인들(830, 840)에 유입되는 정전기가 공통 접속된 오드 및 이븐 데이터 라인들(830, 840)에 의해 넓은 영역으로 확산됨으로써 정전기로 초래되는 불량을 방지할 수 있게 된다. 소스/드레인 금속으로는 이후 보호막의 패터닝 공정에서 등전위 라인(710, 720, 750, 760)의 오픈을 위하여 폴리브텐(Mo) 등과 같이 전식 식각이 가능한 금속을 이용한다.
- <97> 다음으로, 콘택홀(860)과 오픈홀(730)을 포함하는 보호막(550)이 후속적으로 형성된다.
- <98> 이때 보호막(550)은 절연물질을 PECVD 등의 증착방법으로 전면 증착함으로써 형성하게 된다. 보호막(550)의 절연물질로는 게이트 절연막(520)과 같은 무기 절연물질이나 유전상수가 작은 아크릴(acryl)계 유기화합물, BCB 또는 PFCB 등과 같은 유기 절연물질이 이용된다. 이븐 쇼팅바(820)의 콘택홀(860)은 마스크를 이용한 노광 공정과 전식 식각 공정으로 보호막(550) 및 게이트 절연막(520)을 패터닝함으로써 도 6에 도시된 어레이 내의 다수의 콘택홀들(460, 480, 630)과 함께 형성된다. 이와 동시에 등전위 라인(710, 720, 750, 760)의 오픈을 위한 오픈홀(36)도 전식식각 공정으로 보호막(550)과 등전위 라인(710, 720, 750, 760)을 관통하여 형성된다. 상기 콘택홀(860)에 걸쳐 콘택 전극(850)이 추가로 형성된다.
- <99> 콘택 전극(850)은 보호막(550) 상에 투명전극 물질을 스퍼터링 등의 증착 방법으로 증착한 후 마스크를 이용한 노광 공정과 식각 공정으로 패터닝함으로써 형성하게 된다. 이러한 콘택 전극(850)은 도 6에 도시된 어레이 내의 화소전극(Pixel), 데이터 패드 보호전극(620) 등을 포함하는 투명전극 패턴과 함께 형성된다. 투명전극 물질로는 인듐주석산화물(Indium Tin Oxide: ITO)이나 주석산화물(Tin Oxide: TO) 또는 인듐아연산화물(Indium Zinc Oxide: IZO)이 이용된다.
- <100> 이와 같이 본 발명에 따른 박막트랜지스터 어레이 기판 제조 방법에서는 등전위 라인(710, 720, 750, 760)을 이용하여 소스/드레인 금속층 패터닝 공정에서부터 보호막(550)의 패터닝 공정 이전까지 오드 및 이븐 데이터 라인들(830, 840)을 공통 접속시킴으로써 등전위를 형성하게 된다. 이에 따라, 상기 공정 중에 오드 및 이븐 데이터 라인들(830, 840)로 유입된 정전기를 등전위를 형성하는 오드 및 이븐 데이터 라인들(830, 840)로 확산시키게 된다.
- <101> 한편, 도 9a 내지 도 9d는 각각 본 발명의 실시예에 따른 등전위 라인 패턴을 나타내는 도면들이다.
- <102> 도 9a는 등전위 라인(710, 720)이 각각 오드 데이터 라인(830) 및 이븐 데이터 라인(840)과 각각 연결되고, 단선 영역(730) 하부에 게이트 금속층(740)이 없는 경우를 나타내고, 도 9b는 단선 영역(730) 하부에 게이트 금속층(740)이 형성된 경우를 나타내며, 도 9c는 등전위 라인(710, 720)이 평면 상에 직선 형태인 경우를 나타낸다. 또한, 도 9d는 제1 등전위 라인(710)이 오드 데이터 라인(830)이 아니라 오드 쇼팅바(810)에 직접 연결되는 경우를 나타내고 있다.
- <103> 본 발명에 따른 박막트랜지스터 어레이 기판 및 그 제조 방법에서는 등전위 라인을 이용하여 소스/드레인 금속층 패터닝 공정에서부터 보호막의 패터닝 공정 이전까지 데이터 라인들을 공통 접속시킴으로써 등전위를 형성하되, 등전위 라인의 폭(W)과 채널의 폭(L)의 비(W/L)를 감소시킨 등전위 패턴을 형성함으로써, 등전위 라인 형성시에 채널 형성에 따른 전류 이동을 방지할 수 있다.
- <104> 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로 이해되어야만 한다.

발명의 효과

- <105> 본 발명에 따르면, 등전위 라인의 폭과 채널의 폭의 비(W/L)를 감소시킨 등전위 패턴을 형성함으로써, 등전위 라인 형성시에 채널 형성에 따른 전류 이동을 방지할 수 있다. 또한, 등전위 형성을 위한 다양한 패턴 구조를 제공함으로써 TFT 패드부의 불량 발생을 줄일 수 있다.

도면의 간단한 설명

- <1> 도 1은 일반적인 액정 패널의 구성을 개략적으로 나타낸 도면이다.

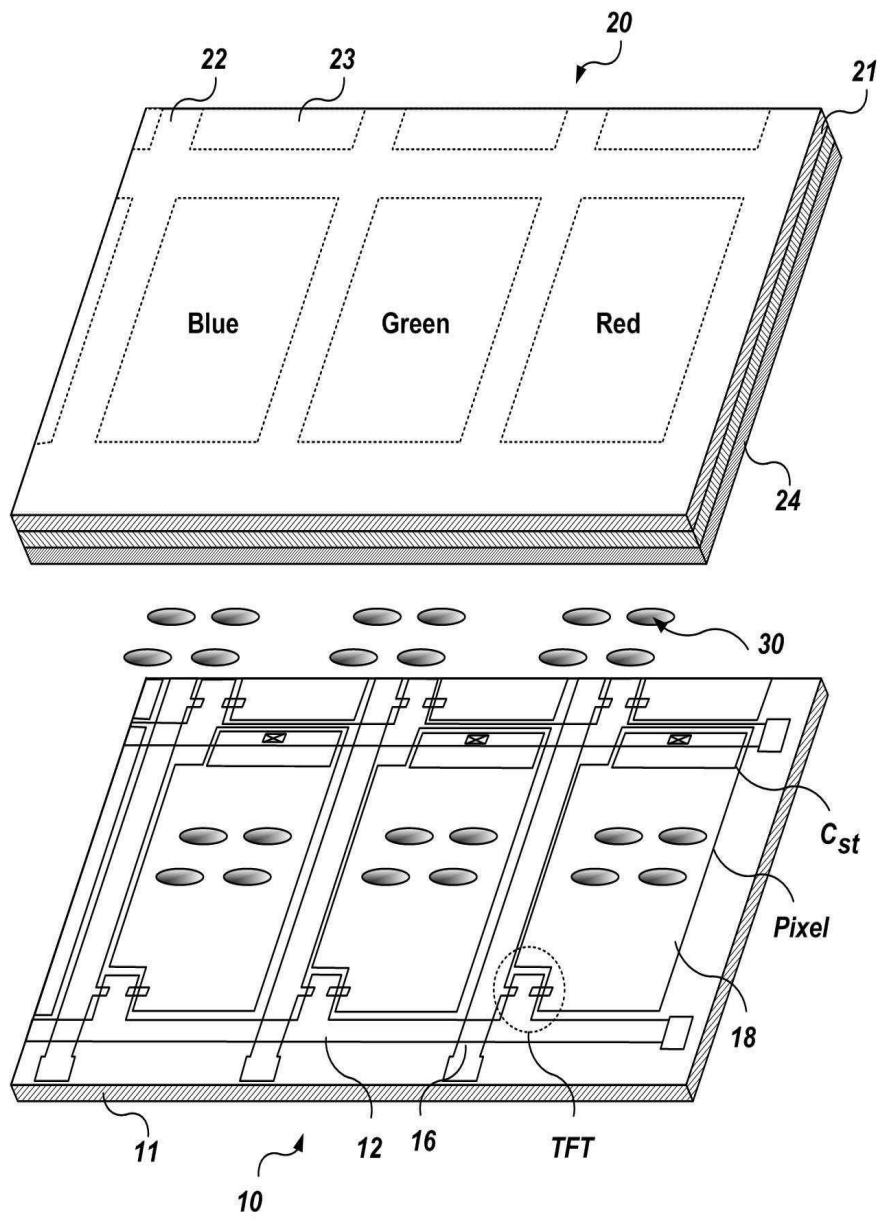
- <2> 도 2는 일반적인 액정 패널 상에 형성되는 등전위 라인을 개략적으로 설명하기 위한 도면이다.
- <3> 도 3은 종래 기술에 따른 등전위 라인이 형성된 박막트랜지스터 어레이 기판을 나타내는 평면도이다.
- <4> 도 4a 및 도 4b는 각각 도 3의 등전위 라인이 형성된 부분을 나타내는 상세 도면이다.
- <5> 도 5a 및 도 5b는 각각 도 4a 및 도 4b의 수직 단면도이다.
- <6> 도 6은 본 발명의 실시예에 따른 등전위 라인이 형성된 박막트랜지스터 어레이 기판을 나타내는 평면도이다.
- <7> 도 7은 본 발명의 실시예에 따른 등전위 라인을 설명하기 위한 도면이다.
- <8> 도 8은 본 발명의 실시예에 따른 등전위 라인 형성 방법을 설명하기 위한 수직 단면도이다.
- <9> 도 9a 내지 도 9d는 각각 본 발명의 실시예에 따른 등전위 라인 패턴을 나타내는 도면들이다.

<10> <도면의 주요 부분에 관한 부호의 설명>

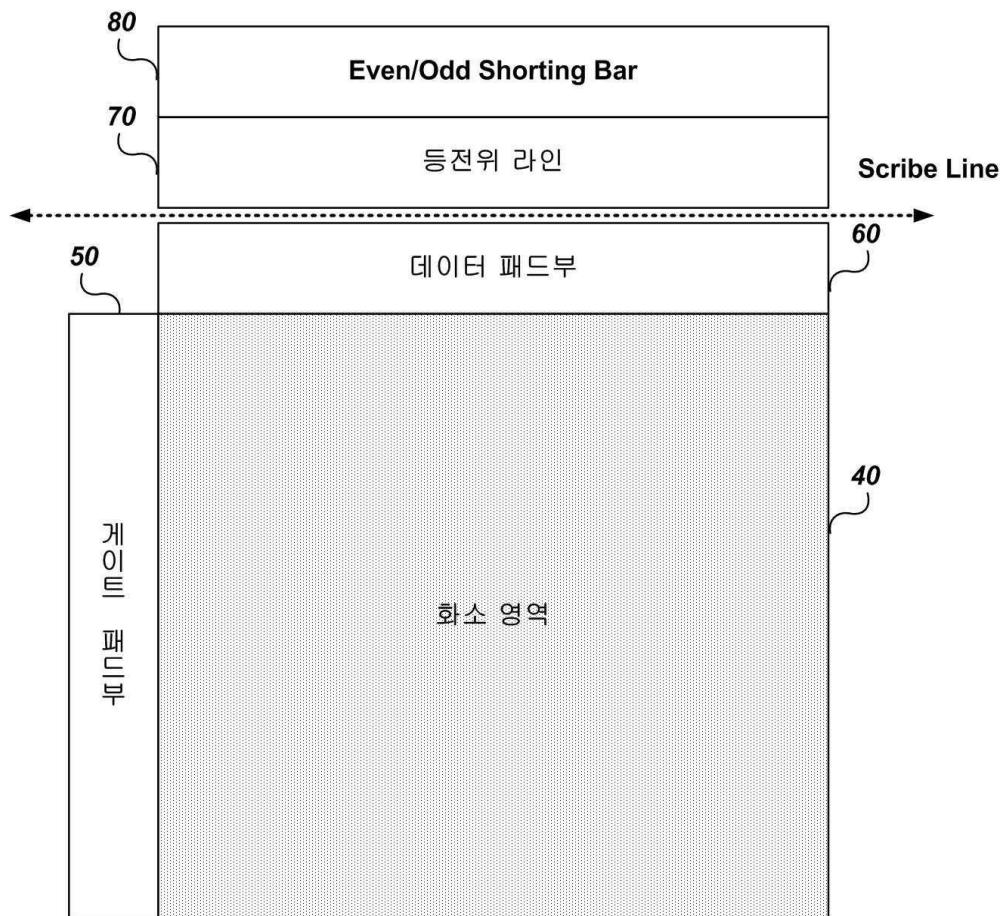
- | | |
|---------------------------|---------------------|
| <11> 400: 화소 영역 | 600: 데이터 패드 영역 |
| <12> 700: 등전위 라인 형성 영역 | 800: 오드/이븐 쇼팅바 영역 |
| <13> 710, 750: 제1 등전위 라인 | 720, 760: 제2 등전위 라인 |
| <14> 730, 770: 단선 영역(오픈홀) | 740, 780: 게이트 금속층 |
| <15> 810: 오드 쇼팅바 | 820: 이븐 쇼팅바 |
| <16> 830: 오드 데이터 라인 | 840: 이븐 데이터 라인 |
| <17> 850: 콘택 전극 | 860: 콘택홀 |

도면

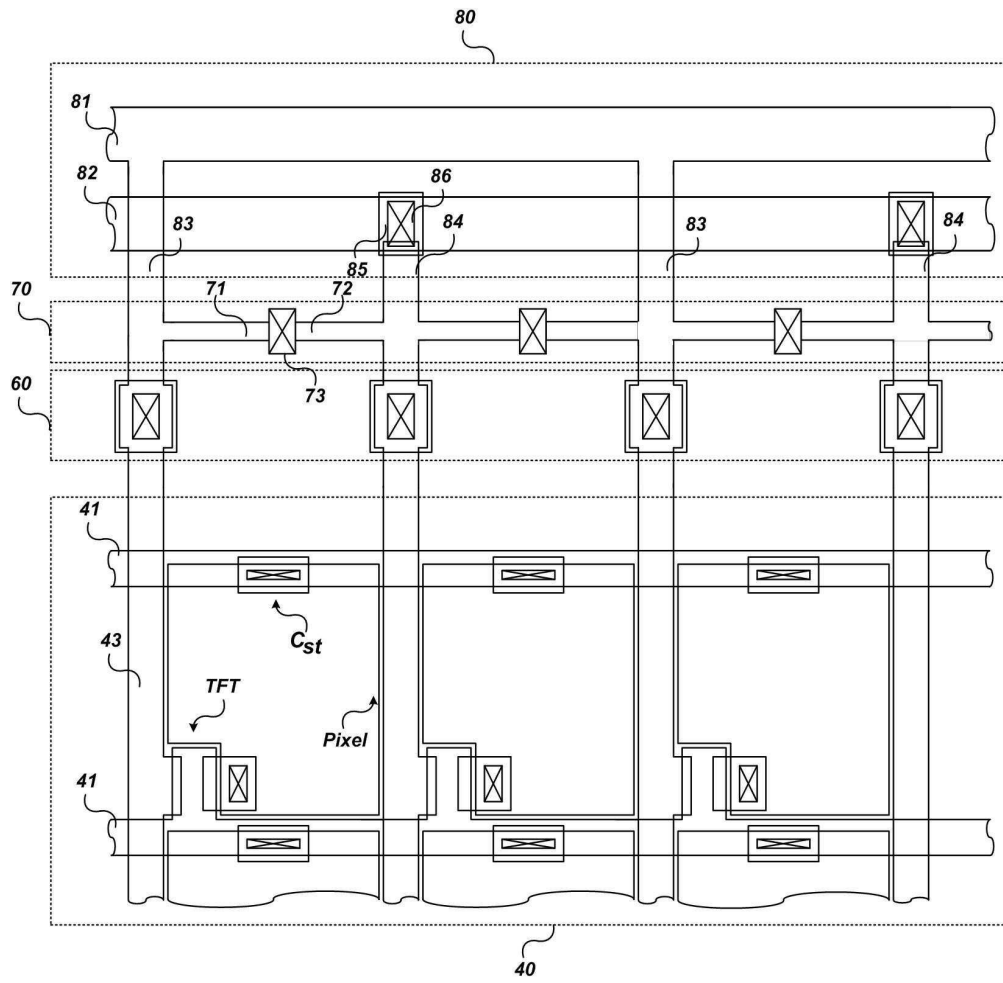
도면1



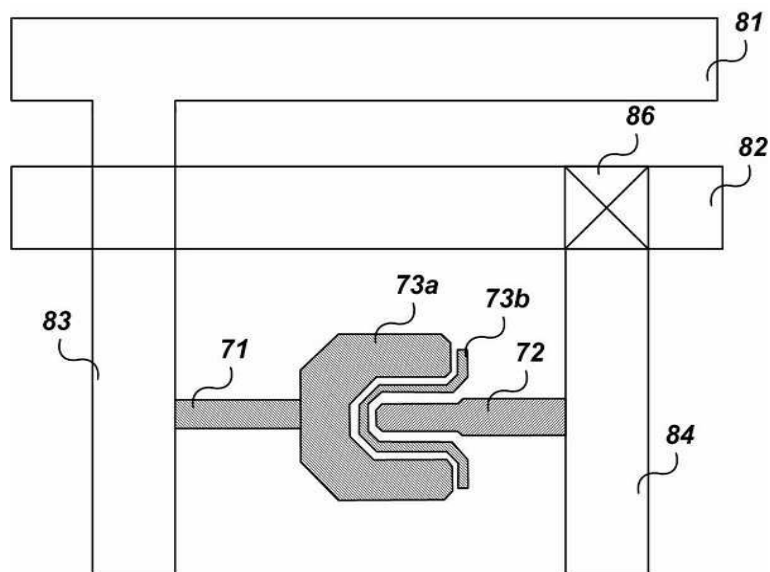
도면2



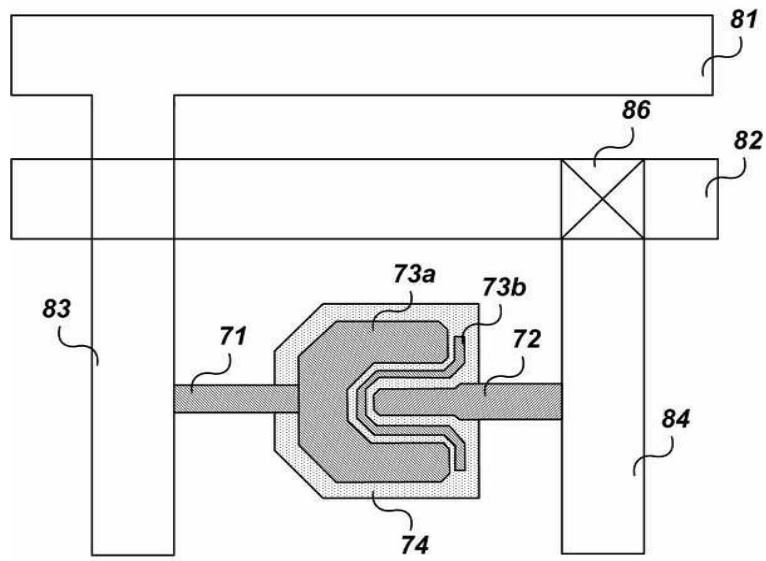
도면3



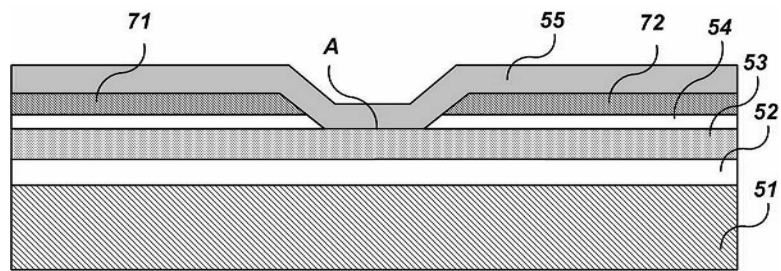
도면4a



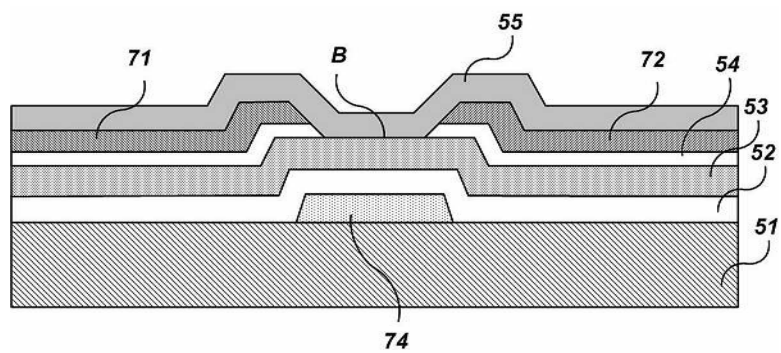
도면4b



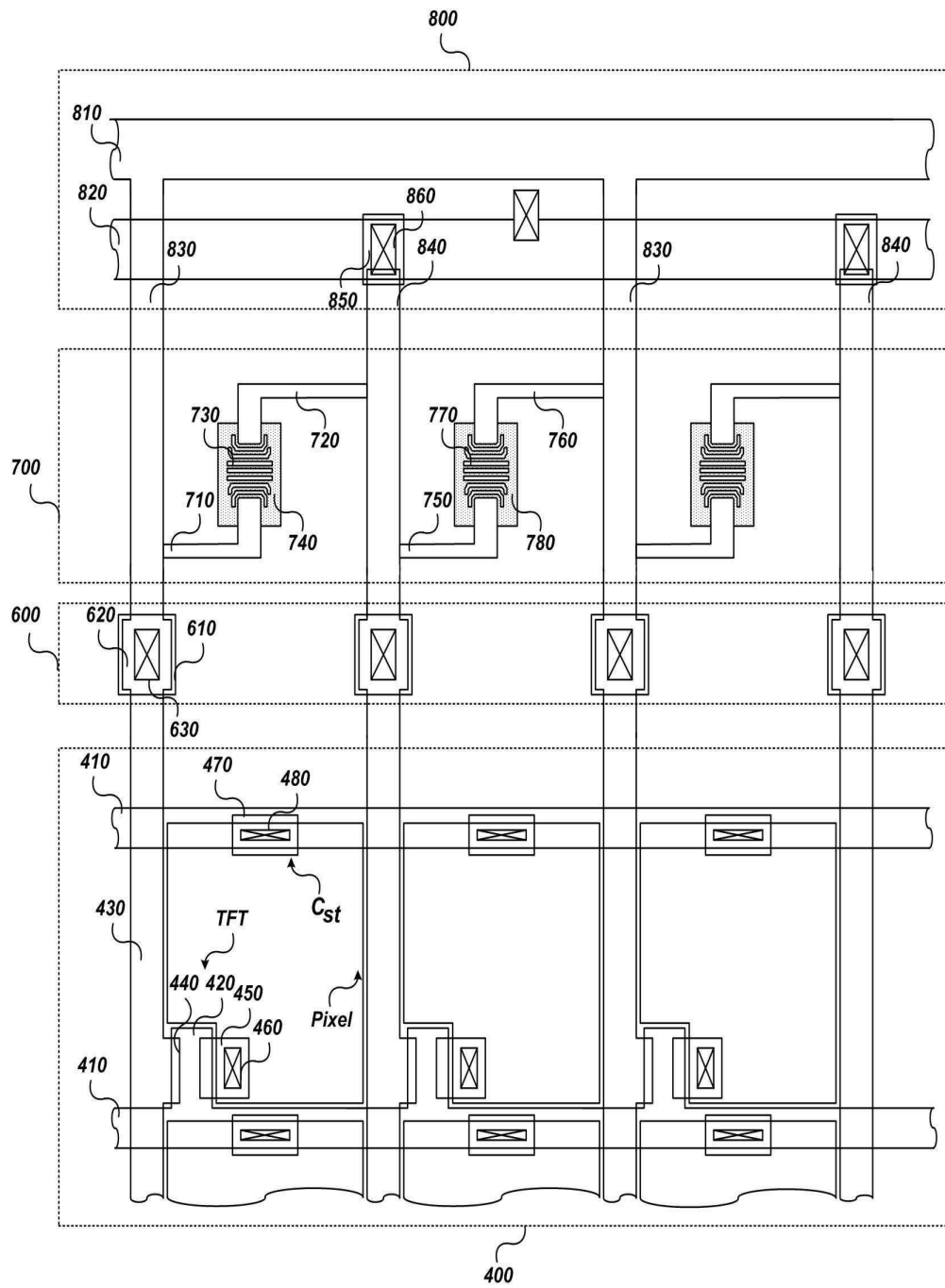
도면5a



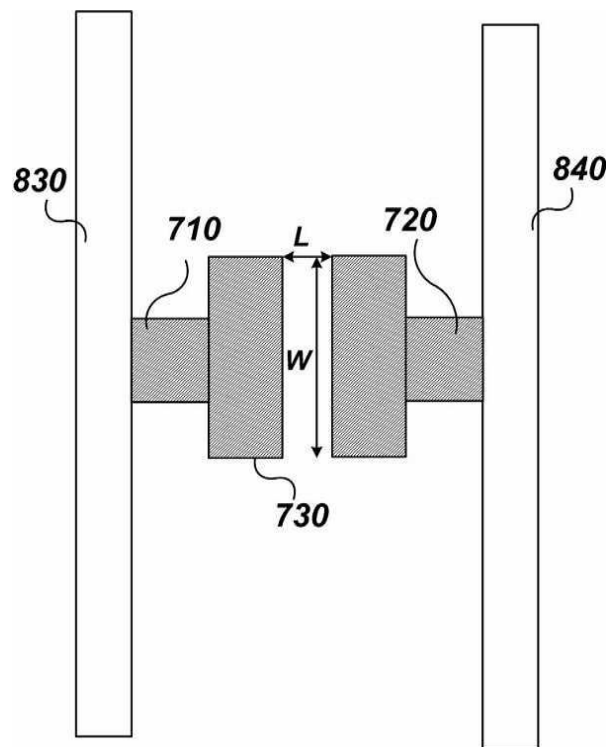
도면5b



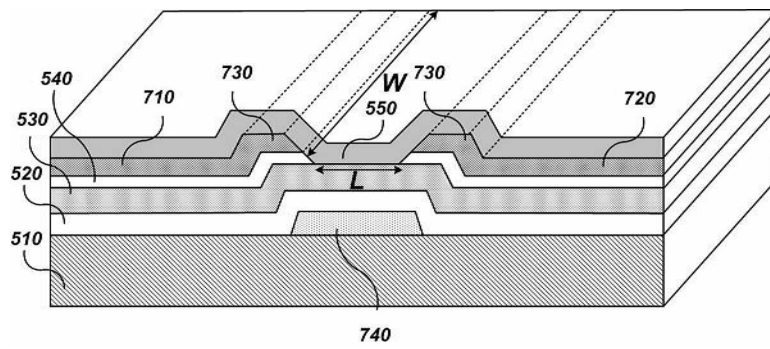
도면6



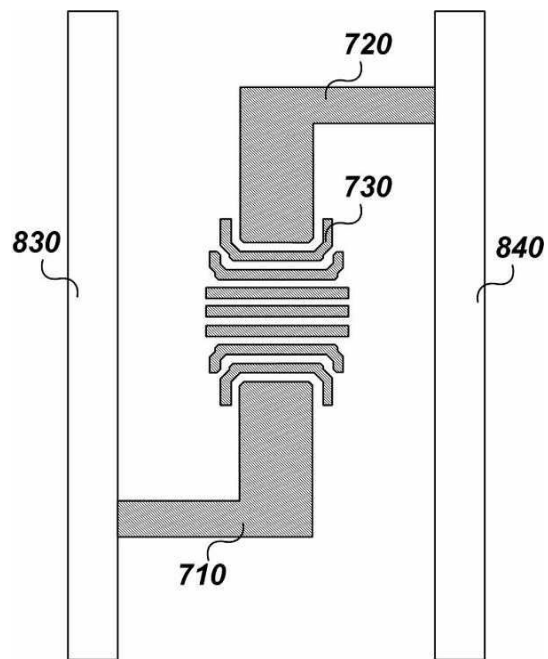
도면7



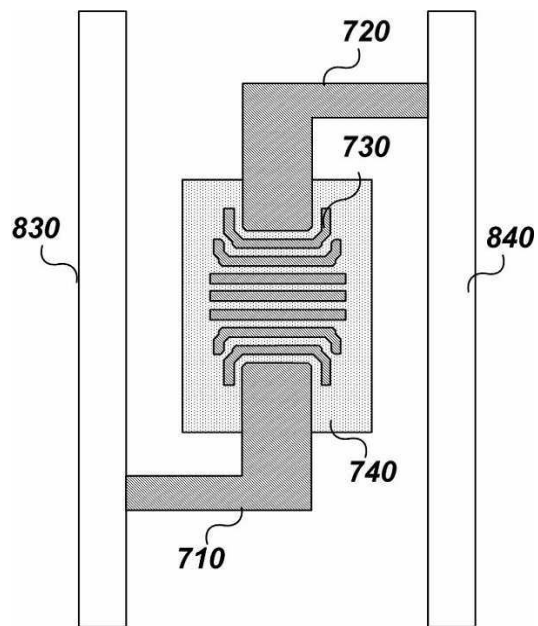
도면8



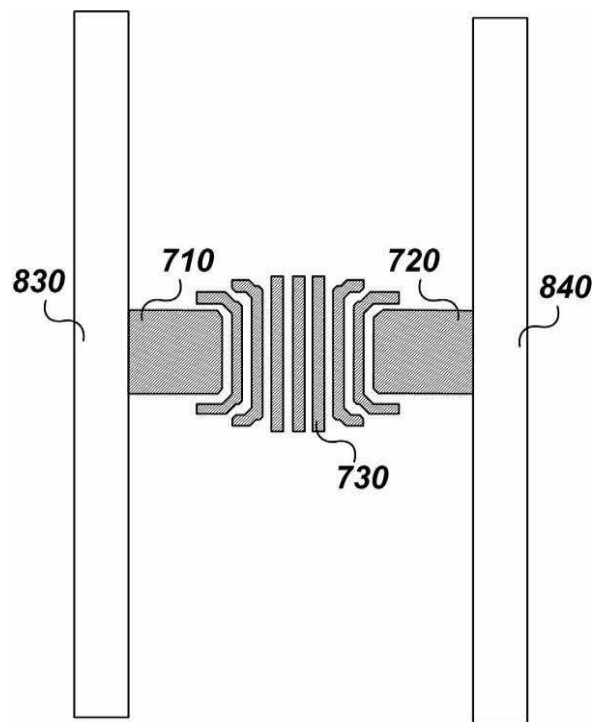
도면9a



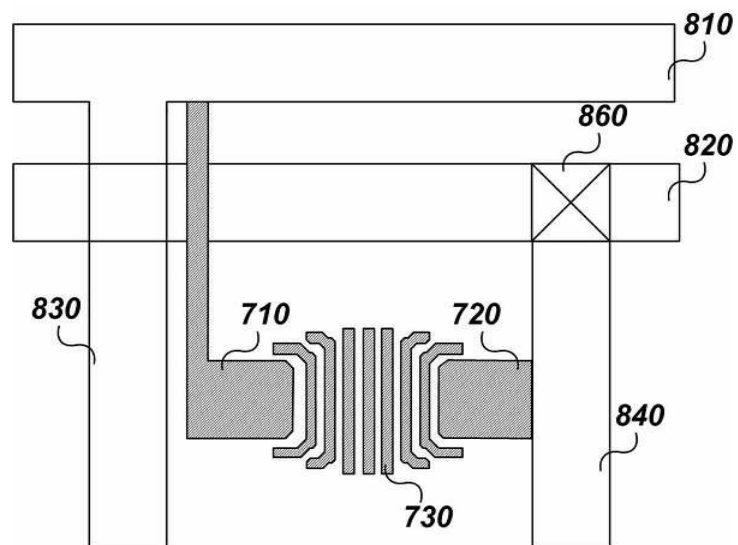
도면9b



도면9c



도면9d



专利名称(译)	用于液晶显示装置的薄膜晶体管阵列基板及其制造方法		
公开(公告)号	KR1020070120259A	公开(公告)日	2007-12-24
申请号	KR1020060054780	申请日	2006-06-19
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM YOUNG IL 김영일 PARK JONG SUB 박종섭 KIM YONG WAN 김용완		
发明人	김영일 박종섭 김용완		
IPC分类号	G02F1/1345		
CPC分类号	G02F1/1335 G02F1/136 H01L29/786		
其他公开文献	KR101258249B1		
外部链接	Espacenet		

摘要(译)

本发明提供一种薄膜晶体管阵列基板及其制造方法，该薄膜晶体管阵列基板能够防止由于偶数/奇数短路棒中的各个连接的数据线之间的等电位形成中的沟道形成引起的电动作。用于液晶显示器的薄膜晶体管阵列基板包括用于直接连接到奇数短路条的保护膜：偶数短路条，其共同连接到从奇数短路条分支出的多个数据线奇数数据线上的偶数数据线，以及甚至从偶数短路条分支并共同连接到在数据线的每个交叉域中以矩阵形式布置的多条栅极线和薄膜晶体管中的奇数数据线的数据线：多条数据线，保护形成等电位的等电位线奇数数据线，直到薄膜晶体管和薄膜晶体管的源极/漏极形成和偶数数据线以及多条栅极线和数据线。然后，根据钝化中的源极/漏极形成，在沟道形成中切断等势线。并且用于形成等电位线的图案形成为使得等电位线和沟道的宽度（W）的宽度（L）的比率（W / L）具有较小的值。液晶显示器，等势线，通道形成，偶数短路棒，奇数短路棒。

