



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2007-0109157  
(43) 공개일자 2007년11월15일

(51) Int. Cl.

G02F 1/133 (2006.01) G09G 3/36 (2006.01)

(21) 출원번호 10-2006-0041733

(22) 출원일자 2006년05월10일

심사청구일자 없음

(71) 출원인

엘지.필립스 엘시디 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

김철세

대구 달서구 용산동 보람타운 202-303

(74) 대리인

허용록

전체 청구항 수 : 총 22 항

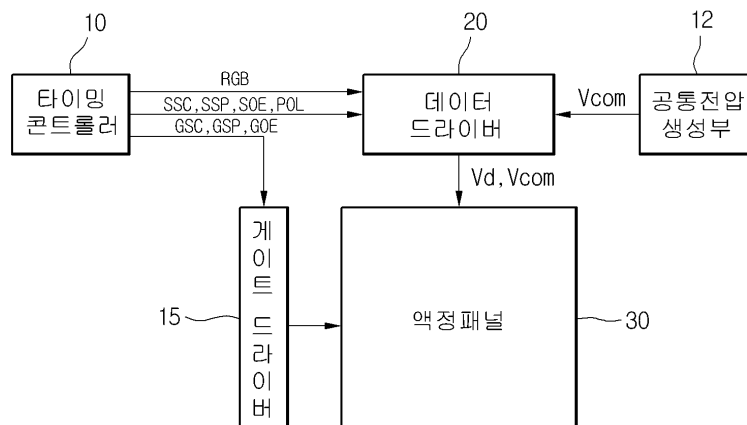
(54) 액정패널, 이를 구비한 액정표시장치 및 그 구동 방법

(57) 요약

매트릭스 형태로 배열된 다수의 화소 영역을 포함하는 액정패널이 개시된다. 각 화소 영역은, 게이트라인에 교차하여 제1 및 제2 데이터라인이 배열되고, 게이트라인과 제1 데이터라인에 제1 박막트랜지스터가 연결되고, 게이트라인과 제2 데이터라인에 제2 박막트랜지스터가 연결되며, 제1 및 제2 박막트랜지스터 사이에 액정셀이 형성된다. 이러한 경우, 데이터 전압과 공통전압이 제1 및 제2 데이터라인에 교대로 공급된다.

따라서 본 발명은 각 화소 영역에 동일한 킥백전압을 전압을 유발하는 제1 및 제2 박막트랜지스터와 이에 각각 연결된 제1 및 제2 데이터라인을 구비함으로써, 플리커와 잔상을 방지하여 표시 품질을 향상시킬 수 있다.

대표도 - 도6



## 특허청구의 범위

### 청구항 1

매트릭스 형태로 배열된 다수의 화소 영역을 포함하는 액정패널에 있어서,  
 각 화소 영역은,  
 게이트라인;  
 상기 게이트라인에 교차 배열된 제1 및 제2 데이터라인;  
 상기 게이트라인과 상기 제1 데이터라인에 연결된 제1 박막트랜지스터;  
 상기 게이트라인과 상기 제2 데이터라인에 연결된 제2 박막트랜지스터; 및  
 상기 제1 및 제2 박막트랜지스터 사이에 형성된 액정셀을 포함하고,  
 데이터 전압과 공통전압이 상기 제1 및 제2 데이터라인에 교대로 공급되는 것을 특징으로 하는 액정패널.

### 청구항 2

제1항에 있어서, 상기 제1 및 제2 박막트랜지스터의 기생용량은 동일한 것을 특징으로 하는 액정패널.

### 청구항 3

제1항에 있어서, 상기 데이터 전압과 상기 공통전압은 소정의 기간별로 상기 제1 및 제2 데이터라인에 교대로 공급되는 것을 특징으로 하는 액정패널.

### 청구항 4

제3항에 있어서, 상기 기간은 s 프레임 단위인 것을 특징으로 하는 액정패널.

### 청구항 5

제3항에 있어서, 상기 기간은 한 프레임 내의 t 라인 단위인 것을 특징으로 하는 액정패널.

### 청구항 6

제1항에 있어서, 상기 데이터 전압과 상기 공통전압은 s 프레임 단위 및 각 프레임 내의 t 라인 단위로 상기 제1 및 제2 데이터라인에 교대로 공급되는 것을 특징으로 하는 액정패널.

### 청구항 7

게이트라인; 및 상기 게이트라인에 교차 배열된 제1 및 제2 데이터라인을 포함하는 화소 영역이 매트릭스 형태로 배열된 액정패널;

상기 게이트라인에 스캔신호를 공급하는 게이트 드라이버; 및

상기 제1 및 제2 데이터라인에 데이터 전압과 공통전압을 교대로 공급하는 데이터드라이버를 포함하는 것을 특징으로 하는 액정표시장치.

### 청구항 8

제7항에 있어서, 상기 각 화소 영역은,

상기 게이트라인과 상기 제1 데이터라인에 연결된 제1 박막트랜지스터;

상기 게이트라인과 상기 제2 데이터라인에 연결된 제2 박막트랜지스터; 및

상기 제1 및 제2 박막트랜지스터 사이에 형성된 액정셀을 더 포함하는 것을 특징으로 하는 액정표시장치.

### 청구항 9

제8항에 있어서, 상기 제1 및 제2 박막트랜지스터의 기생용량은 동일한 것을 특징으로 하는 액정표시장치.

#### 청구항 10

제7항에 있어서, 상기 데이터 전압과 상기 공통전압은 소정의 기간별로 상기 제1 및 제2 데이터라인에 교대로 공급되는 것을 특징으로 하는 액정표시장치.

#### 청구항 11

제10항에 있어서, 상기 기간은 s 프레임 단위인 것을 특징으로 하는 액정표시장치.

#### 청구항 12

제10항에 있어서, 상기 기간은 한 프레임 내의 t 라인 단위인 것을 특징으로 하는 액정표시장치.

#### 청구항 13

제7항에 있어서, 상기 데이터 전압과 상기 공통전압은 s 프레임 단위 및 각 프레임 내의 t 라인 단위로 상기 제1 및 제2 데이터라인에 교대로 공급되는 것을 특징으로 하는 액정표시장치.

#### 청구항 14

제7항에 있어서, 상기 액정패널의 제1 및 제2 데이터라인에 상기 데이터 전압과 상기 공통전압을 교대로 공급되도록 스위칭하는 스위칭부를 더 포함하는 것을 특징으로 하는 액정표시장치.

#### 청구항 15

제14항에 있어서, 상기 스위칭부는 상기 데이터드라이버에 구비되는 것을 특징으로 하는 액정표시장치.

#### 청구항 16

제14항에 있어서, 상기 스위칭부는 상기 액정패널 상에 형성되는 것을 특징으로 하는 액정표시장치.

#### 청구항 17

제14항에 있어서, 상기 스위칭부는, 상기 액정패널의 1라인분의 화소 영역에 상응하는 다수의 스위치를 포함하는 것을 특징으로 하는 액정표시장치.

#### 청구항 18

제17항에 있어서, 상기 스위치는 상기 데이터 전압과 상기 공통전압을 교대로 스위칭하기 위한 다수의 트랜지스터를 포함하는 것을 특징으로 하는 액정표시장치.

#### 청구항 19

제18항에 있어서, 상기 트랜지스터는 NMOS형 트랜지스터 또는 PMOS형 트랜지스터 중 어느 하나로 구성되는 것을 특징으로 하는 액정표시장치.

#### 청구항 20

게이트라인; 및 상기 게이트라인에 교차 배열된 제1 및 제2 데이터라인을 포함하는 화소 영역이 매트릭스 형태로 배열된 액정패널; 및 상기 액정패널을 구동하기 위한 게이트 드라이버 및 데이터드라이버를 포함하는 액정표시장치에 있어서,

제1 기간 동안 제1 데이터 전압을 상기 제1 데이터라인에 공급하고 공통전압을 상기 제2 데이터라인에 공급하는 단계; 및

제2 기간 동안 제2 데이터 전압을 상기 제2 데이터 라인에 공급하고 상기 공통전압을 상기 제1 데이터 라인에 공급하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 구동 방법.

#### 청구항 21

제20항에 있어서, 상기 기간은 s 프레임 단위인 것을 특징으로 하는 액정표시장치의 구동 방법.

## 청구항 22

제20항에 있어서, 상기 기간은 한 프레임 내의 t 라인 단위인 것을 특징으로 하는 액정표시장치의 구동 방법.

## 명세서

### 발명의 상세한 설명

#### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

- <16> 본 발명은 액정표시장치에 관한 것으로, 특히 표시품질을 높이도록 한 액정패널, 이를 구비한 액정표시장치 및 그 구동방법에 관한 것이다.
- <17> 액정표시장치는 비디오신호에 따라 액정셀들의 광투과율을 조절하여 화상을 표시하게 된다. 액티브 매트릭스(Active Matrix) 타입의 액정표시장치는 액정셀마다 스위칭소자가 형성되어 동영상 표시하기에 유리하다.
- <18> 액정표시장치는 액정셀에 충전되는 데이터의 극성을 주기적으로 반전시킴으로써 플리커와 잔상을 줄이기 위한 인버전 방식으로 구동되고 있다. 인버전 방식으로는 수직라인 방향에서 인접한 액정셀들간 데이터의 극성을 반전시키는 라인 인버전 방식, 수평라인 방향에서 인접한 액정셀들간 데이터의 극성을 반전시키는 컬럼 인버전 방식, 수직라인방향과 수평라인 방향에서 인접한 액정셀들간 데이터의 극성을 반전시키는 도트 인버전 방식이 있다.
- <19> 도 1은 종래의 액정표시장치의 액정패널을 개략적으로 나타낸 것이다. 도 1에서, 종래의 액정표시장치의 액정패널은 두 장의 상하부 유리기관 사이에 액정이 주입되어 구성된다. 상기 하부 유리기관상에 가로 방향으로 다수의 게이트라인( $Gn-1$ ,  $Gn$ ,  $Gn+1$ )이 배열되고, 세로 방향으로 다수의 데이터라인( $Dm-1$ ,  $Dm$ ,  $Dm+1$ )이 배열된다. 상기 게이트라인( $Gn-1$ ,  $Gn$ ,  $Gn+1$ )과 상기 데이터라인( $Dm-1$ ,  $Dm$ ,  $Dm+1$ )에 의해 화소 영역(P)이 정의된다. 상기 화소 영역(P)에는 박막트랜지스터(T)와 화소전극이 형성된다. 상기 박막트랜지스터(T)는 게이트 전극이 게이트라인에 연결되고 소오스 전극이 데이터라인에 연결되고 드레인 전극이 화소전극에 연결된다. 상기 상부 유리기관상에 적색(R), 녹색(G) 및 청색(B) 컬러필터와 공통전극이 형성된다. 이러한 경우, 상기 하부 유리기관의 상기 화소전극과 상기 상부 유리기관의 상기 공통전극 사이에 액정셀(Clc)이 형성된다. 상기 액정셀(Clc)은 상기 화소전극에 공급된 데이터 전압과 상기 공통전극에 공급된 공통전압에 의해 구동된다.
- <20> 도시되지 않았지만, 전단의 게이트라인과 상기 화소전극이 오버랩되어 스토리지 캐패시터(Cst)가 형성된다. 상기 스토리지 캐패시터(Cst)는 상기 화소전극에 공급된 데이터 전압을 1 수평 기간(H) 동안 유지시켜 준다.
- <21> 상기 다수의 게이트라인( $Gn-1$ ,  $Gn$ ,  $Gn+1$ )으로 스캔 신호가 순차적으로 공급되고, 상기 스캔신호에 의해 상기 게이트라인( $Gn-1$ ,  $Gn$ ,  $Gn+1$ )에 연결된 상기 박막트랜지스터(T)가 턴-온된다.
- <22> 이러한 경우, 상기 다수의 데이터라인( $Dm-1$ ,  $Dm$ ,  $Dm+1$ )으로 공급된 데이터 전압이 상기 박막트랜지스터(T)를 경유하여 상기 화소전극으로 인가된다. 이에 따라, 상기 화소전극으로 인가된 데이터 전압과 상기 상부 유리기관의 상기 공통전극으로 공급된 공통전압에 상기 액정셀(Clc)에 공급됨에 따라 소정의 화상이 디스플레이된다.
- <23> 도 2에 도시한 바와 같이, 제n 게이트라인( $Gn$ )으로 제n 스캔신호, 게이트 하이 전압( $V_{gh}$ )이 공급되고, 제n+1 게이트라인( $Gn+1$ )으로 제n+1 스캔신호, 게이트 하이 전압( $V_h$ )이 공급된다. 스캔 신호는 1수평기간(H) 단위로 각 게이트라인( $Gn-1$ ,  $Gn$ ,  $Gn+1$ )으로 공급된다. 각 게이트라인( $Gn-1$ ,  $Gn$ ,  $Gn+1$ )에는 1수평기간(H)동안 게이트 하이 전압( $V_{gh}$ )이 공급되고, 그 이후에는 게이트 로우 전압( $V_{gl}$ )이 공급된다.
- <24> 각 게이트라인( $Gn-1$ ,  $Gn$ ,  $Gn+1$ )으로 공급된 게이트 하이 전압( $V_h$ )에 의해 각 게이트라인( $Gn-1$ ,  $Gn$ ,  $Gn+1$ ) 상의 박막트랜지스터(T)가 턴-온된다.
- <25> 제n 게이트라인( $Gn$ ) 상의 박막트랜지스터(T)의 턴-온에 의해 각 데이터라인( $Dm-1$ ,  $Dm$ ,  $Dm+1$ )으로 공급된 데이터 전압이 상기 제n 게이트라인( $Gn$ ) 상의 박막트랜지스터(T)를 경유하여 상기 액정셀(Clc)로 공급된다.
- <26> 제n+1 게이트라인( $Gn+1$ ) 상의 박막트랜지스터(T)의 턴-온에 의해 각 데이터라인( $Dm-1$ ,  $Dm$ ,  $Dm+1$ )으로 공급된 데이터 전압이 상기 제n+1 게이트라인( $Gn+1$ ) 상의 박막트랜지스터(T)를 경유하여 상기 액정셀(Clc)로 공급된다.
- <27> 이러한 경우, 도트 인버전이나 라인 인버전 등의 인버전 방식에서 데이터전압은 도면과 같이 정극성과 부극성이

교대로 나타난다.

- <28> 그런데 종래의 액정패널에서는 게이트 하이 전압(Vgh)에서 게이트 로우 전압(Vgl)으로 스위칭될 때, 박막트랜지스터(T)의 기생용량(Cgd)으로 인해 수학적 1과 같은 킥백전압(kickback voltage,  $\Delta V_p$ )이 발생된다. 이러한 킥백전압만큼 강화된 전압이 액정셀(Clc)에 충전된다. 이러한 킥백전압은 인버전 방식에서 정극성 데이터 전압과 부극성 데이터 전압에 관계없이 항상 전압 강하를 발생시킨다.

### 수학적 1

<29> 
$$\Delta V_p = \frac{C_{gd}}{C_{gd} + C_{st} + C_{lc}} (V_{gh} - V_{gl})$$

- <30> 여기서,  $\Delta V_p$ 는 킥백 전압(kickback voltage), Cgd는 박막트랜지스터(T)의 게이트 전극과 드레인 전극 사이의 캐패시턴스이고, Cst는 스토리지 캐패시터이다.  $\Delta V_p$ 는 수학적 1에서 알 수 있는바, 박막트랜지스터의 기생용량(Cgd)에 의해 변하게 된다.

- <31> 도 2에 도시된 바와 같이, 동일 계조를 표현하는 경우, 공통전압(Vcom)을 기준으로 킥백전압( $\Delta V_p$ )만큼 전압 강화된 정극성 데이터 전압과 킥백전압( $\Delta V_p$ )만큼 전압 강화된 부극성 데이터 전압의 충전량이 상이해짐에 따라 플리커가 발생하게 되는 문제점이 있다. 이러한 플리커는 도트 간, 라인 간 또는 프레임 간에 발생할 수 있다.

- <32> 아울러, 액정 유전율 이방성으로부터 상기 액정셀(Clc)에 상이한 데이터 전압이 충전되는 경우, 서로 상이한 데이터 전압의 킥백 전압 또한 상이해지게 되어, 결국 하나의 공통전압(Vcom)으로 킥백전압을 효과적으로 제어하지 못하는 문제점이 있다.

### 발명이 이루고자 하는 기술적 과제

- <33> 따라서 본 발명은 잔상과 플리커를 방지하여 표시 품질을 향상시킬 수 있는 액정패널, 이를 구비한 액정표시장치 및 그 구동 방법을 제공함에 그 목적이 있다.

### 발명의 구성 및 작용

- <34> 상기 목적을 달성하기 위한 본 발명의 제1 실시예에 따르면, 매트릭스 형태로 배열된 다수의 화소 영역을 포함하는 액정패널은, 각 화소 영역은, 게이트라인; 상기 게이트라인에 교차 배열된 제1 및 제2 데이터라인; 상기 게이트라인과 상기 제1 데이터라인에 연결된 제1 박막트랜지스터; 상기 게이트라인과 상기 제2 데이터라인에 연결된 제2 박막트랜지스터; 및 상기 제1 및 제2 박막트랜지스터 사이에 형성된 액정셀을 포함하고, 데이터 전압과 공통전압이 상기 제1 및 제2 데이터라인에 교대로 공급된다.

- <35> 본 발명의 제2 실시예에 따르면, 액정표시장치는, 게이트라인; 및 상기 게이트라인에 교차 배열된 제1 및 제2 데이터라인을 포함하는 화소 영역이 매트릭스 형태로 배열된 액정패널; 상기 게이트라인에 스캔신호를 공급하는 게이트 드라이버; 상기 제1 및 제2 데이터라인에 데이터 전압과 공통전압을 교대로 공급하는 데이터드라이버를 포함한다.

- <36> 본 발명의 제3 실시예에 따르면, 게이트라인; 및 상기 게이트라인에 교차 배열된 제1 및 제2 데이터라인을 포함하는 화소 영역이 매트릭스 형태로 배열된 액정패널; 상기 액정패널을 구동하기 위한 게이트 드라이버 및 데이터드라이버를 포함하는 액정표시장치는, 제1 기간 동안 제1 데이터 전압을 상기 제1 데이터라인에 공급하고 공통전압을 상기 제2 데이터라인에 공급하는 단계; 및 제2 기간 동안 제2 데이터 전압을 상기 제2 데이터 라인에 공급하고 상기 공통전압을 상기 제1 데이터 라인에 공급하는 단계를 포함한다.

- <37> 이하, 첨부된 도면을 참조하여 본 발명의 실시예를 상세히 설명한다.

- <38> 도 3은 본 발명의 단위 화소영역을 개략적으로 나타낸 것이다.

- <39> 도 3에서, 본 발명의 단위 화소 영역(P)은 하나의 게이트라인(Gn)과 제1 및 제2 데이터라인(D11, Dr1)에 의해 정의될 수 있다. 상기 화소 영역(P)은 제1 및 제2 박막트랜지스터(T1, Tr)와 하나의 액정셀(Ct)을 포함한다.

- <40> 상기 제1 박막트랜지스터(T1)는 게이트 전극이 상기 게이트라인(Gn)에 연결되고, 소오스 전극이 상기 제1 데이터라인(D11)에 연결되며, 드레인 전극이 상기 액정셀(Ct)에 연결된다. 상기 제2 박막트랜지스터(Tr)는 게이트 전극이 상기 게이트라인(Gn)에 연결되고, 소오스 전극이 상기 제2 데이터라인(Dr1)에 연결되며, 드레인 전극이 상기 액정셀(Ct)에 연결된다.

- <41> 결국, 상기 제1 및 박막트랜지스터(T1, Tr)는 게이트 전극은 상기 게이트라인(Gn)에 그리고 드레인 전극은 상기 액정셀(C1c)에 공통 연결되는데 반해, 소오스 전극은 제1 및 제2 데이터라인(D11, Dr1)에 각각 연결된다.
- <42> 상기 액정셀(Ct)은 액정에 의해 형성된 액정 캐패시터스(C1c)와 이전 단의 게이트라인 또는 소정 공통전압 라인에 의해 형성된 스토리지 캐패시터를 포함한다. 도시되지 않았지만, 제1 및 제2 박막트랜지스터(T1, Tr)와 상기 액정셀(Ct) 간에는 화소전극이 연결되어 있다.
- <43> 도 4에 도시된 바와 같이, 상기 게이트라인(Gn)에는 1수평기간(H) 동안 스캔신호, 즉 게이트 하이 전압(Vgh)이 공급되고, 1수평기간(H) 이후로부터 다음 프레임까지 게이트 로우 전압(Vgl)이 공급된다.
- <44> 따라서 상기 스캔신호, 즉 게이트 하이 전압(Vgh)이 상기 게이트라인(Gn)으로 공급되는 경우, 상기 게이트라인(Gn)에 연결된 제1 및 제2 박막트랜지스터(T1, Tr)가 동시에 턴-온된다.
- <45> 상기 제1 및 제2 데이터라인(D1, Dr)에는 데이터 전압 또는 공통전압이 공급될 수 있다. 예컨대, 상기 제1 데이터라인(D1)에 데이터 전압이 공급될 때, 상기 제2 데이터라인(Dr)에 공통전압이 공급될 수 있다. 이와 반대로, 상기 제1 데이터라인(D1)에 공통전압이 공급될 때, 상기 제2 데이터라인(D2)에 데이터 전압이 공급될 수 있다.
- <46> 상기 데이터 전압과 상기 공통전압은 상기 제1 및 제2 데이터라인(D1, Dr)에 1 프레임 단위로 교대로 공급될 수 있다. 또한, 상기 데이터 전압과 상기 공통전압은 상기 제1 및 제2 데이터라인(D1, Dr)에 2 프레임 단위, 3 프레임 단위, 4 프레임 단위, ..., s 프레임 단위로 교대로 공급될 수 있다. 예컨대, s 프레임 동안에는 데이터 전압은 상기 제1 데이터라인(D1)에 공급되고 공통전압은 제2 데이터라인(Dr)에 공급되며, 다음 s 프레임 동안에는 데이터 전압은 제2 데이터라인(Dr)에 공급되고 공통전압은 제1 데이터라인(D1)에 공급될 수 있다.
- <47> 한편, 상기 데이터 전압과 상기 공통전압은 한 프레임 내에서 1 라인 단위로 상기 제1 및 제2 데이터라인(D1, Dr)에 교대로 공급될 수 있다. 또한, 상기 데이터 전압과 상기 공통전압은 상기 제1 및 제2 데이터라인(D1, Dr)에 한 프레임 내에서 2 라인 단위, 3 라인 단위, 4 라인 단위, ..., t 라인 단위로 교대로 공급될 수 있다. 예컨대, t 라인 동안에는 데이터 전압은 상기 제1 데이터라인(D1)에 공급되고 공통전압은 제2 데이터라인(Dr)에 공급되며, 다음 t 라인 동안에는 데이터 전압은 제2 데이터라인(Dr)에 공급되고 공통전압은 제1 데이터라인(D1)에 공급될 수 있다.
- <48> 도 5에 도시된 바와 같이, 단위 화소 영역(P)이 매트릭스 형태로 다수 배열되어 액정패널(30)이 구성된다. 이러한 경우, 각 화소 영역은 도 3에 도시된 단위 화소 영역(P)과 동일한 구성으로 이루어질 수 있다.
- <49> 도 6은 도 5의 액정패널을 포함한 액정표시장치를 개략적으로 나타낸 것이다. 도 6에서, 본 발명의 액정표시장치는 타이밍 콘트롤러(10), 게이트 드라이버(15), 데이터 드라이버(20) 및 액정패널(30)을 포함하여 구성된다.
- <50> 상기 타이밍 콘트롤러(10)는 외부로부터 공급된 수직/수평 동기신호(V, H) 및 클럭신호(CLK)를 이용하여 상기 게이트 드라이버(15) 및 상기 데이터 드라이버(20)를 제어하기 위한 제1 및 제2 제어신호를 생성한다. 즉, 상기 타이밍 콘트롤러(10)는 상기 수직/수평 동기신호(V, H) 및 클럭신호(CLK)를 이용하여 상기 게이트 드라이버(15)를 제어하기 위한 제1 제어신호와 상기 데이터 드라이버(20)를 제어하기 위한 제2 제어신호를 각각 생성한다. 상기 제1 제어신호는 GSC, GSP, GOE 등을 포함하고, 상기 제2 제어신호는 SSC, SSP, SOE, POL 신호를 포함한다. 상기 타이밍 콘트롤러(10)는 상기 제1 제어신호를 상기 게이트 드라이버(15)로 공급하는 한편, 상기 제2 제어신호를 디지털 데이터 신호(RGB)와 함께 상기 데이터 드라이버(20)로 공급한다.
- <51> 상기 게이트 드라이버(15)는 상기 제1 제어신호에 응답하여 1수평기간(H)의 스캔 신호, 즉 게이트 하이 전압(Vgh)을 순차적으로 생성하여 상기 액정패널(30)의 각 게이트라인(Gn-1, Gn, Gn+1)으로 공급한다.
- <52> 상기 데이터 드라이버(20)는 도 7에 도시된 바와 같이, 쉬프트 레지스터(21), 제1 래치(22), 제2 래치(23), 디지털 아날로그 변환기(DAC, 24), 버퍼부(25) 및 스위칭부(26)를 포함하여 구성된다. 상기 쉬프트 레지스터(21), 상기 제1 래치(22), 상기 제2 래치(23), 상기 디지털 아날로그 변환기(24) 및 상기 버퍼부(25)는 이미 널리 공지된바 간략히 설명한다.
- <53> 상기 쉬프트 레지스터(21)는 SSC 신호와 SSP 신호를 이용하여 순차적으로 소정의 신호를 출력하고, 이러한 출력 신호에 따라 상기 아날로그 데이터 신호(RGB)가 순차적으로 1 라인분이 상기 제1 래치(22)에 래치된다. 상기 제1 래치(22)에 상기 1라인분의 아날로그 데이터 신호(RGB)가 모두 래치 완료되면, 상기 1라인분의 아날로그 데이터 신호(RGB)가 상기 제2 래치(23)에 래치된다.
- <54> 상기 디지털 아날로그 변환기(24)는 도시되지 않은 감마값 생성기로부터 생성된 소정의 감마값(Vgamma)을 이용



하여 상기 제2 래치(23)에 래치된 아날로그 데이터 신호(RGB)에 상응하는 데이터 전압(Vd)을 출력한다. 이때, 상기 1라인분의 아날로그 데이터 신호는 상기 타이밍 콘트롤러(10)에서 공급된 POL 신호에 따라 정극성 또는 부극성을 반영한 데이터 전압으로 인버전된다. 따라서 상기 아날로그 디지털 변환기로부터 정극성 또는 부극성을 반영한 데이터 전압이 버퍼부(25)로 출력된다.

<55> 상기 버퍼부(25)는 SOE 신호에 따라 상기 데이터 전압(Vd)을 출력한다.

<56> 상기 스위칭부(26)는 본 발명의 중요한 기술적 특징으로서, 이를 상세히 설명한다.

<57> 상기 스위칭부(26)는 상기 버퍼부(25)로부터 데이터 전압(Vd)을 공급받고 공통전압 생성부(12)로부터 공통전압(Vcom)을 공급받는다. 상기 데이터 전압(Vd)과 상기 공통전압(Vcom)은 소정의 제어신호(S1, S2)에 의해 교대로 스위칭 출력된다.

<58> 상기 스위칭부(26)로부터 출력된 데이터 전압(Vd)과 공통전압(Vcom)은 상기 액정패널(30)의 각 화소 영역(P)의 제1 및 제2 데이터라인(V11, Vr1)으로 공급된다. 이러한 경우, 상기 스위칭부(26)에 의해 상기 데이터 전압(Vd)과 상기 공통전압(Vcom)은 교대로 상기 제1 및 제2 데이터라인(D11, Dr1)으로 공급된다. 예컨대, 제1 기간에는 상기 데이터 전압(Vd)이 상기 제1 데이터라인(D11)으로 공급되고 상기 공통전압(Vcom)이 상기 제2 데이터라인(Dr1)으로 공급된다. 제2 기간에는 상기 스위칭부(26)에 의해 스위칭되어 상기 데이터 전압(Vd)이 상기 제2 데이터라인(Dr1)으로 공급되고 상기 공통전압(Vcom)은 상기 제1 데이터라인(D11)으로 공급된다. 이러한 방식으로 각 기간마다 상기 스위칭부(26)에 의해 교대로 스위칭되어 상기 데이터 전압(Vd)과 상기 공통전압(Vcom)이 상기 제1 및 제2 데이터라인(D11, Dr1)으로 공급될 수 있다. 상기 기간은 한 프레임 내의 t 라인 단위 또는 s 프레임 단위를 의미할 수 있다.

<59> 도 8에 도시된 바와 같이, 상기 스위칭부(26)는 상기 액정패널(30)의 각 화소 영역에 대응된 다수의 스위치(27a, 27b, 27c)를 포함하여 구성될 수 있다. 상기 각 스위치(27a, 27b, 27c)는 제1 내지 제4 트랜지스터(T1 내지 T4)를 포함하여 구성될 수 있다. 상기 제1 내지 제4 트랜지스터(T1 내지 T4)는 NMOS형 트랜지스터 또는 PMOS형 트랜지스터일 수 있다.

<60> 상기 각 스위치(27a, 27b, 27c)는 상기 제어 신호(S1, S2)에 의해 데이터 전압(Vd)을 상기 제1 데이터라인(D11)에 공급하고 공통전압(Vcom)을 상기 제2 데이터라인(Dr1)에 공급하며 데이터 전압(Vd)을 상기 제2 데이터라인(Dr1)에 공급하고 공통전압(Vcom)을 상기 제1 데이터라인(D11)에 공급하도록 스위칭될 수 있다.

<61> 예컨대, 제1 기간동안 S1이 하이 레벨이고 S2가 로우 레벨인 경우, 상기 제1 및 제4 트랜지스터(T1, T4)는 턴-온되고 상기 제2 및 제3 트랜지스터(T2, T3)는 턴-오프된다. 따라서 상기 제1 트랜지스터(T1)를 경유하여 상기 데이터 전압(Vd)이 상기 제1 데이터라인(D11)으로 공급되고 상기 제4 트랜지스터(T4)를 경유하여 상기 공통전압(Vcom)이 상기 제2 데이터라인(Dr1)으로 공급된다. 제2 기간동안 S1이 로우 레벨이고 S2가 하이 레벨인 경우, 상기 제2 및 제3 트랜지스터(T2, T3)는 턴-온되고 제1 및 제4 트랜지스터(T1, T4)는 턴-오프된다. 따라서 상기 제2 트랜지스터(T2)를 경유하여 공통전압(Vcom)이 상기 제1 데이터라인(D11)으로 공급되고 상기 제3 트랜지스터(T3)를 경유하여 데이터 전압(Vd)이 상기 제2 데이터라인(Dr1)으로 공급된다.

<62> 앞서 설명한 바와 같이, 데이터 전압(Vd)과 공통전압(Vcom)은 기간별로 제1 및 제2 데이터라인(D11, Dr1)으로 교대로 공급될 수 있다. 여기서, 상기 기간은 상기 기간은 한 프레임 내의 t 라인 단위 또는 s 프레임 단위를 의미할 수 있다.

<63> 설명을 용이하게 하기 위해, 한 프레임 내의 라인(도 9) 별로 또는 프레임(도 10) 별로 데이터 전압(Vd)과 공통전압(Vcom)이 상기 제1 및 제2 데이터라인(D11, Dr1)으로 공급되는 것을 예를 들어 설명한다.

<64> 도 9에 도시된 바와 같이, 스캔 신호(SC1, SC2, SC3), 즉 게이트 하이 전압(Vgh)이 1 수평기간 단위로 상기 액정패널(30)의 다수의 게이트라인(Gn-1, Gn, Gn+1)으로 각각 순차적으로 공급된다. 1 수평기간 이후부터 다음 프레임까지는 게이트 로우 전압(Vgl)이 각 게이트라인(Gn-1, Gn, Gn+1)으로 공급된다.

<65> 제1 스캔신호(SC1)가 공급되는 동안 제1 제어신호(S1)는 하이 레벨을 갖고 제2 제어신호(S2)는 로우 레벨을 갖는다. 이에 따라, 상기 스위칭부(26)의 각 스위치(27a, 27b, 27c)에서 제1 및 제4 트랜지스터(T1, T4)가 턴-온되므로, 데이터 전압이 제1 데이터라인(D11)으로 공급되고 공통전압이 제2 데이터라인(Dr1)으로 공급된다.

<66> 제2 스캔신호(SC2)가 공급되는 동안 제1 제어신호(S1)는 로우 레벨을 갖고 제2 제어신호(S2)는 하이 레벨을 갖는다. 이에 따라, 상기 스위칭부(26)의 각 스위치(27a, 27b, 27c)에서 제2 및 제3 트랜지스터(T2, T3)가 턴-온되므로, 데이터 전압이 상기 제2 데이터라인(Dr1)으로 공급되고 공통전압이 상기 제1 데이터라인(D11)으로 공급

된다.

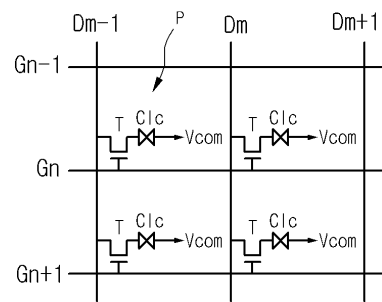
- <67> 제3 스캔신호(SC3)가 공급되는 동안 제1 제어신호(S1)는 하이 레벨을 갖고 제2 제어신호(S2)는 로우 레벨을 갖는다. 이에 따라, 상기 스위칭부(26)의 각 스위치(27a, 27b, 27c)에서 제1 및 제4 트랜지스터(T1, T4)가 턴-온되므로, 데이터 전압이 상기 제1 데이터라인(D11)으로 공급되고 공통전압이 상기 제2 데이터라인(Dr1)으로 공급된다.
- <68> 그러므로 한 프레임 내에 각 라인별로 데이터 전압(Vd)과 공통전압(Vcom)이 교대로 제1 및 제2 데이터라인(D11, Dr1)으로 공급되므로, 각 라인 상에 잔류 DC가 존재하지 않게 되어 잔상이 방지될 수 있다.
- <69> 도 10에 도시된 바와 같이, 제1 프레임 내에 제2 스캔 신호(SC2)가 제n 게이트라인(Gn)으로 공급되고, 제2 프레임 내에 제2 스캔신호(SC2)가 상기 제n 게이트라인(Gn)으로 공급된다. 설명의 편의를 위해 각 프레임에서 제n 게이트라인(Gn)으로 한정하여 설명한다.
- <70> 제1 프레임 내의 제2 스캔신호(SC2)가 공급되는 동안 제1 제어신호(S1)는 하이 레벨을 갖고 제2 제어신호(S2)는 로우 레벨을 갖는다. 이에 따라, 상기 스위칭부(26)의 각 스위치(27a, 27b, 27c)에서 제1 및 제4 트랜지스터(T1, T4)가 턴-온되므로, 데이터 전압이 제1 데이터라인(D11)으로 공급되고 공통전압이 제2 데이터라인(Dr1)으로 공급된다.
- <71> 제2 프레임 내의 제2 스캔신호(SC2)가 공급되는 동안 제1 제어신호(S1)는 로우 레벨을 갖고 제2 제어신호(S2)는 하이 레벨을 갖는다. 이에 따라, 상기 스위칭부(26)의 각 스위치(27a, 27b, 27c)에서 제2 및 제3 트랜지스터(T2, T3)가 턴-온되므로, 데이터 전압이 제2 데이터라인(Dr1)으로 공급되고 공통전압이 제1 데이터라인(D11)으로 공급된다.
- <72> 그러므로 매 프레임 별로 데이터 전압(Vd)과 공통전압(Vcom)이 교대로 제1 및 제2 데이터라인(D11, Dr1)으로 공급되므로, 각 라인 상에 잔류 DC가 존재하지 않게 되어 잔상이 방지될 수 있다.
- <73> 한편, 매 프레임 별로 그리고 각 프레임 내의 라인 별로 데이터 전압(Vd)과 공통전압(Vcom)이 교대로 제1 및 제2 데이터라인(D11, Dr1)으로 공급될 수도 있다.
- <74> 아울러, 매 프레임 별로 데이터 전압(Vd)과 공통전압(Vcom)이 교대로 제1 및 제2 데이터라인(D11, Dr1)으로 공급되지만, 각 프레임 내에서는 각 라인에 관계없이 해당 프레임에서 정해진 대로 데이터 전압(Vd)과 공통전압(Vcom)이 제1 및 제2 데이터라인(D11, Dr1)으로 공급될 수도 있다. 예를 들어, 해당 프레임에서 데이터 전압(Vd)이 제1 데이터라인(D11)으로 공급되고 공통전압(Vcom)이 제2 데이터라인(Dr1)으로 공급된 경우, 해당 프레임의 모든 라인에 대해 상기 데이터 전압(Vd)이 상기 제1 데이터라인(D11)으로 공급되고 상기 공통전압(Vcom)이 상기 제2 데이터라인(Dr1)으로 공급될 수 있다.
- <75> 이상에서 스위칭부(26)는 데이터 드라이버(20)에 구비되는 것을 설명되었다. 하지만, 상기 스위칭부(26)는 상기 데이터 드라이버(20) 대신에 상기 액정패널(30) 상에 반도체 공정에 의해 직접 형성할 수도 있다. 이러한 경우, 상기 스위칭부(26)의 스위치(27a, 27b, 27c)에 포함된 제1 내지 제4 트랜지스터(T1 내지 T4)는 폴리 실리콘(poly Si), 마이크로크리스탈린 실리콘(microcrystalline Si), 아몰포스 실리콘(amorphous Si) 등으로 형성될 수 있다.
- <76> 따라서 본 발명은 잔상뿐만 아니라 플리커를 방지할 수 있다.
- <77> 도 11에 도시한 바와 같이, 제n 게이트라인(Gn)에 제2 스캔신호(SC2), 즉 게이트 하이 전압(Vgh)이 공급되어, 상기 제n 게이트라인(Gn) 상의 각 화소 영역의 제1 및 제2 박막트랜지스터(T1, Tr)가 턴-온된다. 이러한 경우, 상기 스위칭부(26)의 각 스위치(27a, 27b, 27c)의 스위칭에 의해 데이터 전압(Vd)이 제1 데이터라인(D11)으로 공급되고 공통전압(Vcom)이 제2 데이터라인(Dr1)으로 공급된다. 따라서 액정셀(C1c)에는 상기 데이터 전압(Vd)과 상기 공통전압(Vcom)의 제1 전위차( $\Delta Vd1$ )가 공급되게 된다.
- <78> 상기 제 n 게이트라인(Gn)은 1 수평기간(H) 동안 게이트 하이 전압(Vgh)이 공급되고, 그 이후에는 게이트 로우 전압이 공급된다. 상기 게이트 하이 전압(Vgh)으로부터 상기 게이트 로우 전압(Vgl)으로 전위되는 경우, 상기 제1 및 제2 박막트랜지스터(T1, Tr)의 기생용량(Cgd)에 의해 킥백 전압( $\Delta Vp$ )이 발생된다. 이때, 상기 제1 박막트랜지스터(T1)의 기생용량(Cgd)과 상기 제2 박막트랜지스터(Tr)의 기생용량(Cgd)이 동일한 경우, 상기 킥백 전압 또한 동일하게 된다. 따라서 상기 액정셀(C1c)의 데이터 전압(Vd)으로부터 킥백전압( $\Delta Vp$ )만큼 전압 강하되고 공통전압(Vcom)으로부터 킥백전압( $\Delta Vp$ )만큼 전압 강하된다. 따라서 상기 액정셀(C1c)에는 킥백전압( $\Delta Vp$ )만큼 전압 강하된 데이터 전압(Vd)과 킥백전압( $\Delta Vp$ )만큼 전압 강하된 공통전압(Vcom) 간의 제2 전위차( $\Delta Vd2$ )로



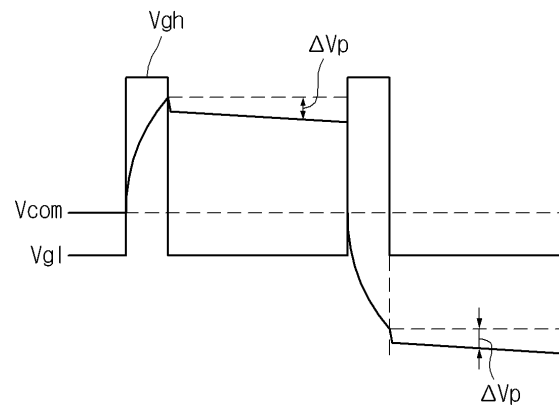


도면

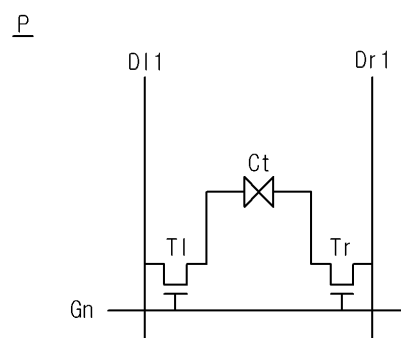
도면1



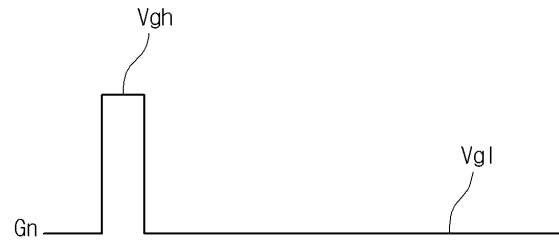
도면2



도면3

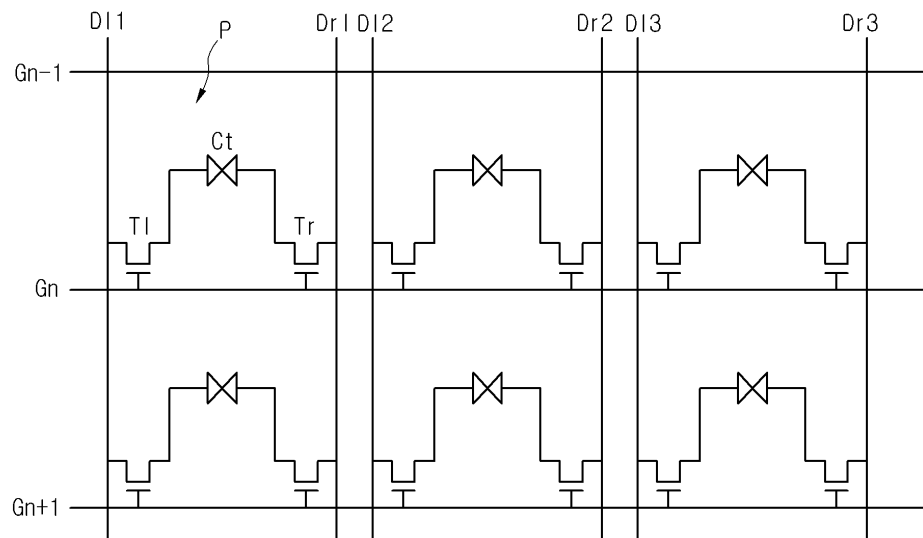


도면4

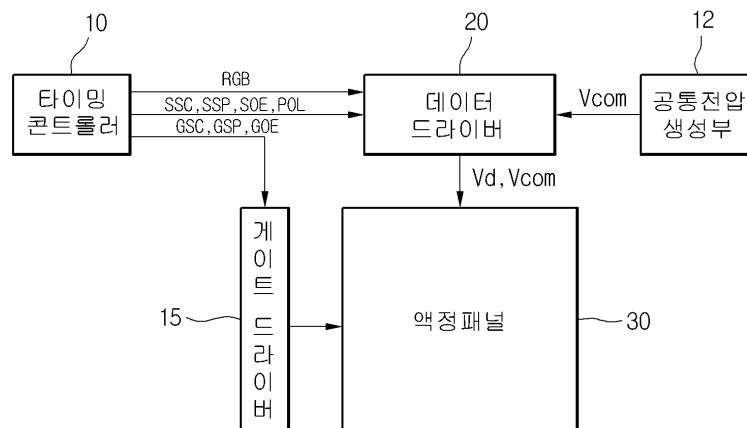


도면5

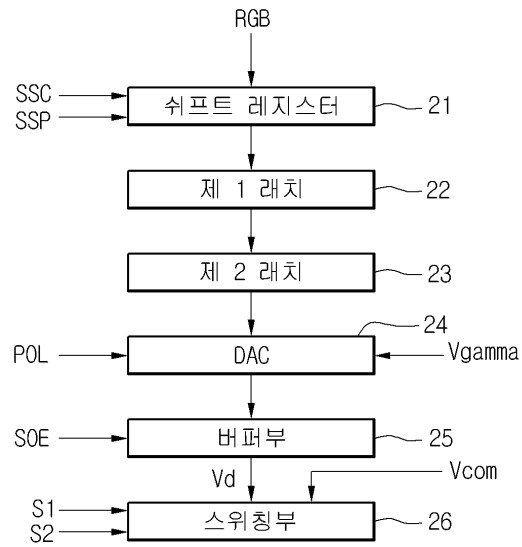
30



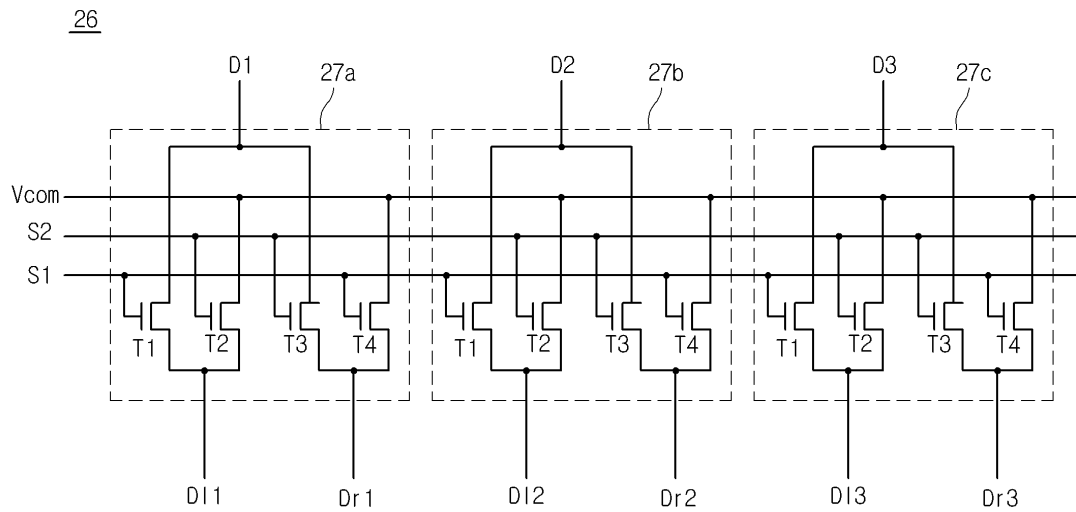
도면6



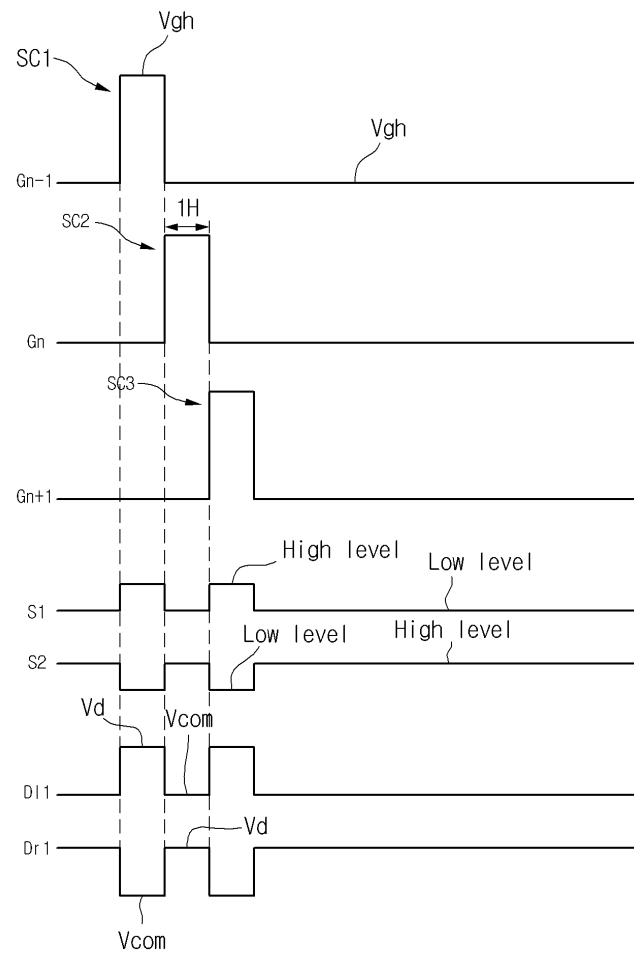
도면7



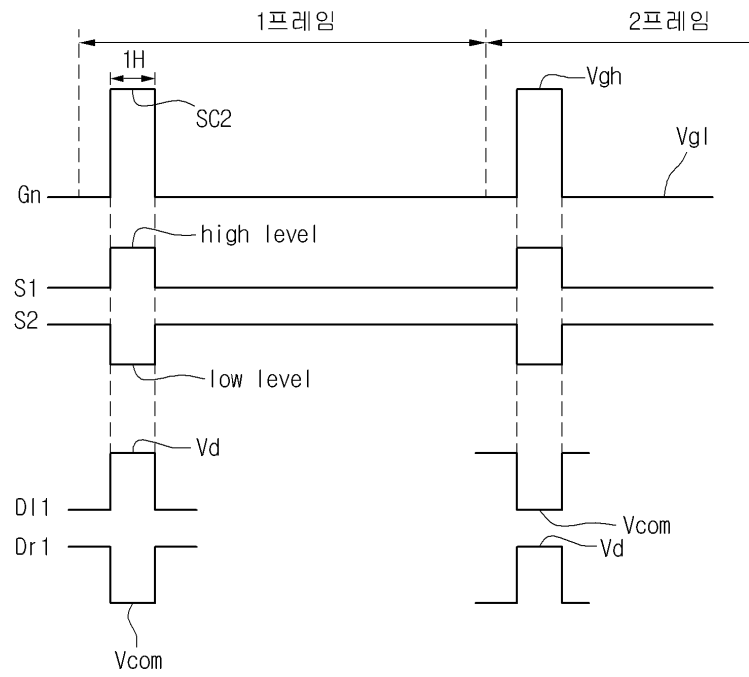
도면8



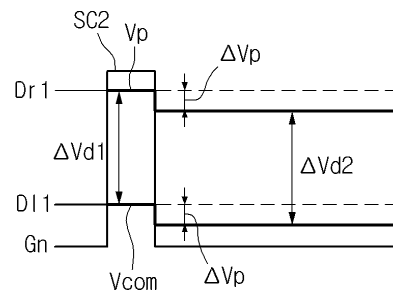
도면9



도면10



도면11





专利名称(译)	液晶面板，具有该液晶面板的液晶显示装置及其驱动方法		
公开(公告)号	<a href="#">KR1020070109157A</a>	公开(公告)日	2007-11-15
申请号	KR1020060041733	申请日	2006-05-10
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM CHEOL SE		
发明人	KIM, CHEOL SE		
IPC分类号	G02F1/133 G09G3/36		
CPC分类号	G09G2310/027 G09G2320/0257 G09G2300/0823 G09G3/3688 G02F1/13624 G09G3/3614		
其他公开文献	KR101245944B1		
外部链接	<a href="#">Espacenet</a>		

#### 摘要(译)

公开了一种液晶面板，包括以矩阵形式排列的多个像素区域。第一和第二薄膜晶体管中的液晶单元，第二薄膜晶体管连接到栅极线，并且第二数据线与栅极线相交，并且第一和第二数据线被布置，并且薄膜晶体管连接到栅极在每个像素区域形成线和第一数据线。在这种情况下，第一和第二数据线被提供有数据电压和公共电压。因此，相应连接的第一和第二数据线因此包括在第一和第二薄膜晶体管中，其中本发明在每个像素区域中使电压具有相同的反冲电压。以这种方式，防止了闪烁和余像，并且可以改善显示质量。液晶显示器，闪烁，余像，反冲电压，开关单元。

