



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2007-0103129
(43) 공개일자 2007년10월23일

(51) Int. Cl.

G02F 1/136(2006.01)

(21) 출원번호 10-2006-0034847

(22) 출원일자 2006년04월18일

심사청구일자 없음

(71) 출원인

엘지.필립스 엘시디 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

이정은

서울 마포구 창전동 6-77 (205호)

이재균

경기도 군포시 산본동 우록주공아파트 707-1701

(뒷면에 계속)

(74) 대리인

특허법인네이트

전체 청구항 수 : 총 25 항

(54) 횡전계 방식 액정표시장치용 어레이 기판과 그 제조방법

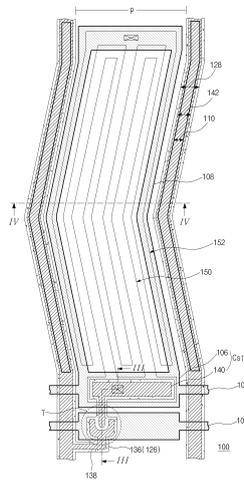
(57) 요약

본 발명은 액정표시장치에 관한 것으로 특히, 고화질을 구현하는 횡전계 방식 액정표시장치용 어레이기판과 그 제조방법에 관한 것이다.

본 발명에 따른 횡전계 방식 액정표시장치용 어레이기판은, 4마스크 공정으로 제작되어 데이터 배선의 양측으로 반도체층이 노출되는 구조에서, 상기 반도체층의 하부에 빛을 차단하는 제 1 차단패턴(first shield layer)을 구성하는 것을 제 1 특징으로 하고, 상기 데이터 배선의 상부에 이와 접촉하면서 상기 반도체층으로부터 발생한 광전류 성분에 의한 영향을 차단하는 제 2 차단패턴(second shield layer)을 구성하는 것을 제 2 특징으로 한다.

전술한 제 1 및 제 2 특징에 따른 구성에 의해, 웨이브 노이즈가 발생하지 않는 고화질의 액정패널을 제작할 수 있다.

대표도 - 도3



(72) 발명자

송무형

대구 북구 구암동 787-3 부영3단지 303동 1602호

최승찬

경북 경산시 와촌면 계당리 266번지

특허청구의 범위

청구항 1

다수의 화소 영역이 정의된 기판과;

상기 화소 영역의 일 측에 평행하게 구성된 게이트 배선과;

상기 게이트 배선 및 공통 배선과 수직한 방향으로 교차하고, 하부에 양측으로 노출되는 반도체층이 구성된 데이터 배선과;

상기 반도체층의 하부에 위치하여, 상기 반도체층으로 조사되는 빛을 차폐하는 차단패턴과;

상기 게이트 배선과 데이터 배선의 교차지점에 위치한 박막트랜지스터와;

상기 화소 영역에 위치하고, 상기 박막트랜지스터와 접속되며 다수의 투명한 막대 형상의 화소 전극과;

상기 화소 전극 사이에 이격하여 위치하는 다수의 투명한 막대 형상의 공통 전극

을 포함하는 횡전계 방식 액정표시장치용 어레이기판.

청구항 2

제 1 항에 있어서,

상기 게이트 배선과 평행하게 이격하여 구성된 공통 배선을 더욱 포함하는 횡전계 방식 액정표시장치용 어레이 기판.

청구항 3

제 2 항에 있어서,

상기 화소영역의 둘레에 상기 공통배선에서 연장된 페루프 형상의 공통 패턴을 더욱 포함하는 것을 특징으로 하는 횡전계 방식 액정표시장치용 어레이기판.

청구항 4

제 3 항에 있어서,

상기 차단 패턴은, 상기 반도체층의 면적을 최대 40% 차단할 수 있도록, 상기 반도체층의 폭보다 작은 폭으로 구성된 것을 특징으로 하는 횡전계 방식 액정표시장치용 어레이 기판.

청구항 5

제 3 항에 있어서,

상기 공통 전극은 상기 공통 패턴과 접촉하도록 구성된 것을 특징으로 하는 횡전계 방식 액정표시장치용 어레이 기판.

청구항 6

제 1 항에 있어서,

상기 게이트 배선과 평행한 상기 화소 영역의 일 측과 이에 대향하는 타 측에 구성된 제 1 공통 배선과 제 2 공통 배선을 더욱 포함하는 것을 특징으로 하는 횡전계 방식 액정표시장치용 어레이기판.

청구항 7

제 6 항에 있어서,

상기 차단패턴의 폭은 상기 반도체층의 폭보다 같거나 큰 것을 특징으로 하는 횡전계 방식 액정표시장치용 어레이 기판.

청구항 8

제 6 항에 있어서,

상기 공통 전극은 상기 제 2 공통 배선과 접촉하도록 구성된 것을 특징으로 하는 횡전계 방식 액정표시장치용 어레이기판.

청구항 9

제 1 항 내지 제 8 항 중 어느 한 항에 있어서,

상기 데이터 배선의 상부에 이와 접촉하면서 위치하고, 상기 반도체층의 폭 보다 큰 폭으로 구성된 투명한 차단 패턴을 더욱 포함하는 것을 특징으로 하는 횡전계 방식 액정표시장치용 어레이기판.

청구항 10

제 1 항 내지 제 9 항 중 어느 한 항에 있어서,

상기 반도체층은 순수 비정질 실리콘(a-Si:H)층과 불순물 비정질 실리콘(n+a-Si:H)층이 적층된 형태이며, 상기 데이터 배선의 양측으로 노출된 부분은 순수 비정질 실리콘층인 것을 특징으로 하는 횡전계 방식 액정표시장치용 어레이기판.

청구항 11

다수의 화소 영역이 정의된 기판과;

상기 화소 영역의 일 측에 평행하게 구성된 게이트 배선과;

상기 게이트 배선 및 공통 배선과 수직한 방향으로 교차하고, 하부에 양측으로 노출되는 반도체층이 구성된 데이터 배선과;

상기 반도체층의 하부에 위치하여, 상기 반도체층으로 조사되는 빛을 차폐하는 제 1 차단패턴과;

상기 게이트 배선과 데이터 배선의 교차지점에 위치한 박막트랜지스터와;

상기 화소 영역에 위치하고, 상기 박막트랜지스터와 접속되며 다수의 투명한 막대 형상의 화소 전극과;

상기 화소 전극 사이에 이격하여 위치하는 다수의 투명한 막대 형상의 공통 전극과;

상기 데이터 배선의 상부에 부분적으로 이와 접촉하고, 상기 반도체층의 폭보다 큰 폭으로 구성된 제 2 차단 패턴

을 포함하는 횡전계 방식 액정표시장치용 어레이기판.

청구항 12

다수의 화소 영역이 정의되고 이격하여 구성된 제 1 기판 및 제 2 기판과;

상기 제 1 기판의 일면에 상기 화소영역의 일 측을 따라 구성된 게이트 배선과;

상기 게이트 배선과 수직한 방향으로 교차하고, 하부에 양측으로 노출된 반도체층이 구성된 데이터 배선과;

상기 반도체층의 하부에 위치하여, 상기 반도체층으로 조사되는 빛을 차폐하는 차단패턴과;

상기 게이트 배선과 데이터 배선의 교차지점에 위치한 박막트랜지스터와;

상기 화소 영역에 위치하고, 상기 박막트랜지스터와 접속되며 다수의 투명한 막대 형상의 화소 전극과;

상기 화소 전극 사이에 이와는 이격하여 위치하는 다수의 투명한 막대 형상의 공통 전극과;

상기 제 2 기판의 일면에 대응하는 상기 화소 영역의 둘레에 구성된 블랙매트릭스와;

상기 블랙매트릭스 사이로 노출된 상기 화소 영역에 구성된 컬러필터

를 포함하는 횡전계 방식 액정표시장치.

청구항 13

다수의 화소 영역이 정의되고 이격하여 구성된 제 1 기판 및 제 2 기판과;
 상기 제 1 기판에 일면에, 상기 화소 영역의 일 측을 따라 구성된 게이트 배선과;
 상기 게이트 배선과 수직한 방향으로 교차하고, 하부에 양방향으로 노출된 반도체층이 구성된 데이터 배선과;
 상기 반도체층의 하부에 위치하여, 상기 반도체층으로 조사되는 빛을 차폐하는 제 1 차단패턴과;
 상기 게이트 배선과 데이터 배선의 교차지점에 위치한 박막트랜지스터와;
 상기 화소 영역에 위치하고, 상기 박막트랜지스터와 접속되며 다수의 투명한 막대 형상의 화소 전극과;
 상기 화소 전극 사이에 이하는 이격하여 위치하는 다수의 투명한 막대 형상의 공통 전극과;
 상기 데이터 배선의 상부에 이하는 부분적으로 접촉하면서 위치하고, 상기 반도체층의 폭보다 큰 폭으로 구성된 제 2 차단 패턴과;
 상기 제 2 기판의 일면에 대응하는 상기 화소 영역의 둘레에 구성된 블랙매트릭스와;
 상기 블랙매트릭스 사이로 노출된 상기 화소 영역에 구성된 컬러필터
 를 포함하는 횡전계 방식 액정표시장치.

청구항 14

기판 상에 다수의 화소 영역을 정의하고, 상기 화소 영역의 일 측에 게이트 배선 및 게이트 전극과, 상기 게이트 배선과 수직한 방향의 상기 화소 영역의 타 측마다 차단 패턴을 형성하는 제 1 마스크 공정 단계와;
 상기 게이트 배선과 차단 패턴이 형성된 기판의 전면에 게이트 절연막과 순수 비정질 실리콘층과, 불순물 비정질 실리콘층과 도전성 금속층을 적층하는 단계와;
 상기 도전성 금속층과 불순물 비정질 실리콘층과 순수 비정질 실리콘층을 동시에 패터하여, 상기 게이트 전극의 상부에 게이트 절연막을 사이에 두고, 제 1 반도체층과 소스 전극과 드레인 전극을 형성하고, 상기 차단 패턴의 상부로 상기 소스 전극과 접촉하고 하부에는 양측으로 노출되는 제 2 반도체층이 구성된 데이터 배선을 형성하는 제 2 마스크 공정 단계와;
 상기 소스 및 드레인 전극과 데이터 배선이 형성된 기판의 전면에 보호막을 형성하고, 상기 드레인 전극의 일부를 노출하는 제 3 마스크 공정 단계와;
 상기 노출된 드레인 전극과 접촉하는 투명한 막대 형상의 화소 전극과, 상기 화소 전극과 이격하여 구성되는 투명한 막대 형상의 공통 전극을 형성하는 제 4 마스크 공정 단계
 를 포함하는 횡전계 방식 액정표시장치용 어레이기판 제조방법.

청구항 15

제 14 항에 있어서,
 상기 제 1 마스크 공정에서, 게이트 배선과 평행하게 이격하여 구성되는 공통 배선과, 상기 공통 배선에서 상기 화소 영역의 둘레에 페루프 형상으로 구성된 공통 패턴을 형성하는 단계를 더욱 포함하는 횡전계 방식 액정표시장치용 어레이 기판 제조방법.

청구항 16

제 15 항에 있어서,
 상기 차단 패턴은, 상기 반도체층의 면적을 최대 40% 차단할 수 있도록, 상기 반도체층의 폭보다 작은 폭으로 형성된 것을 특징으로 하는 횡전계 방식 액정표시장치용 어레이 기판 제조방법.

청구항 17

제 15 항에 있어서,
 상기 공통 전극은 상기 공통 패턴과 접촉하도록 형성된 것을 특징으로 하는 횡전계 방식 액정표시장치용 어레이

기관 제조방법.

청구항 18

제 14 항에 있어서,

상기 제 1 마스크 공정에서, 게이트 배선과 평행한 상기 화소 영역의 일측과 이에 대향하는 타측에 구성된 제 1 공통 배선과 제 2 공통 배선을 형성하는 단계를 더욱 포함하는 횡전계 방식 액정표시장치용 어레이기관 제조방법.

청구항 19

제 18 항에 있어서,

상기 차단패턴의 폭은 상기 제 2 반도체층의 폭보다 같거나 크게 형성하는 것을 특징으로 하는 횡전계 방식 액정표시장치용 어레이 기관 제조방법.

청구항 20

제 18 항에 있어서,

상기 공통 전극은 상기 제 2 공통 배선과 접촉하도록 형성된 것을 특징으로 하는 횡전계 방식 액정표시장치용 어레이기관 제조방법.

청구항 21

제 14 항 내지 제 20 항 중 어느 한 항에 있어서,

상기 제 3 마스크 공정에서, 상기 데이터 배선의 일부를 노출하는 콘택홀을 형성하고, 상기 제 4 마스크 공정에서, 상기 데이터 배선의 상부에 상기 콘택홀을 통해 이와 접촉하면서 위치하고, 상기 제 2 반도체층의 폭 보다 큰 폭으로 투명한 차단 패턴을 형성하는 단계를 더욱 포함하는 것을 특징으로 하는 횡전계 방식 액정표시장치용 어레이기관 제조방법.

청구항 22

제 14 항에 있어서,

상기 제 2 마스크 공정 단계는

상기 도전성 금속층의 상부에 감광층을 형성하는 단계와;

상기 감광층 이격된 상부에 투과부와 차단부와 반투과부로 구성된 마스크를 위치시키고, 빛을 조사하여 상기 감광층을 노광하는 단계와;

상기 감광층을 현상하여, 상기 스위칭 영역에 중심이 낮은 높이로 패터닝 단차진 제 1 감광패턴과, 상기 제 1 감광패턴에서 상기 화소 영역의 일 측으로 연장된 제 2 감광패턴을 형성하는 단계와;

상기 제 1 내지 제 2 감광패턴의 주변으로 노출된 상기 도전성 금속층과 그 하부의 불순물 비정질 실리콘층과 순수 비정질 실리콘층을 제거하여, 상기 제 1 내지 제 2 감광패턴의 하부에 이와 동일 형상의 금속패턴과, 반도체 패턴을 형성하는 단계와;

상기 제 1 내지 제 2 감광패턴을 애싱하여, 상기 제 1 감광패턴의 낮은 부분을 제거하는 단계와;

상기 제 1 감광패턴의 일부를 제거하여 노출된 금속패턴을 제거하고, 그 하부의 반도체패턴 중 불순물 비정질 실리콘층을 제거하는 단계와;

상기 제 1 내지 제 2 감광패턴을 제거하여, 상기 스위칭 영역에 대응하여 액티브층과 오믹 콘택층으로 구성된 제 1 반도체층과, 상기 제 1 반도체층의 상부에 소스 전극과 드레인 전극과, 상기 소스 전극에서 상기 화소 영역의 일 측으로 연장되고 하부에 양측으로 노출되는 제 2 반도체층이 구성된 데이터 배선을 형성하는 단계를 포함하는 것을 특징으로 하는 횡전계 방식 액정표시장치용 어레이기관 제조방법.

청구항 23

기판 상에 다수의 화소 영역을 정의하고, 상기 화소 영역의 일 측에 게이트 배선 및 게이트 전극과, 상기 게이트 배선을 형성하는 제 1 마스크 공정 단계와;

상기 게이트 배선이 형성된 기판의 전면에 게이트 절연막과 순수 비정질 실리콘층과, 불순물 비정질 실리콘층과 도전성 금속층을 적층하는 단계와;

상기 도전성 금속층과 불순물 비정질 실리콘층과 순수 비정질 실리콘층을 동시에 패터하여, 상기 게이트 전극의 상부에 게이트 절연막을 사이에 두고, 제 1 반도체층과 소스 전극과 드레인 전극을 형성하고, 상기 소스 전극과 접촉하고 하부에는 양방향으로 노출된 제 2 반도체층이 구성된 데이터 배선을 형성하는 제 2 마스크 공정 단계와;

상기 소스 및 드레인 전극과 데이터 배선이 형성된 기판의 전면에 보호막을 형성하고, 상기 데이터 배선을 부분적으로 노출하는 동시에, 상기 드레인 전극의 일부를 노출하는 제 3 마스크 공정 단계와;

상기 노출된 드레인 전극과 접촉하는 투명한 막대 형상의 화소 전극과, 상기 화소 전극과 이격하여 구성되는 투명한 막대 형상의 공통 전극과 상기 데이터 배선의 상부에 부분적으로 이와 접촉하고, 하부의 제 2 반도체층보다 큰 폭으로 구성된 투명 차단패턴을 형성하는 제 4 마스크 공정 단계

를 포함하는 횡전계 방식 액정표시장치용 어레이기판 제조방법.

청구항 24

제 23 항에 있어서,

상기 제 2 반도체층은 순수 비정질 실리콘층과 불순물 비정질 실리콘층으로 구성되고, 상기 순수 비정질 실리콘층이 상기 데이터 배선의 양측으로 노출되어 형성된 것을 특징으로 하는 횡전계 방식 액정표시장치용 어레이기판 제조방법.

청구항 25

제 23 항에 있어서,

상기 제 1 마스크 공정에서, 상기 제 2 반도체층의 하부에 상기 제 2 반도체층에 빛이 조사되는 것을 차단하기 위한 차단 패턴을 더욱 포함하는 것을 특징으로 하는 횡전계 방식 액정표시장치용 어레이기판 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <18> 본 발명은 액정표시장치(Liquid Crystal Display Device)에 관한 것으로 특히, 고화질을 구현하는 횡전계 방식 액정표시장치용 어레이기판과 그 제조방법에 관한 것이다.
- <19> 일반적으로, 액정표시장치는 액체와 고체의 중간상인 액정의 전기-광학적 성질을 표시장치에 응용한 것이다. 즉, 액정은 액체와 같은 유동성을 갖는 유기분자인 액정이 결정과 같이 규칙적으로 배열된 상태의 것으로, 이 분자배열이 외부 전기장에 의해 변화하는 성질을 이용한 것이다.
- <20> 따라서, 액정의 분자배열 방향을 임의로 조절하면, 광학적 이방성에 의해 상기 액정의 분자배열 방향으로 빛이 굴절하여 화상정보를 표현할 수 있다.
- <21> 현재에는 능동행렬 액정표시장치(AM-LCD : Active Matrix LCD 이하, 액정표시장치로 약칭함)가 해상도 및 동영상 구현능력이 우수하여 가장 주목받고 있다.
- <22> 상기 액정표시장치는 공통 전극이 형성된 컬러필터 기판(상부기판)과 화소 전극이 형성된 어레이 기판(하부기판)과, 상부 및 하부기판 사이에 충전된 액정으로 이루어지는데, 이러한 액정표시장치에서는 공통 전극과 화소 전극이 상-하로 걸리는 전기장에 의해 액정을 구동하는 방식으로, 투과율과 개구율 등의 특성이 우수하다.

- <23> 그러나, 상-하로 걸리는 전기장에 의한 액정구동은 시야각 특성이 우수하지 못한 단점을 가지고 있다. 따라서, 상기의 단점을 극복하기 위해 새로운 기술이 제안되고 있다. 하기 기술될 액정표시장치는 횡전계에 의한 액정구동방법으로 시야각 특성이 우수한 장점을 가지고 있다.
- <24> 이하, 도 1을 참조하여, 일반적인 횡전계 방식 액정표시장치에 관해 상세히 설명한다.
- <25> 도 1은 종래의 제 1 예에 따른 횡전계 방식 액정표시장치의 개략적인 구성을 도시한 단면도이다.
- <26> 도시한 바와 같이, 종래의 제 1 예에 따른 횡전계 방식 액정표시장치(B)는 컬러필터기판(B1)과 어레이기판(B2)이 대향하여 구성되며, 컬러필터기판 및 어레이기판 (B1,B2)사이에는 액정층(LC)이 개재되어 있다.
- <27> 상기 어레이기판(B2)은 투명한 절연 기판(10)에 정의된 다수의 화소(P)마다 박막트랜지스터(T)와 공통 전극(30)과 화소 전극(32)이 구성된다.
- <28> 상기 박막트랜지스터(T)는 게이트 전극(12)과, 게이트 전극(12) 상부에 절연막(14)을 사이에 두고 적층된 액티브층(16a)과 오믹 콘택층(16b)으로 구성된 반도체층(16)과, 반도체층(16)의 상부에 서로 이격하여 구성된 소스 및 드레인 전극(20,22)을 포함한다.
- <29> 전술한 구성에서, 상기 공통 전극(30)과 화소 전극(32)은 화소영역(P)에 투명한 ITO물질로 형성하는 것을 특징으로 한다.
- <30> 도시하지는 않았지만, 상기 화소(P)의 일 측을 따라 연장된 게이트 배선(미도시)과, 이와는 수직인 방향으로 연장된 데이터 배선(미도시)이 구성되고, 상기 공통 전극(18)에 전압을 인가하는 공통 배선(미도시)이 구성된다.
- <31> 상기 컬러필터 기판(B1)은 투명한 절연 기판(40) 상에, 상기 게이트 배선(미도시)과 데이터 배선(미도시)과 박막트랜지스터(T)에 대응하는 부분에 형성된 블랙매트릭스(42)와, 상기 화소(P)에 대응하여 형성된 컬러필터(44a,44b)를 포함한다.
- <32> 상기 액정층(LC)은 상기 공통 전극(30)과 화소 전극(32)의 수평전계(50)에 의해 동작된다.
- <33> 전술한 바와 같이, 상기 공통 전극(30)과 화소 전극(32)을 모두 투명한 물질로 형성한 구조는 최소한 5 마스크 공정을 필요로 한다.
- <34> 상기 5마스크 공정을 간략히 설명하면 아래와 같다.
- <35> 제 1 마스크 공정 : 게이트 전극 및 게이트 배선 형성 공정.
- <36> 제 2 마스크 공정 : 액티브층과 오믹 콘택층으로 적층된 반도체층 형성 공정.
- <37> 제 3 마스크 공정 : 소스 및 드레인 전극과 데이터 배선 형성 공정.
- <38> 제 4 마스크 공정 : 보호막을 형성하고, 콘택홀을 형성 공정.
- <39> 제 5 마스크 공정 : 공통 전극과 화소 전극 형성 공정.
- <40> 횡전계 방식 액정표시장치는, 전술한 바와 같이 공통 전극(32)과 화소 전극(30)을 모두 동일한 기판(10)에 형성하기 때문에 전극 자체만으로 하부의 광원(미도시)으로부터 조사되는 빛을 상당량 차단할 수 밖에 없는 구조이기 때문에, 휘도에 매우 취약한 구조이다.
- <41> 이와 같은 취약점을 극복하기 위해, 전술한 바와 같이, 상기 공통 전극(32)과 화소 전극(30)을 모두 투명하게 구성하는 구조가 제안되고 있다.
- <42> 사실, 상기 두 전극을 모두 투명하게 구성한다고 해서, 상부에 구성된 액정에 의해 전극 자체가 모두 빛을 투과시키는 기능을 하지는 못한다. 다만, 두 전극 사이에 발생한 전계가 미치는 범위 내에서 이를 개구영역으로 사용할 수 있다.
- <43> 언뜻, 두 전극을 투명한 물질로 사용함으로써 확보되는 휘도가 크지 않은 것 같지만 액정패널 전체로 보면 얻을 수 있는 휘도는 상당하며 휘도를 대폭 상승시킬 수 있는 장점이 있다.
- <44> 그런데, 전술한 바와 같은 구성은 앞서 언급한 바와 같이 5 마스크 공정을 필요로 하며 이러한 공정은 사실상, 마스크 공정을 감소하는 현 추세에서는 이 또한 많은 공정이라 할 수 있다.
- <45> 따라서, 휘도 개선과 동시에 공정을 단축할 수 있는 방법으로 4 마스크 공정이 제안되었다.

- <46> 전술한 바와 같은 단면 구성을 4마스크 공정으로 제작하기 위해서 제안된 방법은, 하프톤 또는 슬릿 마스크(half tone or slit mask)를 이용하여, 상기 액티브층과 소스 및 드레인 전극을 동시에 형성하는 것이다.
- <47> 이하, 도면을 참조하여, 종래에 따른 4 마스크 공정으로 제작된 횡전계 방식 액정표시장치의 구성을 설명한다.
- <48> 도 2는 종래의 제 2 예에 따른 횡전계 방식 액정표시 장치용 어레이기판의 단면도이며, 박막트랜지스터와 화소 영역의 단면도이다.
- <49> 도시한 바와 같이, 4마스크 공정으로 제작된 횡전계 방식 액정표시장치(B)는 컬러필터기판(B1)과 어레이기판(B2)이 대향하여 구성되며, 컬러필터기판 및 어레이기판 (B1,B2)사이에는 액정층(LC)이 개재되어 있다.
- <50> 상기 어레이기판(B2)은 투명한 절연 기판(50)에 정의된 다수의 화소(P)마다 박막트랜지스터(T)와 화소 전극(70)과 공통 전극(72)이 구성된다.
- <51> 상기 박막트랜지스터(T)는 게이트 전극(52)과, 게이트 전극(52) 상부에 절연막(54)을 사이에 적층된 액티브층(56a)과 오믹 콘택층(56b)으로 구성된 반도체층(56)과, 상기 반도체층(56)의 상부에 서로 이격하여 구성된 소스 및 드레인 전극(62,64)을 포함한다.
- <52> 전술한 구성에서, 상기 화소 전극(70)과 공통 전극(72)은 화소영역(P)에 투명한 ITO물질로 형성한다.
- <53> 도시하지는 않았지만, 상기 화소(P)의 일 측을 따라 연장된 게이트 배선(미도시)과, 이와는 수직한 방향으로 연장된 데이터 배선(미도시)이 구성되고, 상기 공통 전극(72)에 전압을 인가하는 공통 배선(미도시)이 구성된다.
- <54> 상기 컬러필터 기판(B1)은 투명한 절연 기판(80) 상에, 상기 게이트 배선(미도시)과 데이터 배선(66)과 박막트랜지스터(T)에 대응하는 부분에 형성된 블랙매트릭스(82)와, 상기 화소(P)에 대응하여 형성된 컬러필터(84a,84b)를 포함한다.
- <55> 전술한 구성에서 특징적인 것은, 도시한 바와 같이, 소스 및 드레인 전극(62,64)과 데이터 배선(미도시)의 하부에 형성된 반도체층(56,58)이 상기 소스 및 드레인 전극(62,64)과 데이터 배선(66)의 양측으로 노출되는 형태이다.
- <56> 이러한 구조로 인해, 상기 반도체층(58)은 어레이 기판(B2)의 하부에 위치하는 광원으로부터 조사된 빛에 의해 수소(H)가 여기 하여 전류 성분이 발생하게 되며, 이러한 전류성분의 발생은 하부 광원의 디밍 주파수(dimming frequency)에 따른 온/오프(on/off)동작에 의해 변화되고, 이로 인해 상부 데이터 배선(146)과 이에 근접한 공통 전극 및 화소 전극(72,70) 사이의 신호 간섭에 의해 커플링 캡(coupling cap)이 발생하게 된다.
- <57> 따라서, 전술한 커플링 캡(coupling cap)에 의해 화면에 웨이브 노이즈(wavy noise)가 발생하게 되어 화질을 저하하는 문제가 있다.
- <58> 이에 대해 좀 더 상세히 설명하면, 액정패널의 하부에 일반적으로 "백라이트"라 하는 광원을 구성하게 된다. 상기 백라이트는 일반적으로 선형적으로 동작하게 되지만, 영상을 표현하는데 있어서 뚜렷한 명암대비와 같은 효과를 얻기 위해 디밍 주파수(dimming frequency)로 구동하게 된다. 이때, 주파수의 로우와 하이 상태(low and high state)에 따라 백라이트는 관찰자의 눈에 관찰되지 않는 빠른 속도로 온/오프 동작을 하게 된다.
- <59> 이로 인해 미세하게 빛이 조사되는 상태가 달라지게되며, 이러한 빛이 조사되는 액티브층은 마치 온/오프 동작을 하듯이 반응하게 된다.
- <60> 따라서, 이러한 액티브층의 특성차이에 의해 상부의 데이터 배선과 이에 근접한 공통전극 간 캡 차이가 발생하게 되어, 화면이 일 방향으로 미세하게 떨리는 웨이브 노이즈(wavy noise)의 원인이 되고 있다.
- <61> 전술한, 웨이브 노이즈는 앞서 설명한 4마스크 패턴에서 일반적으로 나타나기 때문에, 종래의 제 2 예에 따른 횡전계 방식 액정표시장치용 어레이기판은 공정을 단순화 할 수는 있으나, 화질 면에서 뛰어나지 못한 문제가 있다.

발명이 이루고자 하는 기술적 과제

- <62> 본 발명은 전술한 문제를 해결하기 위해 제안된 것으로, 웨이브 노이즈(wavy noise)가 발생하지 않아 고화질을 구현할 수 있는 횡전계 방식 액정표시장치를 제작하는 것을 목적으로 한다.

발명의 구성 및 작용

- <63> 기술한 바와 같은 목적을 달성하기 위한 본 발명의 특징에 따른 횡전계 방식 액정표시장치용 어레이기판은 다수의 화소 영역이 정의된 기판과; 상기 화소 영역의 일 측에 평행하게 구성된 게이트 배선과; 상기 게이트 배선 및 공통 배선과 수직한 방향으로 교차하고, 하부에 양측으로 노출되는 반도체층이 구성된 데이터 배선과; 상기 반도체층의 하부에 위치하여, 상기 반도체층으로 조사되는 빛을 차폐하는 차단패턴과; 상기 게이트 배선과 데이터 배선의 교차지점에 위치한 박막트랜지스터와; 상기 화소 영역에 위치하고, 상기 박막트랜지스터와 접속되며 다수의 투명한 막대 형상의 화소 전극과; 상기 화소 전극 사이에 이격하여 위치하는 다수의 투명한 막대 형상의 공통 전극을 포함한다.
- <64> 상기 게이트 배선과 평행하게 이격하여 구성된 공통 배선을 더욱 포함하고, 상기 화소영역의 둘레에 상기 공통 배선에서 연장된 페루프 형상의 공통 패턴을 더욱 포함한다.
- <65> 상기 차단 패턴은, 상기 반도체층의 면적을 최대 40% 차단할 수 있도록, 상기 반도체층의 폭보다 작은 폭으로 구성된 것을 특징으로 하고, 상기 공통 전극은 상기 공통 패턴과 접촉하도록 구성된 것을 특징으로 한다.
- <66> 상기 게이트 배선과 평행한 상기 화소 영역의 일 측과 이에 대향하는 타 측에 구성된 제 1 공통 배선과 제 2 공통 배선을 더욱 포함하는 것을 특징으로 하며, 이때, 상기 차단패턴의 폭은 상기 반도체층의 폭보다 같거나 큰 것을 특징으로 한다.
- <67> 상기 공통 전극은 상기 제 2 공통 배선과 접촉하도록 구성된 것을 특징으로 하고, 상기 데이터 배선의 상부에 이와 접촉하면서 위치하고, 상기 반도체층의 폭 보다 큰 폭으로 구성된 투명한 차단 패턴을 더욱 포함하는 것을 특징으로 한다.
- <68> 상기 반도체층은 순수 비정질 실리콘(a-Si:H)층과 불순물 비정질 실리콘(n+Si:H)층이 적층된 형태이며, 상기 데이터 배선의 양측으로 노출된 부분은 순수 비정질 실리콘층인 것을 특징으로 한다.
- <69> 본 발명의 제 1 특징에 따른 횡전계 방식 액정표시장치용 어레이기판 제조방법은 다수의 화소 영역이 정의된 기판과; 상기 화소 영역의 일 측에 평행하게 구성된 게이트 배선과; 상기 게이트 배선 및 공통 배선과 수직한 방향으로 교차하고, 하부에 양측으로 노출되는 반도체층이 구성된 데이터 배선과; 상기 반도체층의 하부에 위치하여, 상기 반도체층으로 조사되는 빛을 차폐하는 제 1 차단패턴과; 상기 게이트 배선과 데이터 배선의 교차지점에 위치한 박막트랜지스터와; 상기 화소 영역에 위치하고, 상기 박막트랜지스터와 접속되며 다수의 투명한 막대 형상의 화소 전극과; 상기 화소 전극 사이에 이격하여 위치하는 다수의 투명한 막대 형상의 공통 전극과; 상기 데이터 배선의 상부에 부분적으로 이와 접촉하고, 상기 반도체층의 폭보다 큰 폭으로 구성된 제 2 차단 패턴을 포함한다.
- <70> 본 발명의 제 2 특징에 따른 횡전계 방식 액정표시장치는 다수의 화소 영역이 정의되고 이격하여 구성된 제 1 기판 및 제 2 기판과; 상기 제 1 기판의 일면에 상기 화소영역의 일 측을 따라 구성된 게이트 배선과; 상기 게이트 배선과 수직한 방향으로 교차하고, 하부에 양측으로 노출된 반도체층이 구성된 데이터 배선과; 상기 반도체층의 하부에 위치하여, 상기 반도체층으로 조사되는 빛을 차폐하는 차단패턴과; 상기 게이트 배선과 데이터 배선의 교차지점에 위치한 박막트랜지스터와; 상기 화소 영역에 위치하고, 상기 박막트랜지스터와 접속되며 다수의 투명한 막대 형상의 화소 전극과; 상기 화소 전극 사이에 이와는 이격하여 위치하는 다수의 투명한 막대 형상의 공통 전극과; 상기 제 2 기판의 일면에 대응하는 상기 화소 영역의 둘레에 구성된 블랙매트릭스와; 상기 블랙매트릭스 사이로 노출된 상기 화소 영역에 구성된 컬러필터를 포함한다.
- <71> 본 발명의 제 3 특징에 따른 횡전계 방식 액정표시장치는 다수의 화소 영역이 정의되고 이격하여 구성된 제 1 기판 및 제 2 기판과; 상기 제 1 기판에 일면에, 상기 화소 영역의 일 측을 따라 구성된 게이트 배선과; 상기 게이트 배선과 수직한 방향으로 교차하고, 하부에 양방향으로 노출된 반도체층이 구성된 데이터 배선과; 상기 반도체층의 하부에 위치하여, 상기 반도체층으로 조사되는 빛을 차폐하는 제 1 차단패턴과; 상기 게이트 배선과 데이터 배선의 교차지점에 위치한 박막트랜지스터와; 상기 화소 영역에 위치하고, 상기 박막트랜지스터와 접속되며 다수의 투명한 막대 형상의 화소 전극과; 상기 화소 전극 사이에 이와는 이격하여 위치하는 다수의 투명한 막대 형상의 공통 전극과; 상기 데이터 배선의 상부에 이와는 부분적으로 접촉하면서 위치하고, 상기 반도체층의 폭보다 큰 폭으로 구성된 제 2 차단 패턴과; 상기 제 2 기판의 일면에 대응하는 상기 화소 영역의 둘레에 구성된 블랙매트릭스와; 상기 블랙매트릭스 사이로 노출된 상기 화소 영역에 구성된 컬러필터를 포함한다.
- <72> 본 발명의 특징에 따른 횡전계 방식 액정표시장치용 어레이기판 제조방법은 기판 상에 다수의 화소 영역을 정의하고, 상기 화소 영역의 일 측에 게이트 배선 및 게이트 전극과, 상기 게이트 배선과 수직한 방향의 상기 화소 영역의 타 측마다 차단 패턴을 형성하는 제 1 마스크 공정 단계와; 상기 게이트 배선과 차단 패턴이 형성된 기

판의 전면에 게이트 절연막과 순수 비정질 실리콘층과, 불순물 비정질 실리콘층과 도전성 금속층을 적층하는 단계와; 상기 도전성 금속층과 불순물 비정질 실리콘층과 순수 비정질 실리콘층을 동시에 패터하여, 상기 게이트 전극의 상부에 게이트 절연막을 사이에 두고, 제 1 반도체층과 소스 전극과 드레인 전극을 형성하고, 상기 차단 패터의 상부로 상기 소스 전극과 접촉하고 하부에는 양측으로 노출되는 제 2 반도체층이 구성된 데이터 배선을 형성하는 제 2 마스크 공정 단계와; 상기 소스 및 드레인 전극과 데이터 배선이 형성된 기관의 전면에 보호막을 형성하고, 상기 드레인 전극의 일부를 노출하는 제 3 마스크 공정 단계와; 상기 노출된 드레인 전극과 접촉하는 투명한 막대 형상의 화소 전극과, 상기 화소 전극과 이격하여 구성되는 투명한 막대 형상의 공통 전극을 형성하는 제 4 마스크 공정 단계를 포함한다.

- <73> 상기 제 1 마스크 공정에서, 게이트 배선과 평행하게 이격하여 구성되는 공통 배선과, 상기 공통 배선에서 상기 화소 영역의 둘레에 페루프 형상으로 구성된 공통 패터를 형성하는 단계를 더욱 포함한다.
- <74> 상기 차단 패터는, 상기 반도체층의 면적을 최대 40% 차단할 수 있도록, 상기 반도체층의 폭보다 작은 폭으로 형성된 것을 특징으로 한다.
- <75> 상기 공통 전극은 상기 공통 패터와 접촉하도록 형성된 것을 특징으로 한다.
- <76> 상기 제 1 마스크 공정에서, 게이트 배선과 평행한 상기 화소 영역의 일측과 이에 대향하는 타측에 구성된 제 1 공통 배선과 제 2 공통 배선을 형성하는 단계를 더욱 포함한다.
- <77> 상기 차단패터의 폭은 상기 제 2 반도체층의 폭보다 같거나 크게 형성하는 것을 특징으로 한다.
- <78> 상기 공통 전극은 상기 제 2 공통 배선과 접촉하도록 형성된 것을 특징으로 한다.
- <79> 상기 제 3 마스크 공정에서, 상기 데이터 배선의 일부를 노출하는 콘택홀을 형성하고, 상기 제 4 마스크 공정에서, 상기 데이터 배선의 상부에 상기 콘택홀을 통해 이와 접촉하면서 위치하고, 상기 제 2 반도체층의 폭 보다 큰 폭으로 투명한 차단 패터를 형성하는 단계를 더욱 포함하는 것을 특징으로 한다.
- <80> 상기 제 2 마스크 공정 단계는 상기 도전성 금속층의 상부에 감광층을 형성하는 단계와; 상기 감광층 이격된 상부에 투과부와 차단부와 반투과부로 구성된 마스크를 위치시키고, 빛을 조사하여 상기 감광층을 노광하는 단계와; 상기 감광층을 현상하여, 상기 스위칭 영역에 중심이 낮은 높이로 패터된 단차진 제 1 감광패터와, 상기 제 1 감광패터에서 상기 화소 영역의 일 측으로 연장된 제 2 감광패터를 형성하는 단계와; 상기 제 1 내지 제 2 감광패터의 주변으로 노출된 상기 도전성 금속층과 그 하부의 불순물 비정질 실리콘층과 순수 비정질 실리콘층을 제거하여, 상기 제 1 내지 제 2 감광패터의 하부에 이와 동일 형상의 금속패터와, 반도체 패터를 형성하는 단계와; 상기 제 1 내지 제 2 감광패터를 애싱하여, 상기 제 1 감광패터의 낮은 부분을 제거하는 단계와; 상기 제 1 감광패터의 일부를 제거하여 노출된 금속패터를 제거하고, 그 하부의 반도체패터 중 불순물 비정질 실리콘층을 제거하는 단계와; 상기 제 1 내지 제 2 감광패터를 제거하여, 상기 스위칭 영역에 대응하여 액티브층과 오믹 콘택층으로 구성된 제 1 반도체층과, 상기 제 1 반도체층의 상부에 소스 전극과 드레인 전극과, 상기 소스 전극에서 상기 화소 영역의 일 측으로 연장되고 하부에 양측으로 노출되는 제 2 반도체층이 구성된 데이터 배선을 형성하는 단계를 포함하는 것을 특징으로 한다.
- <81> 본 발명의 제 2 특징에 따른 회전계 방식 액정표시장치용 어레이기관 제조방법은 기관 상에 다수의 화소 영역을 정의하고, 상기 화소 영역의 일 측에 게이트 배선 및 게이트 전극을 형성하는 제 1 마스크 공정 단계와; 상기 게이트 배선이 형성된 기관의 전면에 게이트 절연막과 순수 비정질 실리콘층과, 불순물 비정질 실리콘층과 도전성 금속층을 적층하는 단계와; 상기 도전성 금속층과 불순물 비정질 실리콘층과 순수 비정질 실리콘층을 동시에 패터하여, 상기 게이트 전극의 상부에 게이트 절연막을 사이에 두고, 제 1 반도체층과 소스 전극과 드레인 전극을 형성하고, 상기 소스 전극과 접촉하고 하부에는 양방향으로 노출된 제 2 반도체층이 구성된 데이터 배선을 형성하는 제 2 마스크 공정 단계와;
- <82> 상기 소스 및 드레인 전극과 데이터 배선이 형성된 기관의 전면에 보호막을 형성하고, 상기 데이터 배선을 부분적으로 노출하는 동시에, 상기 드레인 전극의 일부를 노출하는 제 3 마스크 공정 단계와; 상기 노출된 드레인 전극과 접촉하는 투명한 막대 형상의 화소 전극과, 상기 화소 전극과 이격하여 구성되는 투명한 막대 형상의 공통 전극과 상기 데이터 배선의 상부에 부분적으로 이와 접촉하고, 하부의 제 2 반도체층보다 큰 폭으로 구성된 투명 차단패터를 형성하는 제 4 마스크 공정 단계를 포함한다.
- <83> 상기 제 2 반도체층은 순수 비정질 실리콘층과 불순물 비정질 실리콘층으로 구성되고, 상기 순수 비정질 실리콘층이 상기 데이터 배선의 양측으로 노출되어 형성된 것을 특징으로 한다.

- <84> 상기 데이터 배선의 하부에 상기 반도체층으로 빛이 조사되는 것을 차단하는 불투명한 차단패턴을 더욱 포함하는 것을 특징으로 한다.
- <85> 이하, 첨부한 도면을 참조하여, 본 발명의 바람직한 실시예들을 설명한다.
- <86> -- 제 1 실시예 --
- <87> 본 발명의 제 1 실시예는 상부에 데이터 배선이 위치한 반도체층의 하부에 빛을 차단하는 차단패턴(shield pattern)을 구성하는 것을 특징으로 한다.
- <88> 도 3은 본 발명의 제 1 실시예에 따른 횡전계 방식 액정표시장치용 어레이기판의 한 화소를 확대한 평면도이다.
- <89> 본 발명의 제 1 실시예에 따른 횡전계 방식 액정표시장치용 어레이 기판은, 투명한 절연 기판(100)상에 일 방향으로 연장된 게이트 배선(104)과, 이에 평행한 방향으로 공통 배선(106)을 구성한다.
- <90> 상기 게이트 배선(104)과 공통 배선(106)과 수직하게 교차하는 데이터 배선(142)을 구성하며, 상기 데이터 배선(142)과 공통 배선(106)이 교차하여 정의된 영역이 화소영역(P)이 된다.
- <91> 상기 게이트 배선(104)의 상부에는 박막트랜지스터(T)를 구성하는데, 상기 박막트랜지스터(T)는 상기 게이트 배선(104)의 일부인 게이트 전극(102)과, 상기 게이트 전극(102)의 상부에 위치한 액티브층(136)을 포함한 제 1 반도체층(126)과, 상기 제 1 반도체층(126)의 상부에 적층된 소스 전극(138)과 드레인 전극(140)을 포함한다.
- <92> 한편, 상기 데이터 배선(142)의 하부에는 상기 제 1 반도체층(126)에서 연장되며 상기 데이터 배선(142)의 양측으로 일전면적 노출된 제 2 반도체층(128)이 구성된다.
- <93> 상기 화소 영역(P)에는 투명한 재질로 형성한 막대 형상의 공통 전극(152)과 화소 전극(150)을 구성하며, 상기 화소 영역(P)의 둘레에는 상기 공통 전극(152)과 동일한 신호가 흐르지만 이와는 다른 층에 위치하는 동시에 상기 데이터 배선(142)을 흐르는 신호가 화소 영역(P)에 미치는 것을 차단하기 위한 페루프 형상의 공통패턴(108)을 상기 공통 배선(106)에서 연장 형성한다
- <94> 한편, 상기 화소 영역(P)을 지나는 부분의 공통 배선(106)과, 상기 공통 배선(106)의 상부에 위치하고 상기 화소 전극(150)과 접촉하는 드레인 전극(140)을 게이트 절연막(미도시)을 사이에 두고 구성하여 스토리지 캐패시터(Cst)를 구성한다.
- <95> 전술한 바와 같은 어레이기판의 특성이, 상기 제 2 반도체층(128)의 하부에 대응하여 차단패턴(110)을 구성하는 것이다.
- <96> 이하, 도 4를 참조하여, 상기 차단패턴을 포함하는 본 발명에 따른 횡전계 방식 액정표시장치의 단면 구성을 설명한다.
- <97> 도 4는 도 3의 III-III과 IV-IV를 따라 절단하여, 이를 참조로 도시한 본 발명의 제 1 실시예에 따른 횡전계 방식 액정표시장치의 단면도이다.
- <98> 도시한 바와 같이, 본 발명의 제 1 실시예에 따른 횡전계 방식 액정패널은 액정층(LC)을 사이에 두고 어레이기판(B2)과 컬러필터 기판(B1)을 합착하여 형성한다.
- <99> 상기 어레이기판(B2)은 투명한 절연기판(100)과, 화소 영역(P)에 투명한 막대 형상으로 구성된 공통 전극(152)과 화소 전극과, 스위칭 영역(S)에 구성된 박막트랜지스터(T)와, 상기 화소 영역(P)마다 화소 영역(P)의 둘레에 형성한 공통 패턴(108)을 구성한다.
- <100> 상기 박막트랜지스터(T)는 게이트 전극(102)과 게이트 절연막(112)과 제 1 반도체층(액티브층과 오믹 콘택층, 126)과 소스 전극(138)과 드레인 전극(140)을 적층하여 구성한다.
- <101> 상기 화소 영역(P)의 양측으로는 데이터 배선(142)이 위치하고, 상기 데이터 배선(142)의 하부에는 상기 제 1 반도체층(126)에서 연장되고, 상기 데이터 배선(142)의 양측으로 노출된 제 2 반도체층(128)이 위치한다.
- <102> 이때, 투명 절연기판(100)의 제 1 층으로 상기 게이트 배선 및 게이트 전극(104,102)과 공통 패턴(108)과 상기 데이터 배선(142)의 하부에 대응하여 차단패턴(110)을 구성하는 것을 특징으로 한다.
- <103> 상기 차단패턴(110)은, 어레이 기판의 하부에 위치하는 백라이트로(back light)부터 조사되는 빛이 상기 제 2 반도체층에 도달하는 것을 차단하는 기능을 하여, dimming 주파로 on/off 구동하는 백라이트의 빛에 영향을 받

지 않도록 한다.

- <104> 따라서, 화면에서 나타나는 웨이브 노이즈(wavy noise)를 제거할 수 있으므로 고화질의 횡전계 방식 액정표시장치를 제작할 수 있다.
- <105> 이때, 도시한 바와 같이, 상기 공통 패턴(108)과 차단패턴(110)을 동일한 층에 구성하기 때문에 상기 두 구성간의 쇼트(short)를 방지하기 위해, 상기 차단패턴(108)의 면적을 상기 제 2 반도체층의 면적보다 작게 구성하였다.
- <106> 그러나, 설계상 전술한 바와 같은 문제로 여의치 않을 경우, 상기 차단패턴이 상기 제 2 반도체층을 모두 가릴 필요는 없다.
- <107> 상기 제 2 반도체층의 차단면적이 최대 40% 경우는 웨이브 노이즈가 발생하지 않기 때문에, 이에 맞추어 상기 차단패턴(110)을 설계하면 된다.
- <108> 이하, 공정도면을 참조하여, 본 발명의 제 1 실시예에 따른 횡전계 방식 액정표시장치용 어레이기판의 제조공정을 설명한다.
- <109> 도 5a 내지 5h와 도 6a 내지 도 6h는 도의 VII-VII, VIII-VIII을 따라 절단하여, 본 발명의 공정순서에 따라 도시한 공정 단면도이다.
- <110> 도 5a와 도 6a는 제 1 마스크 공정을 나타낸 도면으로, 다수의 화소 영역(P)과 스위칭 영역(S)이 정의된 기판(100) 상에 도전성 금속을 증착하고 제 1 마스크 공정으로 패터닝하여, 상기 화소 영역(P)의 일 측을 따라 연장된 게이트 배선(104)과, 상기 게이트 배선(104)의 일부인 게이트 전극(102)과, 상기 게이트 배선(104)과 평행하게 이격된 공통 배선(106)과, 상기 공통 배선(106)에서 화소 영역(P)의 둘레로 연장된 페루프 형상의 공통 패턴(108)을 형성하고, 상기 게이트 배선(104)과 수직한 방향의 상기 화소 영역(P)의 일 측과 타 측에 길이 방향으로 연장된 차단패턴(110)을 형성한다.
- <111> 상기 차단패턴(110)은 화소 영역(P)마다 형성한다.
- <112> 이때, 상기 도전성 금속은 알루미늄(Al), 알루미늄합금(AlNd), 텅스텐(W), 구리(Cu), 크롬(Cr), 몰리브덴(Mo)등을 포함하는 도전성 금속 그룹중 선택된 하나 또는 그 이상의 금속물질이다.
- <113> 이하, 도 5b 내지 5f와 도 6a 내지 도 6f는 제 2 마스크 공정을 나타낸 도면이다.(마스크 공정은 모든 공정에서 동일한 형태로 이루어지지만, 제 2 마스크 공정은 특히, 두 개의 구성을 동시에 패터닝하는 공정이므로, 이를 자세히 설명하기로 한다.)
- <114> 도 5b와 도 6b에 도시한 바와 같이, 상기 게이트 배선(104)과 공통 배선 및 공통패턴(106, 108)과 차단패턴(110)이 형성된 기판(100)의 전면에, 질화 실리콘(Si₃N₄)과 산화 실리콘(SiO₂)을 포함하는 무기절연물질 그룹 중 선택된 하나를 증착하여 게이트 절연막(112)을 형성한다.
- <115> 상기 게이트 절연막(112)의 상부에는 순수 비정질 실리콘(a-Si:H)을 증착하고, 불순물 비정질 실리콘(n+a-Si:H)을 증착하여 순수 비정질 실리콘층(114)과 불순물 비정질 실리콘층(116)을 형성한다.
- <116> 상기 불순물 비정질 실리콘층(116)이 형성된 기판(100)의 전면에는 앞서 언급한 도전성 금속그룹 중 선택된 하나 또는 그 이상의 물질을 증착하여 도전성 금속층(118)을 형성하고, 상기 도전성 금속층(118)의 상부에 포토레지스트(photo-resist)를 도포하여 감광층(120)을 형성한다.
- <117> 다음으로, 상기 감광층(120)의 상부에 투과부(G1)와 차단부(G2)와 반투과부(G3)가 구성된 마스크(M)를 위치시킨다.
- <118> 이때, 상기 스위칭 영역(S)에 대응하여, 중심에 반투과부(G3)가 주변에 차단부(G2)가 대응되고, 상기 차단패턴(110)에 대응하여 길이 방향으로 차단부(G2)가 대응되고 그 외의 영역은 투과부(G1)가 대응된다.
- <119> 다음으로, 상기 마스크(M)의 상부로 빛을 조사하는 공정을 진행한다. 이때, 상기 마스크(M)의 투과부 및 반투과부(G1, G3)를 통해 조사된 빛은, 하부의 감광층(120)을 노광하게 되며 특히, 반투과부(G3)에 대응하는 부분은 투과부(G1)에 대응하는 부분과는 달리 불완전 노광된 상태가 되는 것을 특징으로 한다.
- <120> 다음으로, 상기 노광된 감광층(120)을 현상(develope)하는 공정을 진행한다.
- <121> 도 5c와 도 6c에 도시한 바와 같이, 상기 현상공정이 완료되면, 스위칭 영역(S)에 대응하여 높이가 다른 제 1

감광패턴(124a)과, 상기 제 1 감광패턴(124a)에서 화소 영역(P)의 일 측으로 연장된 제 2 감광패턴(124b)이 형성된다.

- <122> 한편, 상기 제 1 및 제 2 감광패턴(124a,124b)의 주변으로 도전성 금속층(118)이 노출된 상태이다.
- <123> 다음으로, 상기 노출된 도전성 금속층(118)과 하부의 불순물 비정질 실리콘층(116)과 순수 비정질 실리콘층(114)을 제거하는 공정을 진행한다.
- <124> 이때, 일반적으로, 상기 불순물 비정질 실리콘층(116)과 순수 비정질 실리콘층(114)은 건식식각(dry etch)을 통해 제거되기 때문에, 상기 도전성 금속층(118)이 건식식각이 가능한 경우에는 상기 두 층과 동일한 공정에서 제거될 수 있고, 그렇지 않은 경우에는 습식식각(wet etch) 및 건식식각을 통해 각각을 별도로 제거하는 공정을 진행할 수 있다.
- <125> 도 5d와 도 6d에 도시한 바와 같이, 전술한 식각 공정이 완료되면 상기 제 1 및 제 2 감광패턴(124a,124b)의 주변으로 게이트 절연막(112)이 노출된 상태가 된다.
- <126> 또한, 상기 제 1 감광패턴(124a)의 하부에는 패터닝 불순물 비정질 실리콘층(116)과 순수 비정질 실리콘층(114)으로 구성된 제 1 반도체층(126)과 제 1 금속패턴(130)이 적층된 상태이고, 상기 제 2 감광패턴(124b)의 하부에는 상기 제 1 반도체층(126)에서 연장된 제 2 반도체층(128)과 상기 제 1 금속패턴(130)에서 연장된 제 2 금속패턴(132)이 적층된 상태로 패터닝 된다.
- <127> 다음으로, 상기 제 1 및 제 2 감광패턴(124a,124b)을 애싱(ashing)하는 공정을 진행하여, 상기 스위칭 영역(S)에 대응하는 제 1 감광패턴(124a)의 낮은 부분(D)을 완전히 제거하여 하부의 제 1 금속패턴(130)을 제거하는 공정을 진행한다.
- <128> 도 5e와 도 6e에 도시한 바와 같이, 애싱공정을 완료하게 되면, 상기 제 1 감광패턴(124a)의 낮은 부분(D)이 완전히 제거되어 상기 게이트 전극(102)에 대응하는 제 1 금속패턴(130)의 일부가 노출된다.
- <129> 동시에, 상기 애싱공정을 진행하는 과정에서 상기 제 1 및 제 2 감광패턴(124a,124b)의 주변이 애싱되어 하부의 제 1 금속패턴(130)과 제 2 금속패턴(132)의 일부가 동시에 노출되는 현상이 발생하게 된다.
- <130> 이와 같은 현상은, 도면으로 표현되지 않았지만 상기 제 1 및 제 2 감광패턴(124a,124b)이 반원형태의 굴곡진 형태이기 때문에 나타난다. 즉, 상기 감광패턴(124a,124b)은 중심으로부터 주변으로 갈수록 두께가 얇아지는 형태로 형성된다.
- <131> 따라서, 상기 애싱공정 중 당연히 상기 제 1 및 제 2 감광패턴(124a,124b)의 주변부가 완전히 제거되어 하부의 제 1 및 제 2 금속패턴(130,132)이 노출되는 현상이 발생하게 된다.
- <132> 다음으로, 상기 게이트 전극(102)에 대응하여 노출된 제 1 금속패턴(130)을 제거하는 공정을 진행한다.
- <133> 도 5f와 도 6f에 도시한 바와 같이, 상기 제거공정이 완료되면, 상기 스위칭 영역(S)에 대응하여 상기 제 1 금속패턴(도 7e와 도 8e의 130)이 분리된 상태로 형성되며 이때 일 측이 소스 전극(138)이 되고 이와 이격된 타 측이 드레인 전극(140)이 된다.
- <134> 동시에, 상기 소스 전극(138)에서 연장된 제 2 금속패턴은 데이터 배선(142)이 된다.
- <135> 연속하여, 상기 소스 및 드레인 전극(138,140)사이로 노출된 불순물 비정질 실리콘층(도 5e와 도 6e의 116)을 제거하는 공정을 진행하고, 상기 제 1 및 제 2 감광패턴(도 5e와 도 6e의 124a,124b)을 제거하는 공정을 진행한다.
- <136> 상기 소스 및 드레인 전극(138,140)의 하부에 잔류된 불순물 비정질 실리콘층은 저항성 접촉기능을 하므로 오믹 콘택층(136)이라 하고, 그 하부의 순수 비정질 실리콘층은 채널(channel)이 발생하는 층이므로 액티브층(134)이라 한다.
- <137> 이때, 상기 제 1 금속패턴(도 7e와 도 8e의 130)과 하부의 불순물 비정질 실리콘층(도 5e와 도 6e의 116)을 제거하는 공정에서, 상기 제 1 및 제 2 감광패턴(도 5e와 도 6e의 124a,124b)의 주변 노출된 제 1 금속패턴 및 제 2 금속패턴(130,132)과 그 하부의 불순물 비정질 실리콘층(136,116)이 노출된다.
- <138> 결과적으로 도시한 바와 같이, 상기 소스 및 드레인 전극(138,140)과 데이터 배선(142)의 주변으로 하부의 순수 비정질 실리콘층(134,114)이 노출된 상태로 패터닝 된다.

- <139> 도 5g와 도 6g는 제 3 마스크 공정을 나타낸 도면으로, 상기 소스 및 드레인 전극(138,140)과 데이터 배선(142)이 형성된 기판(100)의 전면에 앞서 언급한 무기절연물질 그룹 중 선택된 하나 또는 그 이상의 물질을 증착하거나 경우에 따라서는, 벤조사이클로부텐(BCB)과 아크릴(acryl)계 수지(resin)와 같은 유기절연물질 그룹 중 선택된 하나를 도포하여 보호막(146)을 형성한다.
- <140> 다음으로, 제 3 마스크 공정으로 상기 보호막(146)을 패터하여, 상기 드레인 전극(140)의 일부를 노출하는 드레인 콘택홀(148)을 형성한다.
- <141> 동시에, 도시하지는 않았지만, 상기 공통패턴의 일부를 노출하는 공통패턴 콘택홀(미도시)을 형성한다.
- <142> 도 5h와 도 6h는 제 4 마스크 공정을 나타낸 도면으로, 보호막(146)이 형성된 기판(100)의 전면에 인듐-틴-옥사이드(ITO)와 인듐-징크-옥사이드(IZO)를 포함하는 투명 도전성 금속 그룹 중 선택된 하나를 증착하고 제 4 마스크 공정으로 패터하여, 상기 노출된 드레인 전극(140)과 접촉하면서 상기 화소 영역(P)에 다수의 막대 형상으로 연장된 화소 전극(150)을 형성하고, 동시에, 상기 공통패턴 콘택홀(미도시)을 통해 하부의 공통패턴(108)과 접촉하면서 화소 영역(P)에 막대 형상으로 형성되고, 상기 막대 형상의 화소 전극(150) 사이마다 이격하여 위치한 공통 전극(152)을 형성한다.
- <143> 이때, 상기 드레인 전극(140)은 상기 게이트 배선(104)에서 이에 근접한 공통 배선(106)의 상부로 연장 구성하여, 상기 공통 배선(106)을 제 1 전극으로 하고, 상기 연장된 드레인 전극(142)을 제 2 전극으로 하는 스토리지 캐패시터(C_{ST})를 형성한다
- <144> 이상으로, 전술한 공정을 통해 본 발명의 제 1 실시예에 따른 횡전계 방식 액정표시장치용 어레이기판을 제작할 수 있다.
- <145> - - 제 2 실시예 - -
- <146> 본 발명의 제 2 실시예는 상기 제 2 반도체층의 하부에 구성하는 차단패턴을 상기 제 2 반도체층 보다 같거나 큰 면적으로 구성하는 것을 특징으로 한다.
- <147> 도 7은 본 발명의 제 2 실시예에 따른 횡전계 방식 액정표시장치용 어레이기판의 한 화소를 도시한 평면도이다.
- <148> 본 발명의 제 2 실시예에 따른 횡전계 방식 액정표시장치용 어레이 기판은, 투명한 절연 기판(200)상에 일 방향으로 연장된 게이트 배선(204)과, 이에 평행한 방향으로 화소 영역의 상부와 하부에 제 1 공통 배선(206a)과 제 2 공통 배선(206b)을 구성한다.
- <149> 상기 게이트 배선(204)과 제 1 및 제 2 공통 배선(206a,206b)과 수직하게 교차하는 데이터 배선(242)을 구성하며, 상기 데이터 배선(242)과 상기 제 1 및 제 2 공통 배선(206a,206b)이 교차하여 정의된 영역이 화소영역(P)이 된다.
- <150> 상기 게이트 배선(204)의 상부에는 박막트랜지스터(T)를 구성하는데, 상기 박막트랜지스터(T)는 상기 게이트 배선(204)의 일부인 게이트 전극(202)과, 상기 게이트 전극(202)의 상부에 위치한 제 1 반도체층(226)과, 상기 제 1 반도체층(226)의 상부에 적층된 소스 전극(238)과 드레인 전극(240)을 포함한다.
- <151> 한편, 상기 데이터 배선(242)의 하부에는 상기 제 1 반도체층(226)에서 연장되며 상기 데이터 배선(242)의 양측으로 일정 면적 노출된 제 2 반도체층(228)이 구성된다.
- <152> 상기 화소 영역(P)에는 투명한 재질로 형성한 막대 형상의 공통 전극(252)과 화소 전극(250)을 구성한다.
- <153> 이때, 상기 화소 전극(250)은 드레인 전극(240)과 접촉하도록 구성하고, 상기 공통 전극(252)은 상기 제 2 공통 배선(206b)과 접촉하도록 구성한다.
- <154> 한편, 상기 드레인 전극(240)을 구성할 때, 이에 근접한 상기 제 1 공통 배선(206a)의 상부로 연장하여 구성하게 되며 이로써, 상기 제 1 공통 배선(206a)을 제 1 전극으로 하고 상기 드레인 전극(240)을 제 2 전극으로 하는 스토리지 캐패시터(C_{st})를 형성할 수 있다.
- <155> 전술한 구성에서 특징적인 것은, 상기 제 2 반도체층(280)의 하부에 대응하여 이와 같거나 큰 면적의 차단패턴(210)을 구성하는 것이다.
- <156> 따라서, 상기 차단패턴(210)과의 단락(short)를 방지하기 위해, 상기 제 1 실시예와는 달리 화소영역(P)의 양측에 구성하였던 공통 패턴(도 3의 210)을 생략하였다.

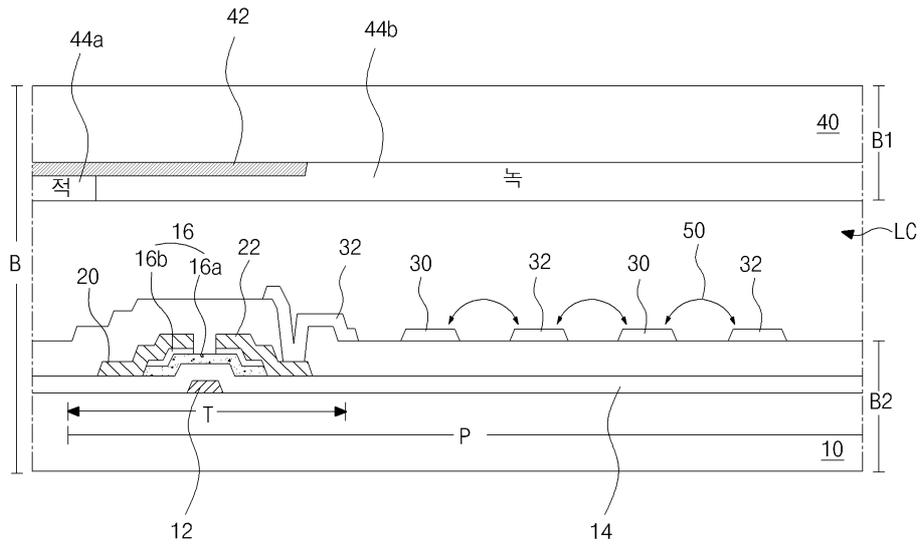
- <157> 대신, 상기 데이터 배선(242)과 근접하게 위치한 투명한 막대 형상의 공통 전극(252)의 폭을 넓게 구성함으로써, 상기 공통 패턴(210)의 기능을 대체할 수 있다.
- <158> 이하, 도 8을 참조하여 전술한 평면 구성에 대한 단면 구성을 설명한다.
- <159> 도 8은 도 7의 VII-VII, VIII-VIII을 따라 절단하여, 이를 참조로 도시한 본 발명의 제 2 실시예에 따른 횡전계 방식 액정표시장치의 단면도이다.
- <160> 도시한 바와 같이, 본 발명의 제 2 실시예에 따른 횡전계 방식 액정표시장치는 액정층(LC)을 사이에 두고 어레이 기관(B2)과 컬러필터 기관(B1)을 합착하여 형성한다.
- <161> 상기 어레이 기관(B2)은 투명한 절연기관(200)과, 화소 영역(P)에 투명한 막대 형상으로 구성된 공통 전극(252)과 화소 전극(250)과, 스위칭 영역에 구성된 박막트랜지스터(T)를 형성한다.
- <162> 상기 박막트랜지스터(T)는 게이트 전극(202)과 게이트 절연막(212)과 액티브층(234)과 오믹 콘택층(236)으로 구성된 제 1 반도체층(226)과 소스 전극(238)과 드레인 전극(240)을 적층하여 구성한다.
- <163> 상기 화소 영역(P)의 양측으로는 데이터 배선(242)이 위치하고, 상기 데이터 배선(242)의 하부에는 상기 제 1 반도체층(226)에서 연장되고 상기 데이터 배선(242)의 양측으로 노출된 제 2 반도체층(228)이 위치한다.
- <164> 이때, 투명 절연기관(200)의 제 1 층으로 상기 게이트 배선(도 7의 204)과 게이트 전극(202)과 상기 데이터 배선(242)의 하부에 대응하여, 상기 제 2 반도체층(228)의 면적과 같거나 큰 면적의 차단 패턴(210)을 구성하는 것을 특징으로 한다.
- <165> 앞서 언급한 바와 같이, 상기 차단 패턴(210)은 하부의 광원(미도시)으로부터 조사된 빛을 차단하여, 빛이 조사되었을 때 상기 제 2 반도체층(228)에서 발생하는 전류성분으로 인해 액정패널의 화면에 웨이브 노이즈가 발생하는 것을 방지할 수 있는 장점이 있다.
- <166> 본 발명의 제 2 실시예에 따른 횡전계 방식 액정표시장치용 어레이기관의 제조 공정은 본원 발명의 제 1 실시예와 동일하므로 이를 생략한다.
- <167> 한편, 상기 제 1 및 제 2 실시예는 상기 제 2 반도체층의 하부에 차단패턴을 구성하여, 빛을 원천 차단하는 구성을 제안하였으나, 다른 예로서 상기 제 2 반도체층에 빛이 조사되었다라도, 상기 제 2 반도체층에서 발생하는 전류의 영향을 차단하는 구조를 도입하여 웨이브 노이즈(wavy noise)를 방지하는 구성을 이하, 제 3 실시예에서 설명한다.
- <168> - - 제 3 실시예 - -
- <169> 본 발명의 제 3 실시예의 특징은, 상기 데이터 배선의 상부에 수리기능 및 차폐 기능을 동시에 하는 차단패턴을 폭넓게 구성하는 것을 특징으로 한다.
- <170> 도 9는 본 발명의 제 3 실시예에 따른 횡전계 방식 액정표시장치의 구성을 개략적으로 도시한 단면도이다.
- <171> 도시한 바와 같이, 본 발명의 제 3 실시예에 따른 횡전계 방식 액정표시장치는 액정층(LC)을 사이에 두고 어레이 기관(B2)과 컬러필터 기관(B1)을 합착하여 형성한다.
- <172> 상기 어레이기관은 투명한 절연기관(200)과, 화소 영역(P)에 투명한 막대 형상으로 구성된 공통 전극(250)과 화소 전극(252)과, 스위칭 영역(S)에 구성된 박막트랜지스터(T)와, 상기 화소 영역(P)마다 화소 영역(P)의 둘레에 형성한 공통 패턴(210)을 구성한다.
- <173> 상기 박막트랜지스터(T)는 게이트 전극(202)과 게이트 절연막(212)과 제 1 반도체층(226)과 소스 전극(238)과 드레인 전극(240)을 적층하여 구성한다.
- <174> 상기 화소 영역(P)의 양측으로는 데이터 배선(242)이 위치하고, 상기 데이터 배선(242)의 하부에는 상기 제 1 반도체층(226)에서 연장되고 상기 데이터 배선(242)의 양측으로 노출된 제 2 반도체층(228)이 위치한다.
- <175> 전술한 구성에서, 상기 데이터 배선(242)의 상부에 상기 공통 전극(252)과 화소 전극(250)과 동일층 동일물질로 형성한 차단패턴(256)을 구성하는 것을 특징으로 한다.
- <176> 상기 차단패턴(256)은 상기 데이터 배선(242)의 상부에 구성되고 데이터 배선(242)의 외측으로 노출된 제 2 반도체층(228)을 덮을 정도의 면적으로 구성하는 것을 특징으로 한다.

- <177> 이때, 상기 차단패턴(256)은 보호막(246)에 구성된 복수의 콘택홀(CH)을 통해 하부의 데이터 배선(242)과 랜덤하게 접촉하도록 구성하는 것을 특징을 한다.
- <178> 전술한 차단패턴(256)을 상기 데이터 배선(242)의 양측으로 노출된 제 2 반도체층(228)을 완전히 덮는 구조로 구성하기 때문에, 상기 제 2 반도체층(228)에 하부 광원의 빛이 조사되어 전류가 발생하였다 하여도 이로 인한 영향을 완전히 차폐하였기 때문에, 근접한 화소 전극 및 공통 전극(250,252)과 커플링(coupling)이 발생하는 것을 최소화 할 수 있다.
- <179> 따라서, 액정패널의 화면에 웨이브 노이즈(wavy noise)가 발생하는 것을 최소화 할 수 있다.
- <180> 또한, 상기 차단패턴(256)이 하부의 데이터 배선(242)과 접촉하는 구조이기 때문에 공정 중, 상기 데이터 배선(242)에 단선이 발생하였다 하여도 이를 상기 차단패턴(256)으로 대체할 수 있다. 따라서, 상기 차단패턴(256)은 리페어 기능을 동시에 할 수 있다.
- <181> 전술한 바와 같이 구성된 본 발명의 제 3 실시예에 따른 횡전계 방식 액정표시장치용 어레이기판의 제조방법은 앞서 언급한 제 1 실시예의 제조공정과 동일하며 다만, 제 1 공정에서 차폐패턴을 형성하지 않고, 제 3 마스크 공정 중 드레인 콘택홀을 형성하면서 추가적으로, 상기 데이터 배선(242)을 부분적으로 노출하는 콘택홀을 형성하고, 제 4 마스크 공정에서 공통 전극(252)과 화소 전극(250)을 형성하면서, 상기 데이터 배선(242)의 상부에 길이 방향을 따라 상기 차단패턴(256)을 패터닝하는 공정을 진행한다.
- <182> 본 발명의 제 3 실시예는 데이터 배선(242)의 상부에 차단 패턴(256)으로 구성 하였지만, 차단패턴(256)에 대항하는 제 2 반도체(258)층의 하부에 차단패턴을 더욱 구성하여 웨이브 노이즈를 방지하는 효과를 극대화 할 수 있다.
- <183> 이에 대해 이하, 제 4 실시예를 통해 설명한다.
- <184> -- 제 4 실시예 --
- <185> 본 발명의 제 4 실시예는 데이터 배선의 하부와 상부에 동시에 웨이브 노이즈를 방지하기 위한 차단 패턴을 구성하는 것을 특징으로 한다.
- <186> 도 10은 본 발명의 제 4 실시예에 따른 횡전계 방식 액정표시장치의 구성을 개략적으로 도시한 단면도이다.
- <187> 도시한 바와 같이, 본 발명의 제 4 실시예에 따른 횡전계 방식 액정표시장치는 액정층을 사이에 두고 어레이기판과 컬러필터 기판을 합착하여 형성한다.
- <188> 상기 어레이기판은 투명한 절연기판(200)과, 화소 영역(P)에 투명한 막대 형상으로 구성된 공통 전극(252)과 화소 전극(250)과, 스위칭 영역(S)에 구성된 박막트랜지스터(T)와, 상기 화소 영역(P)마다 화소 영역(P)의 둘레에 형성한 공통 패턴(208)을 구성한다.
- <189> 상기 박막트랜지스터(T)는 게이트 전극(202)과 게이트 절연막(212)과 제 1 반도체층(226)과 소스 전극(238)과 드레인 전극(240)을 적층하여 구성한다.
- <190> 상기 화소 영역(P)의 양측으로는 데이터 배선(242)이 위치하고, 상기 데이터 배선(242)의 하부에는 상기 제 1 반도체층(226)에서 연장되고 상기 데이터 배선(242)의 양측으로 노출된 제 2 반도체층(228)이 위치한다.
- <191> 전술한 구성에서, 상기 데이터 배선(242)의 하부에 제 1 차단 패턴(210)을 구성하고, 상기 데이터 배선(242)의 상부에 상기 공통 전극(252)과 화소 전극(250)과 동일층 동일물질로 형성한 제 2 차단패턴(256)을 구성하는 것을 특징으로 한다.
- <192> 상기 제 2 차단패턴(256)은 상기 데이터 배선(242)의 상부에 구성되고 데이터 배선(242)의 외측으로 노출된 제 2 반도체층(228)보다 큰 면적으로 구성하는 것을 특징으로 한다.
- <193> 이때, 상기 제 2 차단패턴(256)은 보호막(246)에 구성된 복수의 콘택홀(CH)을 통해 하부의 데이터 배선(242)과 랜덤하게 접촉하도록 구성하는 것을 특징을 한다.
- <194> 또한, 설계패턴에 따라 상기 제 1 차단패턴(210)의 폭은 상기 제 2 반도체층(228)의 폭보다 작게 구성할 수도 있고, 상기 제 2 반도체층(228)의 폭보다 작거나 크게 구성할 수 있다.
- <195> 전술한 바와 같이, 제 1 차단패턴(210)과 제 2 차단패턴(256)을 동시에 구성하게 되면 특히, 상기 제 1 차단패턴(210)이 제 2 반도체층보다 작은 폭으로 구성될 때 훨씬 효과적일 수 있다.

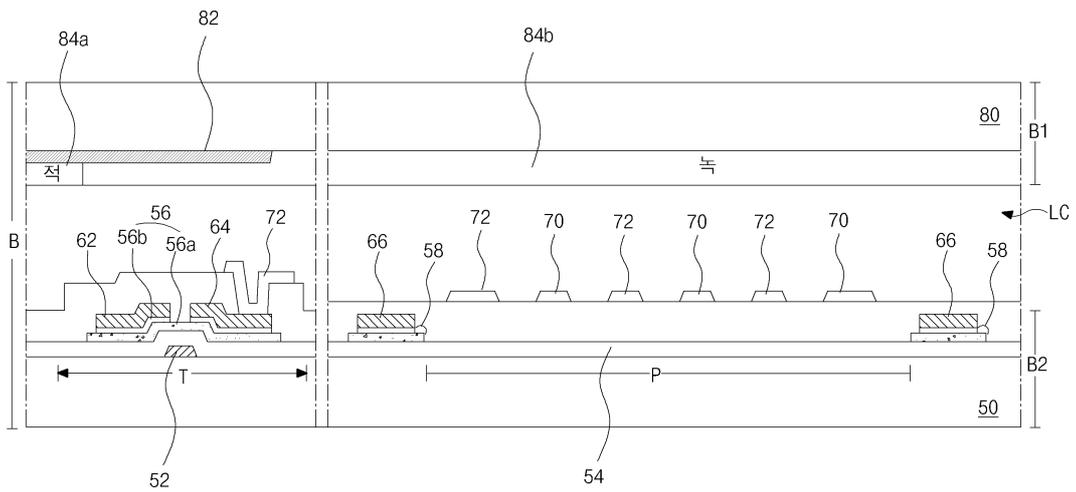
- <14> 126 : 제 1 반도체층 128 : 제 2 반도체층
- <15> 136 : 액티브층 138 : 소스 전극
- <16> 140 : 드레인 전극 142 : 데이터 배선
- <17> 150 : 화소 전극 152 : 공통 전극

도면

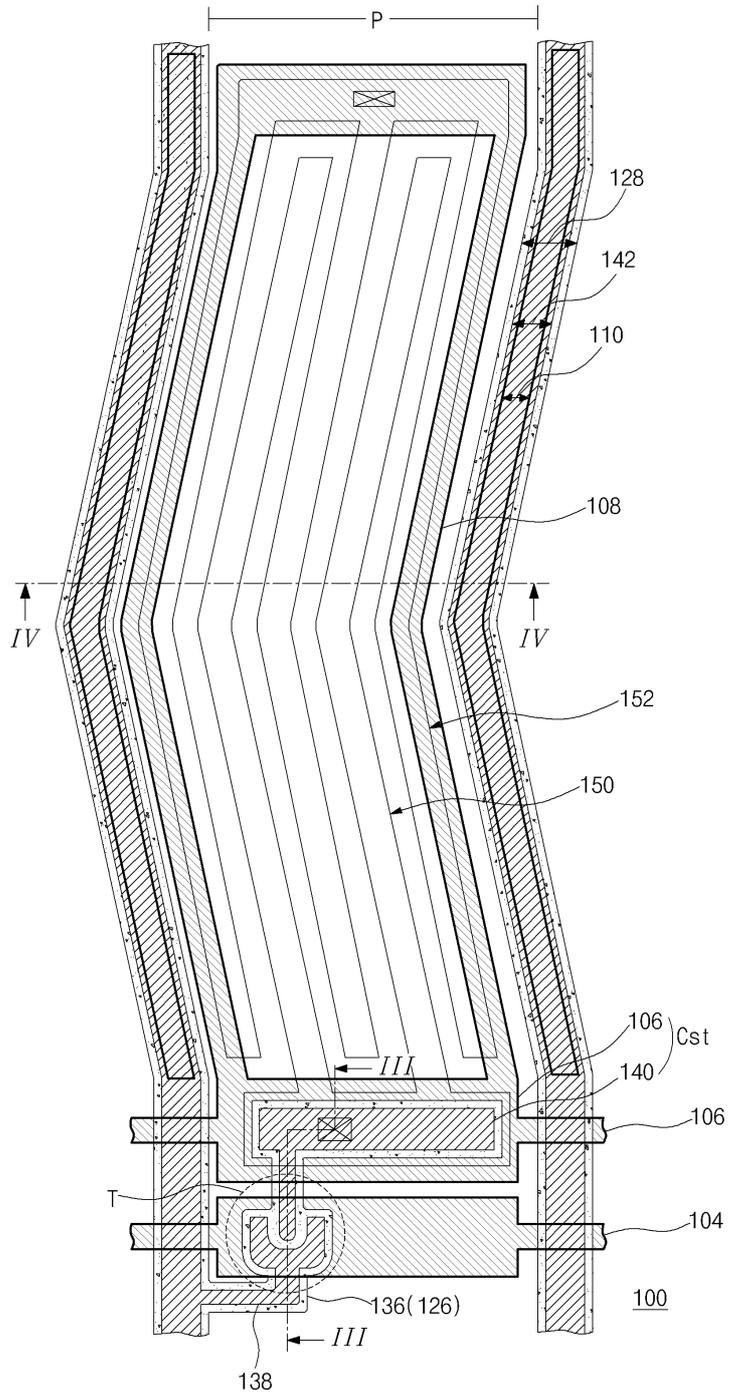
도면1



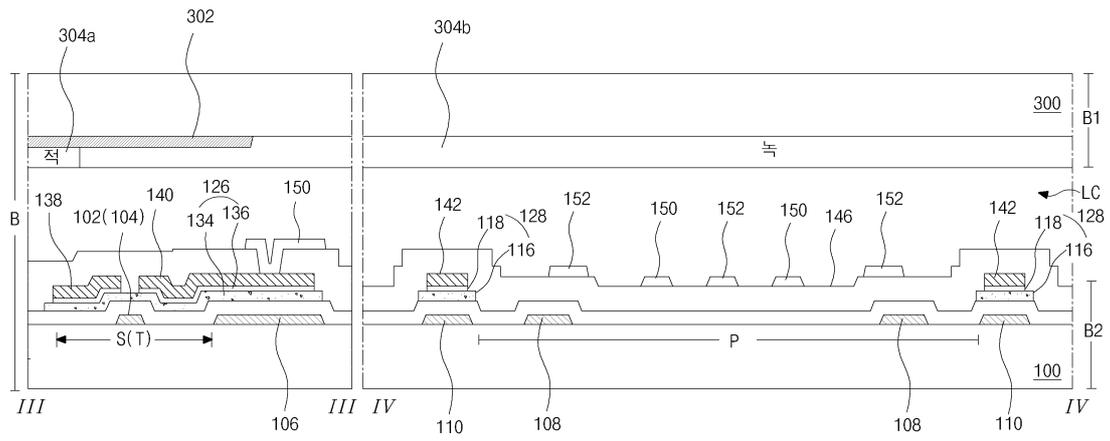
도면2



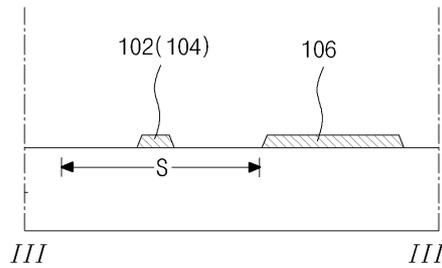
도면3



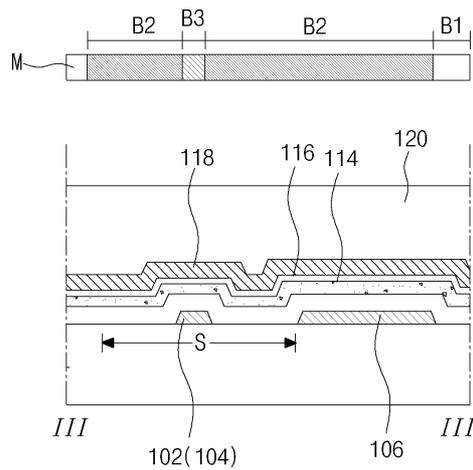
도면4



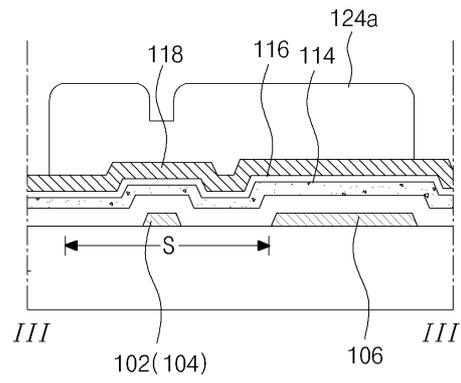
도면5a



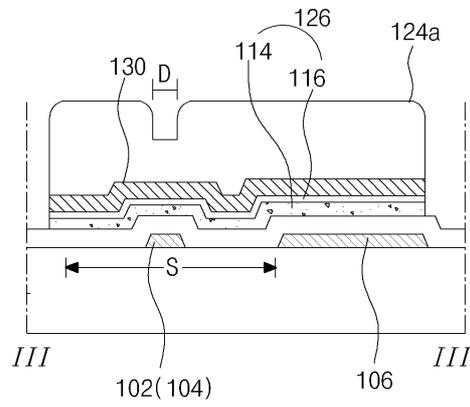
도면5b



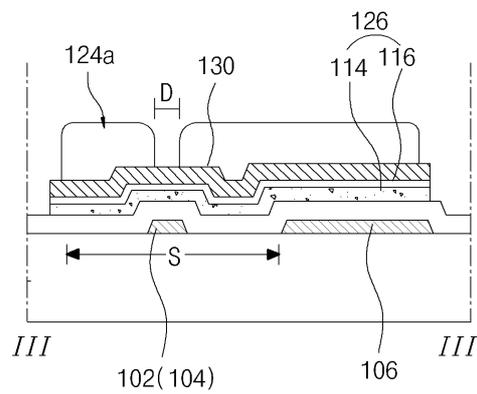
도면5c



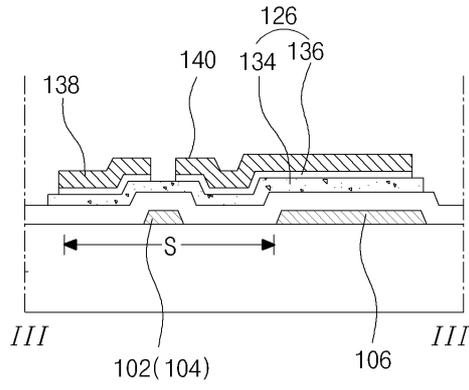
도면5d



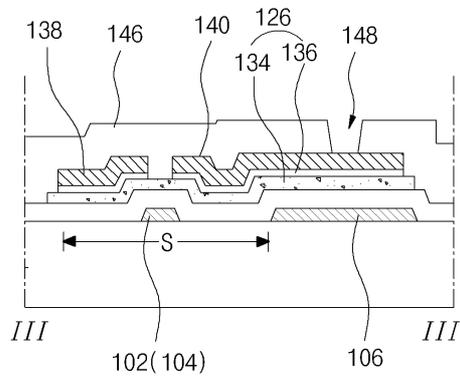
도면5e



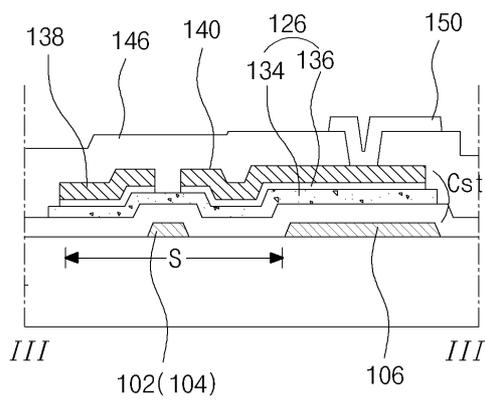
도면5f



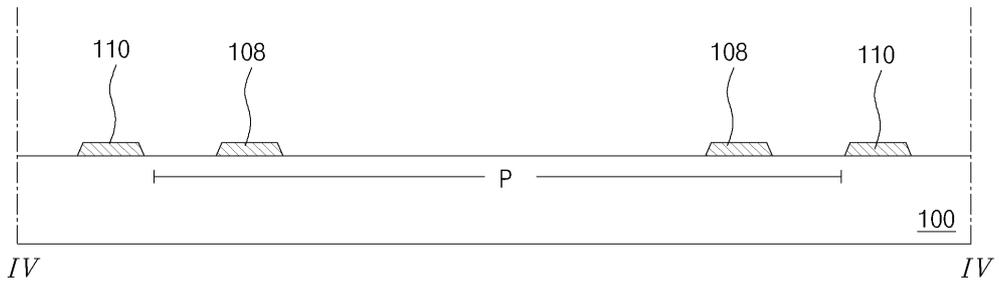
도면5g



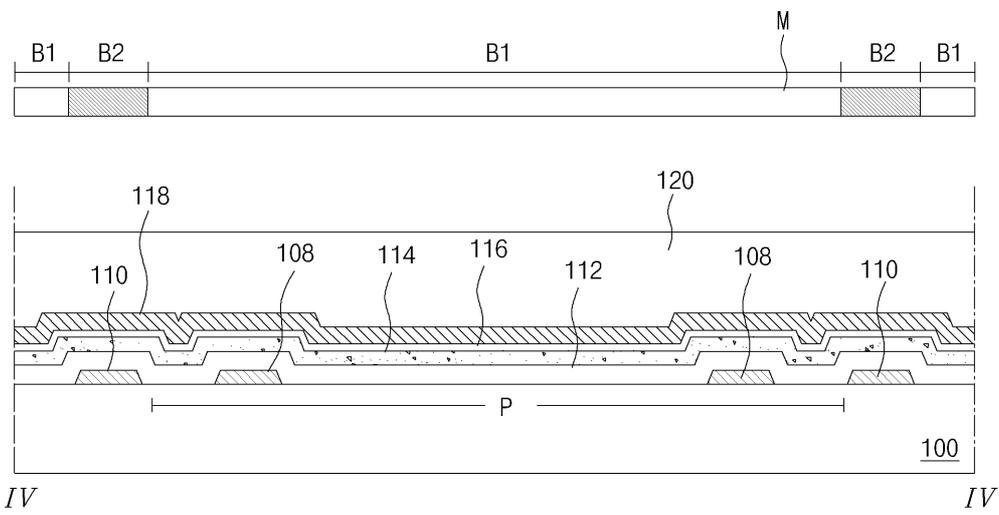
도면5h



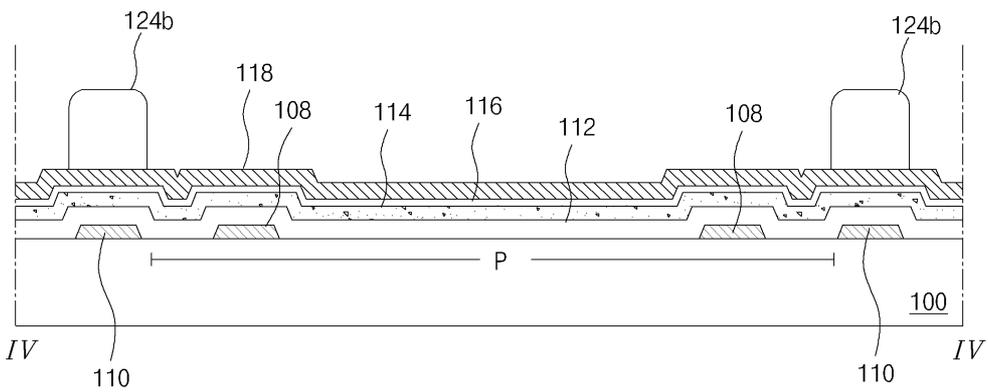
도면6a



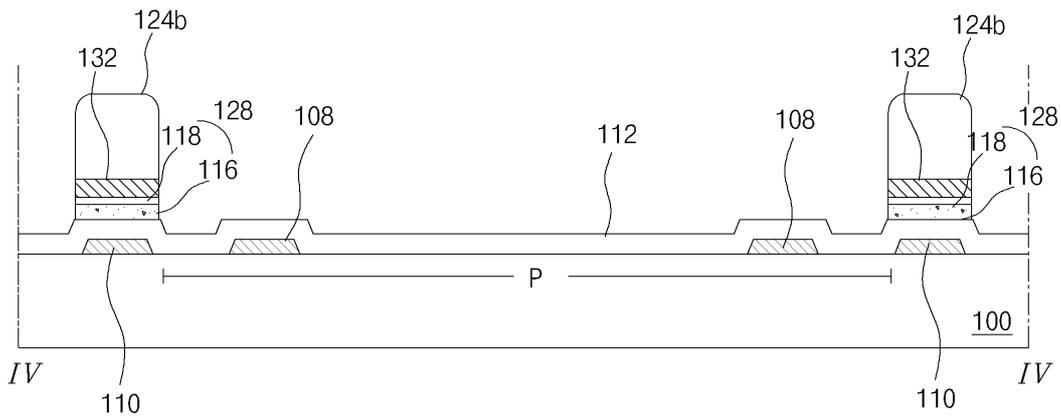
도면6b



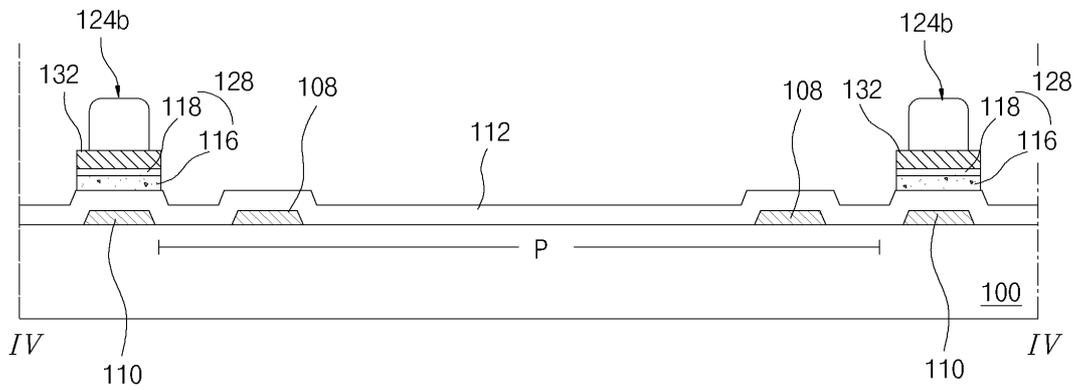
도면6c



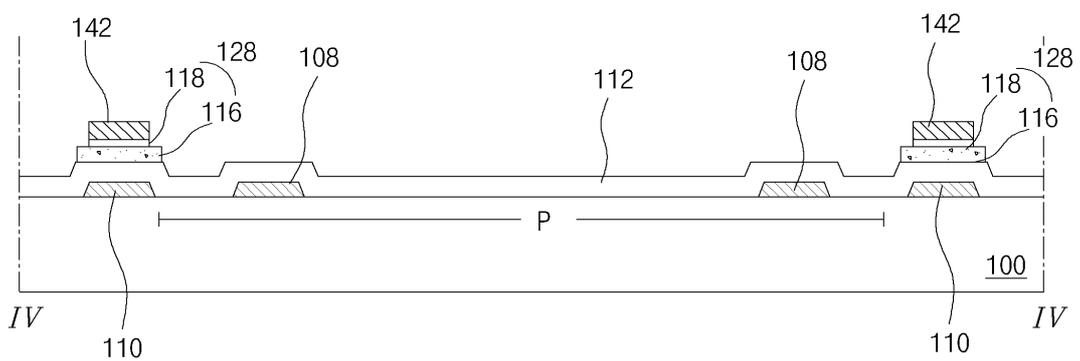
도면6d



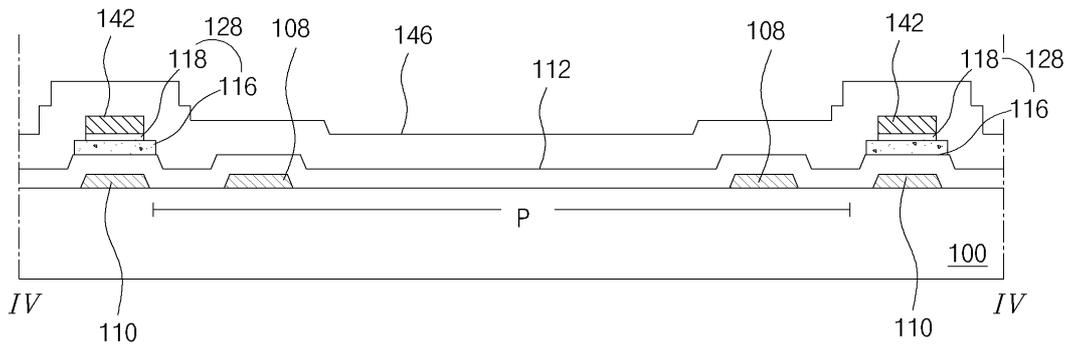
도면6e



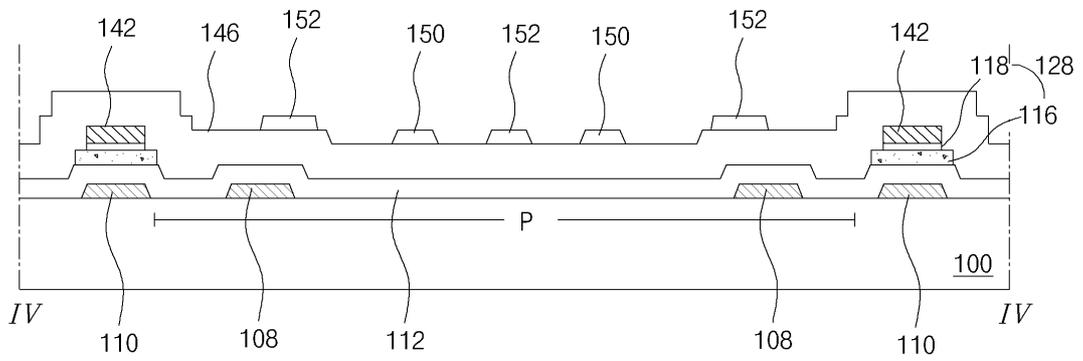
도면6f



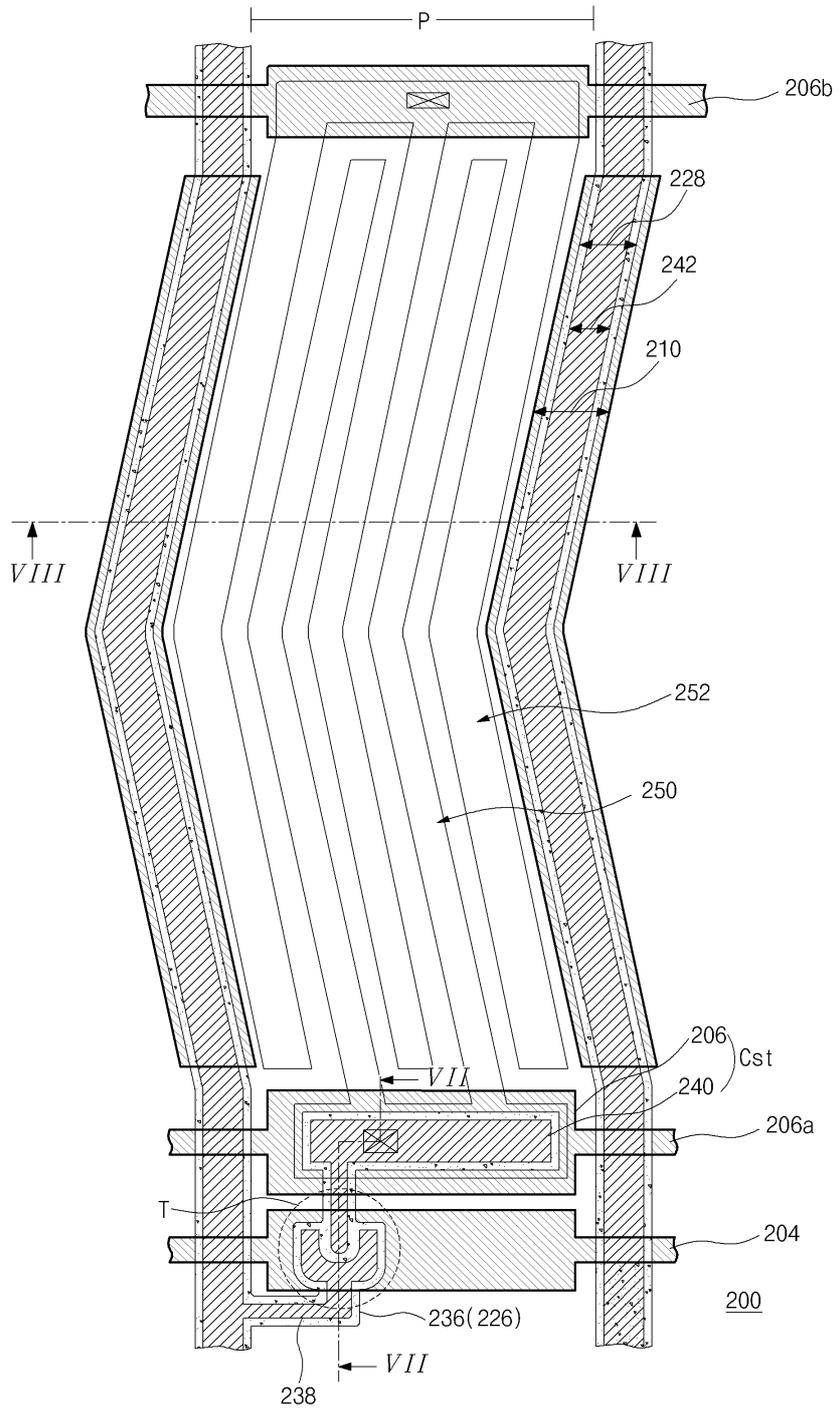
도면6g



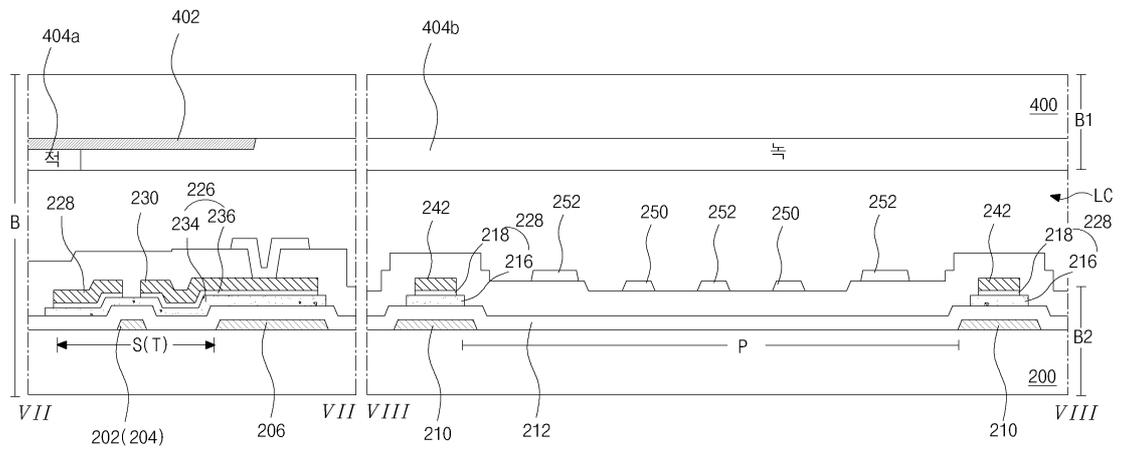
도면6h



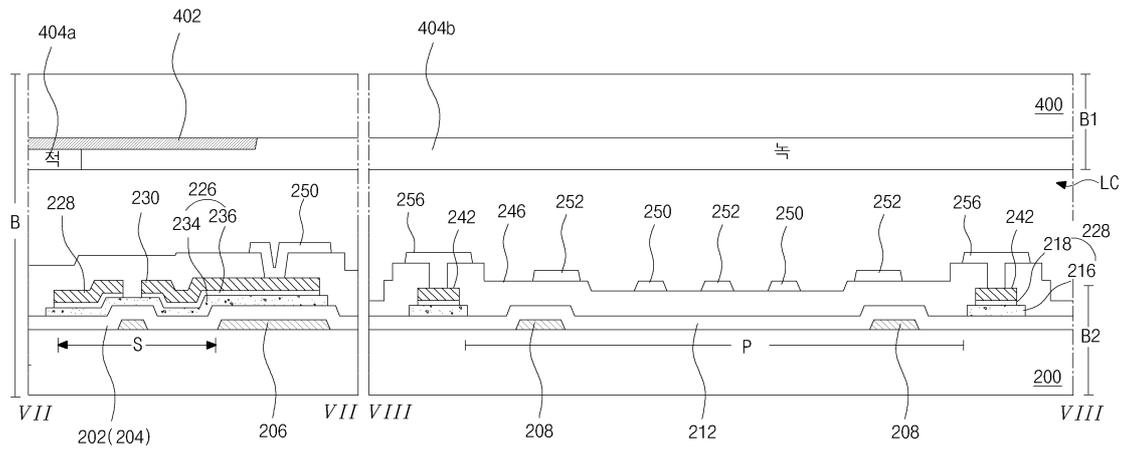
도면7



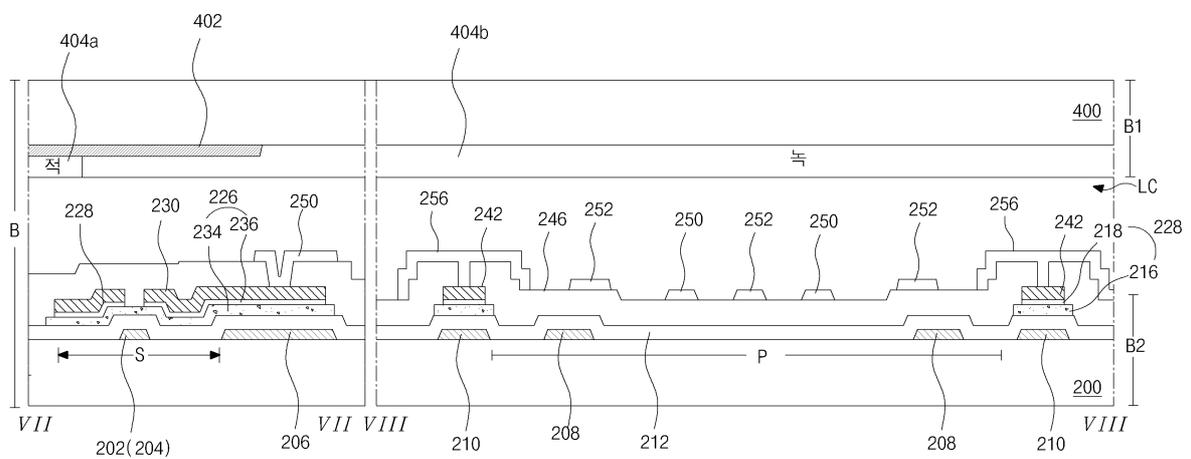
도면8



도면9



도면10



专利名称(译)	用于横向电场型液晶显示装置的阵列基板及其制造方法		
公开(公告)号	KR1020070103129A	公开(公告)日	2007-10-23
申请号	KR1020060034847	申请日	2006-04-18
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE JUNG EUN 이정은 LEE JAE KYUN 이재균 SONG MOO HYOUNG 송무형 CHOI SEUNG CHAN 최승찬		
发明人	이정은 이재균 송무형 최승찬		
IPC分类号	G02F1/136		
CPC分类号	G02F1/136209 G02F1/134363 H01L33/0041		
其他公开文献	KR101229413B1		
外部链接	Espacenet		

摘要(译)

本发明涉及平面切换模式液晶显示装置及其制造方法，特别是高清晰度液晶显示器。在数据线的两侧制造4个掩模工艺，半导体层是暴露结构，其特征在于首先组织第一截取图案（第一屏蔽层）阻挡上述半导体层下部的光。其特征在于，第二个是组织第二拦截图案（第二屏蔽层），其阻挡由上述半导体层产生的光电流分量的影响，同时在数据线的上部接触该电流分量。使用根据第一和第二特征的配置，可以制造不产生波纹噪声的高清晰度液晶面板。

