



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.
G02F 1/133 (2006.01)

(11) 공개번호 10-2006-0133243
(43) 공개일자 2006년12월26일

(21) 출원번호 10-2005-0052989
(22) 출원일자 2005년06월20일
심사청구일자 없음

(71) 출원인 삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자 박진호
경기 수원시 권선구 권선동 벽산한성아파트 809동 801호
나병선
경기 화성시 태안읍 반월리 신영통현대아파트 212동 1503호
박진용
경기 군포시 산본동 1119 백두아파트 984동 702호

(74) 대리인 조희원

전체 청구항 수 : 총 10 항

(54) 액정표시장치 및 이의 제조방법

(57) 요약

본 발명은 슬림화를 위한 액정표시장치 및 이의 제조방법에 관한 것이다.

본 발명은 칼라필터기판과, 액정을 사이에 두고 칼라필터기판과 셀란트에 의해 합착되며 게이트선 및 데이터선의 교차에 의해 마련된 화소영역에 다수개의 화소전극이 형성된 유효표시영역과 주변영역을 가지는 박막트랜지스터기판을 구비하며, 주변영역은 유효표시영역과 셀란트 사이에서 유효표시영역을 감싸도록 형성된 제1주변영역과 셀란트가 형성되며 제1주변영역을 감싸도록 형성된 제2주변영역과 제2주변영역을 감싸도록 형성되며 칼라필터기판의 끝선까지의 영역인 제3주변영역과 제3주변영역의 일측에 형성되어 칼라필터기판에 의해 노출된 박막트랜지스터기판의 영역인 제4주변영역을 포함하며, 제1 내지 제3주변영역 중 적어도 어느 한 영역에는 게이트선에 게이트신호를 공급하기 위한 다수개의 트랜지스터와 캐패시터로 이루어진 게이트구동회로가 형성되는 것을 특징으로 하는 액정표시장치 및 이의 제조방법에 관한 것이다.

대표도

도 1

특허청구의 범위

청구항 1.

칼라필터기판과;

액정을 사이에 두고 상기 칼라필터기판과 쉘란트에 의해 합착되며 게이트선 및 데이터선의 교차에 의해 마련된 화소영역에 다수개의 화소전극이 형성된 유효표시영역과 주변영역을 가지는 박막트랜지스터기판을 구비하며,

상기 주변영역은 상기 유효표시영역과 상기 쉘란트 사이에서 상기 유효표시영역을 감싸도록 형성된 제1주변영역과;

상기 쉘란트가 형성되며 상기 제1주변영역을 감싸도록 형성된 제2주변영역과;

상기 제2주변영역을 감싸도록 형성되며 상기 칼라필터기판의 끝선까지의 영역인 제3주변영역과;

상기 제3주변영역의 일측에 형성되어 상기 칼라필터기판에 의해 노출된 상기 박막트랜지스터기판의 영역인 제4주변영역을 포함하며,

상기 제1 내지 제3주변영역 중 적어도 어느 한 영역에는 상기 게이트선에 게이트신호를 공급하기 위한 다수개의 트랜지스터와 캐패시터로 이루어진 게이트구동회로가 형성되는 것을 특징으로 하는 액정표시장치.

청구항 2.

제1항에 있어서,

상기 제4주변영역에 상기 데이터선을 구동하기 위해 실장되는 데이터구동회로를 더 구비하는 것을 특징으로 하는 액정표시장치.

청구항 3.

제1항에 있어서,

상기 주변영역은 상기 제3주변영역의 타측에 형성되어 상기 칼라필터기판에 의해 노출된 상기 박막트랜지스터기판의 영역인 제5주변영역을 추가로 구비하는 것을 특징으로 하는 액정표시장치.

청구항 4.

제3항에 있어서,

상기 제5주변영역은 공정진행에 필요한 공정설비용인식마크를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 5.

제1항에 있어서,

상기 게이트구동회로는 이전 스테이지와 다음 스테이지가 연결된 셋리셋래치와,

상기 셋리셋래치의 출력단자 및 클럭신호가 인가되는 클럭단자에 연결된 앤드게이트로 이루어진 복수의 스테이지를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 6.

제5항에 있어서,

상기 게이트구동회로는 상기 캐패시터의 충전량에 따라 상기 클럭단자와 상기 게이트선 사이의 도전 경로를 제어하는 제1 트랜지스터와;

상기 다음 스테이지의 출력신호에 따라 오프전압선과 상기 게이트선 사이의 도전 경로를 제어하는 제2트랜지스터와;

상기 이전 스테이지의 출력신호에 따라 상기 이전 스테이지의 출력신호선과 상기 캐패시터 사이의 도전 경로를 제어하는 제3트랜지스터와;

상기 다음 스테이지의 출력신호에 따라 상기 오프전압선과 상기 캐패시터 사이의 도전 경로를 제어하는 제4트랜지스터를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 7.

칼라필터기판을 마련하는 단계와;

게이트선 및 데이터선의 교차에 의해 마련된 화소영역에 다수개의 화소전극이 형성된 유효표시영역과 상기 유효표시영역을 감싸도록 형성된 제1 내지 제4주변영역을 가지는 박막트랜지스터기판을 마련하는 단계와;

상기 제4주변영역이 노출되도록 액정을 사이에 두고 상기 칼라필터기판과 상기 박막트랜지스터기판을 셀란트로 합착하는 단계를 포함하며;

상기 제1주변영역은 상기 유효표시영역과 상기 셀란트 사이에서 상기 유효표시영역을 감싸도록 형성된 영역이고;

상기 제2주변영역은 상기 셀란트가 형성되며 상기 제1주변영역을 감싸도록 형성된 영역이고;

상기 제3주변영역은 상기 제2주변영역을 감싸도록 형성된 상기 칼라필터기판의 끝선까지의 영역이고;

상기 제4주변영역은 상기 제3주변영역의 일측에 형성되어 상기 칼라필터기판에 의해 노출된 박막트랜지스터기판의 영역이고,

상기 제1 내지 제3주변영역 중 적어도 어느 한 영역에는 상기 게이트선에 게이트신호를 공급하며 다수개의 트랜지스터와 캐패시터로 이루어진 게이트구동회로가 형성되는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 8.

제7항에 있어서,

상기 제4주변영역에 상기 데이터선을 구동하는 데이터구동회로를 실장하는 단계를 더 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 9.

제7항에 있어서,

상기 제3주변영역의 타측에 형성되어 상기 칼라필터기판에 의해 노출된 상기 박막트랜지스터기판의 영역인 제5주변영역을 형성하는 단계를 더 포함하는 액정표시장치의 제조방법.

청구항 10.

제9항에 있어서,

상기 제5주변영역에 공정진행에 필요한 공정설비용인식마크를 형성하는 단계를 더 포함하는 액정표시장치의 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치 및 이의 제조방법에 관한 것으로, 특히 슬림화를 위한 액정표시장치 및 이의 제조방법에 관한 것이다.

액정표시장치는 일반적으로 화소전극을 가지는 박막트랜지스터기판과 공통전극을 가지는 칼라필터기판 사이에 액정을 주입하여 화소전극과 공통전극의 전위차를 이용해 액정 배열을 변경시키고, 이를 통해 광의 투과율을 조절함으로써 화상을 표현하는 장치이다.

이러한 액정표시장치는 게이트선으로 게이트신호를 출력하는 게이트구동회로를 포함한다. 게이트구동회로는 게이트 테이프 캐리어 패키지(Tape Carrier Package) 형태, 즉 범프(Bump)를 이용하여 고분자 물질과 같은 필름 위에 실장된다. 게이트구동회로가 실장된 게이트 테이프 캐리어 패키지는 이방성 도전필름을 이용한 열압착 공정을 통해 박막트랜지스터기판에 형성된 게이트패드영역에 실장된다.

그러나, 이러한 게이트 테이프 캐리어 패키지는 외부의 진동 또는 충격에 약하다. 이를 방지하기 위해 각 게이트 테이프 캐리어 패키지를 몰드물 등과 같은 것으로 보호해야 하는 문제점이 발생한다.

이와 같이, 게이트 테이프 캐리어 패키지가 실장될 게이트패드영역의 확보와 이로 인한 몰드물의 추가 등으로 인해 액정표시장치를 슬림화하는데 한계가 발생한다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 슬림화를 위한 액정표시장치 및 이의 제조방법을 제공하는 데 있다.

발명의 구성

상기 목적을 달성하기 위하여 본 발명은 칼라필터기판과, 액정을 사이에 두고 상기 칼라필터기판과 쉘란트에 의해 합착되며 게이트선 및 데이터선의 교차에 의해 마련된 화소영역에 다수개의 화소전극이 형성된 유효표시영역과 주변영역을 가지는 박막트랜지스터기판을 구비하며, 상기 주변영역은 상기 유효표시영역과 상기 쉘란트 사이에서 상기 유효표시영역을 감싸도록 형성된 제1주변영역과 상기 쉘란트가 형성되며 상기 제1주변영역을 감싸도록 형성된 제2주변영역과 상기 제2주변영역을 감싸도록 형성되며 상기 칼라필터기판의 끝선까지의 영역인 제3주변영역과 상기 제3주변영역의 일측에 형성되어 상기 칼라필터기판에 의해 노출된 상기 박막트랜지스터기판의 영역인 제4주변영역을 포함하며, 상기 제1 내지 제3주변영역 중 적어도 어느 한 영역에는 상기 게이트선에 게이트신호를 공급하기 위한 다수개의 트랜지스터와 캐패시터로 이루어진 게이트구동회로가 형성되는 것을 특징으로 하는 액정표시장치를 제공한다.

상기 제4주변영역에 상기 데이터선을 구동하기 위해 실장되는 데이터구동회로를 더 구비할 수 있다.

또한, 상기 주변영역은 상기 제3주변영역의 타측에 형성되어 상기 칼라필터기판에 의해 노출된 상기 박막트랜지스터기판의 영역인 제5주변영역을 추가로 구비할 수 있다.

그리고, 상기 제5주변영역은 공정진행에 필요한 공정설비용인식마크를 포함할 수 있다.

상기 게이트구동회로는 이전 스테이지와 다음 스테이지가 연결된 셋리셋래치와 상기 셋리셋래치의 출력단자 및 클럭신호가 인가되는 클럭단자에 연결된 앤드게이트로 이루어진 복수의 스테이지를 포함할 수 있다.

또한, 상기 게이트구동회로는 상기 캐패시터의 충전량에 따라 상기 클럭단자와 상기 게이트선 사이의 도전 경로를 제어하는 제1트랜지스터와 상기 다음 스테이지의 출력신호에 따라 오프전압선과 상기 게이트선 사이의 도전 경로를 제어하는 제2트랜지스터와 상기 이전 스테이지의 출력신호에 따라 상기 이전 스테이지의 출력신호선과 상기 캐패시터 사이의 도전 경로를 제어하는 제3트랜지스터와 상기 다음 스테이지의 출력신호에 따라 상기 오프전압선과 상기 캐패시터 사이의 도전 경로를 제어하는 제4트랜지스터를 포함할 수 있다.

상기 목적을 달성하기 위하여 본 발명은 칼라필터기판을 마련하는 단계와 게이트선 및 데이터선의 교차에 의해 마련된 화소영역에 다수개의 화소전극이 형성된 유효표시영역과 상기 유효표시영역을 감싸도록 형성된 제1 내지 제4주변영역을 가지는 박막트랜지스터기판을 마련하는 단계와 상기 제4주변영역이 노출되도록 액정을 사이에 두고 상기 칼라필터기판과 상기 박막트랜지스터기판을 쉘란트로 합착하는 단계를 포함하며, 상기 제1주변영역은 상기 유효표시영역과 상기 쉘란트 사이에서 상기 유효표시영역을 감싸도록 형성된 영역이고 상기 제2주변영역은 상기 쉘란트가 형성되며 상기 제1주변영역을 감싸도록 형성된 영역이고 상기 제3주변영역은 상기 제2주변영역을 감싸도록 형성된 상기 칼라필터기판의 끝선까지의 영역이고 상기 제4주변영역은 상기 제3주변영역의 일측에 형성되어 상기 칼라필터기판에 의해 노출된 박막트랜지스터기판의 영역이고, 상기 제1 내지 제3주변영역 중 적어도 어느 한 영역에는 상기 게이트선에 게이트신호를 공급하며 다수개의 트랜지스터와 캐패시터로 이루어진 게이트구동회로가 형성되는 것을 특징으로 하는 액정표시장치의 제조방법을 제공한다.

상기 제4주변영역에 상기 데이터선을 구동하는 데이터구동회로를 실장하는 단계를 더 포함할 수 있다.

또한, 상기 제3주변영역의 타측에 형성되어 상기 칼라필터기판에 의해 노출된 상기 박막트랜지스터기판의 영역인 제5주변영역을 형성하는 단계를 더 포함할 수 있다.

그리고, 상기 제5주변영역에 공정진행에 필요한 공정설비용인식마크를 형성하는 단계를 더 포함할 수 있다.

그러면, 도면을 참조하여 본 발명의 바람직한 실시예에 대하여 설명한다.

도1은 본 발명의 제1실시예에 따른 액정표시장치를 나타내는 도면이다.

도1을 참조하면, 본 발명의 제1실시예에 따른 액정표시장치(10)는 입사되는 광의 투과량을 조절하는 액정(미도시), 액정에 공통전압을 인가하는 칼라필터기판(100), 액정에 화소전압을 인가하는 박막트랜지스터기판(200)을 포함한다.

액정은 유전율 이방성을 갖는 물질이며 인가되는 공통전압과 화소전압의 차이에 의해 회전하여 광투과량을 조절한다.

칼라필터기판(100)은 칼라구현을 위한 적, 청, 녹색칼라필터(111, 112, 113)와 액정에 공통전압을 인가하기 위한 공통전극(121)을 포함한다. 이 때, 칼라필터기판(100)은 백색칼라필터를 더 포함하여 휘도를 향상시킬 수 있다.

적, 청, 녹색칼라필터(111, 112, 113)는 각각 적, 청, 녹색안료를 포함하고 있으며 이로 인해 칼라가 구현된다. 공통전극(121)은 데이터구동회로(370)에서 출력된 공통전압을 박막트랜지스터기판(200) 상에 형성된 공통전극선(320)을 통해 쇼트포인트(330)를 경유하여 인가받는다.

칼라필터기판(100)은 적, 청, 녹색칼라필터(111, 112, 113)가 형성된 영역을 제외한 영역에 형성된 블랙매트릭스(미도시)를 더 포함한다. 블랙매트릭스는 Cr 등과 같은 금속으로 단일층 또는 다중층으로 형성되어 외부광 차단 및 박막트랜지스터(230)의 광누설전류를 막는다.

박막트랜지스터기판(200)은 유효표시영역선(411)에 의해 구분되는 유효표시영역(A)과 주변영역(B)을 포함한다.

유효표시영역(A)은 게이트구동회로(270)에서 출력된 게이트신호를 박막트랜지스터(230)의 게이트전극(231)에 인가하는 게이트선(210), 데이터구동회로(370)에서 출력된 데이터신호를 박막트랜지스터(230)의 소스전극(232)에 인가하는 데이터선(310), 화소전극(221)과 접속된 박막트랜지스터(230), 액정에 화소전압을 인가하는 화소전극을 포함한다.

게이트선(210)은 가로로 다수개가 형성되어 있으며 그 일측은 신장되어 게이트구동회로(270)에 접속된다. 데이터선(310)은 게이트절연막(미도시)에 의해 게이트선(210)과 절연되어 세로로 다수개가 형성되어 있으며 그 일측은 신장되어 데이터구동회로(370)에 접속된다.

박막트랜지스터(230)는 게이트선(210)에 대해 수직으로 형성되어 게이트선(210)을 통해 게이트신호를 인가받는 게이트전극(231), 데이터선(310)에 대해 수직으로 형성되어 데이터선(310)을 통해 데이터신호를 인가받는 소스전극(232), 게이트전극(231)의 온신호에 응답하여 소스전극(232)을 통해 데이터신호를 인가받는 드레인전극(233)을 포함한다.

박막트랜지스터(230)는 박막트랜지스터(230)의 채널 형성을 위해 게이트전극(231)과 중첩되어 소스전극(232)과 드레인전극(233) 사이에 형성된 반도체층(미도시), 박막트랜지스터(230)의 오프전류를 막기 위해 소스전극(232) 및 드레인전극(233)과 반도체층 사이에 형성된 불순물이 도핑된 저항접촉층(미도시)을 더 포함한다.

화소전극(221)은 게이트선(210)과 데이터선(310)의 교차에 의해 정의된 화소영역에 형성된다. 화소전극(221)은 보호막(미도시) 상에 형성된 콘택홀(미도시)을 통해 드레인전극(233)과 접속되며 인가받은 화소전압을 액정에 인가한다.

주변영역(B)은 유효표시영역선(411)에서 셀(Seal)내측선(412)까지의 영역인 제1주변영역(C), 셀내측선(412)에서 셀외측선(413)까지의 영역인 제2주변영역(D), 셀외측선(413)에서 칼라필터기판끝선(414)까지의 영역인 제3주변영역(E), 데이터구동회로(370)가 형성된 방향으로 칼라필터기판끝선(414)에서 박막트랜지스터기판끝선(415)까지의 영역인 제4주변영역(F)으로 이루어져 있다.

제1주변영역(C)에는 외부에서 인가되는 정전기를 방지하기 위한 정전방지회로(280, 380)가 형성되어 있다. 여기서, 정전방지회로(280, 380)는 정전다이오드와 정전박막트랜지스터 중 적어도 어느 하나이다.

제2주변영역(D)에는 게이트구동선(360)을 통해 데이터구동회로(370)와 접속된 게이트구동회로(270)와 셀란트(Sealant)가 형성되어 있다. 또는, 게이트구동회로(270)는 제1 내지 제3주변영역(C, D, E) 중 적어도 어느 한 영역에 형성될 수 있다.

게이트구동회로(270)는 데이터구동회로(370)에서 출력되는 신호를 게이트구동선(360)을 통해 인가받아 게이트선(210)으로 전달한다. 셀란트는 액정을 밀봉시켜 액정이 밖으로 새나오지 않게 하거나 액정으로 수분 등이 침투하지 못하게 하는 역할을 하며 칼라필터기판(100)과 박막트랜지스터기판(200)을 합착시킨다. 이 때, 셀란트는 제2주변영역(D)이 될 수 있다. 즉, 게이트구동회로(270) 상에 셀란트 혹은 제2주변영역(D)이 형성될 수 있다.

제3주변영역(E)에는 데이터구동회로(370)와 접속된 공통전극선(320) 및 제3주변영역(E)의 가장자리에 형성되어 공통전극선(320)과 접하는 쇼트포인트(330)와 공정진행에 필요한 공정설비용인식마크(400)가 형성되어 있다. 공통전극선(320)은 데이터구동회로(370)에서 출력되는 공통전압을 쇼트포인트(330)를 경유하여 공통전극(121)에 전달한다. 쇼트포인트(330)는 Ag와 같은 도전 물질로 형성되어 공통전극선(320)이 공통전극(121)과 접속되도록 한다. 공정설비용인식마크(400)는 십자키 형태로 형성되어 있으며 공정장비는 이 공정설비용인식마크(400)를 인식하여 공정을 진행한다.

제4주변영역(F)에는 데이터구동회로(370)가 실장되어 있다. 데이터구동회로(370)는 접속된 데이터선(310), 게이트구동선(360), 공통전극선(320)으로 각각 그에 상응하는 신호를 출력한다.

다음으로, 도2 내지 도4를 참조하여 본 발명의 제1실시예에 따른 액정표시장치에 포함된 게이트구동회로에 대해 설명한다.

도2는 도1의 액정표시장치에 포함된 게이트구동회로의 블럭도이고, 도3은 도2에 도시된 각 스테이지의 내부 회로도이고, 도4는 도3에 도시된 게이트구동회로의 입/출력파형도이다.

도2를 참조하면, 본 발명의 제1실시예에 따른 액정표시장치에 포함된 게이트구동회로(GDC)는 하나의 쉬프트레지스터로 이루어져 게이트신호를 발생시킨다. 쉬프트레지스터의 단위 스테이지(SRC1, SRC2, ..., SRCn)는 하나의 셋리셋래치와 하나의 앤드게이트로 구성될 수 있다.

셋리셋래치는 이전 스테이지의 출력신호에 의해 활성화되고 다음 스테이지의 출력신호에 의해 비활성화된다. 앤드게이트는 셋리셋래치가 활성화 상태이고 제공되는 클럭신호가 하이 레벨일 때 게이트신호를 발생시킨다.

홀수번째 스테이지(SRC1, ..., SRC(n-1))에는 제1클럭신호(CKV)가 인가되고, 짝수번째 스테이지(SRC2, ..., SRCn)에는 제1클럭신호(CKV)와는 반대 위상을 갖는 제2클럭신호(CKVB)가 인가된다. 따라서, 홀수번째 스테이지(SRC1, ..., SRC(n-1))의 앤드게이트는 셋리셋래치가 활성화 상태이고 제1클럭신호(CKV)가 하이 레벨일 때 게이트신호를 발생시킨다. 또한, 짝수번째 스테이지(SRC2, ..., SRCn)의 앤드게이트는 셋리셋래치가 활성화 상태이고 제2클럭신호(CKVB)가 하이 레벨일 때 게이트신호를 발생시킨다.

도3을 참조하면, 단위 스테이지는 제1구동부(281), 제2구동부(282), 버퍼부(283), 충전부(284) 및 방전부(285)를 포함한다.

제1구동부(281)는 드레인전극이 클럭단자(CK)에 연결되고 게이트전극이 노드(Q)를 경유하여 캐패시터(C)의 일단에 연결되며 소스전극이 캐패시터(C)의 타단 및 출력단자(OUT)에 연결된 제1트랜지스터(T1)로 이루어진다. 이 때, 클럭단자(CK)에는 제1클럭신호(CKV) 또는 제1클럭신호(CKV)와 위상이 반대인 제2클럭신호(CKVB)가 인가된다.

제2구동부(282)는 드레인전극이 제1트랜지스터(T1)의 소스전극 및 캐패시터(C)의 타단에 연결되고 소스전극이 오프전압(VOFF)에 연결된 제2트랜지스터(T2)로 이루어진다.

버퍼부(283)는 드레인전극 및 게이트전극이 제1입력신호(IN1)를 공급받고, 소스전극이 충전부(284)의 일단에 연결된 제3트랜지스터(T3)로 이루어진다. 여기서, 제1입력신호(IN1)는 스캔개시신호(STV) 또는 이전 스테이지의 출력신호이다.

충전부(284)는 일단이 제3트랜지스터(T3)의 소스전극과 방전부(285)에 연결되고, 타단이 제1 및 제2구동부(281, 282)에 연결된 캐패시터(C)로 이루어진다.

방전부(285)는 드레인전극이 캐패시터(C)의 일단에 연결되고 게이트전극이 제2트랜지스터(T2)의 게이트전극과 공통되어 제2입력신호(IN2)에 연결되며 소스전극이 오프전압(VOFF)에 연결된 제4트랜지스터(T4)로 이루어진다.

이러한, 제1 내지 제4트랜지스터(T1, T2, T3, T4)와 캐패시터(C)는 유효표시영역(A) 내의 박막트랜지스터(230)와 동시에 형성된다.

도3 및 도4에 도시된 바와 같이, 제1입력신호(IN1)가 하이 레벨이면 캐패시터(C)에 전하가 충전되고, 제2입력신호(IN2)가 하이 레벨이면 충전된 전하가 방전되어 셋리셋래치 동작을 수행한다.

캐패시터(C)에 전하가 충전되어 있을 때, 클럭단자(CK)에 인가되는 제1클럭신호(CKV) 또는 제2클럭신호(CKVB)가 턴온된 제1트랜지스터(T1)를 통해 게이트신호로써 출력단자(OUT)로 출력된다. 여기서, 제1트랜지스터(T1)는 앤드게이트 동작을 수행한다.

출력단자(OUT)에서 출력된 게이트신호는 해당 게이트선(210)에 연결된 모든 박막트랜지스터(230)를 턴온시킨다. 이후, 제2입력신호(IN2)에 의해 제2트랜지스터(T2)가 턴온되면 출력단자(OUT)가 오프전압(VOFF) 레벨로 풀다운되어 해당 게이트선(210)에 연결된 모든 박막트랜지스터(230)를 턴오프시킨다.

다음으로는, 도5를 참조하여 본 발명의 제2실시예에 따른 액정표시장치에 대해 설명한다.

도5를 참조하면, 본 발명의 제2실시예에 따른 액정표시장치(10)는 입사되는 광의 투과량을 조절하는 액정, 액정에 공통전압을 인가하는 칼라필터기판(100), 액정에 화소전압을 인가하는 박막트랜지스터기판(200)을 포함한다. 액정 및 칼라필터기판(100)은 도1과 동일하므로 생략한다.

박막트랜지스터기판(200)은 유효표시영역선(411)에 의해 구분되는 유효표시영역(A)과 주변영역(B)을 포함한다. 유효표시영역(A)은 도1과 동일하므로 생략한다.

주변영역(B)은 유효표시영역선(411)에서 쉘내측선(412)까지의 영역인 제1주변영역(C), 쉘내측선(412)에서 쉘외측선(413)까지의 영역인 제2주변영역(D), 쉘외측선(413)에서 칼라필터기판끝선(414)까지의 영역인 제3주변영역(E), 데이터 구동회로(370)가 형성된 방향으로 칼라필터기판끝선(414)에서 박막트랜지스터기판끝선(415)까지의 영역인 제4주변영역(F), 제4주변영역(F)의 반대 영역 즉, 칼라필터기판끝선(414)에서 박막트랜지스터기판끝선(416)까지의 영역인 제5주변영역(G)으로 이루어져 있다.

제1주변영역(C)에는 게이트구동선(360)을 통해 데이터구동회로(370)와 접속된 게이트구동회로(270)가 형성되어 있다. 또는, 게이트구동회로(270)는 제1 내지 제3주변영역(C, D, E) 중 적어도 어느 한 영역에 형성될 수 있다. 게이트구동회로(270)는 데이터구동회로(370)에서 출력되는 신호를 게이트구동선(360)을 통해 인가받아 게이트선(210)으로 전달한다.

제2주변영역(D)에는 외부에서 인가되는 정전기를 방지하기 위한 정전방지회로(280, 380)와 셸란트(Sealant)가 형성되어 있다. 여기서, 정전방지회로(280, 380)는 정전다이오드와 정전박막트랜지스터 중 적어도 어느 하나이다. 셸란트는 액정을 밀봉시켜 액정이 밖으로 새나오지 않게 하거나 액정으로 수분 등이 침투하지 못하게 막는 역할을 하며 칼라필터기판(100)과 박막트랜지스터기판(200)을 합착시킨다. 이 때, 셸란트는 제2주변영역(D)이 될 수 있다. 즉, 정전방지회로(280, 380) 상에 셸란트 혹은 제2주변영역(D)이 형성될 수 있다.

제3주변영역(E)에는 데이터구동회로(370)와 접속된 공통전극선(320) 및 제3주변영역(E)의 가장자리에 형성되어 공통전극선(320)과 접하는 쇼트포인트(330)가 형성되어 있다. 공통전극선(320)은 데이터구동회로(370)에서 출력되는 공통전압을 쇼트포인트(330)를 경유하여 공통전극(121)에 전달한다. 쇼트포인트(330)는 Ag와 같은 도전 물질로 형성되어 공통전극선(320)이 공통전극(121)과 접속되도록 한다.

제4주변영역(F)에는 데이터구동회로(370)가 실장되어 있다. 데이터구동회로(370)는 접속된 데이터선(310), 게이트구동선(360), 공통전극선(320)으로 각각 그에 상응하는 신호를 출력한다.

제5주변영역(G)에는 공정진행에 필요한 공정설비용인식마크(400)가 형성되어 있다. 공정설비용인식마크(400)는 십자기 형태로 형성되어 있으며 공정장비는 이 공정설비용인식마크(400)를 인식하여 공정을 진행한다. 제5주변영역(G)에는 공정설비용인식마크(400)만 형성되므로 되도록 작은 영역을 차지하도록 하는 것이 바람직하다.

발명의 효과

본 발명에 따른 액정표시장치 및 이의 제조방법은 슬림화를 위해 게이트패드영역이 제거된 액정표시장치 및 이의 제조방법을 제공한다.

게이트패드영역이 제거되면 게이트패드영역과 더불어 기존에 게이트구동회로를 몰드물로 지지해야 했던 기구영역까지 함께 제거할 수 있으므로 액정표시장치를 더 작은 사이즈로 만들 수 있다.

이상에서 설명한 본 발명의 상세한 설명에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술분야의 숙련된 당업자 또는 해당 기술분야에 통상의 지식을 갖는 자라면 후술될 특허청구범위에 기재된 본 발명의 사상 및 기술 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허청구범위에 의해 정하여져야만 할 것이다.

도면의 간단한 설명

도1은 본 발명의 제1실시예에 따른 액정표시장치를 나타내는 도면이고,

도2는 도1의 액정표시장치에 포함된 게이트구동회로의 블럭도이고,

도3은 도2에 도시된 각 스테이지의 내부 회로도이고,

도4는 도3에 도시된 게이트구동회로의 입/출력파형도이고,

도5는 본 발명의 제2실시예에 따른 액정표시장치를 나타내는 도면이다.

<도면의 주요부분에 대한 부호설명>

10 : 액정표시장치 100 : 칼라필터기판

200 : 박막트랜지스터기판 270 : 게이트구동회로

281 : 제1구동부 282 : 제2구동부

283 : 버퍼부 284 : 충전부

285 : 방전부 370 : 데이터구동회로

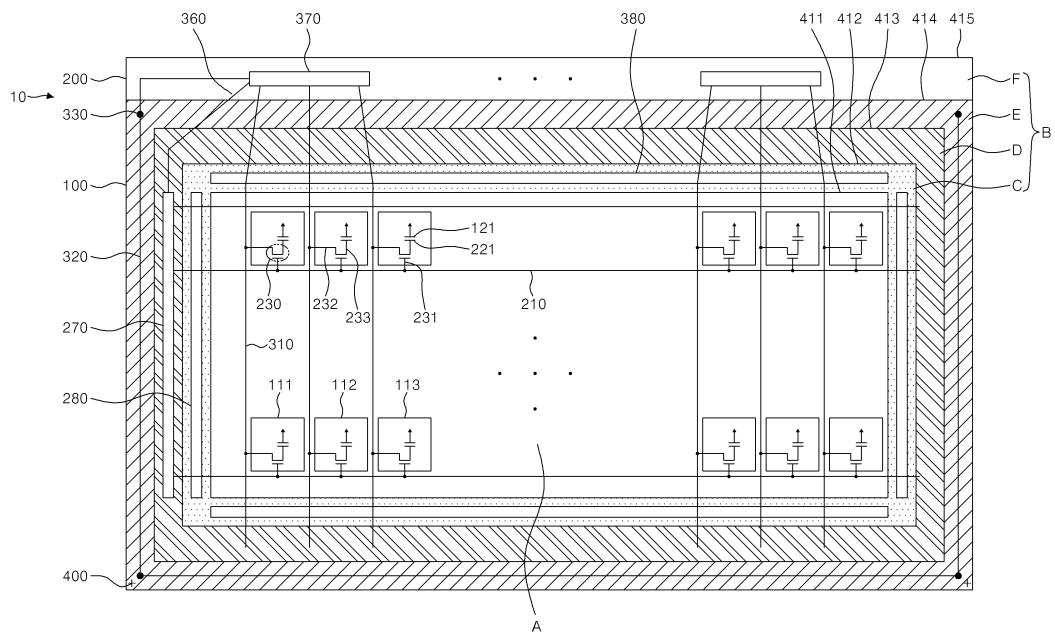
411 : 유효표시영역선 412 : 쉘내측선

413 : 쉘외측선 414 : 칼라필터기판끝선

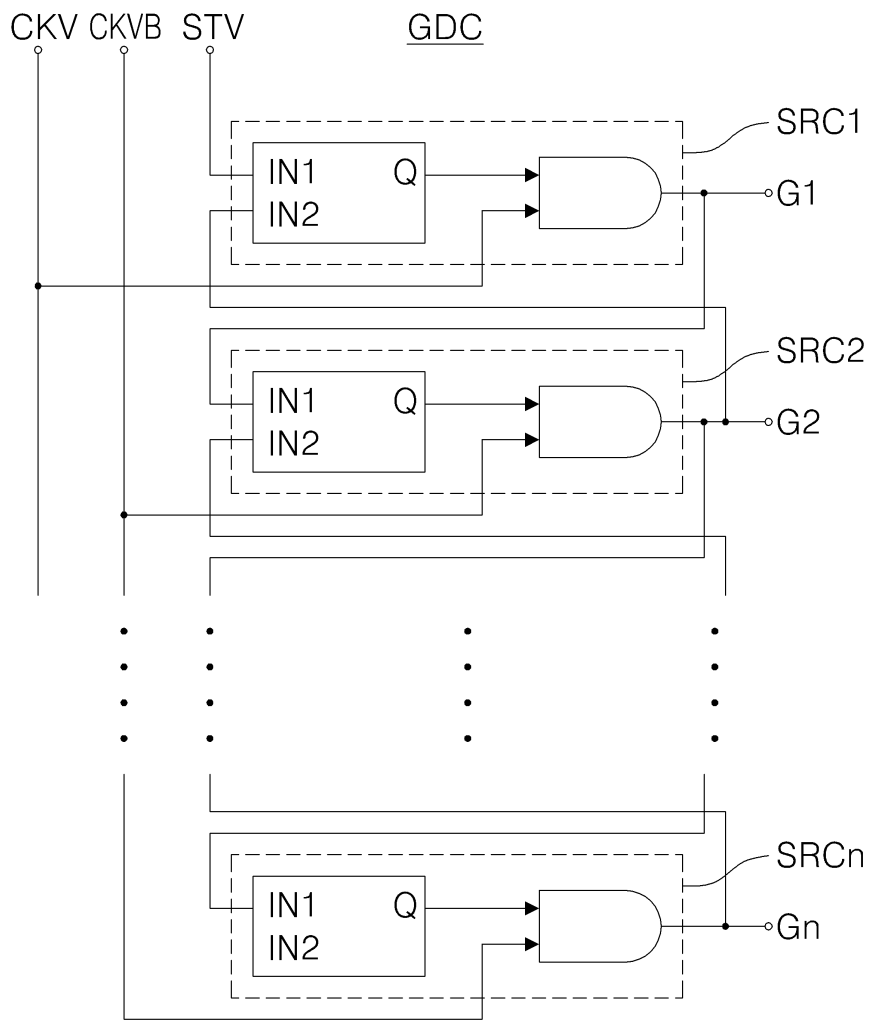
415, 416 : 박막트랜지스터기판끝선

도면

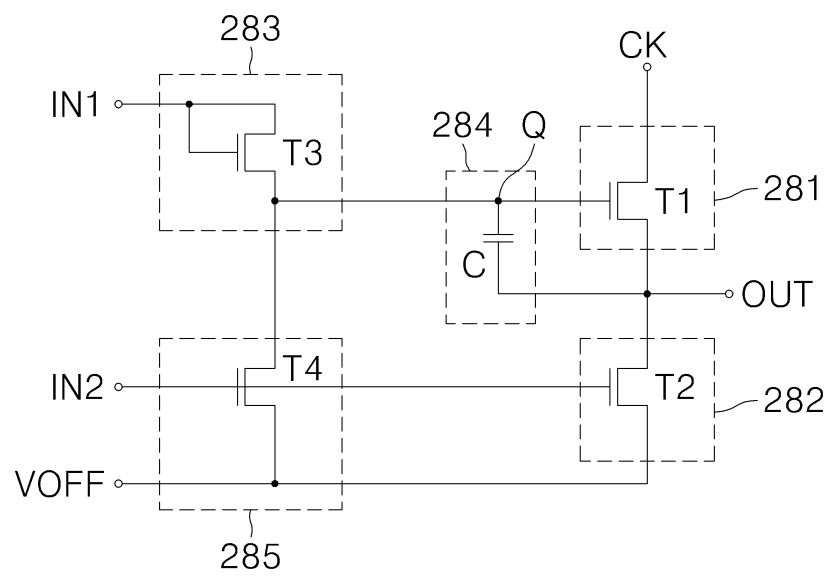
도면1



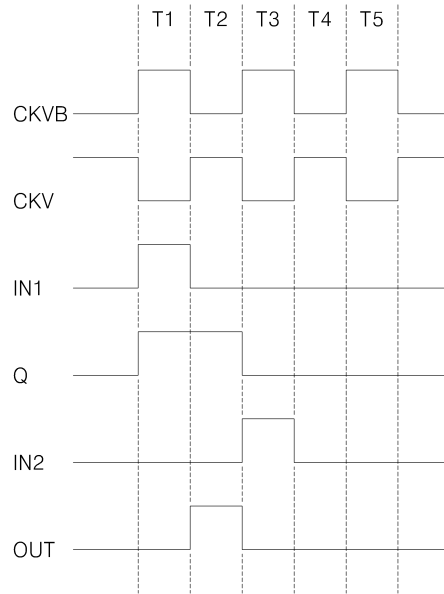
도면2



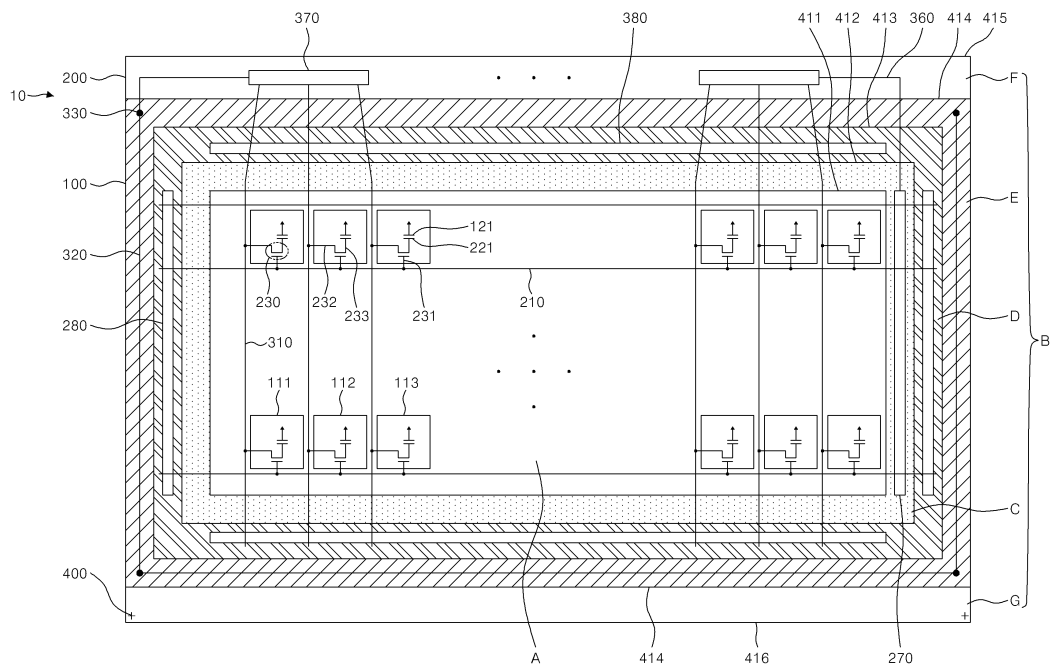
도면3



도면4



도면5



专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	KR1020060133243A	公开(公告)日	2006-12-26
申请号	KR1020050052989	申请日	2005-06-20
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	PARK JIN HO 박진호 NA BYOUNG SUN 나병선 PARK JIN YONG 박진용		
发明人	박진호 나병선 박진용		
IPC分类号	G02F1/133		
CPC分类号	G02F1/1336 G02F1/133514 G02F1/136204 G02F2001/133388		
代理人(译)	KWON , HYUK SOO SE JUN OH 宋 , 云何		
外部链接	Espacenet		

摘要(译)

本发明涉及一种用于减肥的液晶显示器及其制造方法。本发明涉及滤色器基材，液晶放置在该间隔中的滤色器基材，以及用于制造多个像素电极的液晶显示装置及其制造方法，其中薄膜晶体管基板具有有效显示区域和形成的外围区域，作为在第三外围区域的一侧中的准备好的像素区域中的数据总线和栅极线以及作为滤色器基材的最后一行的区域的第三外围区域它包括第二个外围区域和第二个外围区域形成围绕第一边缘区域而形成的周边区域，同时形成第一边缘区域和形成周边区域的密封剂，以围绕有效显示区域和密封剂之间的有效显示区域，并且包括第四外围区域称为暴露的薄膜晶体管基板的区域，其具有滤色器基材，同时附着有密封剂，栅极驱动电路包括多个晶体管和电容器，用于将栅极信号提供给第一至第一至第形成至少一个区域中的第三外围区域。液晶显示，减薄，栅极焊盘区域，栅极驱动电路。

