



(19)대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) 。 Int. Cl.  
G02F 1/136 (2006.01)

(11) 공개번호 10-2006-0118063  
(43) 공개일자 2006년11월23일

(21) 출원번호 10-2005-0040504  
(22) 출원일자 2005년05월16일  
심사청구일자 없음

(71) 출원인 엘지.필립스 엘시디 주식회사  
서울 영등포구 여의도동 20번지

(72) 발명자 이경언  
경기도 수원시 장안구 조원동 881 한일타운 113-1703

(74) 대리인 특허법인네이트

전체 청구항 수 : 총 18 항

(54) 액정표시장치용 어레이 기판 및 그 제조 방법

(57) 요약

본 발명은 폴리실리콘을 이용한 액정표시장치용 어레이 기판 및 그 제조방법에 관한 것이다.

본 발명에 의한 폴리실리콘을 이용한 액정표시장치용 어레이 기판은 화소영역 내의 스위칭 소자 형성부분에 있어, 이중 게이트 전극 구조를 가지며, 상기 게이트 전극 사이의 오믹콘택층에 대응되는 영역에 데이터 배선과 연결된 데이터 연결 패턴을 형성함으로써 상기 데이터 연결 패턴과 그 하부의 층간절연막과 그 하부의 오믹콘택층으로 이루어진 커패시터를 구성함으로써 게이트 전극 오프(off)시 발생하는  $\Delta V_p$ 의 급격한 변화에 따른 플리커 현상을 방지할 수 있는 액정표시장치용 어레이 기판 및 그 제조 방법을 제공한다.

대표도

도 3

특허청구의 범위

청구항 1.

게이트 배선과 데이터 배선이 교차하여 화소영역이 정의되고, 상기 화소영역 내에 박막트랜지스터가 형성되는 스위칭 영역이 정의된 기판과;

상기 기판 상의 스위칭 영역에 폴리실리콘으로 형성된 반도체층과;

상기 반도체층 위로 형성된 게이트 절연막과;

상기 게이트 절연막 위로 상기 반도체층의 중앙부와 중첩하며 서로 이격하며 형성된 이중구조의 제 1 및 제 게이트 전극과;

상기 제 1 및 제 2 게이트 전극 위로 상기 제 1 및 제 2 게이트 전극 양외측의 반도체층을 각각 노출시키는 반도체층 콘택홀을 가지며 형성된 층간절연막과;

상기 층간절연막 위로 상기 반도체층 콘택홀을 통해 각각 반도체층과 접촉하며 서로 이격하는 소스 및 드레인 전극과;

상기 층간절연막 위로 상기 제 1 및 제 2 게이트 전극 사이의 이격한 영역에 대응하여 상기 데이터 배선과 연결되며 형성된 데이터 연결 패턴과;

상기 소스 및 드레인 전극과 상기 데이터 연결 패턴 위로 상기 드레인 전극을 노출시키는 드레인 콘택홀을 가지며 형성된 보호층과;

상기 보호층 위로 상기 드레인 콘택홀을 통해 상기 드레인 전극과 접촉하는 화소전극을 포함하는 액정표시장치용 어레이 기판.

## 청구항 2.

제 1 항에 있어서,

상기 데이터 연결 패턴은 제 1 및 제 2 게이트 전극과도 중첩되며 형성된 액정표시장치용 어레이 기판.

## 청구항 3.

제 1 항에 있어서,

상기 각 화소영역 내에는 상기 반도체층과 동일한 층에 동일 물질로 이루어진 제 1 스토리지 전극과, 그 상부로 상기 게이트 절연막과, 상기 게이트 절연막 상부로 상기 제 1 스토리지 전극과 대응하는 제 2 스토리지 전극으로 이루어진 제 1 스토리지 커패시터가 더욱 형성된 액정표시장치용 어레이 기판.

## 청구항 4.

제 3 항에 있어서,

상기 제 1 스토리지 전극은 고도즈량의 불순물을 포함하여 도체화된 것이 특징인 액정표시장치용 어레이 기판.

## 청구항 5.

제 3 항에 있어서,

상기 각 화소영역 내에는 상기 제 2 스토리지 전극과, 상기 제 2 스토리지 전극 상부로 상기 층간절연막과, 상기 층간절연막 상부로 상기 제 2 스토리지 전극과 대응하여 제 3 스토리지 전극으로 이루어진 제 2 스토리지 커패시터가 더욱 형성된 액정표시장치용 어레이 기판.

## 청구항 6.

제 1 항에 있어서,

상기 반도체층은

고도즈랑의 불순물을 포함하여 서로 이격하여 형성된 제 1 내지 제 3 오믹콘택층과;

상기 제 1 및 제 2 오믹콘택층 사이의 영역에 상부의 제 1 게이트 전극에 대응하며 순수 폴리실리콘으로 이루어진 제 1 액티브층과;

상기 제 2 및 제 3 오믹콘택층 사이의 영역에 상부의 제 2 게이트 전극에 대응하며 순수 폴리실리콘으로 이루어진 제 2 액티브층

으로 이루어진 액정표시장치용 어레이 기판.

## 청구항 7.

제 6 항에 있어서,

상기 반도체층은 상기 제 1 내지 제 3 오믹콘택층 각각의 양측에는 저도즈랑의 불순물을 포함하는 LDD층이 더욱 형성된 액정표시장치용 어레이 기판.

## 청구항 8.

제 6 항에 있어서,

상기 소스 전극은 상기 제 1 오믹콘택층과, 상기 드레인 전극은 상기 제 2 오믹콘택층과 각각 접촉하는 액정표시장치용 어레이 기판.

## 청구항 9.

제 6 항에 있어서,

상기 데이터 연결 패턴은 상기 제 2 오믹콘택층과 대응하는 액정표시장치용 어레이 기판.

## 청구항 10.

제 1 항에 있어서,

상기 반도체층과 기판 사이에는 버퍼층이 더욱 형성된 액정표시장치용 어레이 기판.

## 청구항 11.

게이트 배선과 데이터 배선이 교차하여 화소영역이 정의되고, 상기 화소영역 내에 박막트랜지스터가 형성되는 스위칭 영역이 정의된 기판 상의 상기 스위칭 영역에 폴리실리콘 패턴을 형성하는 단계와;

상기 폴리실리콘 패턴 위로 게이트 절연막을 형성하는 단계와;

상기 게이트 절연막 위로 상기 폴리실리콘 패턴 중앙에 대응하여 서로 이격하는 제 1 및 제 2 게이트 전극을 형성하는 단계와;

상기 제 1 및 제 2 게이트 전극을 도핑 마스크로 하여 고도즈량의 이온주입에 의한 도핑을 실시하여 상기 폴리실리콘 패턴 내에 서로 이격한 제 1 내지 제 3 오믹콘택층과, 상기 제 1 및 제 2 게이트 전극에 대응하는 상기 제 1 내지 제 3 오믹콘택층 사이 영역에 제 1 및 제 2 액티브층을 형성하는 단계와;

상기 제 1 및 제 2 게이트 전극 위로 상기 제 1 및 제 2 게이트 전극의 양외측의 제 1 및 제 3 오믹콘택층을 각각 노출시키는 반도체층 콘택홀을 갖는 층간절연막을 형성하는 단계와;

상기 층간절연막 위로 상기 노출된 제 1 및 제 3 오믹콘택층과 각각 접촉하며, 서로 이격하는 소스 및 드레인 전극을 형성하고, 동시에 상기 제 1 및 제 2 게이트 전극 사이의 상기 제 2 오믹콘택층에 대응하는 층간절연막 위로 상기 데이터 배선과 연결된 데이터 연결 패턴을 형성하는 단계와;

상기 소스 및 드레인 전극과 데이터 연결 패턴 위로 상기 드레인 전극을 노출시키는 드레인 콘택홀을 갖는 보호층을 형성하는 단계와;

상기 보호층 위로 투명 도전성 물질로써 상기 드레인 전극과 접촉하는 화소전극을 형성하는 단계

를 포함하는 액정표시장치용 어레이 기판의 제조 방법.

## 청구항 12.

제 11 항에 있어서,

상기 데이터 연결 패턴은 제 1 및 제 2 게이트 전극과도 중첩하도록 형성하는 액정표시장치용 어레이 기판의 제조 방법.

## 청구항 13.

제 11 항에 있어서,

상기 폴리실리콘 패턴을 형성하는 단계는

기판상에 비정질 실리콘을 전면 증착하는 단계와;

상기 비정질 실리콘을 결정화하여 폴리실리콘층을 형성하는 단계와;

상기 폴리실리콘층을 패터닝하는 단계

를 포함하는 액정표시장치용 어레이 기판의 제조 방법.

## 청구항 14.

제 11 항에 있어서,

상기 제 1 내지 제 3 오믹콘택층과, 상기 제 1 및 제 2 액티브층 사이에 저도즈량의 이온주입에 의한 LDD층을 형성하는 단계를 더욱 포함하는 액정표시장치용 어레이 기판의 제조 방법.

## 청구항 15.

제 11 항에 있어서,

상기 폴리실리콘 패턴 형성 이전에 상기 기판상에 버퍼층을 형성하는 단계를 더욱 포함하는 액정표시장치용 어레이 기판의 제조 방법.

## 청구항 16.

제 11 항에 있어서,

상기 폴리실리콘 패턴 형성 단계는 상기 폴리실리콘 패턴과 동일한 물질로서 동일한 층에 상기 폴리실리콘과 연결되는 제 1 스토리지 전극을 형성하는 단계를 포함하는 액정표시장치용 어레이 기판의 제조 방법.

## 청구항 17.

제 16 항에 있어서,

상기 게이트 절연막 상부에는 상기 제 1 스토리지 전극에 대응하여 제 2 스토리지 전극을 형성하는 더욱 포함하는 액정표시장치용 어레이 기판의 제조 방법.

## 청구항 18.

제 16 항에 있어서,

상기 층간절연막 상부에는 상기 제 1 스토리지 전극에 대응하여 제 3 스토리지 전극을 형성하는 단계를 더욱 포함하는 액정표시장치용 어레이 기판의 제조 방법.

명세서

## 발명의 상세한 설명

### 발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치에 관한 것으로, 특히 폴리실리콘을 반도체층으로 하는 액정표시장치용 어레이 기판과 그 제조방법에 관한 것이다.

최근에 액정표시장치는 소비전력이 낮고, 휴대성이 양호한 기술 집약적이며 부가가치가 높은 차세대 첨단 디스플레이(display)소자로 각광받고 있다.

상기 액정표시장치는 박막 트랜지스터(Thin Film Transistor ; TFT)를 포함하는 어레이 기판과 컬러 필터(color filter) 기판 사이에 액정을 주입하여, 이 액정의 이방성에 따른 빛의 굴절률 차이를 이용해 영상효과를 얻는 비발광 소자에 의한 화상표시장치를 뜻한다.

현재에는 상기 박막 트랜지스터와 화소 전극이 행렬방식으로 배열된 능동행렬 액정표시장치(AM-LCD ; Active Matrix Liquid Crystal Display)가 해상도 및 동영상 구현능력이 우수하여 가장 주목받고 있으며 이때, 상기 박막 트랜지스터 소자로는 수소화된 비정질 실리콘(a-Si:H)이 주로 이용되는데, 이는 저온 공정이 가능하여 저가의 절연기판을 사용할 수 있기 때문이다.

그러나, 수소화된 비정질 실리콘(a-Si:H)은 원자 배열이 무질서하기 때문에 약한 결합(weak Si-Si bond) 및 땀글링 본드(dangling bond)가 존재하여 빛 조사나 전기장 인가 시 준 안정상태로 변화되어 박막 트랜지스터 소자로 활용시 안정성이 문제가 되며, 전기적 특성(낮은 전계효과 이동도 :  $0.1 \sim 1.0 \text{ cm}^2/\text{V}\cdot\text{s}$ )이 좋지 않아 구동회로로 사용하기 어렵다.

따라서, 일반적으로는 별도로 제작된 구동소자를 액정패널에 연결하여 사용하고 있으며, 대표적인 예로 구동소자를 TCP(Tape Carrier Package)로 제작하여 액정패널에 부착하여 사용한다. 따라서 상기 TCP는 다수의 회로부가 PCB(Printed Circuit Board) 기판과 액정패널 사이에 부착되어, 상기 PCB 기판으로부터 입력되는 신호를 받아 상기 액정패널에 전달하게 된다. 그런데 이러한 구성은 구동 IC의 실장비용이 원가의 많은 부분을 차지하고 있으며, 액정패널의 해상도가 높아지면서 박막 트랜지스터 기판의 게이트 배선 및 데이터 배선을 상기 TCP와 연결하는 기판 외부의 패드 피치(Pitch)가 짧아져 TCP 본딩 자체가 어려워지고 있다.

반면, 폴리실리콘(poly-Si)은 비정질 실리콘(a-Si)에 비하여 전계효과 이동도 등의 전기적 특성이 우수하기 기판 위에 구동회로를 형성하여도 문제되지 않는다. 따라서 상기 폴리 실리콘을 이용하여 기판에 직접 구동회로를 형성함으로써 구동 IC 비용을 줄일 수 있고 실장도 간단해진다.

도 1은 일반적인 구동회로부 일체형 액정표시장치용 어레이 기판의 개략도이다.

도시한 바와 같이, 절연 기판(1) 상에 구동회로부(5)와 화소부(3)가 같이 형성되어 있다. 상기 화소부(3)는 기판(1)의 중앙부에 위치하고, 이 화소부(3)의 일측과 이에 평행하지 않은 타측에 각각 게이트 및 데이터 구동회로부(5a, 5b)가 위치하고 있다. 상기 화소부(3)에는 상기 게이트 구동회로부(5a)와 연결된 다수 개의 게이트 배선(7)과 상기 데이터 구동회로부(5b)와 연결된 다수 개의 데이터 배선(9)이 교차하여 구성되며, 두 배선이 교차하여 정의되는 화소영역(P)에는 화소전극(10)이 형성되어 있고, 상기 두 배선의 교차지점에는 화소전극(10)과 연결된 박막 트랜지스터(T)가 위치한다.

또한, 상기 게이트 및 데이터 구동회로부는 외부신호 입력단(12)과 연결되어 있다.

상기 게이트 및 데이터 구동회로부(5a, 5b)는 상기 외부신호 입력단(12)을 통하여 입력된 외부신호를 내부에서 조절하여 각각 게이트 및 데이터 배선(7, 9)을 통해 화소부(3)로 디스플레이 컨트롤 신호 및 데이터 신호를 공급하기 위한 장치이다.

따라서, 상기 게이트 및 데이터 구동회로부(5a, 5b)는 입력되는 신호를 적절하게 출력시키기 위하여 인버터(inverter)로서 CMOS(complementary metal-oxide semiconductor)구조, NMOS구조 또는 PMOS구조의 박막 트랜지스터(미도시)가 상기 구동회로부 내부에 형성되어 있다.

도 2는 종래의 폴리실리콘을 이용하여 구동 및 스위칭 소자를 구성한 액정표시장치용 어레이 기판 내부의 하나의 화소부에 대한 평면도이다.

도시한 바와 같이, 어레이 기판(15)의 화상을 표시하는 액티브 영역에는 세로방향 및 가로방향으로 서로 교차하여 화소영역(P)을 정의하는 데이터 배선(45) 및 게이트 배선(30)이 형성되어 있으며, 상기 게이트 배선(30)과 평행하게 상기 게이트 배선(30)으로부터 소정간격 이격하여 공통배선(32)이 형성되어 있다. 또한, 상기 게이트 배선(30) 및 데이터 배선(45)이 교차하는 부분에는 스위칭 소자인 박막 트랜지스터(Tr)가 형성되어 있다.

한편, 화소영역(P)에는 스위칭 소자인 박막 트랜지스터(Tr) 이외에 상기 기판 하부에 위치하는 백라이트(미도시)로부터의 입사되는 빛을 통과시켜 화상을 표시하는 곳으로 화소전극(65)이 형성된 개구부(OA)와, 상기 게이트 배선(30)에서 소정간격 이격하여 형성된 공통배선(32)의 상기 화소영역(P) 내 일부가 상기 공통배선(32)의 폭보다 넓은 폭을 가지며 제 2 스토리지 전극(33)이 구비되고 있으며, 상기 제 2 스토리지 전극(33)과 중첩하는 반도체층 영역이 제 1 스토리지 전극(25)을 형성함으로써 스토리지 커패시터(StgC)가 형성되어 있다.

전술한 구조를 갖는 폴리실리콘을 반도체층(23)으로 하는 액정표시장치용 어레이 기판(15)은 통상적으로 게이트 전극(35)이 반도체층(23) 상부에 형성되는 탑게이트 구조를 가지며, 이러한 폴리실리콘을 반도체층(23)으로 하며 탑 게이트 구조로 이루어진 액정표시장치용 어레이 기판(15)은 폴리실리콘의 특성상 이동도가 크기 때문에, 폴리실리콘의 반도체층(23) 중 소스 및 드레인 전극(48, 53)과 접촉하는 고도즈량으로 도핑된 오믹콘택층(23b)과, 캐리어의 이동통로인 채널을 형성하는 순수 폴리실리콘만으로 이루어진 액티브층(23a)과의 경계면에서 누설전류가 커짐으로써 오프(off) 전류가 커지게 되는 문제가 발생하고 있다.

이렇게 오프(off) 전류가 증가하게 되면 화소영역(P) 내에 형성된 스위칭 소자의 특성을 저하시키게 되는 바, 상기 화소영역(P)내의 화소전극(65)을 정확히 콘트롤하지 못하게 됨으로써 표시품질이 저하되는 문제가 발생한다. 즉, 구동회로를 포함하는 액정표시장치는 비선택 주기 동안 화소에 축적된 전기신호를 손실없이 보존하고, 짧은 선택기간 동안에 신호전압을 화소에 기록하거나 구동회로를 동작시키려면 오프(off) 전류는 작고, 온(on) 전류는 충분히 커야 하며, 그렇지 않으면 표시품질 저하가 발생하게 된다.

또한, 게이트 전압이 온(on)에서 오프(off)로 전환되는 시점에서 화소전극의 전압이 떨어지는 현상이 발생하게 되며, 이렇게 게이트 전압이 온(on)에서 오프(off)로 변환될 때, 화소전극의 전압 변화량을 통상적으로  $\Delta V_p$ 라 하는데, 오프(off) 전류가 증가하게 되면 상기  $\Delta V_p$  또한 증가하게 되며, 이러한  $\Delta V_p$ 의 증가는 화상이 깜빡거리는 플리커로서 표현됨으로써 표시 품질을 더욱 저하시키게 된다.

### 발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 폴리실리콘을 이용한 액정표시장치용 어레이 기판에 있어서, 오프(off) 전류를 억제시킴으로써 화상표시 품질을 저하시키는 요인을 제거할 수 있는 구조의 액정표시장치용 어레이 기판을 제공하는 것을 그 목적으로 하며, 나아가,  $\Delta V_p$ 를 저하시킴으로써 플리커 등의 발생을 억제하는 것을 또 다른 목적으로 하고 있다.

### 발명의 구성

상기 목적을 달성하기 위하여, 본 발명의 실시예에 따른 액정표시장치용 어레이 기판은 게이트 배선과 데이터 배선이 교차하여 화소영역이 정의되고, 상기 화소영역 내에 박막트랜지스터가 형성되는 스위칭 영역이 정의된 기판과; 상기 기판 상의 스위칭 영역에 폴리실리콘으로 형성된 반도체층과; 상기 반도체층 위로 형성된 게이트 절연막과; 상기 게이트 절연막 위로 상기 반도체층의 중앙부와 중첩하며 서로 이격하며 형성된 이중구조의 제 1 및 제 2 게이트 전극과; 상기 제 1 및 제 2 게이트 전극 위로 상기 제 1 및 제 2 게이트 전극 양외측의 반도체층을 각각 노출시키는 반도체층 콘택홀을 가지며 형성된 층간 절연막과; 상기 층간절연막 위로 상기 반도체층 콘택홀을 통해 각각 반도체층과 접촉하며 서로 이격하는 소스 및 드레인 전극과; 상기 층간절연막 위로 상기 제 1 및 제 2 게이트 전극 사이의 이격한 영역에 대응하여 상기 데이터 배선과 연결되며 형성된 데이터 연결 패턴과; 상기 소스 및 드레인 전극과 상기 데이터 연결 패턴 위로 상기 드레인 전극을 노출시키는 드레인 콘택홀을 가지며 형성된 보호층과; 상기 보호층 위로 상기 드레인 콘택홀을 통해 상기 드레인 전극과 접촉하는 화소전극을 포함한다.

이때, 상기 데이터 연결 패턴은 제 1 및 제 2 게이트 전극과도 중첩되며 형성된 것이 특징이다.

또한, 상기 각 화소영역 내에는 상기 반도체층과 동일한 층에 동일 물질로 이루어진 제 1 스토리지 전극과, 그 상부로 상기 게이트 절연막과, 상기 게이트 절연막 상부로 상기 제 1 스토리지 전극과 대응하는 제 2 스토리지 전극으로 이루어진 제 1 스토리지 커패시터가 더욱 형성된 것이 특징이며, 이때, 상기 제 1 스토리지 전극은 고도층의 불순물을 포함하여 도체화된 것이 특징이다. 또한, 이때, 상기 각 화소영역 내에는 상기 제 2 스토리지 전극과, 상기 제 2 스토리지 전극 상부로 상기 층간절연막과, 상기 층간절연막 상부로 상기 제 2 스토리지 전극과 대응하여 제 3 스토리지 전극으로 이루어진 제 2 스토리지 커패시터가 더욱 형성된 것이 특징이다.

또한, 상기 반도체층은 고도층의 불순물을 포함하여 서로 이격하여 형성된 제 1 내지 제 3 오믹콘택층과; 상기 제 1 및 제 2 오믹콘택층 사이의 영역에 상부의 제 1 게이트 전극에 대응하며 순수 폴리실리콘으로 이루어진 제 1 액티브층과; 상기 제 2 및 제 3 오믹콘택층 사이의 영역에 상부의 제 2 게이트 전극에 대응하며 순수 폴리실리콘으로 이루어진 제 2 액티브층으로 이루어진 것이 특징이며, 이때, 상기 반도체층은 상기 제 1 내지 제 3 오믹콘택층 각각의 양측에는 저도층의 불순물을 포함하는 LDD층이 더욱 형성된 것이 바람직하다. 이때, 상기 소스 전극은 상기 제 1 오믹콘택층과, 상기 드레인 전극은 상기 제 2 오믹콘택층과 각각 접촉하며, 상기 데이터 연결 패턴은 상기 제 2 오믹콘택층과 대응하는 것이 특징이다.

또한, 상기 반도체층과 기판 사이에는 버퍼층이 더욱 형성된 것이 바람직하다.

본 발명에 따른 액정표시장치용 어레이 기판의 제조 방법은 게이트 배선과 데이터 배선이 교차하여 화소영역이 정의되고, 상기 화소영역 내에 박막트랜지스터가 형성되는 스위칭 영역이 정의된 기판 상의 상기 스위칭 영역에 폴리실리콘 패턴을 형성하는 단계와; 상기 폴리실리콘 패턴 위로 게이트 절연막을 형성하는 단계와; 상기 게이트 절연막 위로 상기 폴리실리콘 패턴 중앙에 대응하여 서로 이격하는 제 1 및 제 2 게이트 전극을 형성하는 단계와; 상기 제 1 및 제 2 게이트 전극을 도핑 마스크로 하여 고도층의 이온주입에 의한 도핑을 실시하여 상기 폴리실리콘 패턴 내에 서로 이격한 제 1 내지 제 3 오

믹콘택층과, 상기 제 1 및 제 2 게이트 전극에 대응하는 상기 제 1 내지 제 3 오믹콘택층 사이 영역에 제 1 및 제 2 액티브층을 형성하는 단계와; 상기 제 1 및 제 2 게이트 전극 위로 상기 제 1 및 제 2 게이트 전극의 양외측의 제 1 및 제 3 오믹콘택층을 각각 노출시키는 반도체층 콘택홀을 갖는 층간절연막을 형성하는 단계와; 상기 층간절연막 위로 상기 노출된 제 1 및 제 3 오믹콘택층과 각각 접촉하며, 서로 이격하는 소스 및 드레인 전극을 형성하고, 동시에 상기 제 1 및 제 2 게이트 전극 사이의 상기 제 2 오믹콘택층에 대응하는 층간절연막 위로 상기 데이터 배선과 연결된 데이터 연결 패턴을 형성하는 단계와; 상기 소스 및 드레인 전극과 데이터 연결 패턴 위로 상기 드레인 전극을 노출시키는 드레인 콘택홀을 갖는 보호층을 형성하는 단계와; 상기 보호층 위로 투명 도전성 물질로써 상기 드레인 전극과 접촉하는 화소전극을 형성하는 단계를 포함한다.

이때, 상기 데이터 연결 패턴은 제 1 및 제 2 게이트 전극과도 중첩하도록 형성하는 것이 특징이다.

또한, 상기 폴리실리콘 패턴을 형성하는 단계는 기판상에 비정질 실리콘을 전면에서 증착하는 단계와; 상기 비정질 실리콘을 결정화하여 폴리실리콘층을 형성하는 단계와; 상기 폴리실리콘층을 패터닝하는 단계를 포함한다.

또한, 상기 제 1 내지 제 3 오믹콘택층과, 상기 제 1 및 제 2 액티브층 사이에 저도즈량의 이온주입에 의한 LDD층을 형성하는 단계를 더욱 포함한다.

또한, 상기 폴리실리콘 패턴 형성 이전에 상기 기판상에 버퍼층을 형성하는 단계를 더욱 포함한다.

또한, 상기 폴리실리콘 패턴 형성 단계는 상기 폴리실리콘 패턴과 동일한 물질로서 동일한 층에 상기 폴리실리콘과 연결되는 제 1 스토리지 전극을 형성하는 단계를 포함하며, 이때, 상기 게이트 절연막 상부에는 상기 제 1 스토리지 전극에 대응하여 제 2 스토리지 전극을 형성하는 더욱 포함한다. 또한, 상기 층간절연막 상부에는 상기 제 1 스토리지 전극에 대응하여 제 3 스토리지 전극을 형성하는 단계를 더욱 포함한다.

이하, 본 발명의 실시예에 따른 폴리실리콘을 이용한 액정표시장치용 어레이 기판 및 그 제조 방법을 도면을 참조하여 설명한다.

도 3은 본 발명의 실시예에 의한 폴리실리콘을 이용한 액정표시장치용 어레이 기판의 하나의 화소영역을 도시한 평면도이며, 도 4는 도 3을 절단선 IV-IV를 따라 절단한 단면도이다. 설명의 편의를 위해 각 화소영역 내에서 스위칭 소자인 박막 트랜지스터가 형성될 영역을 스위칭 영역(TrA), 스토리지 커패시터가 형성될 영역을 스토리지 영역(StgA)이라 정의한다.

우선, 화소영역 내의 평면 구조를 도시한 도 3을 참조하면, 도시한 바와 같이, 기판 상에 서로 교차하여 화소영역(P)을 정의하며, 게이트 배선(125)과 데이터 배선(145)이 각각 가로방향과 세로방향으로 형성되어 있으며, 상기 게이트 배선(125)과 나란하게 상기 화소영역(P)을 가로지르며 공통배선(130)이 형성되어 있다.

또한, 상기 각 화소영역(P) 내부에는 상기 게이트 배선(125)에서 분기하며 서로 소정간격 이격하는 제 1 및 제 2 게이트 전극(127, 128)이 이중 게이트 구조로서 형성되어 있으며, 상기 데이터 배선(145)에서 분기하여 소스 전극(147)이, 상기 소스 전극(147)에서 상기 제 1 및 제 2 게이트 전극(127, 128)을 사이에 두고 이격하며 드레인 전극(149)이 형성되어 있으며, 상기 소스 전극(147)과 드레인 전극(149) 및 제 1 및 제 2 게이트 전극(127, 128)과 중첩하며 폴리실리콘의 반도체층(110)이 형성되어 있다.

또한, 상기 반도체층(110)과 도면에 나타나지 않았지만 게이트 절연막(미도시)과 상기 제 1 및 제 2 게이트 전극(127, 128)과 소스 및 드레인 전극(147, 149)은 스위칭 소자인 박막트랜지스터(Tr)를 형성하고 있다.

전술한 바와 같이, 게이트 전극(127, 128)을 이중 구조로 하여 박막 트랜지스터(Tr)를 형성한 것은 본 발명의 특징적인 것이 된다. 본 발명에서와 같이, 폴리실리콘을 반도체층(110)으로 하는 어레이 기판(101)에 있어 박막트랜지스터(Tr)를 이중 게이트 전극(127, 128) 구조로 구성하게 되면, 소스 전극(147)과 드레인 전극(149) 사이에 접합부가 늘어나서 접합부 위에 걸리는 전기장의 세기가 약해져 오프(off)전류를 낮추는 효과를 가지게 된다.

한편, 상기 공통배선(130)은 각 화소영역(P) 내에서 스토리지 커패시터(StgC)의 축전용량을 확보하고자 그 폭이 넓게 형성되어 제 2 스토리지 전극(132)을 형성하고 있으며, 상기 제 2 스토리지 전극(132) 하부에는 상기 반도체층(110)과 연결된 상태로 고도즈량의 스토리지 도핑된 폴리실리콘 패턴이 제 1 스토리지 전극(114)을 형성함으로써 상기 제 1 스토리지



전극(114)과 그 사이의 게이트 절연막(미도시)과 상기 제 2 스토리지 전극(132)이 상기 화소영역(P) 내에서 제 1 스토리지 커패시터(StgC1)를 형성하고 있으며, 상기 제 2 스토리지 전극(132)과 그 상부로 층간절연막(미도시)과 그 상부로 상기 드레인 전극(149)과 연결된 제 3 스토리지 전극(151)이 형성됨으로써 제 2 스토리지 커패시터(StgC2)를 형성하고 있다.

또한, 본 발명의 가장 특징적인 것으로서 상기 제 1 및 제 2 게이트 전극(127, 128)의 사이로 상기 데이터 배선(145)에서 분기하며 절곡된 형태의 데이터 연결 패턴(153)이 형성되고 있다.

이때, 상기 데이터 연결 패턴(153)은 상기 데이터 배선(145)과 소스 및 드레인 전극(147, 149)과 동일한 층에 형성되고 있으며, 상기 반도체층(110)을 제 1 전극 그리고 그 사이의 게이트 절연막(미도시)과 층간절연막(미도시)을 유전체층, 그리고 상기 데이터 연결 패턴(153)을 제 2 전극으로 하는 커패시터(Ctg)(이하 ' $\Delta V_p$ 용 커패시터'라 칭함)를 형성하고 있는 것이 특징이다.

이러한 구조적 특징으로 인해, 종래의 어레이 기관 즉, 데이터 연결 패턴을 갖지 않는 어레이 기관의 경우, 상기 화소영역 내의 스위칭 막막 트랜지스터의 게이트 전극이 온(on) 되었을 때, 상기 게이트 전극에 의해서 붙잡혀 있던 전하(또는 캐리어)가 상기 게이트 전극이 오프(off)되었을 때 화소전극이나 또는 데이터 배선쪽으로 빠져나가게 되며, 이렇게 빠져나가는 전하에 의해서  $\Delta V_p$ 가 발생하게 됨으로써 플리커(flicker)가 발생되고 있지만, 본 발명에서와 같이 이중 구조의 제 1 및 제 2 게이트 전극(127, 128) 사이의 중앙 부분으로 상기 데이터 배선(145)과 연결된 데이터 연결 패턴(153)을 형성함으로써 상기 제 1 및 제 2 게이트 전극(127, 128)이 오프(off) 되었을 때, 상기 화소전극(165) 또는 (145)데이터 배선으로 빠져나가는 일부의 전하가 상기 데이터 연결 패턴(153)과 이와 중첩되는 반도체층(110)에 의해 형성된  $\Delta V_p$ 용 커패시터(Ctg)에 의하여 트랩핑됨으로써 결과적으로 화소영역(P)에 있어서의 게이트 전압 오프(off)시의  $\Delta V_p$ 의 크기가 줄어들게 된다. 따라서,  $\Delta V_p$ 의 크기가 작아짐에 따라 플리커(flicker) 현상이 줄어들게 되는 것이다.

이때, 도면에서는 상기 데이터 연결 패턴(153)이 제 1 및 제 2 게이트 전극(127, 128) 사이로 하부의 반도체층(110)하고만 중첩되며 형성된 것으로 표시되고 있으나, 변형예로서 상기 데이터 연결 패턴은 상기 제 1 및 제 2 게이트 전극과도 중첩되며 형성될 수도 있다.

다음, 도 4를 참조하여 본 발명의 따른 액정표시장치용 어레이 기관의 단면 구조에 대해 설명한다. 이때, 도면에 있어서는 화소영역(P) 내의 스위칭 소자인 박막트랜지스터 형성 부분 및 스토리지 커패시터 형성 부분에 대한 단면만을 도시하고 있으며, 설명의 편의를 위해 화소영역(P) 내의 스위칭 소자가 형성되는 영역을 스위칭 영역(TrA), 스토리지 커패시터가 형성되는 영역을 스토리지 영역(StgA)이라 정의한다.

도시한 바와 같이, 기관(101) 위로 전면에 무기절연물질로 이루어진 버퍼층(105)이 형성되어 있으며, 상기 버퍼층(105) 위로 스위칭 영역(TrA)에 있어서는 폴리실리콘의 반도체층(110)이 형성되어 있으며, 스토리지 영역(StgA)에 있어서는 상기 폴리실리콘의 반도체층(110)과 연결되며, 동일 물질로 이루어지며 고도즈량의 스토리지 도핑된 제 1 스토리지 전극(114)이 형성되어 있다. 이때, 상기 반도체층(110) 중 상부에 형성된 제 1 및 제 2 게이트 전극(127, 128)에 대응하는 부분은 도핑되지 않은 순수한 폴리실리콘으로 이루어진 제 1 및 제 2 액티브층(110a, 110b)을, 상기 제 1 및 제 2 액티브층(110a, 110b)의 양측과 그 사이 영역에는 고도즈량의 이온주입에 의해  $n^+$  또는  $p^+$  도핑된 즉, 불순물이 포함된 제 1 내지 제 3 오믹콘택층(110c, 110d, 110e)이 형성되고 있으며, 상기 제 1 스토리지 전극(114)은 고도즈량을 갖는 이온주입에 의해 스토리지 도핑되어 도체화된 것이 특징이다.

또한, 도면에는 나타나지 않았으나, 상기 각 오믹콘택층(110c, 110d, 110e)이  $n^+$  도핑되어  $n$ 형 오믹콘택층을 형성하는 경우, 상기 각 오믹콘택층(110c, 110d, 110e)과 각 액티브층(110a, 110b) 사이에는 핫 캐리어(hot carrier)에 의한 열화를 방지하고자 저도즈량의 이온주입에 의한  $n$ -도핑된 LDD층(미도시)이 더욱 형성될 수 있다.

다음, 상기 반도체층(110) 및 제 1 스토리지 전극(114) 위로 전면에 게이트 절연막(117)이 형성되어 있으며, 상기 게이트 절연막(117) 위로 화소영역(P)을 정의하는 하나의 요소인 게이트 배선(미도시)이 서로 일정간격 이격하여 형성되어 있으며, 상기 각 게이트 배선(미도시)에서 소정간격 이격하여 상기 게이트 배선(미도시)과 나란하게 공통배선(미도시)이 형성되어 있으며, 이때, 스토리지 영역(StgA)에 있어서는 상기 공통배선(미도시)의 일부가 하부의 제 1 스토리지 전극(114)과 대응하며 제 2 스토리지 전극(130)을 형성하고 있다. 따라서, 상기 제 1 스토리지 전극(114)과 게이트 절연막(117)과 제 2 스토리지 전극(132)은 화소영역(P) 내에서 제 1 스토리지 커패시터(StgC1)를 구성하고 있다.

또한, 스위칭 영역(TrA)에 있어서는 상기 게이트 절연막(117) 위로 상기 게이트 배선(미도시)에서 분기하며 서로 소정 간격 이격한 이중의 제 1 및 제 2 게이트 전극(127, 128)이 상기 반도체층(110), 더욱 정확히는 제 1 및 제 2 액티브층(110a, 110b)과 중첩하며 형성되어 있다.

다음, 상기 게이트 배선(미도시)과 제 1 및 제 2 게이트 전극(127, 128)과 제 2 스토리지 전극(130)을 포함하는 공통배선(130) 위로 전면에 층간절연막(135)이 형성되어 있으며, 이때 상기 층간절연막(135)은 스위칭 영역(TrA)에 있어서는 상기 제 1 및 제 2 액티브층(110a, 110b)의 외측으로 형성된 제 1 및 제 3 오믹콘택층(110c, 110e)을 각각 노출시키는 제 1 및 제 2 반도체층 콘택홀(137, 139)을 구비하고 있다.

다음, 상기 층간절연막(135) 위로 하부의 게이트 배선(미도시)과 교차하여 화소영역(P)을 정의하는 데이터 배선(145)이 서로 소정간격 이격하여 형성되어 있으며, 스위칭 영역(TrA)에 있어서는 상기 데이터 배선(145)에서 상기 제 1 및 제 2 게이트 전극(127, 128)이 형성된 방향으로 분기하며, 상기 제 1 반도체층 콘택홀(137)을 통해 하부의 제 1 오믹콘택층(110c)과 접촉하는 소스 전극(147)이 형성되어 있으며, 상기 소스 전극(147)에서 상기 제 1 및 제 2 게이트 전극(127, 128)을 사이에 두고 소정간격 이격하여 상기 제 2 반도체층 콘택홀(139)을 통해 상기 제 3 오믹콘택층(110e)과 접촉하는 드레인 전극(149)이 형성되어 있다.

또한, 상기 반도체층(110), 더욱 정확히는 상기 제 1 및 제 2 게이트 전극(127, 128) 사이의 제 2 오믹콘택층(110d)(n형 오믹콘택층일 경우 상기 제 2 오믹콘택층 양측의 LDD층 일부 영역을 포함하는 영역)에 대응되는 상기 층간절연막(135) 상부로 상기 데이터 배선(145)에서 분기하여 절곡된 형태의 데이터 연결 패턴(153)이 형성되어 있다. 따라서, 상기 데이터 연결 패턴(153)과 그 하부의 층간절연막(135) 및 게이트 절연막(117)과 그 하부의 제 2 오믹콘택층(110d)은 상기 스위칭 영역(TrA)에서 소정의 축전용량을 갖는  $\Delta V_p$ 용 커패시터(Ctg)를 형성하게 된다. 이는 본 발명에 따른 액정표시장치용 어레이 기판의 가장 구조적인 특징이 된다.

이때, 실시예에서는 상기 데이터 연결 패턴(153)은 상기 제 2 오믹콘택층(110d)(또는 제 2 오믹콘택층과 LDD층)과만 중첩하여 형성된 것처럼 보이고 있으나, 그 변형예로서 상기 층간절연막(135) 위로 상기 제 2 오믹콘택층(110d)을 포함하여 상기 제 2 오믹콘택층(110d) 양측으로 형성된 상기 제 1 및 제 2 게이트 전극(127, 128)과도 중첩되도록 형성될 수도 있다.

한편, 스토리지 영역(StgA)에 있어서는 상기 층간절연막(135) 위로 상기 드레인 전극(149)과 연결되며 하부의 제 2 스토리지 전극(132)과 중첩하며 제 3 스토리지 전극(151)이 형성되어 있다. 따라서, 상기 스토리지 영역(StgA)에 있어서는 상기 제 2 스토리지 전극(132)과 층간절연막(135)과 제 3 스토리지 전극(151)이 제 2 스토리지 커패시터(StgC2)를 형성하고 있다.

다음, 상기 소스 및 드레인 전극(147, 149)과 상기 데이터 연결 패턴(153) 상부로는 전면에 보호층(155)이 형성되어 있으며, 이때, 상기 보호층(155)에는 상기 드레인 전극(149), 더욱 정확히는 상기 드레인 전극(149)과 연결된 제 3 스토리지 전극(151)을 노출시키는 드레인 콘택홀(157)이 형성되어 있다.

다음, 상기 드레인 콘택홀(157)을 갖는 보호층(155) 위로 상기 드레인 콘택홀(157)을 통해 상기 제 3 스토리지 전극(151)과 접촉함으로써 상기 드레인 전극(149)과 전기적으로 연결되는 화소전극(165)이 각 화소영역(P)마다 독립된 형태로 형성되어 있다.

한편, 기판(101) 상의 상기 다수의 화소영역(P)을 포함하는 액티브 영역 외측에 형성된 구동회로부에 형성되는 박막트랜지스터(미도시)에 있어서는 상기 데이터 연결 패턴(153)은 형성되지 않고, 상기 드레인 전극(149)을 노출시키는 드레인 콘택홀(157)도 없으며, 상기 보호층(155) 위로 화소전극(165)을 구성하지 않는다는 점 이외에는 전술한 스위칭 영역에 구성된 박막트랜지스터(Tr)와 동일한 구조 즉, 액티브층과 오믹콘택층을 포함하는 반도체층/게이트 절연막/게이트전극/반도체층 콘택홀을 구비한 층간절연막/서로 이격한 소스 및 드레인 전극/보호층의 단면 구성을 갖는 일반적인 탑 게이트형의 박막트랜지스터와 동일하므로 그 설명은 생략한다.

도 5는 종래의 어레이 기판과, 본 발명의 실시예에 따른 어레이 기판에 있어, 화소영역 내의 박막트랜지스터를 온(on) 상태에서 오프(off) 상태로 변경할 경우의 화소전극에서의  $\Delta V_p$ 변화량을 나타낸 그래프이다. 이때, 상기 그래프는 액정층이 구비되지 않은 상태 즉, 어레이 기판만의 상태에서  $\Delta V_p$ 변화량 측정한 결과를 바탕으로 도시한 것이다.

도시한 바와 같이, 박막트랜지스터를 온(on)상태로 하기 위해 게이트 전극에 인가되는 전압, 더욱 정확히는 게이트 온(on) 때와 게이트 오프(off) 때의 전압의 차이를 6V에서 15V로 점차적으로 한단계씩 늘려가며, 상기 게이트 전압을 온(on) 상태에서 오프(off) 상태로 변경하며 화소전극에서의  $\Delta V_p$ 변화량을 측정한 결과, 종래의 어레이 기판에 있어서는 화소전극에서의  $\Delta V_p$ 의 값이 게이트 전극에 인가되는 전압이 증가됨에 따라 대략 0.12V에서 0.38V까지 변화를 보이고 있는 반면, 데이터 연결 패턴이 구비된 본 발명에 따른 어레이 기판에 있어서는, 종래와 동일하게 게이트 온(on) 때와 게이트 오프(off)

때의 전압의 차이를 6V에서 15V로 점차적으로 늘려가며, 화소전극에서의  $\Delta V_p$  변화량을 측정한 결과,  $\Delta V_p$ 의 값이 0.09V에서 0.27V까지 변화를 보이고 있다. 이때, 종래와 본 발명에 따른 그래프를 비교하면 입력되는 게이트 전압이 커질수록  $\Delta V_p$ 의 값 역시 더욱 커지고 있으며, 동일한 크기의 게이트 전압이 입력되고 온(on)에서 오프(off)로 변환되었을 경우, 본 발명에 의한  $\Delta V_p$ 값과 종래발명에 의한  $\Delta V_p$ 값 차이 즉, 두 그래프간의 폭이, 더욱 큰 게이트 전압이 인가될수록 더욱 커지고 있음을 알 수 있다.

전술한 실험을 통해 이중 게이트 전극 즉, 제 1 및 제 2 게이트 전극 사이에 데이터 배선과 연결된 데이터 연결 패턴이 구비된 것을 특징으로 하는 본 발명에 따른 어레이 기판이, 화소내에서 게이트 전극의 온(on) 상태에서 오프(off) 상태로 변환시, 화소전극에서의  $\Delta V_p$ 변화가 종래발명 대비 상대적으로 적음을 알 수 있으며, 이러한 실험을 통해  $\Delta V_p$ 에 기인하는 플리커를 본 발명이 효과적으로 억제 또는 그 세기를 약하게 저하시킬 수 있음은 자명하며, 따라서 이러한 특성을 갖는 본 발명에 따른 어레이 기판을 이용하여 완성한 액정표시장치는 플리커 등이 억제 또는 저하됨으로써 그 표시품질이 향상됨은 자명하다.

이후에는 도 6a 내지 6g를 참조하여 본 발명의 실시예에 따른 액정표시장치용 어레이 기판의 제조 방법에 대해 설명한다.

도 6a 내지 도 6g는 도 3을 절단선 IV-IV를 따라 절단한 부분에 대한 제조 공정에 따른 단면도이다. 설명의 편의상 도 3에서 설명한 바와 같이, 화소영역 내의 스위칭 소자인 박막 트랜지스터가 형성되는 영역을 스위칭 영역(TrA), 스토리지 커패시터(StgC)가 형성되는 영역을 스토리지 영역(StgA)이라 정의한다.

우선, 도 6a에 도시한 바와 같이, 기판(101) 상에 무기절연물질인 질화실리콘( $\text{SiN}_x$ ) 또는 산화실리콘( $\text{SiO}_2$ )을 증착하여 버퍼층(105)을 형성한다. 상기 버퍼층(105)은 비정질 실리콘을 폴리 실리콘으로 재결정화 할 경우, 레이저 조사 또는 열처리 시에 의해 발생하는 열로 인해 기판(101) 내부에 존재하는 알칼리 이온, 예를 들면 칼륨 이온( $\text{K}^+$ ), 나트륨 이온( $\text{Na}^+$ ) 등이 발생할 수 있는데, 이러한 알칼리 이온에 의해 폴리실리콘으로 이루어진 반도체층의 막특성이 저하되는 것을 방지하기 위함이며, 상기 버퍼층(105)은 형성하지 않고 생략할 수도 있다.

다음, 상기 버퍼층(105) 위로 비정질 실리콘을 증착하여 비정질 실리콘층(미도시)을 전면에 형성하고, 엑시머 레이저를 이용한 ELA(Excimer Laser Annealing)법 또는 SLS(Sequential lateral Solidification) 결정화법 또는 열처리법 또는 MILC(metal induced lateral crystallization)법 등의 결정화 공정을 진행하여 상기 비정질 실리콘층(미도시)을 폴리실리콘층(미도시)으로 결정화한다.

이후, 상기 폴리실리콘층(미도시)을, 포토레지스트의 도포, 마스크를 이용한 노광, 현상, 패터닝하고자 하는 물질층의 식각 등 일련의 공정을 포함하는 마스크 공정을 진행하여 패터닝함으로써 스위칭 영역(TrA)에 있어서는 폴리실리콘의 반도체층(110)을 형성하고, 스토리지 영역(StgA)에 있어서는 상기 반도체층(110)과 연결된 폴리실리콘 패턴(111)을 형성하고, 그 외의 영역에 있어서는 식각 제거함으로써 하부의 버퍼층(105)을 노출시킨다.

또한, 전술한 공정에 있어서, 비정질 실리콘층(미도시)을 폴리실리콘층(미도시)으로 결정화 한 후, 패터닝하여 반도체층(110) 및 이와 연결된 폴리실리콘 패턴(111)을 형성하고 있으나, 상기 비정질 실리콘층(미도시)을 먼저 패터닝하여 비정질 실리콘 패턴(미도시)을 형성한 후, 상기 비정질 실리콘 패턴(미도시)을 전술한 방법에 의해 결정화하여 폴리실리콘의 반도체층 및 폴리실리콘 패턴을 형성할 수도 있다.

다음, 도 6b에 도시한 바와 같이, 상기 스위칭 영역(TrA) 및 스토리지 영역(StgA)에 각각 형성된 반도체층(110) 및 폴리실리콘 패턴(도 5a의 111) 위로 전면에 포토레지스트를 도포하고, 이를 노광, 현상함으로써 스위칭 영역(TrA)에 있어서는 포토레지스트 패턴(181)을 형성한다. 이때, 스토리지 영역(StgA)에 있어서는 포토레지스트 패턴(181)이 형성되지 않으므로 상기 폴리실리콘 패턴(도 5a의 111)은 외부로 노출된 상태가 된다.

이후, 상기 포토레지스트 패턴(181)을 도핑 마스크로 하여 제 1 고도즈량의 이온주입에 의한  $n^+$  또는  $p^+$ 의 스토리지 도핑을 실시하여 상기 스토리지 영역(StgA)에 형성된 폴리실리콘 패턴(도 5a의 111)을 도체화함으로써 제 1 스토리지 전극(112)을 형성한다.

다음, 도 6c에 도시한 바와 같이, 제 1 스토리지 전극(112)이 형성된 기판(101) 상에 남아있는 포토레지스트 패턴(도 5b의 181)을 스트립(strip)하여 제거하고, 상기 반도체층(110)과 제 1 스토리지 전극(112) 위로 전면에 무기절연물질인 산화실리콘( $\text{SiO}_2$ ) 또는 질화실리콘( $\text{SiN}_x$ )을 전면 증착하여 게이트 절연막(117)을 형성한다.

다음, 도 6d에 도시한 바와 같이, 상기 게이트 절연막(117) 위로 금속물질층을 전면 증착하고, 마스크 공정을 진행함으로써 스위칭 영역(TrA)에 있어서는 상기 반도체층(110)의 중앙부에 서로 소정간격 이격하여 이중구조를 이루는 제 1 및 제 2 게이트 전극(127, 128)을 형성하고, 스토리지 영역(StgA)에 있어서는 제 2 스토리지 전극(132)을 형성한다. 따라서, 상기 스토리지 영역(StgA)에 있어서는, 상기 제 1 스토리지 전극(112)과 게이트 절연막(117)과 상기 제 2 스토리지 전극(132)이 제 1 스토리지 커패시터(StgC1)를 형성하게 된다.

한편, 도면에는 나타나지 않았으나, 제 1 및 제 2 게이트 전극(127, 128)과 제 2 스토리지 전극(132)을 형성하는 단계에서 상기 제 1 및 제 2 게이트 전극(127, 128)과 연결되며 게이트 배선(미도시)이 형성되고, 동시에 상기 제 2 스토리지 전극(132)과 연결되며 상기 게이트 배선(미도시)과 평행하는 공통배선(미도시)이 형성된다. 이후, 상기 제 1 및 제 2 게이트 전극(127, 128)을 도핑 마스크로 하여 상기 제 1 및 제 2 게이트 전극(127, 128) 외부로 노출된 게이트 절연막(117) 하부에 위치한 반도체층(110)에 제 2 고도즈량을 갖는 이온주입을 통한 n+ 또는 p+ 도핑을 실시함으로써 상기 반도체층(110) 내에 서로 이격하는 제 1 내지 제 3 오믹콘택층(110c, 110d, 110e)을 형성한다. 이때, 상기 제 1 및 제 2 게이트 전극(127, 128)에 의해 도핑이 이루어지지 않은 반도체층 영역은 제 1 및 제 2 액티브층(110a, 110b)을 형성하게 된다.

이때, 도즈량에 있어서는 스토리지 도핑의 제 1 도즈량이 상기 제 1 내지 제 3 오믹콘택층(110c, 110d, 110e) 형성을 위한 도핑의 제 2 도즈량보다는 같거나 또는 큰 값을 갖는 것이 바람직하다.

또한, 도면에는 나타나지 않았지만, 상기 제 1 내지 제 3 오믹콘택층(110c, 110d, 110e)이 n+ 도핑함으로써 각각 n형 오믹콘택층을 형성한 경우, 상기 제 1 및 제 2 게이트 전극(127, 128) 하부의 제 1 및 제 2 액티브층(110a, 110b)과 상기 제 1 및 제 2 액티브층(110a, 110b) 각각의 양측면의 각 오믹콘택층(110c, 110d, 110e) 사이에 저도즈량으로써 도핑된 LDD(lightly doped drain)층(미도시)을 형성할 수도 있다. 이는 핫 캐리어(hot carrier) 발생에 의한 열화를 방지하기 위함이다. 하지만, 본 발명에 있어 이중 게이트 구조를 갖는 바, 이러한 구조적 특성에 의해 어느 정도 핫 캐리어의 발생을 억제하는 구조가 되므로 상기 LDD층은 생략해도 무방하다.

다음, 도 6e에 도시한 바와 같이, 상기 제 1 및 제 2 게이트 전극(127, 128) 및 제 2 스토리지 전극(132) 위로 전면 무기 절연물질인 산화실리콘( $\text{SiO}_2$ ) 또는 질화실리콘( $\text{SiN}_x$ )을 증착하거나, 또는 유기절연물질인 벤조사이클로부텐(BCB) 또는 포토아크릴(photo acryl)을 도포하여 층간절연막(145)을 형성하고, 마스크 공정을 진행하여 상기 층간절연막(145) 및 그 하부의 게이트 절연막(117)을 동시 또는 연속하여 패터닝함으로써 상기 제 1 및 제 2 게이트 전극(127, 128) 사이의 제 2 오믹콘택층(110d)을 제외한 제 1 및 제 3 오믹콘택층(110c, 110e) 일부를 노출시키는 제 1 및 제 2 반도체층 콘택홀(137, 139)을 형성한다.

다음, 도 6f에 도시한 바와 같이, 상기 제 1 및 제 2 반도체층 콘택홀(137, 139)을 갖는 층간절연막(145) 위로 전면 금속물질을 증착하여 금속층(미도시)을 형성하고, 상기 금속층(미도시)을 마스크 공정을 진행하여 패터닝함으로써, 스위칭 영역(TrA)에 있어서는 상기 제 1 및 제 2 반도체층 콘택홀(137, 139)을 통해 상기 제 1 및 제 3 오믹콘택층(110c, 110e)과 각각 접촉하는 소스 및 드레인 전극(147, 149)을 형성하고, 동시에 상기 제 1 및 제 2 게이트 전극(127, 128) 사이의 제 2 오믹콘택층(110d)에 대응되는 영역에는 상기 제 1 및 제 2 게이트 전극(127, 128) 간 이격한 폭(w1)보다는 좁은 폭(w2)을 갖는 데이터 연결 패턴(153)을 형성하거나, 또는 변형예로서 도면에 나타나지 않았으나, 상기 제 1 및 제 2 게이트 전극(127, 128)과도 중첩될 수 있도록 상기 제 1 및 제 2 게이트 전극(127, 128) 간 이격한 폭(w1)보다 넓게 예를 들어 상기 제 1 및 제 2 게이트 전극(127, 128) 각각의 폭과 그 사이의 이격한 폭(w1)을 합한 만큼의 폭(도면에 나타내지 않았으나, w3라 칭함) 또는 w1보다는 크고 w3보다는 작은 폭을 갖도록 형성될 수도 있다.

이때, 상기 소스 전극(147) 및 상기 데이터 연결 패턴(153)과 동시에 연결되며 하부의 게이트 배선(미도시)과 교차하여 화소영역(P)을 정의하는 데이터 배선(145) 또한 형성한다.

또한, 스토리지 영역(StgA)에 있어서는 상기 층간절연막(135)에 위로 하부의 제 2 스토리지(132) 대응하여 상기 드레인 전극(149)과 연결되는 제 3 스토리지 전극(151)을 형성한다. 따라서, 스토리지 영역(StgA)에 있어서는, 상기 제 3 스토리지 전극(151)과 하부의 층간절연막(135)과, 제 2 스토리지 전극(132)이 제 2 스토리지 커패시터(StgC2)를 형성하게 된다. 이때, 상기 제 1 스토리지 커패시터(StgC1)와 상기 제 2 스토리지 커패시터(StgC2)는 병렬적으로 연결된 구조가 됨으로써 전체의 축전용량을 향상시키게 된다.

하지만, 상기 제 3 스토리지 전극(151)은 생략될 수도 있다. 상기 스토리지 커패시터(StgC)는 하나의 화소영역(P)내의 화소전극(165)에 다음 신호 전압이 입력될 때까지 이전 입력된 화소전압을 유지시킬 수 있는 정도의 축전용량을 갖도록 형

성되는 것이 필요충분 조건이 되므로 상기 제 1 스토리지 커패시터(StgC1)가 이러한 조건을 만족하도록 충분한 충전용량을 갖도록 형성된 경우 상기 제 2 스토리지 커패시터(StgC2)는 생략될 수 있으며, 또는 상기 제 1 스토리지 커패시터(StgC1)를 생략하고 대신 상기 제 2 스토리지 커패시터만(StgC2)을 형성할 수도 있다.

한편, 상기 데이터 배선(145)과 연결된 데이터 연결 패턴(153)을 상기 제 1 및 제 2 게이트 전극(127, 128) 사이로 상기 층간절연막(135) 위로 형성함으로써 상기 데이터 연결 패턴(153)을 제 2 전극으로, 상기 층간절연막(135)을 유전체층으로, 그리고 그 하부의 제 2 오믹콘택층(110d)(또는 LDD층이 형성되었을 경우, 상기 LDD층 일부를 포함하는 상기 제 2 오믹콘택층)을 제 1 전극으로 하여 상기 스위칭 영역(TrA)에  $\Delta V_p$  발생을 억제하기 위한 더욱 정확히는 상기  $\Delta V_p$ 의 크기를 작게하기 위한  $\Delta V_p$ 용 커패시터(Ctg)를 형성한 것이 본 발명의 가장 큰 특징이 되고 있다.

따라서, 이렇게 스위칭 영역(TrA)에  $\Delta V_p$ 용 커패시터(Ctg)를 형성함으로써 제 1 및 제 2 게이트 전압(127, 128)의 오프(off)시, 상기 데이터 배선(145) 또는 화소전극(165)을 통해 빠져나가는 전하를 어느 정도 트랩핑함으로써  $\Delta V_p$ 값을 저하시킬 수 있으며, 이로 인해 플리커 현상을 방지할 수 있는 것이다.

다음, 도 6g 도시한 바와 같이, 상기 소스 및 드레인 전극(147, 149)과 제 3 스토리지 전극(151) 및 데이터 연결 패턴(153) 위로 전면에 무기절연물질인 질화실리콘(SiNx) 또는 산화실리콘(SiO<sub>2</sub>)을 증착하거나 또는 유기절연물질인 벤조사이클로부텐(BCB) 또는 포토아크릴(photo acryl)을 도포함으로써 보호층(155)을 형성한다.

이후, 상기 보호층(155)을 마스크 공정을 진행하여 패터닝함으로써 상기 드레인 전극(149)과 연결된 제 3 스토리지 전극(151)을 노출시키는 드레인 콘택홀(157)을 형성한다.

다음, 상기 드레인 콘택홀(157)이 형성된 보호층(155) 위로 전면에 투명 도전성 물질인 인듐-틴-옥사이드(ITO) 또는 인듐-징크-옥사이드(IZO)를 전면에 증착하고 마스크 공정을 진행하여 이를 패터닝함으로써 상기 드레인 콘택홀(157)을 통해 제 3 스토리지 전극(151)과 접촉함으로써 상기 드레인 전극(149)과 전기적으로 연결된 화소전극(165)을 형성함으로써 본 발명의 실시예에 따른 액정표시장치용 어레이 기판(101)을 완성한다.

## 발명의 효과

이와 같이, 본 발명의 실시예에 따른 액정표시장치용 어레이 기판은 화소영역 내에 형성되는 스위칭 소자인 박막트랜지스터에 있어, 이중 구조를 갖는 게이트 전극 사이의 오믹콘택층에 대응하여 층간절연막 위로 데이터 배선과 연결된 데이터 연결 패턴을 구비함으로써 상기 게이트 전극의 오프(off) 시 데이터 배선과 화소전극을 통해 빠져나가는 전하를 트랩핑하는  $\Delta V_p$ 용 커패시터를 형성함으로써  $\Delta V_p$ 값을 저하시켜 플리커를 방지하여 표시품질을 향상시키는 효과를 갖는다.

또한, 상기  $\Delta V_p$ 용 커패시터를 형성함에 있어 별도의 추가적인 마스크 공정을 필요로 하지 않는 제조 방법을 제공함으로써 공정 효율성 향상시키는 것이 본 발명의 또 다른 효과이다.

## 도면의 간단한 설명

도 1은 일반적인 구동회로부 일체형 액정표시장치용 어레이 기판의 개략도.

도 2는 폴리실리콘을 이용한 액정표시장치용 어레이 기판 내부의 하나의 화소영역에 대한 평면도.

도 3은 본 발명의 실시예에 의한 폴리실리콘을 이용한 액정표시장치용 어레이 기판의 하나의 화소영역에 대한 평면도.

도 4는 도 3을 절단선 IV-IV를 따라 절단한 단면도.

도 5는 종래의 어레이 기판과, 본 발명의 실시예에 따른 어레이 기판의 박막트랜지스터의 온(on)에서 오프(off) 시의 화소전극의  $\Delta V_p$ 변화량을 나타낸 그래프.

도 6a 내지 도 6g는 도 3을 절단선 IV-IV를 따라 절단한 부분에 대한 제조 공정에 따른 단면도.

< 도면의 주요 부분에 대한 부호의 설명 >

101 : 기판 110 : 반도체층

110a, 110b : 액티브층 110c, 110d, 110e : 오믹콘택층

114 : 제 1 스토리지 전극 125 : 게이트 배선

127, 128 : 제 1 및 제 2 게이트 전극

130 : 공통배선 132 : 제 2 스토리지 전극

137, 139 : 반도체층 콘택홀 145 : 데이터 배선

147 : 소스 전극 149 : 드레인 전극

151 : 제 3 스토리지 전극 153 : 데이터 연결 패턴

157 : 드레인 콘택홀 165 : 화소전극

P : 화소영역

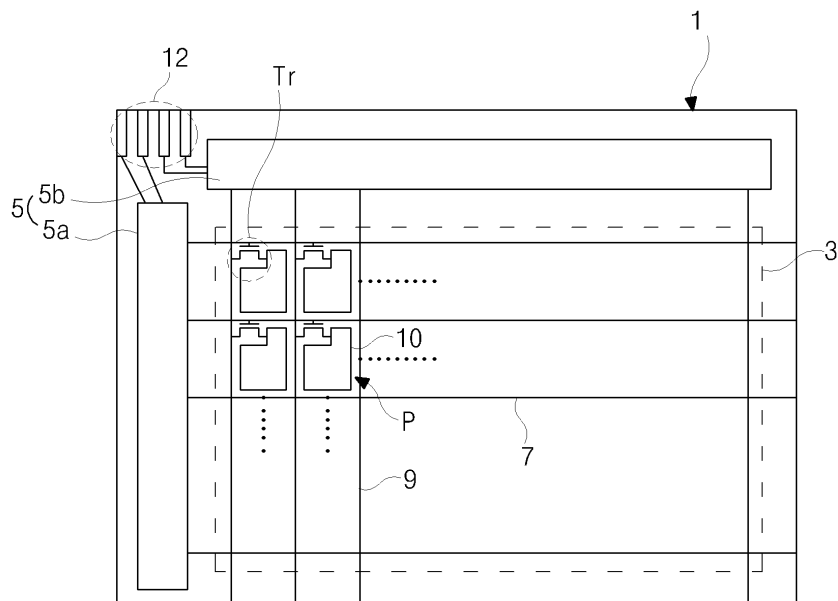
Tr : 화소영역 내 박막트랜지스터

StgC(StgC1, StgC2) : 스토리지 커패시터

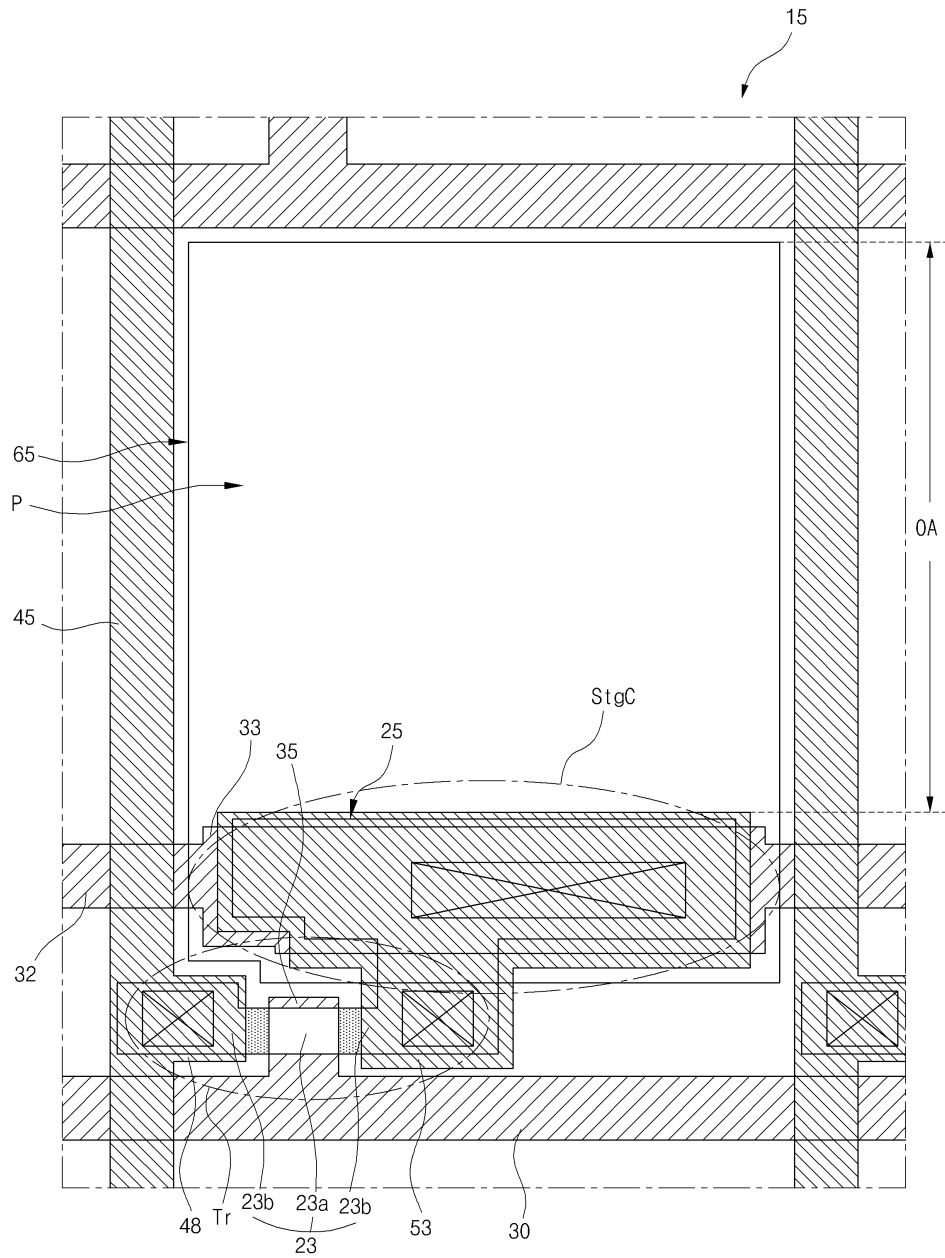
Ctg :  $\Delta V_p$ 용 커패시터

도면

도면1



도면2

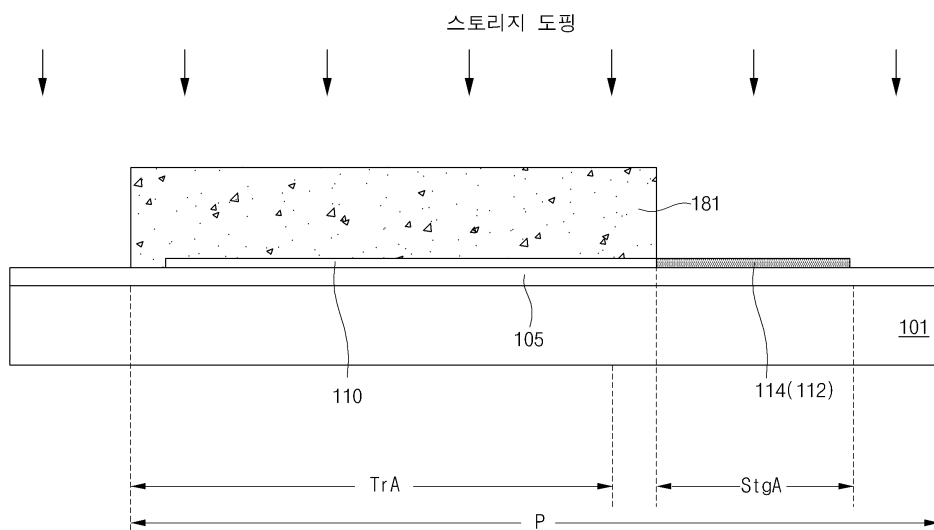




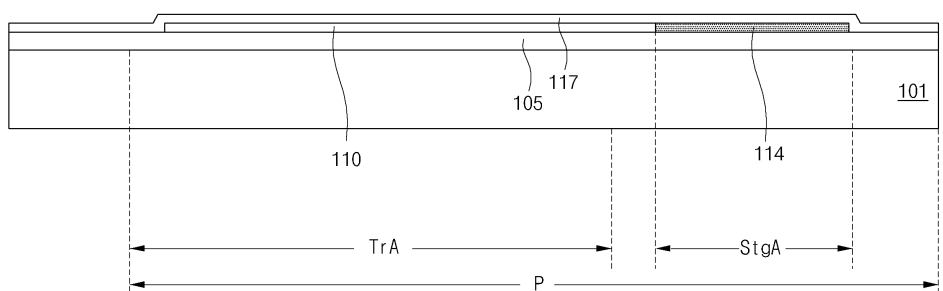




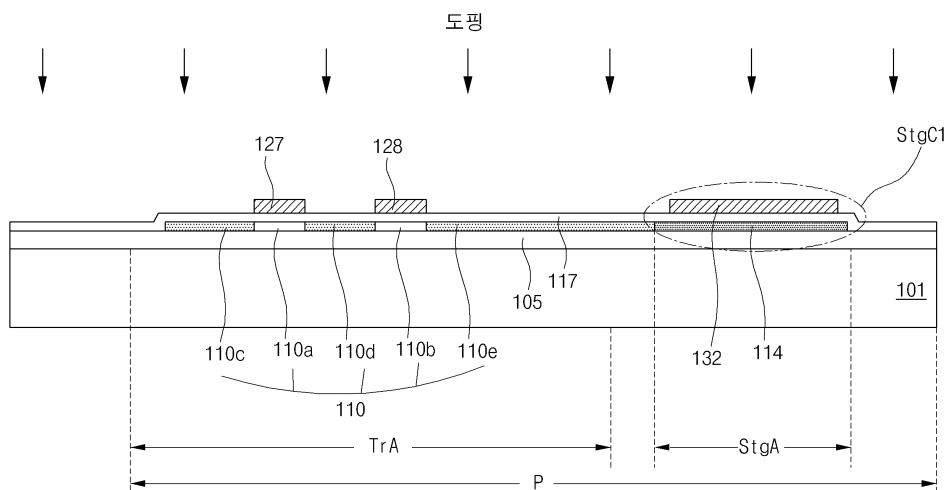
도면6b



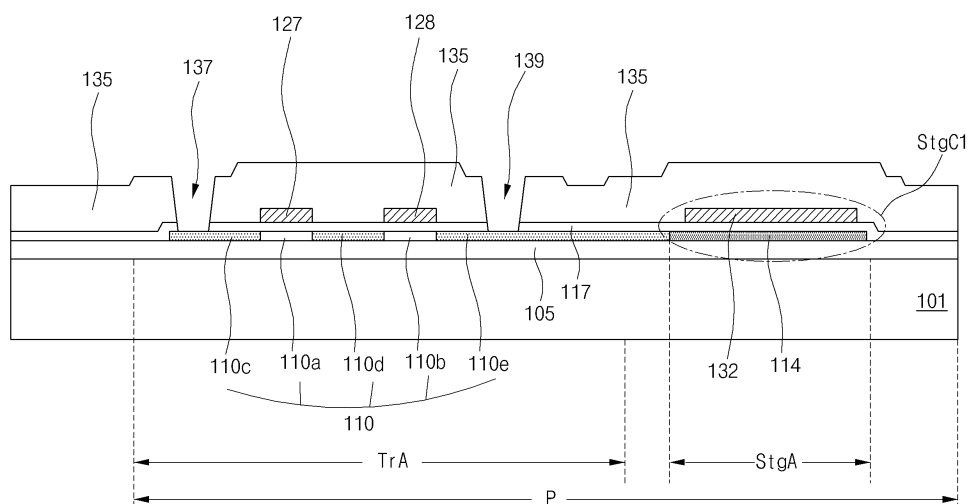
도면6c



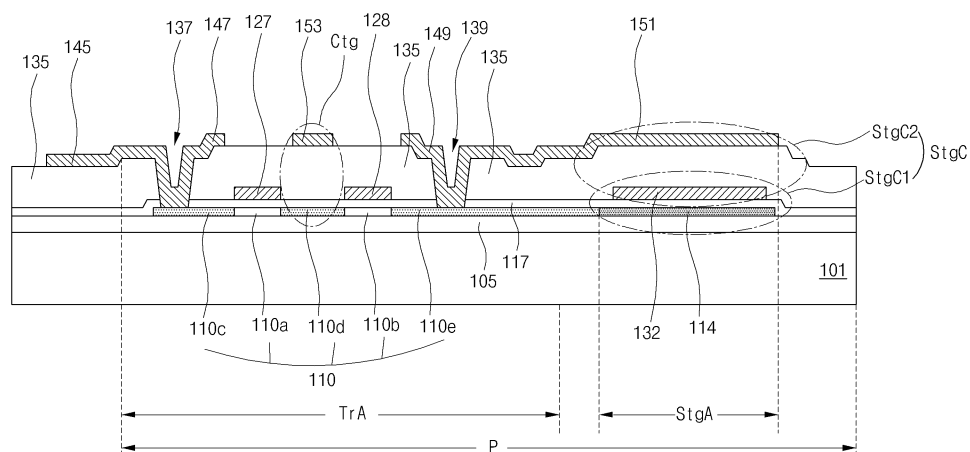
도면6d



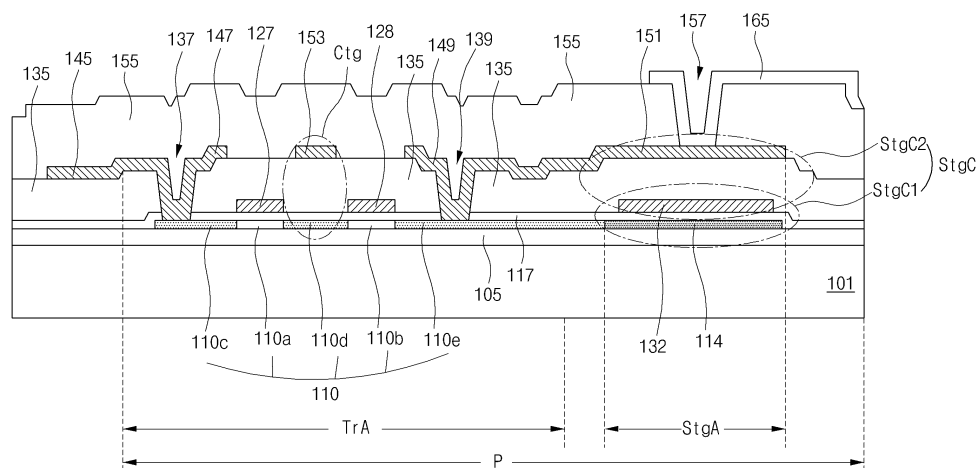
도면6e



도면6f



도면6g



|                |                                                               |         |            |
|----------------|---------------------------------------------------------------|---------|------------|
| 专利名称(译)        | 用于液晶显示装置的阵列基板及其制造方法                                           |         |            |
| 公开(公告)号        | <a href="#">KR1020060118063A</a>                              | 公开(公告)日 | 2006-11-23 |
| 申请号            | KR1020050040504                                               | 申请日     | 2005-05-16 |
| [标]申请(专利权)人(译) | 乐金显示有限公司                                                      |         |            |
| 申请(专利权)人(译)    | LG显示器有限公司                                                     |         |            |
| 当前申请(专利权)人(译)  | LG显示器有限公司                                                     |         |            |
| [标]发明人         | LEE KYUNG EON                                                 |         |            |
| 发明人            | LEE,KYUNG EON                                                 |         |            |
| IPC分类号         | G02F1/136                                                     |         |            |
| CPC分类号         | G02F1/136227 G02F1/136213 G02F1/136286 G02F1/1368 G02F2201/12 |         |            |
| 外部链接           | <a href="#">Espacenet</a>                                     |         |            |

### 摘要(译)

本发明涉及使用该多晶硅的液晶显示器阵列基板及其制造方法。在像素区域内，使用多晶硅的液晶显示器阵列基板在其中具有关于开关器件形成部分的栅极节点结构。并且通过在与栅电极之间的欧姆接触相对应的区域上形成连接到数据线的的数据链图案，用于液晶显示器的阵列基板能够根据在栅电极中产生的 $\Delta V_p$ 的快速变化来防止闪烁效应通过组织电容器及其制造方法来提供数据链图案，下部的层间绝缘膜和下部的欧姆接触。阵列面板，多晶硅，闪烁，恶化。

