

(19)대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.<sup>8</sup>  
G02F 1/136 (2006.01)

(11) 공개번호 10-2006-0000452  
(43) 공개일자 2006년01월06일

(21) 출원번호 10-2004-0049314  
(22) 출원일자 2004년06월29일

(71) 출원인 엘지.필립스 엘시디 주식회사  
서울 영등포구 여의도동 20번지

(72) 발명자 유상희  
서울특별시 영등포구 대림1동 906번지 54호  
강원석  
서울시 동작구 사당1동 1015-1 401호

(74) 대리인 김영호

심사청구 : 없음

(54) 액정표시패널 및 그 제조방법

요약

본 발명은 데이터라인 수를 줄임과 아울러 기생캐패시터의 용량값을 줄일 수 있는 액정표시패널 및 그 제조방법에 관한 것이다.

본 발명에 따른 액정표시패널은 기관 상에 형성된 게이트라인과; 상기 게이트라인들과 나란한 방향으로 형성되는 제1 및 제2 제어라인과, 상기 게이트라인과 교차하여 제1 및 제2 화소영역을 정의하는 제1 및 제2 데이터라인과; 상기 제1 및 제2 화소영역 각각에 형성되는 제1 및 제2 화소전극과; 상기 제2 제어라인 및 게이트라인의 제어에 의하여 상기 제1 데이터라인으로 공급되는 화소신호를 상기 제1 화소전극으로 공급하는 적어도 두 개의 박막트랜지스터를 가지는 제1 스위칭부와; 상기 제1 제어라인 및 게이트라인의 제어에 의하여 상기 제2 데이터라인으로 공급되는 화소신호를 상기 제2 화소전극으로 공급하는 적어도 두 개의 박막트랜지스터를 가지는 제2 스위칭부를 구비하며, 상기 제1 및 제2 스위칭부 각각의 상기 적어도 두 개의 박막트랜지스터 중 어느 하나의 박막트랜지스터의 턴 온 전류값은 나머지 박막트랜지스터의 턴 온 전류값 이상으로 형성되는 것을 특징으로 한다.

대표도

도 6a

명세서

도면의 간단한 설명

도 1은 종래의 액정표시장치를 개략적으로 나타내는 도면이다.

도 2는 본 발명에 따른 액정표시장치를 나타내는 도면이다.

도 3은 도 2에 도시된 제어라인으로 공급되는 제어신호 및 게이트라인으로 공급되는 게이트신호를 나타내는 파형도이다.

도 4a 및 도 4b는 도 3에 도시된 제어신호에 대응하여 구동되는 액정셀들을 나타내는 도면이다.

도 5는 도 2에 도시된 액정표시패널의 박막트랜지스터 어레이 기판을 상세히 나타내는 평면도이다.

도 6a 및 도 6b는 도 5에 도시된 박막트랜지스터를 상세히 나타내는 평면도 및 단면도이다.

도 7은 도 6에서 선"VII-VII"를 따라 절취한 박막트랜지스터 어레이 기판을 나타내는 단면도이다.

도 8a 및 도 8b는 도 5 내지 도 7에 도시된 제1 도전패턴군을 형성하기 위한 제조방법을 나타내는 평면도 및 단면도이다.

도 9a 및 도 9b는 도 5 내지 도 7에 도시된 반도체패턴을 형성하기 위한 제조방법을 나타내는 평면도 및 단면도이다.

도 10a 및 도 10b는 도 5 내지 도 7에 도시된 제2 도전패턴군을 형성하기 위한 제조방법을 나타내는 평면도 및 단면도이다.

도 11a 및 도 11b는 도 5 내지 도 7에 도시된 보호막을 형성하기 위한 제조방법을 나타내는 평면도 및 단면도이다.

도 12a 및 도 12b는 도 5 내지 도 7에 도시된 제3 도전패턴군을 형성하기 위한 제조방법을 나타내는 평면도 및 단면도이다.

도 13은 도 2에 도시된 액정표시패널의 박막트랜지스터 어레이 기판의 다른 실시예를 상세히 나타내는 평면도이다.

도 14는 도 13에 도시된 박막트랜지스터를 상세히 나타내는 평면도이다.

도 15는 도 13에서 선"XV-XV"를 따라 절취한 박막트랜지스터 어레이 기판을 나타내는 단면도이다.

< 도면의 주요 부분에 대한 부호의 설명 >

2,20 : 액정패널 4,22 : 데이터 드라이버

6,24 : 게이트 드라이버 10,12 : 액정셀

14,16 : 스위칭부 23 : 제어신호 공급부

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

본 발명은 액정표시패널에 관한 것으로 특히, 데이터라인 수를 줄임과 아울러 화소전극들 사이의 기생캐패시터의 용량값을 줄일 수 있는 액정표시패널 및 그 제조방법에 관한 것이다.

액정표시장치는 전계를 이용하여 액정의 광 투과율을 조절함으로써 화상을 표시하게 된다. 이를 위하여, 액정표시장치는 화소 매트릭스를 가지는 액정패널과 액정패널을 구동하기 위한 구동회로를 구비한다. 구동회로는 화상정보가 표시패널에 표시되도록 화소 매트릭스를 구동하게 된다.

도 1은 종래의 액정표시장치를 나타내는 도면이다.

도 1을 참조하면, 종래의 액정표시장치는 액정패널(2)과, 액정패널(2)의 데이터라인들(DL1 내지 DLm)을 구동하기 위한 데이터 드라이버(4)와, 액정패널(2)의 게이트라인들(GL1 내지 GLn)을 구동하기 위한 게이트 드라이버(6)를 구비한다.

액정패널(2)은 게이트라인들(GL1 내지 GLn)과 데이터라인들(DL1 내지 DLm)의 교차부에 각각 형성된 박막 트랜지스터(TFT)와, 박막 트랜지스터(TFT)에 접속되고 매트릭스 형태로 배열되어진 액정셀들을 구비한다.

게이트 드라이버(6)는 도시되지 않은 타이밍 제어부로부터의 제어신호에 따라 게이트 라인들(GL1 내지 GLn)에 순차적으로 게이트신호를 공급한다. 데이터 드라이버(4)는 타이밍 제어부로부터 공급되는 데이터(R,G,B)를 아날로그 신호인 비디오신호로 변환하여 게이트라인들(GL1 내지 GLn)에 게이트신호가 공급되는 1수평주기마다 1수평라인분의 비디오신호를 데이터라인들(DL1 내지 DLm)로 공급한다.

박막 트랜지스터(TFT)는 게이트라인(GL1 내지 GLn)으로부터의 게이트신호에 응답하여 데이터라인(DL1 내지 DLm)으로부터의 데이터를 액정셀로 공급한다. 액정셀은 액정을 사이에 두고 대면하는 공통전극과, 박막 트랜지스터(TFT)에 접속된 화소전극으로 구성되므로 등가적으로 액정 캐패시터(Clc)로 표시될 수 있다. 이러한 액정셀은 액정 캐패시터(Clc)에 충전된 데이터전압을 다음 데이터전압이 충전될 때 까지 유지시키기 위하여 이전단 게이트라인에 접속된 스토리지 캐패시터(도시되지 않음)를 포함한다.

이와 같은 종래의 액정표시장치의 액정셀들은 게이트라인들(GL1 내지 GLn)과 데이터라인들(DL1 내지 DLm)의 교차부에 각각 위치되기 때문에 데이터라인들(DL1 내지 DLm)의 수만큼(즉 m개)의 수직라인을 형성한다. 다시 말하여, 액정셀들은 m개의 수직라인 및 n개의 수평라인을 이루도록 매트릭스 형태로 배치된다.

여기서 알수 있듯이, 종래에는 m개의 수직라인의 액정셀들을 구동하기 위하여 m개의 데이터라인들(DL1 내지 DLm)을 필요로한다. 따라서, m개의 데이터라인을 각각 구동하기 위해서 m/i(i는 하나의 데이터 드라이버 집적회로가 공급하는 데이터 출력라인 수)개의 데이터 드라이버 집적회로가 요구되어진다. 그러므로, 액정표시장치의 해상도가 증가할수록 고가인 데이터 드라이버 집적회로의 수가 증가할 뿐 아니라 드라이버 집적회로를 부착하는 공정시간 및 제조비용도 증가되어 결국 액정표시장치의 코스트 상승요인으로 작용하는 문제가 있다.

### 발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 데이터라인 수를 줄임과 아울러 기생캐패시터의 용량값을 줄일 수 있는 액정표시패널 및 그 제조방법을 제공하는 것이다.

### 발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명에 따른 액정표시패널은 기판 상에 형성된 게이트라인과; 상기 게이트라인들과 나란한 방향으로 형성되는 제1 및 제2 제어라인과, 상기 게이트라인과 교차하여 제1 및 제2 화소영역을 정의하는 제1 및 제2 데이터라인과; 상기 제1 및 제2 화소영역 각각에 형성되는 제1 및 제2 화소전극과; 상기 제2 제어라인 및 게이트라인의 제어에 의하여 상기 제1 데이터라인으로 공급되는 화소신호를 상기 제1 화소전극으로 공급하는 적어도 두 개의 박막트랜지스터를 가지는 제1 스위칭부와; 상기 제1 제어라인 및 게이트라인의 제어에 의하여 상기 제2 데이터라인으로 공급되는 화소신호를 상기 제2 화소전극으로 공급하는 적어도 두 개의 박막트랜지스터를 가지는 제2 스위칭부를 구비하며, 상기 제1 및 제2 스위칭부 각각의 상기 적어도 두 개의 박막트랜지스터 중 어느 하나의 박막트랜지스터의 턴 온 전류값은 나머지 박막트랜지스터의 턴 온 전류값 이상으로 형성되는 것을 특징으로 한다.

상기 제1 스위칭부는 상기 제2 제어라인으로 제어신호가 공급될 때 턴온되어 상기 화소신호를 공급받는 상기 제1 박막트랜지스터와; 상기 게이트라인에 접속되어 상기 게이트신호가 공급될 때 턴온되어 상기 화소신호를 상기 제1 화소전극으로 공급하기 위한 제2 박막 트랜지스터를 포함하며, 상기 제1 박막트랜지스터의 채널폭은 상기 제2 박막트랜지스터의 채널폭 이상인 것을 특징으로 한다.

상기 제1 박막트랜지스터는 상기 제2 제어라인과 접속된 게이트전극, 상기 제1 데이터라인과 접속되며 적어도 3개의 돌출부를 가지는 소스전극과, 상기 제2 박막트랜지스터의 소스전극과 접속된 적어도 두개의 돌출부를 가지는 드레인전극과, 소스 및 드레인전극 사이에 제1 폭의 채널을 가지는 반도체패턴을 포함하며, 상기 제2 박막트랜지스터는 상기 게이트라인과 접속된 게이트전극, 상기 제1 박막트랜지스터의 드레인전극과 접속되며 적어도 2개의 돌출부를 가지는 소스전극, 상기 제1 화소전극과 접속되며 적어도 1개의 돌출부를 가지는 드레인전극과, 소스 및 드레인전극 사이에 제1 폭 이하의 제2 폭의 채널을 가지는 반도체패턴을 포함하는 것을 특징으로 한다.

상기 제2 스위칭부는 상기 제1 제어라인으로 제어신호가 공급될 때 턴온되어 상기 화소신호를 공급받는 제3 박막트랜지스터와, 상기 게이트라인에 접속되어 상기 게이트신호가 공급될 때 턴온되어 상기 화소신호를 상기 제2 화소전극으로 공급하기 위한 제4 박막 트랜지스터를 구비하며, 상기 제3 박막트랜지스터의 채널폭은 상기 제4 박막트랜지스터의 채널 폭 이상인 것을 특징으로 한다.

상기 제3 박막트랜지스터는 상기 제1 제어라인과 접속된 게이트전극, 상기 제2 데이터라인과 접속되며 적어도 3개의 돌출부를 가지는 소스전극과, 상기 제4 박막트랜지스터의 소스전극과 접속된 적어도 두개의 돌출부를 가지는 드레인전극과, 소스 및 드레인전극 사이에 제1 폭의 채널을 가지는 반도체패턴을 포함하며, 상기 제4 박막트랜지스터는 상기 게이트라인과 접속된 게이트전극, 상기 제3 박막트랜지스터의 드레인전극과 접속되며 적어도 2개의 돌출부를 가지는 소스전극, 상기 제2 화소전극과 접속되며 적어도 1개의 돌출부를 가지는 드레인전극과, 소스 및 드레인전극 사이에 제1 폭 이하의 제2 폭의 채널을 가지는 반도체패턴을 포함하는 것을 특징으로 한다.

상기 제1 및 제3 박막트랜지스터 중 적어도 어느 하나의 반도체패턴은 활성층과, 그 활성층 상에 소스 및 드레인전극을 따라 "W"자 형태의 홀을 가지는 오믹접촉층을 포함하며, 상기 제2 및 제4 박막트랜지스터 중 적어도 어느 하나의 반도체패턴은 활성층과, 그 활성층 상에 소스 및 드레인전극을 따라 "U" 및 "W" 중 어느 한 형태의 홀을 가지는 오믹접촉층을 포함하는 것을 특징으로 한다.

상기 액정표시패널은 상기 제1 화소전극과 수평전계를 이루는 제1 공통전극과; 상기 제2 화소전극과 수평전계를 이루는 제2 공통전극과; 상기 게이트라인과 나란하게 형성되며 상기 제1 및 제2 공통전극에 기준전압을 공급하는 공통라인을 추가로 구비하는 것을 특징으로 한다.

상기 액정표시패널은 상기 제1 제어라인과, 그 제1 제어라인과 적어도 한 층의 절연막을 사이에 두고 중첩되는 제1 및 2 화소전극 중 어느 하나로 구성된 제1 스토리지캐패시터와; 상기 제2 제어라인과, 그 제2 제어라인과 적어도 한 층의 절연막을 사이에 두고 중첩되는 제1 및 제2 화소전극 중 어느 하나로 구성되며 제1 스토리지캐패시터와 용량값이 동일한 제2 스토리지캐패시터와; 상기 공통라인과, 그 공통라인과 적어도 한 층의 절연막을 사이에 두고 중첩되는 제1 및 제2 화소전극 중 어느 하나로 구성되는 제3 스토리지캐패시터를 추가로 구비하는 것을 특징으로 한다.

상기 액정표시패널은 상기 제1 제어라인과, 그 제1 제어라인과 적어도 한 층의 절연막을 사이에 두고 중첩되는 제1 및 2 화소전극 중 어느 하나와 접속되는 제1 스토리지전극으로 구성된 제1 스토리지캐패시터와; 상기 제2 제어라인과, 그 제2 제어라인과 적어도 한 층의 절연막을 사이에 두고 중첩되는 제1 및 제2 화소전극 중 어느 하나와 접속되는 제2 박막트랜지스터의 드레인전극으로 구성되며 제1 스토리지캐패시터와 용량값이 동일한 제2 스토리지캐패시터와; 상기 공통라인과, 그 공통라인과 적어도 한 층의 절연막을 사이에 두고 중첩되는 제1 및 제2 화소전극 중 어느 하나와 접속되는 제2 스토리지전극으로 구성되는 제3 스토리지캐패시터를 추가로 구비하는 것을 특징으로 한다.

상기 목적을 달성하기 위하여, 본 발명에 따른 기판 상에 형성된 게이트라인, 상기 게이트라인들과 나란한 방향으로 형성되는 제1 및 제2 제어라인, 상기 게이트라인과 교차하여 제1 및 제2 화소영역을 정의하는 제1 및 제2 데이터라인, 상기 제1 및 제2 화소영역 각각에 형성되는 제1 및 제2 화소전극, 상기 제2 제어라인 및 게이트라인의 제어에 의하여 상기 제1 데이터라인으로 공급되는 화소신호를 상기 제1 화소전극으로 공급하는 적어도 두 개의 박막트랜지스터를 가지는 제1 스위칭부, 상기 제1 제어라인 및 게이트라인의 제어에 의하여 상기 제2 데이터라인으로 공급되는 화소신호를 상기 제2 화소전극으로 공급하는 적어도 두 개의 박막트랜지스터를 가지는 제2 스위칭부를 가지는 액정표시패널의 제조방법은 상기 적어도 두 개의 박막트랜지스터 중 어느 하나의 박막트랜지스터의 채널 폭은 나머지 박막트랜지스터의 채널 폭 이상으로 형성되는 것을 특징으로 한다.

상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부도면을 참조한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

이하, 도 2 내지 도 15를 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.

도 2는 본 발명의 실시예에 의한 액정표시장치를 나타내는 도면이다.

도 2를 참조하면, 본 발명의 실시예에 의한 액정표시장치는 액정패널(20)과, 액정패널(20)의 데이터라인들(DL1 내지 DLm/2)을 구동하기 위한 데이터 드라이버(22)와, 액정패널(20)의 게이트라인들(GL1 내지 GLn)을 구동하기 위한 게이트 드라이버(24)와, 게이트라인들(GL1 내지 GLn)들과 나란하게 형성된 제1 및 제2 제어라인들(CL1, CL2)로 제어신호를 공급하기 위한 제어신호 공급부(23)를 구비한다.

액정패널(20)은 게이트라인들(GL1 내지 GLn)과 데이터라인들(DL1 내지 DLm/2)의 교차부에 형성된 제1 액정셀(10) 및 제2 액정셀(12)과(교번적으로 형성), 제1 액정셀(10)을 구동하기 위한 제1 스위칭부(14)와, 제2 액정셀(12)을 구동하기 위한 제2 스위칭부(16)를 구비한다.

제1 및 제2 액정셀(10,12)은 제1 스위칭부(14) 및 제2스위칭부(16)에 각각 접속되는 화소전극과, 그 화소전극과 액정을 사이에 두고 나란한 공통전극으로 구성되므로 등가적으로 액정 캐패시터(Clc)로 표시될 수 있다. 여기서, 제1 및 제2 액정셀(10,12)들은 액정 캐패시터(Clc)에 충전된 비디오신호의 전압을 다음 비디오신호가 공급될 때 까지 유지시키기 위하여 이전단 게이트라인(또는 공통전극) 또는 제어신호라인(CL1,CL2) 상에 접속된 스토리지 캐패시터를 더 포함한다.

제1 액정셀(10) 및 제1 스위칭부(14)는 데이터라인(DL)의 우측, 즉 우수번째 수직라인에 형성된다. 제2 액정셀(12) 및 제2 스위칭부(16)는 데이터라인(DL)의 좌측, 즉 기수번째 수직라인에 형성된다. 다시 말하여, 제1 액정셀(10) 및 제2 액정셀(12)은 하나의 데이터라인(DL)을 사이에 두고 좌/우측에 형성된다. 여기서, 제1 액정셀(10) 및 제2 액정셀(12)은 인접된 게 위치된 데이터라인(DL)으로부터 비디오신호를 공급받는다. 즉, 본 발명의 실시예에 의한 액정표시장치에 의하면 도 1에 도시된 종래의 액정표시장치에 비하여 데이터라인(DL)의 수가 절반으로 줄어들게 된다.

제1 및 제2 제어라인(CL1,CL2)은 게이트라인(GL)과 나란하게 형성되어(예를들면, 게이트라인(GL)의 상/하측에 형성) 제1 스위칭부(16) 및 제2 스위칭부(14) 중 어느 하나에 각각 접속된다. 여기서, 제1 제어라인(CL1)은 제2 스위칭부(16)와 접속되고, 제2 제어라인(CL2)은 제1 스위칭부(14)에 접속된다.

제1 액정셀(10)을 구동시키기 위한 제1 스위칭부(14)는 제1 및 제2 박막 트랜지스터(TFT1,TFT2)를 구비한다. 제1 박막 트랜지스터(TFT1)는 데이터라인(DL) 및 제2 제어라인(CL2)과 접속되어 제2 제어라인(CL2)에 제2 제어신호가 공급될 때 턴-온된다. 제2 박막 트랜지스터(TFT2)는 제1 박막 트랜지스터(TFT1)와 제1 액정셀(10) 사이에 접속되어 게이트라인(GL)을 통해 제2 박막트랜지스터(TFT2)의 게이트전극에 게이트신호가 공급될 때 턴-온된다.

제2 액정셀(12)을 구동시키기 위한 제2 스위칭부(16)는 제3 및 제4 박막 트랜지스터(TFT3,TFT4)를 구비한다. 제3 박막 트랜지스터(TFT3)는 데이터라인(DL) 및 제1 제어라인(CL1)과 접속되어 제1 제어라인(CL1)에 제1 제어신호가 공급될 때 턴-온된다. 제4 박막 트랜지스터(TFT4)는 제3 박막 트랜지스터(TFT3)와 제2 액정셀(12) 사이에 접속되어 게이트라인(GL)을 통해 제4 박막트랜지스터(TFT4)의 게이트전극에 게이트신호가 공급될 때 턴-온된다.

게이트 드라이버(24)는 도시되지 않은 타이밍 제어부로부터 공급되는 제어신호에 대응하여 도 3과 같이 1/2프레임 단위로 게이트라인들(GL1 내지 GLn) 각각에 게이트신호(SP)를 순차적으로 공급한다. 즉, 본 발명의 게이트 드라이버(24)는 1/2프레임 단위로 게이트라인들(GL1 내지 GLn)을 구동시킨다.

데이터 드라이버(22)는 타이밍 제어부로부터 공급되는 데이터(R,G,B)를 아날로그 신호인 비디오신호로 변환하여 데이터 라인들(DL1 내지 DLm/2)에 공급한다. 여기서, 데이터 드라이버(22)는 1/2프레임 단위로 제1 액정셀(10)에 공급될 비디오신호와 제2 액정셀(12)에 공급될 비디오신호를 교번적으로 공급한다. 한편, 본 발명의 데이터 드라이버(22)는 종래의 액정표시장치에 비하여 데이터라인들(DL1 내지 DLm/2)의 수가 절반으로 감소하였기 때문에 데이터 드라이버(22)에 포함되는 데이터 드라이버 IC의 수도 절반으로 감소한다.

제어신호 공급부(23)는 도 3에 도시된 바와 같이 1/2프레임 단위로 제1 제어신호(CS1) 및 제2 제어신호(CS2)를 제1 및 제2 제어라인(CL1,CL2)으로 교번적으로 공급한다.

예를 들어, 제어신호 공급부(23)는 전반부 1/2프레임 기간동안 제1 제어라인(CL1)으로 제1 제어신호(CS1)를 공급하고, 후반부 1/2프레임 기간동안 제2 제어라인(CL2)으로 제2 제어신호(CS2)를 공급할 수 있다.

그리고, 제어신호 공급부(23)는 전반부 1/2프레임 기간동안 제2 제어라인(CL2)으로 제2 제어신호(CS2)를 공급하고, 후반부 1/2프레임 기간동안 제1 제어라인(CL1)으로 제1 제어신호(CS1)를 공급할 수 있다. 아울러, 본 발명에서는 도 2와 같이 별도의 제어신호 공급부(23)를 설치하지 않고, 타이밍 제어부에서 제1 및 제2 제어신호(CS1,CS2)를 공급할 수 있다.

액정셀들(10,12)로 비디오신호가 공급되는 과정을 상세히 설명하면, 먼저 전반부 1/2프레임 기간동안 제1 제어라인(CL1)으로 제1 제어신호(CS1)가 공급된다. 그러면, 제1 제어라인(CL1)과 접속된 제3 박막 트랜지스터(TFT3)들이 턴-온된다.(이때, 제1 박막 트랜지스터(TFT1)들은 턴-오프 상태를 유지한다)

전반부 1/2프레임 기간동안 게이트라인들(GL1 내지 GLn)로 게이트신호(SP)가 순차적으로 공급된다. 이때, 게이트라인(GL)과 접속되도록 형성되는 제4 박막트랜지스터(TFT4)가 수평라인 단위로 턴온된다. 그리고, 데이터라인들(DL1 내지 DLm/2)로 제2 액정셀(12)로 공급될 비디오신호가 공급된다. 그러면, 데이터라인들(DL1 내지 DLm/2)로 공급된 비디오신호들이 제3 및 제4 박막 트랜지스터(TFT3,TFT4)를 경유하여 제2 액정셀(12)로 공급된다. 따라서, 전반부 1/2프레임 기간동안 도 4a에 도시된 바와 같이 기수번째 수직라인에 위치한 제2 액정셀(12)들이 구동된다. 한편, 게이트신호들(SP)에 의하여 제2 박막 트랜지스터(TFT2)도 순차적으로 턴온되지만, 제1 박막 트랜지스터(TFT1)가 턴오프되기 때문에 비디오신호들은 제1 액정셀(10)로 공급되지 않는다.

이후, 후반부 1/2프레임 기간동안 제2 제어라인(CL2)으로 제2 제어신호(CS2)가 공급된다. 그러면, 제2 제어라인(CL2)과 접속된 제1 박막 트랜지스터(TFT1)들이 턴-온된다.(이때, 제3 박막 트랜지스터(TFT3)들은 턴-오프 된다)

후반부 1/2프레임 기간동안 게이트라인들(GL1 내지 GLn)로 게이트신호(SP)가 순차적으로 공급된다. 이때, 게이트라인(GL)과 접속되도록 형성되는 제2 박막 트랜지스터(TFT2)가 수평라인 단위로 턴온된다. 그리고, 데이터라인들(DL1 내지 DLm/2)로 제1 액정셀(10)로 공급될 비디오신호가 공급된다. 그러면, 데이터라인들(DL1 내지 DLm/2)로 공급된 비디오신호들이 제1 및 제2 박막 트랜지스터(TFT1,TFT2)를 경유하여 제1 액정셀(10)로 공급한다. 따라서, 후반부 1/2프레임 기간동안 도 4b에 도시된 바와 같이 우수번째 수직라인에 위치한 제1 액정셀(10)들이 구동된다. 한편, 게이트신호들(SP)에 의하여 제4 박막 트랜지스터(TFT4)도 순차적으로 턴온되지만, 제3 박막 트랜지스터(TFT3)가 턴오프되기 때문에 비디오신호들은 제2 액정셀(12)로 공급되지 않는다.

즉, 본 발명에서는 제1 제어라인(CL1) 및 제2 제어라인(CL2)으로 1/2프레임 단위로 교번되는 제어신호들(CS1,CS2)을 공급하여 제1 박막 트랜지스터(TFT1)들 또는 제3 박막 트랜지스터(TFT3)들을 교번적으로 턴온시킴으로써 1/2프레임 단위로 제1 액정셀(10) 및 제2 액정셀(12)을 교번적으로 구동시킬 수 있다.

그리고, 본 발명에서는 하나의 데이터라인(DL)을 이용하여 좌/우측에 위치되는 제1 액정셀(10) 및 제2 액정셀(12)로 원하는 비디오신호를 공급하기 때문에 종래에 비하여 데이터라인(DL) 및 데이터 IC를 절반으로 줄일 수 있고, 이에 따라 제조 비용을 저감할 수 있다.

한편, 본 발명에서는 전반부 1/2프레임 기간동안 제2 제어신호(CS2)를 공급함과 아울러 후반부 1/2프레임 기간동안 제1 제어신호(CS1)를 공급할 수 있다. 그러면, 전반부 1/2프레임 기간동안에는 도 4b에 도시된 바와 같이 우수번째 수직라인에 위치한 제1 액정셀(10)들이 구동되고, 후반부 1/2프레임 기간동안 도 4a에 도시된 바와 같이 기수번째 수직라인에 위치한 제2 액정셀들(12)이 구동된다. 즉, 본 발명에서는 제1 및 제2 제어신호(CS1,CS2)의 공급순서를 조절하여 제1 및 제2 액정셀(10,12)의 구동순서를 조절할 수 있다.

도 5는 도 2에 도시된 액정패널의 박막트랜지스터 어레이 기관을 구체적으로 설명하기 위한 평면도이다.

도 5에 도시된 박막 트랜지스터 어레이 기관은 하부 기관(110) 상에 게이트라인(GL)과; 그 게이트라인(GL)을 사이에 두고 양측에 위치하는 제1 및 제2 제어라인(CL1,CL2)과; 게이트라인(GL), 제1 및 제2 제어라인(CL1,CL2)과 교차되게 형성된 데이터 라인(DL)과; 제k 게이트라인(GLk) 및 제i 데이터라인(DLi)의 교차부에 형성된 제1 및 제2 박막트랜지스터(TFT1,TFT2)와; 제k-1 게이트라인(GLk-1) 및 제i+1 데이터라인(DLi+1)의 교차부에 형성된 제3 및 제4 박막트랜지스터(TFT3,TFT4)와; 제2 제어라인(CL2) 및 제i 데이터라인(DLi)의 교차로 마련된 제1 화소영역(105)에 형성된 제1 화소전극(122)과; 제1 제어라인(CL1) 및 제i+1 데이터라인(DLi+1)의 교차로 마련된 제2 화소영역(107)에 형성된 제2 화소전극(124)과; 제1 화소영역(105)에 형성되며 제1 화소전극(122)과 수평전계를 이루는 제1 공통전극(134)과; 제2 화소영역(107)에 형성되며 제2 화소전극(124)과 수평전계를 이루는 제2 공통전극(136)을 구비한다.

또한, 본 발명에 따른 박막트랜지스터 어레이 기관은 화소전극(122,124)과 제어라인(CL)의 중첩부에 형성되고 공통라인과 화소전극의 중첩부에 형성된 스토리지 캐패시터(Cst)를 추가로 구비한다.

게이트라인(GL)은 제2 및 제4 박막트랜지스터(TFT2,TFT4)의 게이트전극에 게이트신호를 공급한다. 즉, 제k 게이트라인(GLk)은 도 6a 및 도 6b에 기재된 바와 같이 제2 박막트랜지스터(TFT1)의 게이트전극(126)에 게이트신호를 공급하고, 제k-1 게이트라인(GLk-1)은 제4 박막트랜지스터(TFT4)의 게이트전극에 게이트신호를 공급한다.

데이터라인(DL)은 제1 및 제3 박막트랜지스터(TFT1,TFT3)의 소스전극 및 제2 및 제4 박막트랜지스터(TFT2,TFT4)를 통해 화소전극(122,124)에 화소신호를 공급한다. 제i 데이터라인(DLi)은 제1 박막트랜지스터(TFT1)의 소스전극(108) 및 제2 박막트랜지스터(TFT2)를 통해 제1 화소전극(122)에 화소신호를 공급하고, 제i+1 데이터라인(DLi+1)은 제3 박막트랜지스터(TFT3)의 소스전극 및 제4 박막트랜지스터(TFT4)를 통해 제2 화소전극(124)에 화소신호를 공급한다.

제어라인(CL1,CL2)은 제1 및 제3 박막트랜지스터(TFT1,TFT3)의 게이트전극에 제어신호를 공급한다. 제1 제어라인(CL1)은 제3 박막트랜지스터(TFT3)의 게이트전극에 제1 제어신호를 공급하고, 제2 제어라인(CL2)은 제1 박막트랜지스터(TFT1)의 게이트전극(106)에 제2 제어신호를 공급한다.

제1 박막트랜지스터(TFT1)는 제2 제어라인(CL2)의 제2 제어신호에 응답하여 제i 데이터라인(DLi)의 화소신호를 제2 박막트랜지스터(TFT2)의 소스전극(104)에 공급한다. 이를 위하여, 제1 박막 트랜지스터(TFT1)는 제2 제어 라인(CL2)에 접속된 게이트 전극(106)과, 제i 데이터라인(DLi)과 접속된 소스전극(108)과, 제2 박막트랜지스터(TFT2)의 소스전극(104)에 접속된 드레인전극(110)을 구비한다.

제2 박막트랜지스터(TFT2)는 제k 게이트 라인(GLk)의 게이트신호에 응답하여 제1 박막트랜지스터(TFT1)의 소스전극(108)에 공급된 화소신호를 제1 화소전극(122)에 공급한다. 제2 박막트랜지스터(TFT2)는 도 6a 및 도 6b에 도시된 바와 같이 제k 게이트라인(GLk)과 접속된 게이트전극(126)과, 제1 박막트랜지스터(TFT1)의 드레인전극(110)에 접속된 소스 전극(104)과, 제1 화소 전극(122)에 접속된 드레인 전극(102)을 구비한다.

제3 박막트랜지스터(TFT3)는 제1 제어라인(CL1)의 제2 제어신호에 응답하여 제i+1 데이터라인(DLi+1)의 화소신호를 제4 박막트랜지스터(TFT4)의 소스전극에 공급한다. 이를 위하여, 제3 박막 트랜지스터(TFT3)는 제1 제어 라인(CL1)에 접속된 게이트 전극과, 제i+1 데이터라인(DLi+1)과 접속된 소스전극과, 제4 박막트랜지스터(TFT4)의 소스전극에 접속된 드레인전극을 구비한다.

제4 박막트랜지스터(TFT4)는 제k-1 게이트 라인(GLk-1)의 게이트신호에 응답하여 제3 박막트랜지스터(TFT3)의 소스 전극에 공급된 화소신호를 제2 화소전극(124)에 공급한다. 이를 위하여, 제4 박막트랜지스터(TFT4)는 제k-1 게이트라인(GLk-1)과 접속된 게이트전극과, 제3 박막트랜지스터(TFT3)의 드레인전극에 접속된 소스 전극과, 제2 화소 전극(124)에 접속된 드레인 전극을 구비한다.

또한, 제1 내지 제4 박막 트랜지스터(TFT1 내지 TFT4)는 게이트 전극과 게이트 절연막(112)을 사이에 두고 중첩되면서 소스 전극(108,104)과 드레인 전극(110,106) 사이에 채널을 형성하는 활성층(114)과, 소스 전극(108,104) 및 드레인 전극(110,106)과 오믹 접촉을 위한 오믹 접촉층(116)이 더 형성된다.

한편, 제1 및 제2 제어라인(CL1,CL2)과 접속되는 제1 및 제3 박막트랜지스터(TFT1,TFT3)는 제2 및 제4 박막트랜지스터(TFT2,TFT4)에 비해 온 전류(on-current)가 커야 한다.

이를 상세히 설명하면, 본 발명에 따른 액정표시장치는 데이터 라인 및 데이터 드라이브 IC 수를 줄이기 위해 한 프레임 기간을 전반부 1/2 프레임 기간과 후반부 1/2 프레임기간으로 나누어 구동한다. 즉, 본 발명에서는 제1 제어라인(CL1) 및 제2 제어라인(CL2)으로 1/2프레임 단위로 교번되는 제어신호들(CS1,CS2)을 공급하여 제1 박막 트랜지스터(TFT1)들 또는 제3 박막 트랜지스터(TFT3)들을 교번적으로 턴온시킴으로써 1/2프레임 단위로 제1 액정셀(10) 및 제2 액정셀(12)을 교번적으로 구동시킨다.

이 때, 종래에는 한 프레임기간동안 게이트라인들에 게이트신호를 순차적으로 공급하는 반면에 본 발명은 종래보다 짧은 각 1/2 프레임기간 동안 게이트라인들에 게이트신호를 순차적으로 공급한다.

이에 따라, 종래보다 짧은 시간에 데이터라인으로부터의 데이터신호를 액정셀에 충전시키기 위해서는 데이터라인(DL) 및 제어라인(CL)과 접속된 제1 및 제3 박막트랜지스터(TFT1,TFT3)의 온 전류를 제2 및 제4 박막트랜지스터(TFT2,TFT4)의 온 전류보다 크게 형성한다. 제1 및 제3 박막트랜지스터(TFT1,TFT3)의 온 전류를 크게 형성하기 위해

서는 제1 및 제3 박막트랜지스터(TFT1,TFT3)의 채널 폭/ 채널 길이 값을 제2 및 제4 박막트랜지스터(TFT1,TFT3)의 그것보다 크게 한다. 예를 들어, 액정표시패널의 크기가 15인치인 경우 제1 및 제3 박막트랜지스터(TFT1,TFT3)의 채널 폭은 약 60 $\mu$ m 이상이다.

제1 및 제3 박막트랜지스터(TFT1,TFT3)의 채널 폭이 증가함에 따라 제1 및 제3 박막트랜지스터(TFT1,TFT3)의 게이트전극과 소스전극 사이의 기생캐패시터의 용량값이 증가하므로 그에 비례하여 피드 쓰로우 전압도 증가한다. 이를 줄이기 위해, 제1 및 제3 박막트랜지스터(TFT1,TFT3) 중 적어도 어느 하나의 소스전극(108)은 적어도 두 개의 개구부를 가지도록 "W"자 형태로 형성된다. 제1 및 제3 박막트랜지스터(TFT1,TFT3) 중 적어도 어느 하나의 소스전극(108)은 데이터라인(DL)에서 그 데이터라인(DL)과 수직방향으로 돌출된 제1 소스패턴(108a)과, 제1 소스패턴(108a)에서 그 제1 소스패턴(108a)과 수직방향으로 돌출되며 소정간격으로 이격되어 제1 및 제2 개구부(170a,170b)를 마련하는 제2 내지 제4 소스패턴(108b,108c,108d)을 포함한다.

제1 및 제3 박막트랜지스터(TFT1,TFT3) 중 적어도 어느 하나의 드레인전극(110)은 적어도 하나의 개구부를 가지도록 "U"자 형태로 형성된다. 이를 위해, 제1 및 제3 박막트랜지스터(TFT1,TFT3) 중 적어도 어느 하나의 드레인전극(110)은 제1 드레인패턴(110a)과, 제1 드레인패턴(110a)에서 수직방향으로 돌출되며 소정간격으로 이격되어 제3 개구부(170c)를 마련하는 제2 및 제3 드레인패턴(110b,110c)을 포함한다. 여기서, 제2 드레인패턴(110b)은 제1 개구부(170a)에서 소스전극(108)과 소정간격으로 이격되며, 제3 드레인패턴(110c)은 제2 개구부(170b)에서 소스전극(108)과 소정간격으로 이격되어 형성되며, 제3 소스패턴(108c)은 제3 개구부(170c)에서 드레인전극(110)과 소정간격으로 이격되어 형성된다.

제1 및 제3 박막트랜지스터(TFT1,TFT3)의 소스 및 드레인전극(108,110)과 게이트절연막(112) 사이에 형성되는 반도체패턴은 활성층(114)과, 그 활성층(114) 상에 소스 및 드레인전극(108,110)을 따라 형성되어 "W"자 형태의 홀을 가지는 오믹접촉층(116)을 포함한다.

제2 및 제4 박막트랜지스터(TFT2,TFT4) 중 적어도 어느 하나의 소스전극(104)은 적어도 하나의 개구부를 가지도록 "U"자 형태로 형성된다. 이를 위해, 제2 및 제4 박막트랜지스터(TFT2,TFT4) 중 적어도 어느 하나의 소스전극(104)은 제1 및 제3 박막트랜지스터의 드레인전극과 접속된 제1 소스패턴(104a)과, 제1 소스패턴(104a)에서 돌출되며 소정간격으로 이격되어 개구부(180)를 마련하는 제2 및 제3 소스패턴(104b,104c)을 포함한다.

제2 및 제4 박막트랜지스터(TFT2,TFT4) 중 적어도 어느 하나의 드레인전극(102) 개구부에 삽입되어 소스전극과 대향하는 제1 드레인패턴(102a)과, 제1 드레인패턴(102a)보다 폭이 넓으며 화소전극과 접속되는 제2 드레인패턴(102b)을 포함한다.

제2 및 제4 박막트랜지스터(TFT2,TFT4)의 소스 및 드레인전극(104,102)과 게이트절연막(112) 사이에 형성되는 반도체패턴은 활성층(114)과, 그 활성층(114) 상에 소스 및 드레인전극(108,110)을 따라 형성되어 "U"자 형태의 홀을 가지는 오믹접촉층(116)을 포함한다.

이와 같이, 제1 및 제2 제어라인(CL1,CL2)과 접속되는 제1 및 제3 박막트랜지스터(TFT1,TFT3)의 채널의 길이는 도 6a 및 도 6b에 도시된 바와 같이 게이트라인(GL)과 접속되는 제2 및 제4 박막트랜지스터(TFT2,TFT4)의 채널의 길이보다 크게 형성된다.

제1 화소 전극(122)은 제2 박막트랜지스터(TFT2)의 드레인전극(102)과 콘택홀(120)을 통해 접속되어 제1 화소영역(105)에 형성된다. 특히, 제1 화소 전극(122)은 제2 제어라인(CL2)과 중첩되는 제1 수평부(122a)와, 제1 제어라인(CL1)과 중첩되는 제2 수평부(122b)와, 공통라인(130)과 중첩되는 제3 수평부(122c)와; 제1 및 제3 수평부(122a,122c)와 제2 및 제3 수평부(122b,122c) 사이에 형성된 핑거부(122d)를 구비한다.

제2 화소전극(124)은 제4 박막트랜지스터(TFT4)의 드레인전극과 콘택홀을 통해 접속되어 제2 화소영역(107)에 형성된다. 특히, 제2 화소 전극(124)은 제1 제어라인(CL1)과 중첩되는 제1 수평부(124a)와, 제2 제어라인(CL2)과 중첩되는 제2 수평부(124b)와, 공통라인(130)과 중첩되는 제3 수평부(124c)와; 제1 및 제3 수평부(124a,124c)와 제2 및 제3 수평부(124b,124c) 사이에 형성된 핑거부(124d)를 구비한다.

제1 공통 전극(134)은 공통 라인(130)과 접속되어 제1 화소 영역(105)에 형성된다. 특히, 제1 공통 전극(134)은 제1 화소영역(105)에서 제1 화소 전극(122)과 나란하게 형성된다. 제1 공통 전극(134) 중 제i 데이터라인(DLi)과 인접한 제1 공통 전극(134)은 다른 제1 공통전극(134)보다 폭이 넓게 형성된다. 이는 제i 데이터라인(DLi)과 화소전극(122) 사이의 기생캐패시터(Cdp)에 의한 화소전압의 변동을 방지하기 위함이다.

제2 공통 전극(136)은 공통 라인(130)과 접속되어 제2 화소 영역(107)에 형성된다. 특히, 제2 공통 전극(136)은 제2 화소 영역(107)에서 제2 화소 전극(124)과 나란하게 형성된다. 제2 공통 전극(136) 중 제 $i+1$  데이터라인(DLi+ 1)과 인접한 제2 공통전극(136)은 다른 제2 공통전극(136)보다 폭이 넓게 형성된다. 이는 제 $i+1$  데이터라인(DLi+ 1)과 화소전극(124) 사이의 기생캐패시터(Cdp)에 의한 화소전압의 변동을 방지하기 위함이다.

이에 따라, 화소 신호가 공급된 화소 전극(122,124)과 공통 라인(130)을 통해 기준 전압이 공급된 공통 전극(134,136) 사이에는 수평 전계가 형성된다. 이러한 수평 전계에 의해 박막 트랜지스터 어레이 기판과 칼라 필터 어레이 기판 사이에서 수평 방향으로 배열된 액정 분자들이 유전 이방성에 의해 회전하게 된다. 액정 분자들의 회전 정도에 따라 화소 영역을 투과하는 광 투과율이 달라지게 됨으로써 화상을 구현하게 된다.

스토리지 캐패시터는 화소 전극(122,124)에 충전된 화소 신호가 다음 화소 신호가 충전될 때까지 안정적으로 유지되게 한다. 이를 위해, 스토리지 캐패시터는 제1 내지 제3 스토리지캐패시터(Cst1 내지 Cst3)를 포함한다.

제1 스토리지캐패시터(Cst1)는 도 7에 도시된 바와 같이 제2 제어라인(CL2)과, 그 제2 제어라인(CL2)과 게이트절연막(112)을 사이에 두고 중첩됨과 아울러 화소전극의 제1 수평부(122a)와 제1 콘택홀(120)을 통해 접촉되는 제2 박막트랜지스터(TFT2)의 드레인전극(102)으로 구성된다.

제2 스토리지캐패시터(Cst2)는 제1 제어라인(CL1)과, 그 제1 제어라인(CL1)과 게이트절연막(112)을 사이에 두고 중첩됨과 아울러 화소전극의 제2 수평부(122b)와 제2 콘택홀(150)을 통해 접촉되는 제1 스토리지전극(152)으로 구성된다.

제3 스토리지캐패시터(Cst3)는 공통라인(130)과, 그 공통라인(130)과 게이트절연막(112)을 사이에 두고 중첩됨과 아울러 화소전극의 제3 수평부(122c)와 제3 콘택홀(156)을 통해 접촉되는 제2 스토리지전극(154)으로 구성된다.

제1 스토리지캐패시터(Cst1)와 제2 스토리지캐패시터(Cst2)는 서로 동일한 용량을 가지도록 형성된다. 이에 따라, 제1 및 제2 스토리지캐패시터(Cst1,Cst2) 중 어느 하나만 형성된 경우 발생하는 제1 및 제2 제어신호(CS1,CS2)의 변동에 따른 커플링을 상쇄시킬 수 있다. 또한, 제1 및 제2 스토리지캐패시터(Cst1,Cst2)는 제1 및 제2 제어라인(CL1,CL2)을 이용하여 형성되므로 제1 및 제2 제어라인(CL1,CL2)에 의한 개구율감소를 최소화할 수 있다.

도 8a 내지 도 12b는 본 발명에 따른 박막트랜지스터 어레이 기판의 제조방법을 나타내는 평면도 및 단면도이다.

도 8a 및 도 8b를 참조하면, 하부 기판(101) 상에 게이트전극(106,126), 게이트 라인(GLk-1, GLk), 공통라인(130), 제1 및 제2 공통전극(134,136), 제1 및 제2 제어라인(CL1,CL2)을 포함하는 제1 도전패턴군이 형성된다.

이를 상세히 설명하면, 하부 기판(101) 상에 스퍼터링 방법 등의 증착 방법을 통해 게이트금속층이 형성된다. 여기서, 게이트금속층은 알루미늄(Al)계 금속, 구리(Cu), 크롬(Cr), 몰리브덴 등으로 형성된다. 이 게이트금속층이 포토리소그래피공정과 식각공정에 의해 패터닝됨으로써 게이트전극(106,126), 게이트 라인(GLk-1, GLk), 공통라인(130), 제1 및 제2 공통전극(134,136), 제1 및 제2 제어라인(CL1,CL2)을 포함하는 제1 도전패턴군을 포함하는 제1 도전패턴군이 형성된다.

도 9a 및 도 9b를 참조하면, 제1 도전패턴군이 형성된 하부 기판(101) 상에 게이트 절연막(112)이 형성된다. 그리고, 게이트 절연막(112) 위에 활성층(114) 및 오믹 접촉층(116)을 포함하는 반도체 패턴이 형성된다.

이를 상세히 설명하면, 제1 도전 패턴군이 형성된 하부 기판(101) 상에 PECVD, 스퍼터링 등의 증착 방법을 통해 게이트 절연막(112), 제1 및 제2 반도체층이 순차적으로 형성된다. 여기서, 게이트 절연막(112)의 재료로는 산화 실리콘(SiOx) 또는 질화 실리콘(SiNx) 등의 무기 절연물질이 이용되거나; BCB(Benzocyclobutene), 아크릴(Acryl)계 수지, PFCB(Perfluorocyclobutane)와 같은 유기절연물질이 이용된다. 제1 반도체층은 불순물이 도핑되지 않은 비정질실리콘이 이용되며, 제2 반도체층은 N형 또는 P형의 불순물이 도핑된 비정질실리콘이 이용된다. 그런 다음, 제1 및 제2 반도체층이 포토리소그래피공정과 식각공정에 의해 패터닝됨으로써 활성층(114)과 오믹접촉층(116)을 포함하는 반도체패턴이 형성된다.

도 10a 및 도 10b를 참조하면, 반도체패턴이 형성된 게이트절연막(112) 상에 제1 내지 제4 박막트랜지스터(TFT1 내지 TFT4)의 소스전극(108,104), 제1 내지 제4 박막트랜지스터의 드레인전극(110,106) 및 데이터라인(DLi,DLi+ 1)을 포함하는 제2 도전 패턴군이 형성된다.

이를 위해, 반도체패턴이 형성된 게이트절연막(112) 상에 스퍼터링 등의 증착 방법을 통해 데이터 금속층이 순차적으로 형성된다. 여기서, 데이터 금속층으로는 구리(Cu), 몰리브덴(Mo), 티타늄(Ti), 탄탈륨(Ta), 몰리브덴 합금(Mo alloy) 등이 이용된다. 이 데이터 금속층이 포토리소그래피공정과 식각공정에 의해 패터닝됨으로써 제1 내지 제4 박막트랜지스터(TFT1 내지 TFT4)의 소스전극(108,104), 제1 내지 제4 박막트랜지스터(TFT1 내지 TFT4)의 드레인전극(110,106) 및 데이터라인(DLi,DLi+ 1)을 포함하는 제2 도전 패턴군이 형성된다.

그런 다음, 제1 내지 제4 소스전극(108,104) 및 제1 내지 제4 드레인전극(110,106)을 마스크로 이용하여 소스 및 드레인 전극(108,104,110,106)에 의해 노출된 채널부의 오믹접촉층(116)이 건식식각됨으로써 채널부의 활성층(114)이 노출된다. 이 때, 제1 및 제3 박막트랜지스터(TFT1,TFT3)의 채널부의 활성층은 W자 형태로 노출되며, 제2 및 제4 박막트랜지스터(TFT2,TFT4)의 채널부의 활성층은 U자 형태로 노출된다.

도 11a 및 도 11b를 참조하면, 제2 도전 패턴군이 형성된 게이트 절연막(112) 상에 콘택홀(120)을 포함하는 보호막(118)이 형성된다.

이를 위해, 제2 도전 패턴군이 형성된 게이트 절연막(112) 상에 PECVD 등의 증착 방법으로 보호막(118)이 전면 형성된다. 여기서, 보호막(118)은 게이트 절연막(112)과 같은 무기 절연 물질이나 유전상수가 작은 아크릴(acryl)계 유기 화합물, (Benzocyclobutene), 또는 PFCB(Perfluorocyclobutane) 등과 같은 유기 절연 물질이 이용된다.

이 보호막(118)이 포토리소그래피 공정과 식각 공정으로 패터닝됨으로써 콘택홀(120)이 형성된다. 콘택홀(120)은 보호막(118)을 관통하여 제2 및 제4 박막트랜지스터(TFT2,TFT4)의 드레인 전극(110)을 노출시킨다.

도 12a 및 도 12b를 참조하면, 보호막(118) 상에 제1 및 제2 화소 전극(122,124)을 포함하는 제3 도전 패턴군이 형성된다.

이를 위해, 보호막(118) 상에 스퍼터링 등의 증착 방법으로 투명 도전막이 도포된다. 여기서, 투명 도전막의 재료로는 인듐틴 옥사이드(Indium Tin Oxide : ITO), 틴 옥사이드(Tin Oxide : TO), 인듐 징크 옥사이드(Indium Zinc Oxide : IZO) 또는 인듐 틴 징크 옥사이드(Indium Tin Zinc Oxide : ITZO) 등이 이용된다. 이 투명도전막이 포토리소그래피 공정과 식각 공정을 통해 패터닝됨으로써 제1 및 제2 화소 전극(122,124)을 포함하는 제3 도전 패턴군이 형성된다. 제1 화소 전극(122)은 콘택홀(120)을 통해 제2 박막트랜지스터(TFT2)의 드레인 전극(106)과 전기적으로 접속되고, 제2 화소전극(124)은 콘택홀을 통해 제4 박막트랜지스터(TFT4)의 드레인전극과 전기적으로 접속된다.

도 13은 본 발명의 다른 실시 예에 따른 액정표시패널의 박막트랜지스터 어레이 기판을 나타내는 평면도이다.

도 13에 도시된 제2 및 제4 박막트랜지스터 채널의 폭은 도 5에 도시된 제2 및 제4 박막트랜지스터의 채널 폭보다 크게 형성되는 것을 제외하고는 동일한 구성요소를 구비한다. 이에 따라, 동일한 구성요소에 대한 상세한 설명은 생략하기로 한다.

도 13에 도시된 제2 및 제4 박막트랜지스터(TFT2,TFT4)는 제1 및 제3 박막트랜지스터(TFT1,TFT3)와 동일한 턴 온 전류를 갖도록 형성한다. 이는 액정표시패널의 크기가 증가함에 따라 제2 및 제4 박막트랜지스터(TFT2,TFT4)의 크기가 증가하게 되어 그에 비례하여 기생용량값도 증가하게 되므로 피드 쓰로우 전압이 증가한다. 이에 따라, 제2 및 제4 박막트랜지스터(TFT2,TFT4)는 제1 및 제3 박막트랜지스터(TFT1,TFT3)와 동일하게 그들 중 적어도 어느 하나의 소스전극(204)이 적어도 두 개의 개구부를 가지도록 "W"자 형태로 형성한다. 제2 및 제4 박막트랜지스터(TFT2,TFT4) 중 적어도 어느 하나의 소스전극(204)은 도 14에 도시된 바와 같이 제1 및 제3 박막트랜지스터(TFT1,TFT3)의 드레인전극에서 수직방향으로 돌출된 제1 소스패턴(204a)과, 제1 소스패턴(204a)에서 그 제1 소스패턴(204a)과 수직방향으로 돌출되며 소정간격으로 이격되어 제1 및 제2 개구부(290a,290b)를 마련하는 제2 내지 제4 소스패턴(204b,204c,204d)을 포함한다.

제2 및 제4 박막트랜지스터(TFT2,TFT4) 중 적어도 어느 하나의 드레인전극(202)은 적어도 하나의 개구부를 가지도록 "U"자 형태로 형성된다. 이를 위해, 제2 및 제4 박막트랜지스터(TFT2,TFT4) 중 적어도 어느 하나의 드레인전극(202)은 소스전극과 채널을 사이에 두고 마주보는 제1 드레인패턴(202a)과, 제1 드레인패턴(202a) 및 화소전극과 접속되는 제2 드레인 패턴(202b)을 포함한다. 제1 드레인패턴(202b)은 제1 개구부(290a) 내지 제3 개구부(290c)를 사이에 두고 소스 전극(204)과 마주보도록 형성된다. 제2 및 제4 박막트랜지스터(TFT2,TFT4)의 소스 및 드레인전극(104,102)과 게이트절연막(112) 사이에 형성되는 반도체패턴은 활성층(214)과, 그 활성층(214) 상에 소스 및 드레인전극(208,210)을 따라 형성되어 "W"자 형태의 홀을 가지는 오믹접촉층(216)을 포함한다.

이와 같이, 제1 및 제2 제어라인(CL1,CL2)과 접속되는 제1 및 제3 박막트랜지스터(TFT1,TFT3)의 채널의 폭은 도 14에 도시된 바와 같이 게이트라인(GL)과 접속되는 제2 및 제4 박막트랜지스터(TFT2,TFT4)의 채널의 폭 이상으로 형성된다.

스토리지 캐패시터는 화소 전극(222,224)에 충전된 화소 신호가 다음 화소 신호가 충전될 때까지 안정적으로 유지되게 한다. 이를 위해, 스토리지 캐패시터는 제1 내지 제3 스토리지캐패시터(Cst1 내지 Cst3)를 포함한다.

제1 스토리지캐패시터(Cst1)는 도 15에 도시된 바와 같이 제2 제어라인(CL2)과, 그 제2 제어라인(CL2)과 게이트절연막(212)을 사이에 두고 중첩됨과 아울러 화소전극의 제1 수평부(222a)와 제1 콘택홀(220)을 통해 접속되는 제2 박막트랜지스터(TFT2)의 드레인전극(202)으로 구성된다.

제2 스토리지캐패시터(Cst2)는 제1 제어라인(CL1)과, 그 제1 제어라인(CL1)과 게이트절연막(212) 및 보호막(218)을 사이에 두고 중첩되는 화소전극의 제2 수평부(222b)로 구성된다.

제3 스토리지캐패시터(Cst3)는 공통라인(230)과, 그 공통라인(230)과 게이트절연막(212) 및 보호막(218)을 사이에 두고 중첩되는 화소전극의 제3 수평부(222c)로 구성된다.

제1 스토리지캐패시터(Cst1)와 제2 스토리지캐패시터(Cst2)는 서로 동일한 용량을 가지도록 형성된다. 이에 따라, 제1 및 제2 스토리지캐패시터(Cst1,Cst2) 중 어느 하나만 형성된 경우 발생하는 제1 및 제2 제어신호(CS1,CS2)의 변동에 따른 커플링을 상쇄시킬 수 있다. 또한, 제1 및 제2 스토리지캐패시터(Cst1,Cst2)는 제1 및 제2 제어라인(CL1,CL2)을 이용하여 형성되므로 제1 및 제2 제어라인(CL1,CL2)에 의한 개구율감소를 최소화할 수 있다.

한편, 본 발명의 제1 및 제2 실시 예에 다른 박막트랜지스터 어레이 기판의 제조방법은 하프턴 마스크 또는 회절마스크를 포함하는 부분 노광 마스크를 이용하여 마스크공정수를 줄일 수 있다. 예를 들어, 반도체패턴과 제2 도전패턴군을 부분 노광 마스크를 이용하여 동시에 형성할 수 있다.

### 발명의 효과

상술한 바와 같이, 본 발명에 따른 액정표시패널 및 그 제조방법은 제1 및 제3 박막트랜지스터 채널 폭을 제2 및 제4 박막트랜지스터 채널 폭 이상으로 형성한다. 이 경우, 제1 및 제3 채널을 "W"자 형태로 형성하여 채널이 스트라이프 형태인 경우에 비해 게이트전극과 소스전극의 중첩면적이 줄어든다. 이에 따라, 게이트전극과 소스전극 사이의 기생캐패시터의 용량값이 줄어들어 피드 쓰로우 전압이 감소하므로 수직 크로스토크를 포함하는 화질저하를 방지할 수 있다.

또한, 본 발명에 따른 액정표시패널은 1/2프레임 단위로 기수번째 수직라인들에 위치한 액정셀 및 우수번째 수직라인들에 위치한 액정셀을 교번적으로 구동시킨다. 여기서, 하나의 데이터라인이 좌/우에 인접되게 위치한 액정셀들을 구동시키기 때문에 데이터라인의 수가 절반정도로 감소되게 된다. 따라서, 데이터라인에 구동신호를 공급하는 데이터 드라이버의 수도 절반으로 감소되고, 이에 따라 제조비용을 절감할 수 있다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

### (57) 청구의 범위

#### 청구항 1.

기판 상에 형성된 게이트라인과;

상기 게이트라인들과 나란한 방향으로 형성되는 제1 및 제2 제어라인과,

상기 게이트라인과 교차하여 제1 및 제2 화소영역을 정의하는 제1 및 제2 데이터라인과;

상기 제1 및 제2 화소영역 각각에 형성되는 제1 및 제2 화소전극과;

상기 제2 제어라인 및 게이트라인의 제어에 의하여 상기 제1 데이터라인으로 공급되는 화소신호를 상기 제1 화소전극으로 공급하는 적어도 두 개의 박막트랜지스터를 가지는 제1 스위칭부와;

상기 제1 제어라인 및 게이트라인의 제어에 의하여 상기 제2 데이터라인으로 공급되는 화소신호를 상기 제2 화소전극으로 공급하는 적어도 두 개의 박막트랜지스터를 가지는 제2 스위칭부를 구비하며,

상기 제1 및 제2 스위칭부 각각의 상기 적어도 두 개의 박막트랜지스터 중 어느 하나의 박막트랜지스터의 턴 온 전류값은 나머지 박막트랜지스터의 턴 온 전류값 이상으로 형성되는 것을 특징으로 하는 액정표시패널.

## 청구항 2.

제 1 항에 있어서,

상기 제1 스위칭부는

상기 제2 제어라인으로 제어신호가 공급될 때 턴온되어 상기 화소신호를 공급받는 상기 제1 박막트랜지스터와;

상기 게이트라인에 접속되어 상기 게이트신호가 공급될 때 턴온되어 상기 화소신호를 상기 제1 화소전극으로 공급하기 위한 제2 박막 트랜지스터를 포함하며,

상기 제1 박막트랜지스터의 채널폭은 상기 제2 박막트랜지스터의 채널 폭 이상인 것을 특징으로 하는 액정표시패널.

## 청구항 3.

제 2 항에 있어서,

상기 제1 박막트랜지스터는 상기 제2 제어라인과 접속된 게이트전극, 상기 제1 데이터라인과 접속되며 적어도 3개의 돌출부를 가지는 소스전극과, 상기 제2 박막트랜지스터의 소스전극과 접속된 적어도 두개의 돌출부를 가지는 드레인전극과, 소스 및 드레인전극 사이에 제1 폭의 채널을 가지는 반도체패턴을 포함하며,

상기 제2 박막트랜지스터는 상기 게이트라인과 접속된 게이트전극, 상기 제1 박막트랜지스터의 드레인전극과 접속되며 적어도 2개의 돌출부를 가지는 소스전극, 상기 제1 화소전극과 접속되며 적어도 1개의 돌출부를 가지는 드레인전극과, 소스 및 드레인전극 사이에 제1 폭 이하의 제2 폭의 채널을 가지는 반도체패턴을 포함하는 것을 특징으로 하는 액정표시패널.

## 청구항 4.

제 1 항에 있어서,

상기 제2 스위칭부는

상기 제1 제어라인으로 제어신호가 공급될 때 턴온되어 상기 화소신호를 공급받는 제3 박막트랜지스터와,

상기 게이트라인에 접속되어 상기 게이트신호가 공급될 때 턴온되어 상기 화소신호를 상기 제2 화소전극으로 공급하기 위한 제4 박막 트랜지스터를 구비하며,

상기 제3 박막트랜지스터의 채널폭은 상기 제4 박막트랜지스터의 채널 폭 이상인 것을 특징으로 하는 액정표시패널.

## 청구항 5.

제 4 항에 있어서,

상기 제3 박막트랜지스터는 상기 제1 제어라인과 접속된 게이트전극, 상기 제2 데이터라인과 접속되며 적어도 3개의 돌출부를 가지는 소스전극과, 상기 제4 박막트랜지스터의 소스전극과 접속된 적어도 두개의 돌출부를 가지는 드레인전극과, 소스 및 드레인전극 사이에 제1 폭의 채널을 가지는 반도체패턴을 포함하며,

상기 제4 박막트랜지스터는 상기 게이트라인과 접속된 게이트전극, 상기 제3 박막트랜지스터의 드레인전극과 접속되며 적어도 2개의 돌출부를 가지는 소스전극, 상기 제2 화소전극과 접속되며 적어도 1개의 돌출부를 가지는 드레인전극과, 소스 및 드레인전극 사이에 제1 폭 이하의 제2 폭의 채널을 가지는 반도체패턴을 포함하는 것을 특징으로 하는 액정표시패널.

## 청구항 6.

제3 항 및 제 5 항 중 어느 한 항에 있어서,

상기 제1 및 제3 박막트랜지스터 중 적어도 어느 하나의 반도체패턴은 활성층과, 그 활성층 상에 소스 및 드레인전극을 따라 "W"자 형태의 홀을 가지는 오믹접촉층을 포함하며,

상기 제2 및 제4 박막트랜지스터 중 적어도 어느 하나의 반도체패턴은 활성층과, 그 활성층 상에 소스 및 드레인전극을 따라 "U" 및 "W" 중 어느 한 형태의 홀을 가지는 오믹접촉층을 포함하는 것을 특징으로 하는 액정표시패널.

## 청구항 7.

제 1 항에 있어서,

상기 제1 화소전극과 수평전계를 이루는 제1 공통전극과;

상기 제2 화소전극과 수평전계를 이루는 제2 공통전극과;

상기 게이트라인과 나란하게 형성되며 상기 제1 및 제2 공통전극에 기준전압을 공급하는 공통라인을 추가로 구비하는 것을 특징으로 하는 액정표시패널.

## 청구항 8.

제 7 항에 있어서,

상기 제1 제어라인과, 그 제1 제어라인과 적어도 한 층의 절연막을 사이에 두고 중첩되는 제1 및 2 화소전극 중 어느 하나로 구성된 제1 스토리지캐패시터와;

상기 제2 제어라인과, 그 제2 제어라인과 적어도 한 층의 절연막을 사이에 두고 중첩되는 제1 및 제2 화소전극 중 어느 하나로 구성되며 제1 스토리지캐패시터와 용량값이 동일한 제2 스토리지캐패시터와;

상기 공통라인과, 그 공통라인과 적어도 한 층의 절연막을 사이에 두고 중첩되는 제1 및 제2 화소전극 중 어느 하나로 구성되는 제3 스토리지캐패시터를 추가로 구비하는 것을 특징으로 하는 액정표시패널.

## 청구항 9.

제 7 항에 있어서,

상기 제1 제어라인과, 그 제1 제어라인과 적어도 한 층의 절연막을 사이에 두고 중첩되는 제1 및 2 화소전극 중 어느 하나와 접속되는 제1 스토리지전극으로 구성된 제1 스토리지캐패시터와;

상기 제2 제어라인과, 그 제2 제어라인과 적어도 한 층의 절연막을 사이에 두고 중첩되는 제1 및 제2 화소전극 중 어느 하나와 접속되는 제2 박막트랜지스터의 드레인전극으로 구성되며 제1 스토리지캐패시터와 용량값이 동일한 제2 스토리지캐패시터와;

상기 공통라인과, 그 공통라인과 적어도 한 층의 절연막을 사이에 두고 중첩되는 제1 및 제2 화소전극 중 어느 하나와 접속되는 제2 스토리지전극으로 구성되는 제3 스토리지캐패시터를 추가로 구비하는 것을 특징으로 하는 액정표시패널.

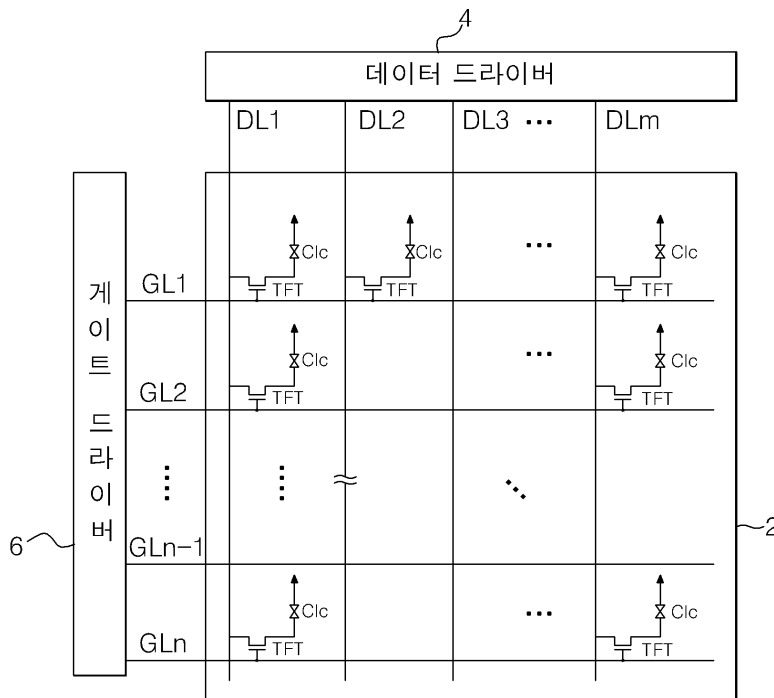
**청구항 10.**

기판 상에 형성된 게이트라인, 상기 게이트라인들과 나란한 방향으로 형성되는 제1 및 제2 제어라인, 상기 게이트라인과 교차하여 제1 및 제2 화소영역을 정의하는 제1 및 제2 데이터라인, 상기 제1 및 제2 화소영역 각각에 형성되는 제1 및 제2 화소전극, 상기 제2 제어라인 및 게이트라인의 제어에 의하여 상기 제1 데이터라인으로 공급되는 화소신호를 상기 제1 화소전극으로 공급하는 적어도 두 개의 박막트랜지스터를 가지는 제1 스위칭부, 상기 제1 제어라인 및 게이트라인의 제어에 의하여 상기 제2 데이터라인으로 공급되는 화소신호를 상기 제2 화소전극으로 공급하는 적어도 두 개의 박막트랜지스터를 가지는 제2 스위칭부를 가지는 액정표시패널의 제조방법에 있어서,

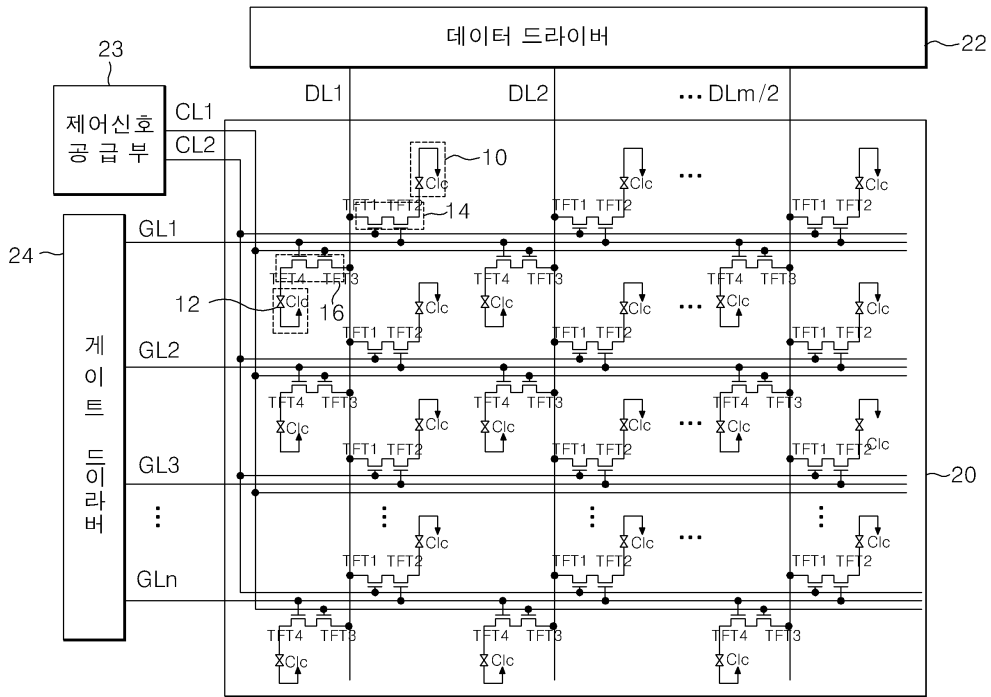
상기 적어도 두 개의 박막트랜지스터 중 어느 하나의 박막트랜지스터의 채널 폭은 나머지 박막트랜지스터의 채널 폭 이상으로 형성되는 것을 특징으로 하는 액정표시패널의 제조방법.

**도면**

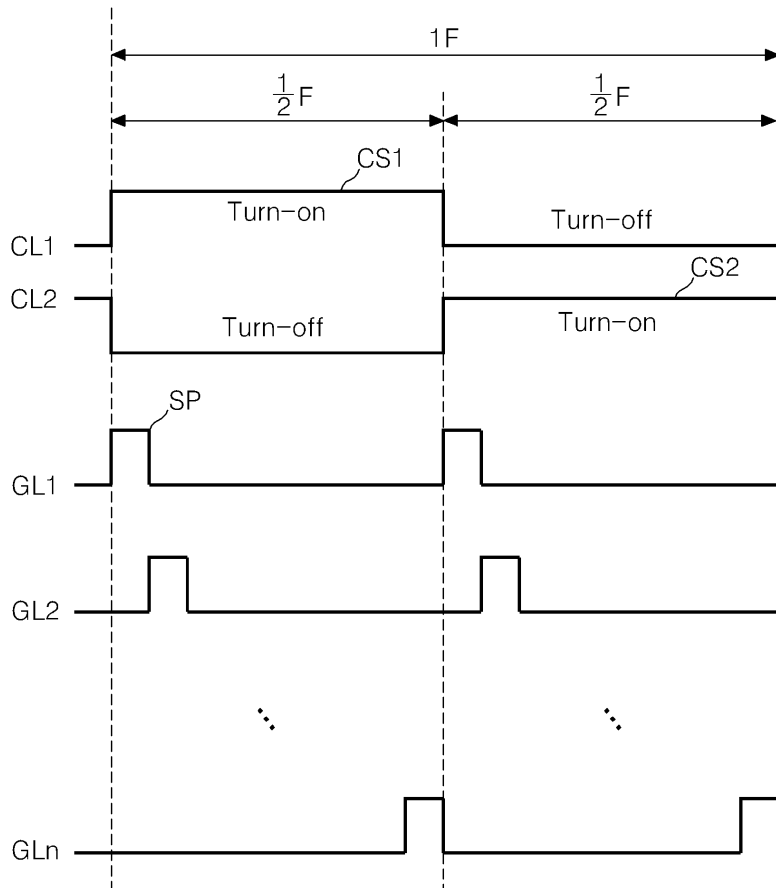
도면1



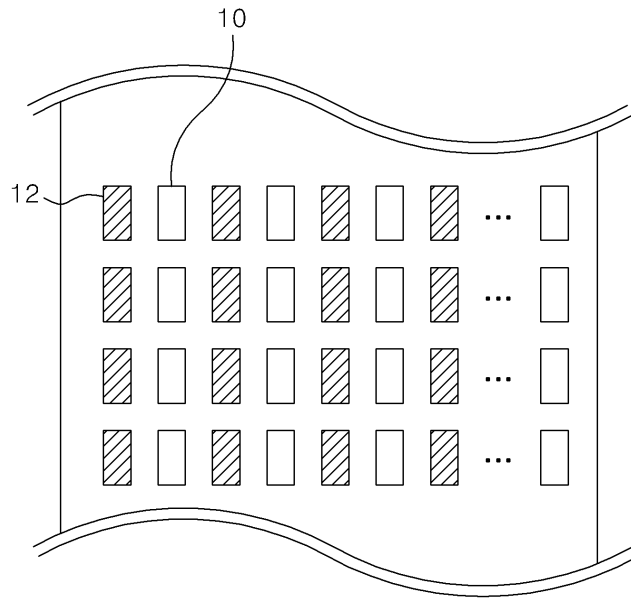
도면2



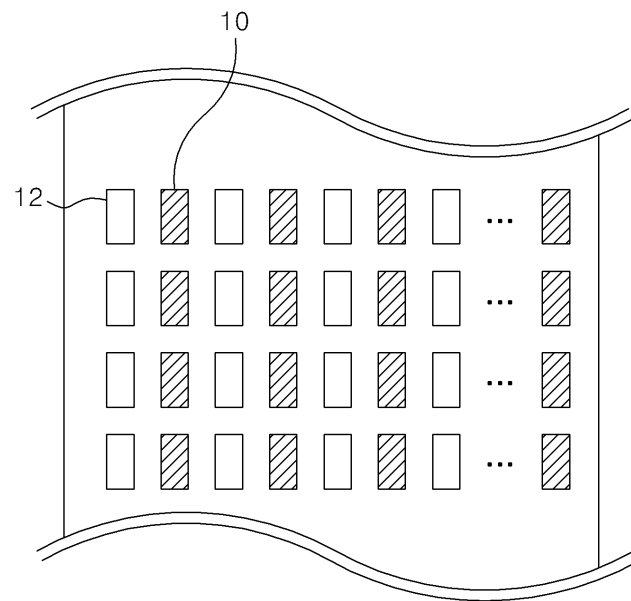
도면3



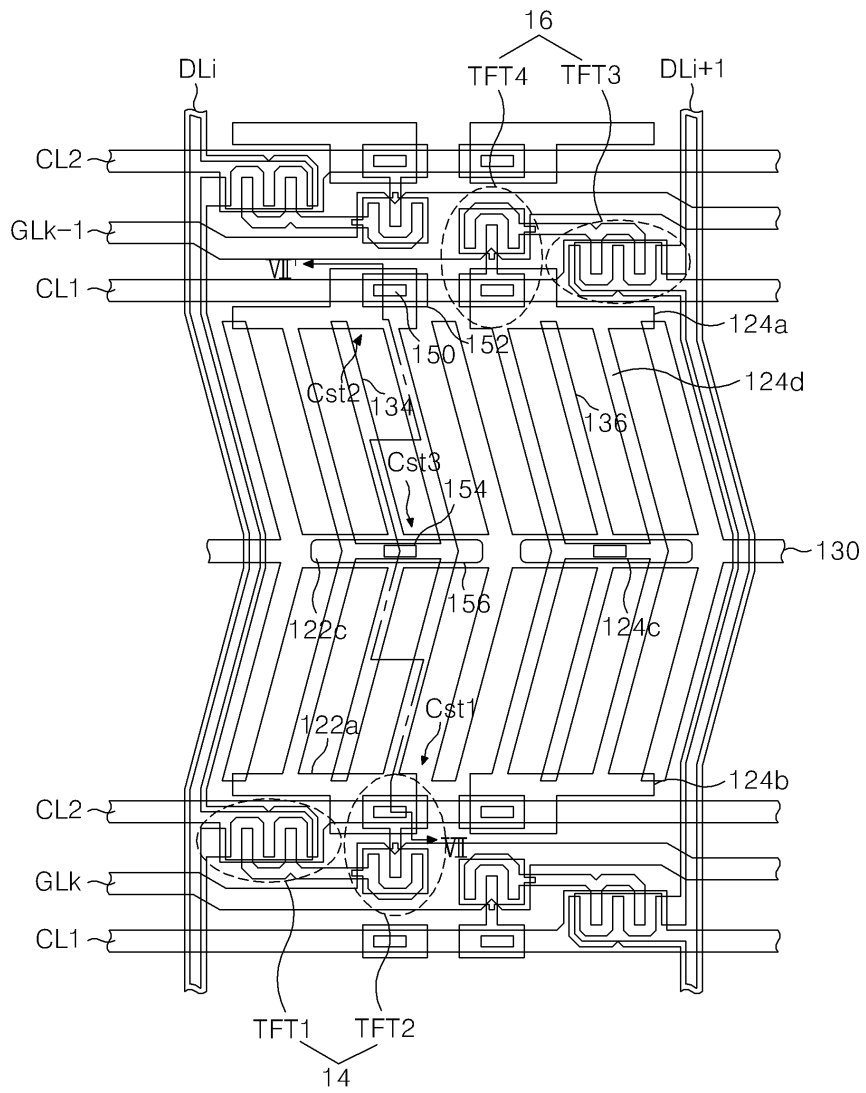
도면4a



도면4b

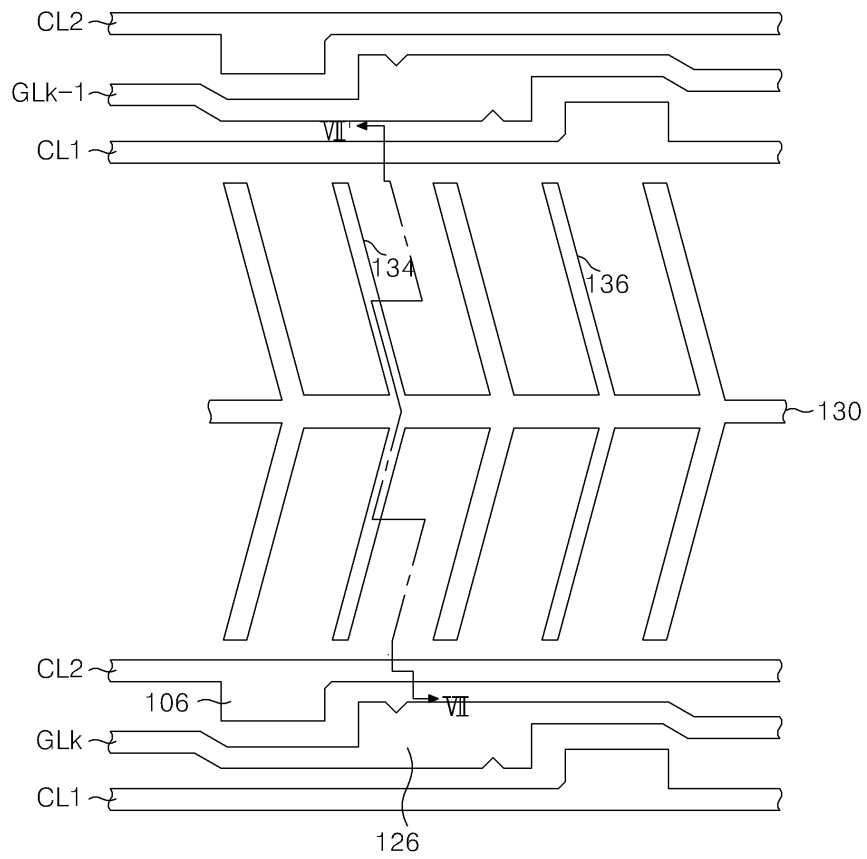


도면5

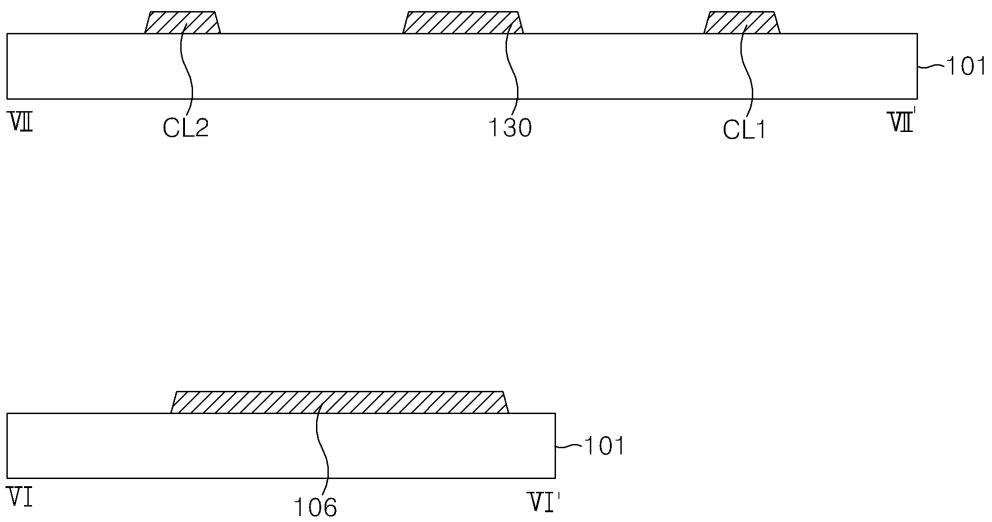




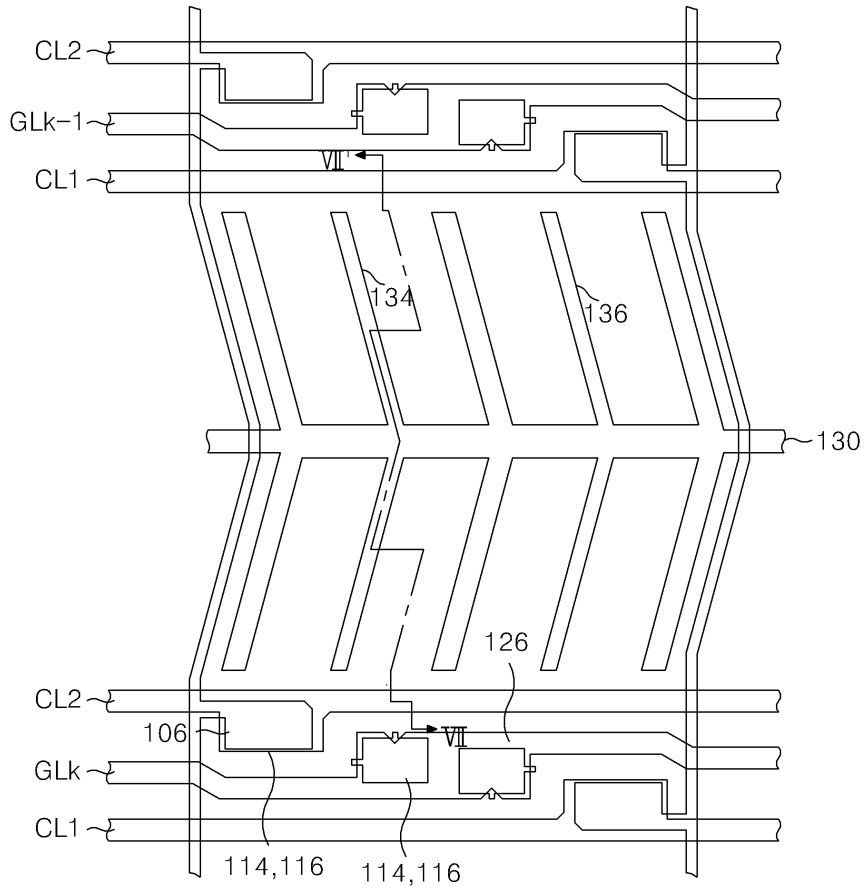
도면8a



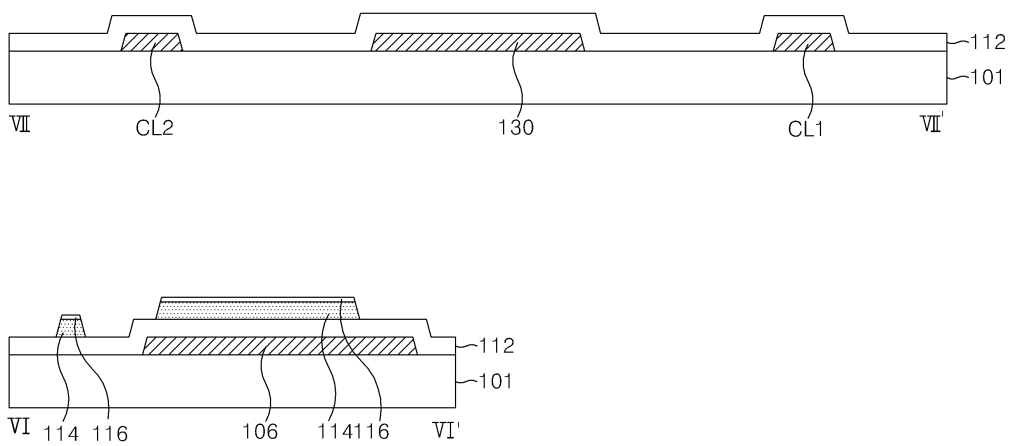
도면8b



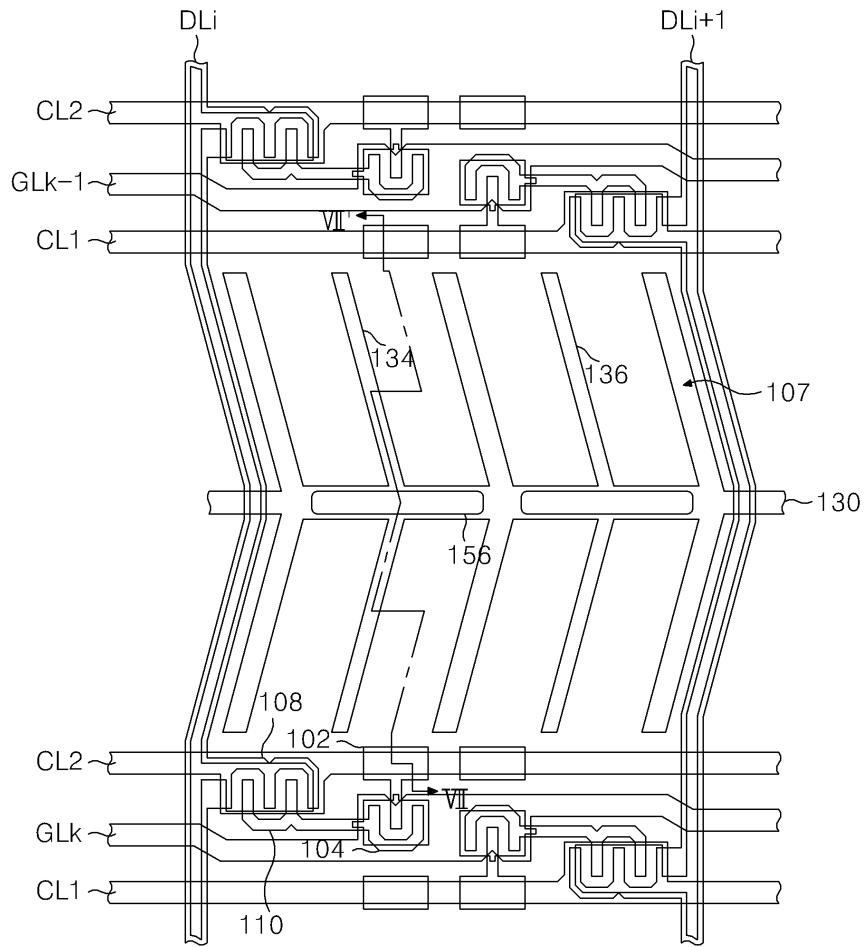
도면9a



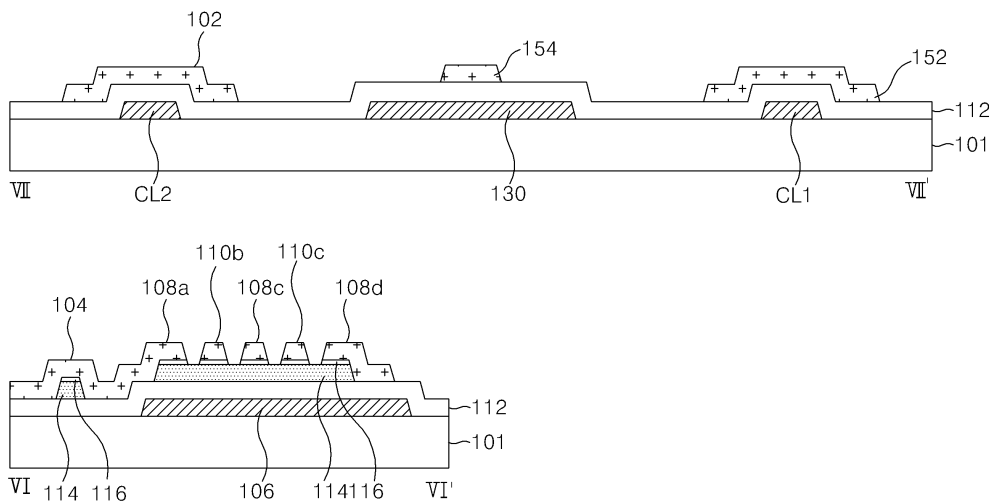
도면9b



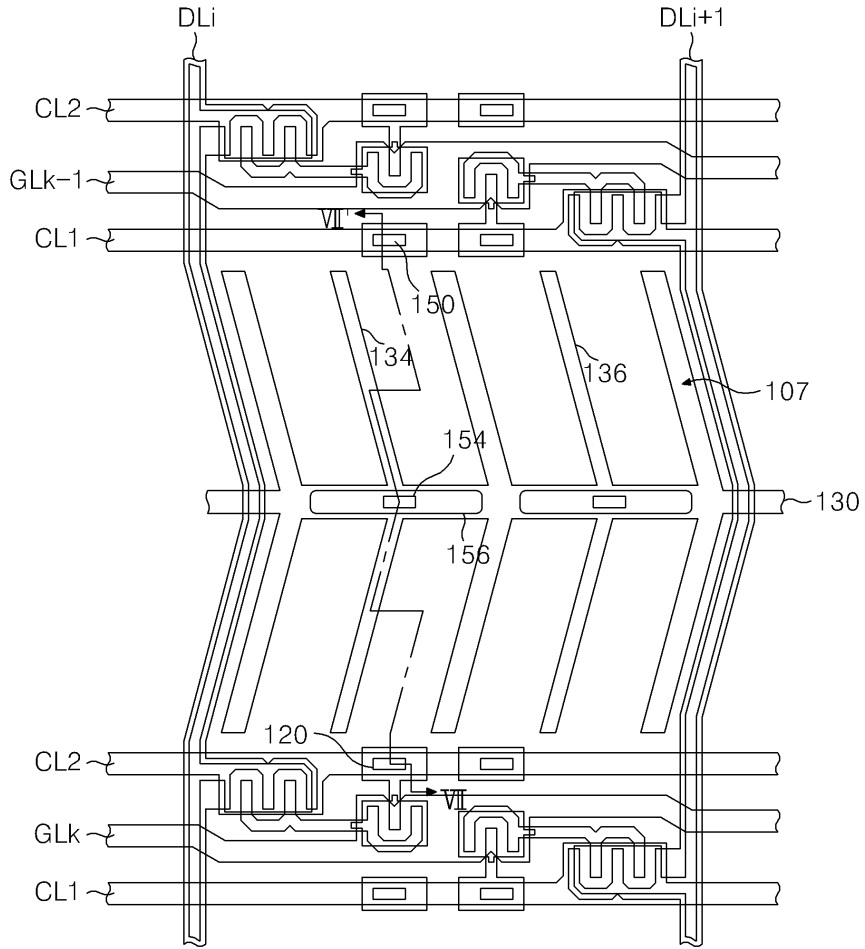
도면10a



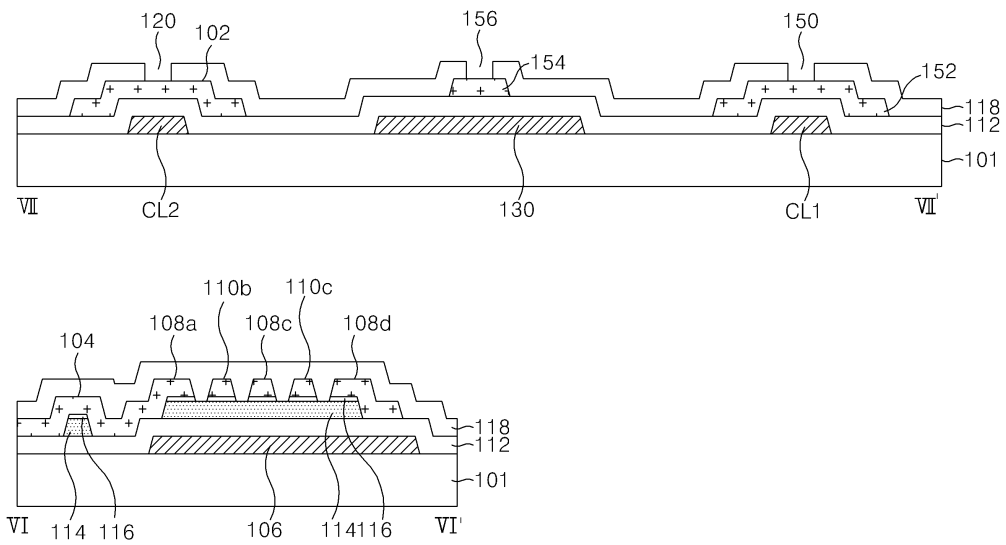
도면10b



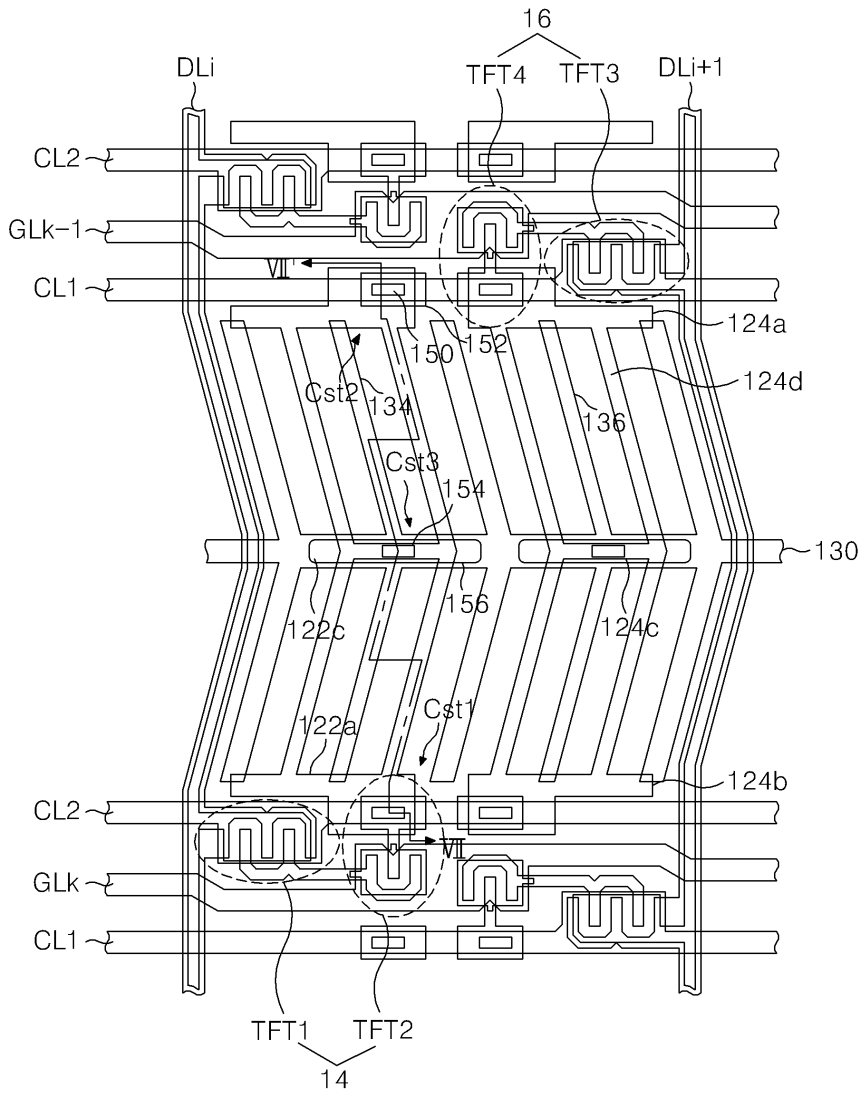
도면11a



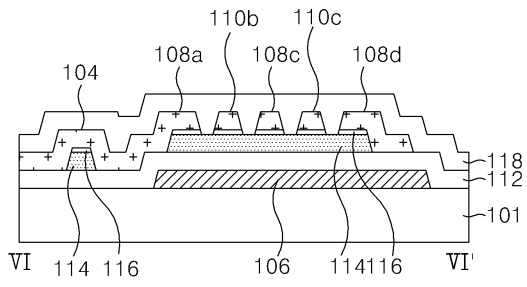
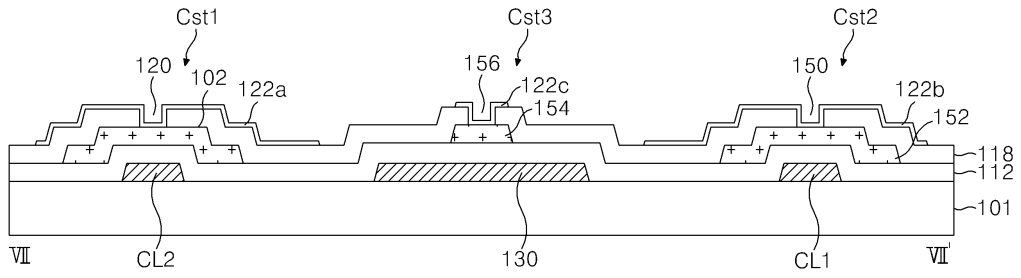
도면11b



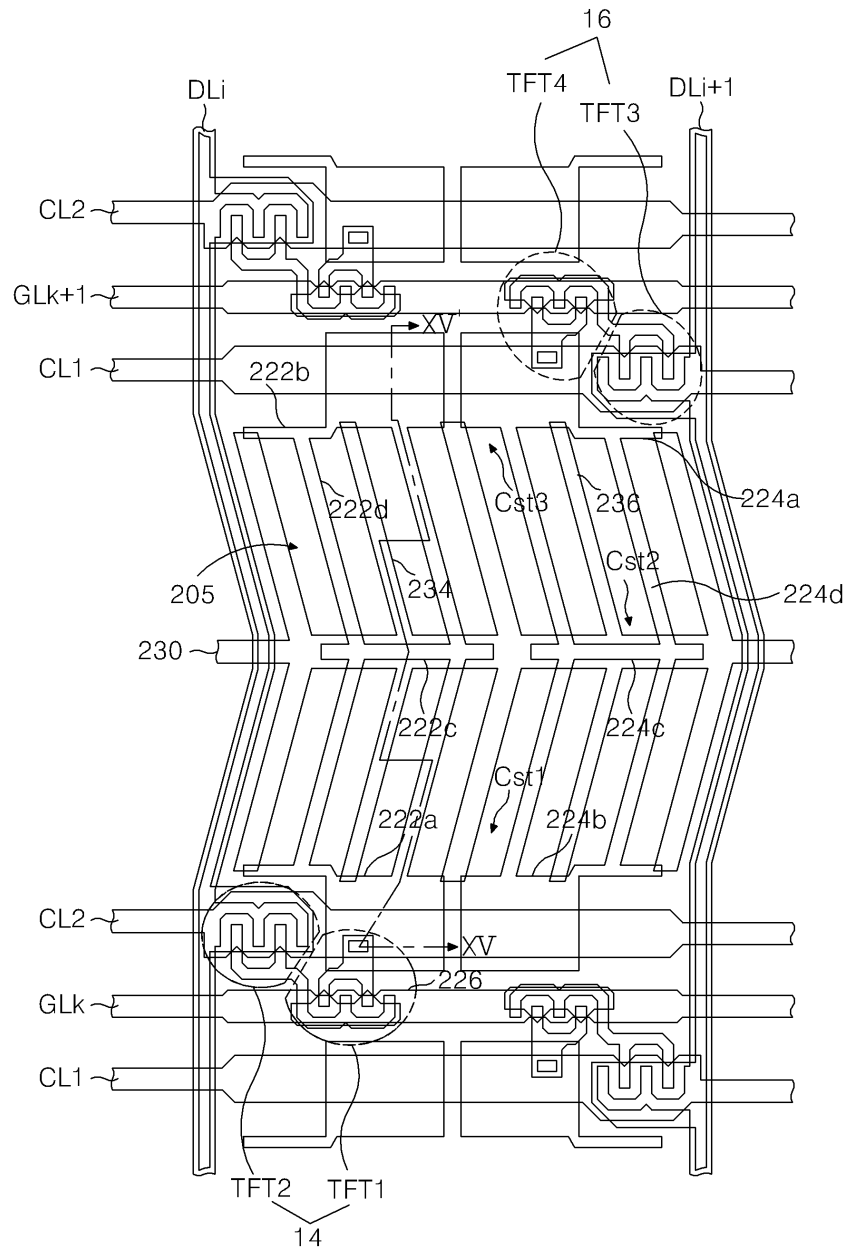
도면12a



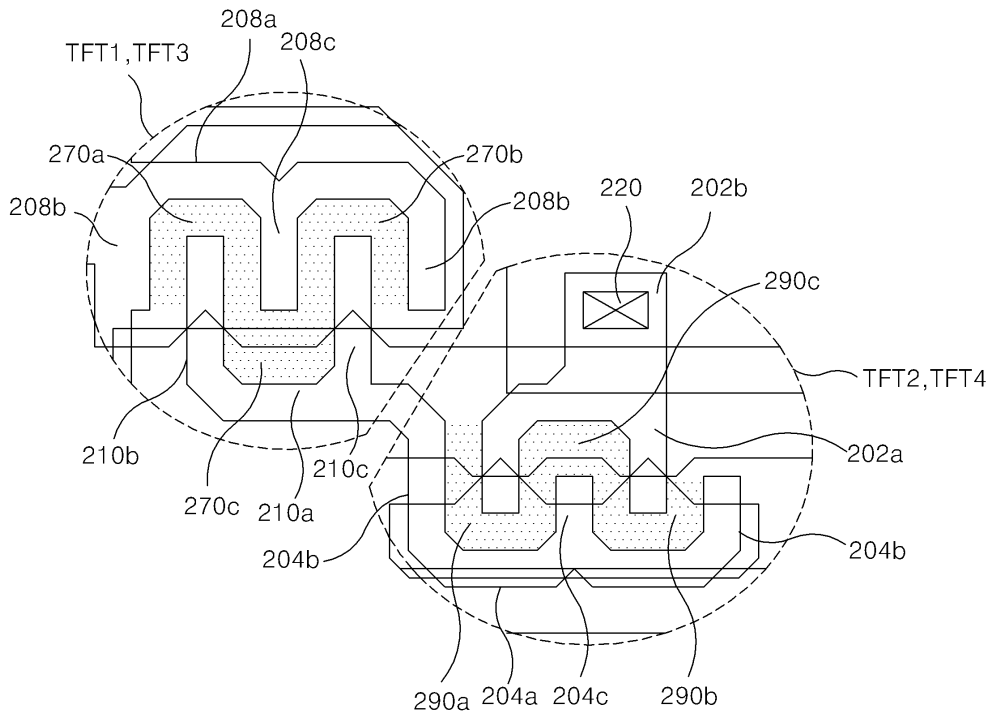
도면12b



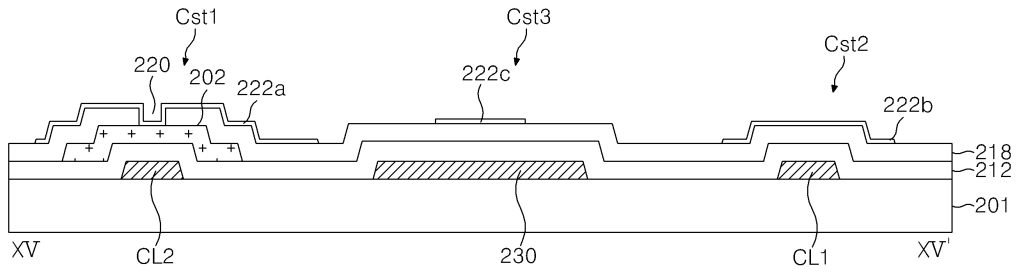
도면13



도면14



도면15



专利名称(译)	液晶显示面板及其制造方法		
公开(公告)号	<a href="#">KR1020060000452A</a>	公开(公告)日	2006-01-06
申请号	KR1020040049314	申请日	2004-06-29
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	YU SANGHEE 유상희 KANG WONSEOK 강원석		
发明人	유상희 강원석		
IPC分类号	G02F1/136		
CPC分类号	G02F1/13624		
其他公开文献	KR101067618B1		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

液晶显示面板及其制造方法技术领域本发明涉及能够减少数据线的数量和寄生电容器的电容值的液晶显示面板及其制造方法。根据本发明的液晶显示面板包括：形成在基板上的栅极线；第一和第二控制线形成在与栅极线平行的方向上，第一和第二数据线与栅极线交叉以限定第一和第二像素区域，第一和第二像素电极分别形成在第一和第二像素区域中；第二控制线，并具有用于供应提供给第一数据线到第一像素电极单元的像素信号的至少两个薄膜晶体管的栅极线的控制下，所述第一开关；并设置有第一控制线，并通过具有用于供应提供给第二数据线到第二像素电极部分的像素信号的至少两个薄膜晶体管的栅极线的控制的第二开关，所述第一和第二导通所述开关单元的电流，每个薄膜晶体管中的任何一个的所述至少两个薄膜晶体管可以在导通剩余薄膜晶体管的电流值形成。图6a

