

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁷
G02F 1/1345

(11) 공개번호 10-2005-0020115
(43) 공개일자 2005년03월04일

(21) 출원번호 10-2003-0057793
(22) 출원일자 2003년08월21일

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 임주수
경상북도구미시황상동화진금봉아파트501-105

(74) 대리인 특허법인네이트

심사청구 : 없음

(54) 액정표시장치용 어레이기판 제조방법

요약

본 발명은 액정표시장치에 관한 것으로 특히, 칩온 글라스(chip on glass : COG)방식으로 모듈(IC칩)이 장착되는 액정표시장치용 어레이기판과 그 제조방법에 관한 것이다.

본 발명에 따른 액정표시장치용 어레이기판은 게이트 배선과 데이터 배선의 일 끝단에 구성되는 게이트 패드 전극과 데이터 패드 전극을 절연하는 수단으로 기존의 유기절연막을 제거하고 이를 대신해 무기 절연막을 형성한다.

이와 같은 구성은, 종래의 유기절연막과 무기 절연막이 순차 적층된 구성에, 이들의 단차에 의해 상기 게이트 및 데이터 패드 전극과 각각 접촉되었던 투명한 단자전극들이 오픈 되어 이후 모듈공정에서 칩의 접촉불량이 발생하는 것을 방지할 수 있다.

또한, 유기 절연막과 투명전극의 들뜸 현상에 의한 얼룩 방지와, 상기 모듈을 재 부착하는 리워크(rework)공정이 가능한 장점이 있다.

대표도

도 9g

명세서

도면의 간단한 설명

도 1은 COG 방식으로 IC 칩이 실장된 액정패널을 개략적으로 도시한 평면도이고,

도 2는 도 1의 II-II를 따라 절단한 단면도이고,

도 3은 일반적인 액정표시장치용 어레이기판의 일부를 확대한 확대 평면도이고,

도 4와 도 5와 도 6은 도 3의 III-III,IV-IV,V-V를 따라 절단한 종래의 제 1 예에 따른 단면도이고,

도 7과 도 8은 종래의 제 1 및 제 2 예에 따른 IC칩의 리드선(범프)과 패드 단자 전극의 접촉 불량을 나타낸 단면도이고,

도 9a 내지 도 9g와 도 10a 내지 도 10g와 도 11a 내지 도 11g는 도 2의 III-III,IV-IV,V-V를 따라 절단하여, 본 발명의 공정 순서에 따라 도시한 공정 단면도이고,

도 12는 본 발명에 따른 어레이기판의 패드부와, 이에 부착된 IC칩의 형상을 나타낸 단면도이다.

< 도면의 주요부분에 대한 부호의 설명 >

100 : 기판 102 : 게이트 전극

108 : 게이트 절연막 110 : 액티브층

112 : 오믹 콘택층 114 : 소스 전극

116 : 드레인 전극 122 : 제 1 보호막

124 : 제 2 보호막 126 : 제 3 보호막

134 : 화소 전극

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치에 관한 것으로 특히, IC칩이 칩온 글라스(chip on glass : COG) 방식으로 실장되는 액정표시장치용 어레이기판의 구성과 그 제조방법에 관한 것이다.

일반적으로, 액정표시장치의 구동원리는 액정의 광학적 이방성과 분극성질을 이용한다. 상기 액정은 구조가 가늘고 길기 때문에 분자의 배열에 방향성을 가지고 있으며, 인위적으로 액정에 전기장을 인가하여 분자배열의 방향을 제어할 수 있다.

따라서, 상기 액정의 분자배열 방향을 임의로 조절하면 액정의 분자배열이 변하게 되고, 광학적 이방성에 의하여 상기 액정의 분자 배열 방향으로 빛이 굴절하여 화상정보를 표현할 수 있다.

현재에는 전술한 바 있는 박막 트랜지스터와 상기 박막 트랜지스터에 연결된 화소전극이 행렬 방식으로 배열된 능동행렬 액정 표시장치(Active Matrix LCD : AM-LCD)가 해상도 및 동영상 구현능력이 우수하여 가장 주목받고 있다.

이와 같은 액정표시장치는 CRT를 대체하는 대면적 표시장치로부터, 모빌폰용으로 사용되는 소면적까지 다양한 크기로 제작되고 있다.

이러한 액정표시장치에 신호를 인가하기 위한 IC칩을 실장하기 위한 다양한 방식이 제안되고 있으며, 대표적으로는 TCP(taper carrier package)와 COG(chip on glass)방식 등이 있다.

상기 TCP 방식은 고분자 필름 위에 구동 IC칩을 실장하는 패키지를 말하며, 상기 COG 방식은 IC칩이 직접 판넬에 직접 실장된다.

이하, 도 1과 도 2를 참조하여, COG방식으로 IC칩이 실장된 액정패널의 구성을 설명한다.

이하, 도 1은 COG 방식으로 IC칩이 실장된 액정패널을 개략적으로 도시한 평면도이고, 도 2는 도 1의 II-II를 따라 절단한 단면도이다.

도시한 바와 같이, 제 1 기판(10)과 제 2 기판(50)이 합착된 액정패널(L.P)중, 제 1 기판(10)에 구성된 각 패드전극(게이트 패드 전극, 데이터 패드 전극)(미도시)과 접촉하는 IC칩(60,62)을 구성한다.

상기 어레이배선(미도시)은 보통 수직으로 교차하여 형성된 게이트 배선과 데이터 배선을 말하며 따라서, 기판의 일측은 게이트 배선의 일 끝단에 구성된 게이트 패드 전극이 위치하고, 기판의 일측과 평행하지 않은 타측은 상기 데이터 배선의 일 끝단에 구성된 데이터 패드 전극이 위치한다.

따라서, 상기 액정패널(A.L)의 일측과 이에 평행하지 않은 타측에 상기 게이트 패드 전극과 데이터 패드 전극과 각 접촉하는 구동 IC(60,62)가 COG방식으로 구성되는 것이다.

상기 각 IC칩에 외부의 신호를 인가하는 FPC(flexible PCB)(70)가 액정패널의 제 1 기판에 이방성 도전성 접착제(80)를 통해 접촉되어 구성된다.

전술한 바와 같은 액정패널에 포함되는 어레이기판의 구성을 이하 도 3을 참조하여 설명한다.

도 3은 일반적인 액정표시장치용 어레이기판의 일부를 개략적으로 도시한 확대 평면도이다.

도시한 바와 같이, 기판(10)상에 일 방향으로 구성된 게이트 배선(14)과, 이와는 수직하게 교차하여 화소 영역(P)을 정의하는 데이터 배선(28)이 구성된다.

상기 게이트 배선(14)과 데이터 배선(28)의 일 끝단에는 게이트 패드 전극(16)과 데이터 패드 전극(30)이 각각 구성되고, 상기 게이트 패드 전극(16)과 데이터 패드 전극(30)에 대응하여 이와는 접촉하고 외부로부터 신호를 직접 인가 받는 투명한 게이트 패드 단자 전극(46)과 데이터 패드 단자 전극(48)이 구성된다.

상기 두 배선(14,28)의 교차지점에는 게이트 전극(12)과 액티브층(20)과 소스 전극(24)과 드레인 전극(26)을 포함하는 박막트랜지스터(T)가 구성되고, 상기 화소 영역(P)에는 상기 드레인 전극(26)과 접촉하는 투명한 화소 전극(44)이 구성된다.

이하, 전술한 어레이기판의 단면구성을 이하 도면을 참조하여 설명한다.

도 4와 도 5와 도 6은 도 3의 III-III, IV-IV, V-V를 따라 절단한 단면도이다.

(III-III은 화소를 절단한 단면도이고, IV-IV는 게이트 패드부를 절단한 단면도이고, V-V는 데이터 패드부를 절단한 단면도이다)

도 4와 도 5와 도 6에 도시한 바와 같이, 기판(10) 상에 스위칭 영역(S)과 화소 영역(P)과 게이트 패드 영역(G)과 데이터 패드 영역(D)이 정의되었다고 가정하자.

상기 스위칭 영역(S)에 대응하는 기판(10)상에는 게이트 전극(12)이 위치하고, 도시하지는 않았지만 상기 게이트 전극(12)과 접촉하고 상기 화소 영역(P)의 일측을 따라 연장된 게이트 배선(도 3이 14)이 구성되고, 상기 게이트 배선(도 3이 14)의 일 끝단인 상기 게이트 패드 영역(G)에 대응하여 게이트 패드 전극(16)이 구성된다.

상기 게이트 전극(12)과 게이트 배선 및 게이트 패드 전극(도 3이 14,16)의 상부에는 무기절연막인 게이트 절연막(18)이 구성되고, 상기 게이트 전극(12) 상부의 게이트 절연막(18) 상에는 액티브층(20)과 오믹 콘택층(22)이 적층되어 구성된다.

상기 오믹 콘택층의(22) 상부에는 이격된 소스 전극(24)과 드레인 전극(26)이 구성되고, 도시하지는 않았지만 상기 소스 전극(24)과 연결되는 동시에 상기 게이트 배선(도 3의 14)과 수직한 방향으로 연장된 데이터 배선(도 3의 28)과, 데이터 배선일 일 끝단인 상기 데이터 패드 영역(D)에 대응하여 데이터 패드 전극(30)이 구성된다.

이로써, 기판 상에는 상기 게이트 전극(12)과 액티브층(20)(및 오믹 콘택층)과 소스 및 드레인 전극(24,26)을 포함하는 박막트랜지스터(T)와 어레이배선(14,28)이 구성되었다.

상기 박막트랜지스터(T)와 어레이배선(14,28)이 구성된 기판(100)의 전면에는 무기 절연막인 제 1 보호막(32)이 구성되고, 제 1 보호막의 상부에는 유기 절연막인 제 2 보호막(34)이 구성되고, 제 2 보호막의 상부에는 무기 절연막인 제 3 보호막(36)이 구성된다.

상기 무기 절연막(32,36)은 산화 실리콘(SiO₂) 또는 질화 실리콘(SiN_x)을 사용하게 되고, 상기 유기 절연막(34)은 벤조사이클로부텐(BCB)과 아크릴(acryl)계 수지(resin)를 포함하는 투명한 유기절연물질 그룹 중 선택된 하나를 사용하게 된다.

상기 제 1 보호막(32)은 유기 절연막인 제 2 보호막(34)과, 박막트랜지스터(T)의 액티브층(20)사이에서 버퍼층으로서 역할을 하게 된다.

상세히 설명하면, 유기막 절연막(36)과 액티브층(20)은 보통 접촉특성이 좋지 않기 때문에 유기막 절연막과 액티브층의 사이의 계면에는 캐리어(carrier)를 트랩할 수 있는 트랩준위가 다수 존재하기 때문에 박막트랜지스터의 동작 불량을 유발하게 된다.

이를 해결하기 위해, 상기 무기막인 제 1 보호막(32)을 상기 액티브층(20)과 제 2 보호막(34)사이에 삽입하게 되는 것이다.

상기 제 2 보호막(34)인 유기 절연막은 고개구율 구조를 위해 형성하는 것이며 상세히 설명하면, 상기 유기 절연막은 유전율이 3이하이기 때문에 상기 화소 전극(44)을 게이트 배선(14)과 데이터 배선(28)의 상부로 연장하여도 상기 화소 전극(44)과 각 배선(14,28)사이의 신호 간섭에 의한 수직 크로스 토크(cross talk)가 발생하지 않는다.

따라서, 상기 화소 전극(44)이 연장된 영역 만큼을 개구영역으로 더 사용할 수 있도록 한다.

상기 제 3 보호막(36)은 일반적으로, 외부에서 입사되는 빛으로부터 상기 액티브층(20)을 최대한으로 차단하기 위한 역할을 하게 된다.

상기 제 3 보호막(36)까지 형성한 후, 제 3 보호막(36)과 그 하부의 제 2 보호막(34)과 제 1 보호막(32)을 일괄 식각하여, 상기 드레인 전극(26)과 게이트 패드 전극(16)과 데이터 패드 전극(30)을 노출하는 콘택홀(H1,H2,H3)을 각각 형성한다.

연속하여, 상기 노출된 드레인 전극(26)과 접촉하면서 상기 화소 영역(P)에 투명한 화소 전극(44)이 구성되고, 상기 게이트 패드부(G)에는 상기 게이트 패드 전극(16)과 접촉하는 투명한 게이트 패드 단자 전극(46)이 구성되고, 상기 데이터 패드부(D)에는 상기 데이터 패드 전극(30)과 접촉하는 데이터 패드 단자 전극(48)이 구성된다.

전술한 구성에서, 상기 유기 절연막(34)은 고개구율 구조에서 필수적으로 사용되나, IC칩이 직접 실장되는 상기 게이트 패드부(G)와 데이터 패드부(D)에서 많은 불량률 유발하게 된다.

이에 대해, 이하 도 7과 도 8을 참조하여 설명한다.

도 7은 종래의 제 1 예에 따른 IC칩의 리드선과 패드 단자 전극의 접촉 불량률 나타낸 단면도이다.(게이트 패드 전극을 예를 들어 설명한다.)

도시한 바와 같이, 상기 제 1 내지 제 3 보호막(32,34,36)을 한꺼번에 일괄식각하여, 상기 게이트 패드 전극(16)을 노출하는 콘택홀(H2)을 형성하게 되는데, 상기 제 1 보호막(32)과 제 3 보호막(36)은 무기 절연막이고, 제 2 보호막(34)은 유기 절연막이므로 서로 식각 비율이 다르다. 이로 인해 상기 제 1 내지 제 3 보호막(32,34,36)을 일괄식각하게 되면, 어느 한층은 안쪽으로 과도하게 식각되는 현상이 발생하게 된다.

따라서, 홀(H2)의 안쪽에 단차가 발생하게 되며, 이러 한 경우에는 상기 게이트 패드 단자 전극(46)과 데이터 패드 단자 전극(미도시)의 일부가 오픈 되는 불량률 발생하게 된다.

이와 같은 경우에는 상기 게이트 패드 단자 전극(46)과 데이터 패드 단자 전극(미도시)에 IC칩(60)을 직접 부착하는 COG 공정에서, 상기 IC칩(60)의 리드선인 범프(60a)가 상기 식각홀(H2) 보다 큰 경우, 범프(60a)와 상기 패드 단자 전극(46)이 접촉하더라도 패드 단자 전극(46)이 식각홀(H2)내부에서 단선된 경우이기 때문에, 상기 범프(60a)는 게이트 패드 전극(16)과 데이터 패드 전극(미도시)으로부터 실질적으로 플로팅(floating)된 상태가 된다. 따라서, 신호가 전달되지 않는 불량률 발생하게 된다.

도 8은 종래의 제 2 예에 따른 IC칩의 리드선과 패드 단자 전극의 접촉 불량률 나타낸 단면도이다.(게이트 패드 전극을 예를 들어 설명한다.)

도 8의 구성은 앞서 도 7에 나타난 구성과는 달리 상기 IC칩(60)의 범프(60a)가 파인 피치(fine pitch)일 경우이며, 이와 같은 경우에는 공정 마진 부족으로 IC칩(60)이 부착되면서 패드 단자 전극(46)에 충격을 주게 되고 이로 인해, 상기 게이트 패드 단자 전극(46)과 유기 절연막인 제 2 보호막(34)과의 계면이 들뜨는 불량률 발생하게 된다.

이와 같은 경우에는, 얼룩 불량 또는 이후 IC칩(60) 또는 FPC(미도시)등을 다시 제거하고 재 부착하는 리워크공정(rework)이 수행될 때, 상기 게이트 패드 단자 전극(46)이 뜯겨져 나가는 불량률 발생할 수 있다.

또한, 상기 게이트 패드 단자 전극(46)에도 데미지(damage)를 입혀 구동불량률 유발할 수 있는 문제가 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 전술한 문제를 해결하기 위한 목적으로 제안된 것으로, 상기 유기 절연막을 사용한 고개구율 구조의 액정 표시장치용 어레이기판을 제작하는 방법에 있어, 상기 게이트 패드 전극과 데이터패드 전극에 대응하는 유기 절연막만을 제거하는 공정을 포함한다.

이와 같이 하면, 상기 각 패드 전극을 노출하는 식각홀을 형성할 때, 식각홀 내부의 단차로 인해 상기 각 패드전극과 직접 접촉하는 투명한 패드 단자전극이 오픈되는 불량률 방지할 수 있다.

또한, 식각홀을 형성함에 있어 충분한 공정 마진 확보로 파인 피치의 IC칩의 범프가 안정된 상태로 상기 투명한 패드 단자 전극에 부착될 수 있다.

따라서, IC칩의 접촉불량률에 의한 구동불량률 방지할 수 있는 장점이 있고, 얼마든지 리워크 공정이 가능한 장점이 있다.

발명의 구성 및 작용

전술한 목적을 달성하기 위한 본 발명의 특징에 따른 액정표시장치용 어레이기판은 기판 상에 일 방향으로 연장되고 일 끝단에 게이트 패드 전극을 포함하는 게이트 배선과; 상기 게이트 배선과 수직하게 교차하여 화소 영역을 정의하고, 일 끝단에 데이터 패드 전극을 포함하는 데이터 배선과; 상기 게이트 배선과 데이터 배선의 교차지점에 구성된 박막트랜지스터와; 상기 박막트랜지스터와 상기 게이트 배선과 데이터 배선을 포함하는 기판의 전면에 구성된 제 1 무기 절연막과; 상기 제 1 무기 절연막의 상부에 위치하고, 상기 게이트 패드 전극과 데이터 패드 전극의 상부를 제외한 영역에 위치한 유기 절연막과; 상기 박막트랜지스터와 연결되면서 상기 화소 영역에 대응하는 유기 절연막의 상부에 구성된 투명한 화소 전극과; 상기 게이트 패드 전극과 데이터 패드 전극과 각각 접촉하면서, 제 2 무기 절연막의 상부에 구성된 투명한 게이트 패드 단자 전극과 투명한 데이터 패드 단자 전극을 포함한다.

상기 유기 절연막과 화소 전극 사이와, 상기 제 1 무기 절연막과 게이트 패드 단자 전극 및 데이터 패드 단자 전극 사이에 제 2 무기 절연막이 더욱 구성되며, 상기 제 1 및 제 2 무기 절연막은 질화 실리콘(SiN_x) 또는 산화 실리콘(SiO_2)으로 형성한다.

상기 유기 절연막은 벤조사이클로부텐(BCB)과 아크릴(acryl)계 수지(resin)를 포함하는 유기절연물질 그룹 중 선택된 하나로 형성한다.

전술한 구성에서, 상기 게이트 패드 단자 전극과 데이터 패드 단자 전극과 각각 접촉된 IC칩이 더욱 구성 될 수 있다.

본 발명의 특징에 따른 액정표시장치용 어레이기판 제조방법은 기판 상에 일 방향으로 연장되고 일 끝단에 게이트 패드 전극을 포함하는 게이트 배선을 형성하는 단계와; 상기 게이트 배선과 수직하게 교차하여 화소 영역을 정의하고, 일 끝단에 데이터 패드 전극을 포함하는 데이터 배선을 형성하는 단계와; 상기 게이트 배선과 데이터 배선의 교차지점에 구성된 박막트랜지스터를 형성하는 단계와; 상기 박막트랜지스터와 상기 게이트 배선과 데이터 배선을 포함하는 기판의 전면에 구성된 제 1 무기 절연막과 유기 절연막을 적층하는 단계와; 상기 유기 절연막을 패터닝하여, 상기 게이트 패드 전극과 데이터 패드 전극 상부의 제 1 무기 절연막을 노출하는 단계와; 상기 드레인 전극을 노출하는 드레인 콘택홀과, 상기 게이트 패드 전극을 노출하는 게이트 패드 콘택홀과, 상기 데이터 패드 전극을 노출하는 데이터 패드 콘택홀을 형성하는 단계와; 상기 드레인 전극과 접촉하는 투명한 화소 전극과, 상기 게이트 패드 전극과 접촉하는 투명한 게이트 패드 단자 전극과, 상기 데이터 패드 전극과 접촉하는 투명한 데이터 패드 단자 전극을 형성하는 단계를 포함한다.

이하, 첨부한 도면을 참조하여 본 발명에 따른 바람직한 실시예를 설명한다.

- 실시예 -

본 발명의 특징은 게이트 배선과 데이터 배선의 일 끝단에 구성하는 게이트 패드 전극과 데이터 패드 전극에 대응하여 유기절연막을 형성하지 않는 것을 특징으로 한다.

이하, 도 9a 내지 도 9g와 도 10a 내지 도 10g와 도 11a 내지 도 11g를 참조하여, 본 발명에 따른 액정표시장치용 어레이기판의 제조방법을 설명한다.

도 9a 내지 도 9g와 도 10a 내지 도 10g와 도 11a 내지 도 11g는 도 3의 III-III, IV-IV, V-V를 따라 절단하여 본 발명의 공정 순서에 따라 도시한 공정 단면도이다. (평면 구성은 1을 참조하고, 별도의 번호로 표기한다. III-III는 박막트랜지스터 및 화소영역의 절단선이고, IV-IV는 게이트 패드부의 절단선이고, V-V는 데이터 패드부의 절단선이다.)

도 9a와 도 10a와 도 11a에 도시한 바와 같이, 투명한 절연 기판(100)상에 알루미늄(Al)또는 알루미늄합금(AlNd)과 같은 저저항 금속을 증착하고 패터닝하여, 게이트 전극(102)과 게이트 전극(102)과 연결되고 일 끝단에 게이트 패드 전극(106)을 포함하는 게이트 배선(미도시)을 형성한다.

상기 저저항 금속으로 알루미늄(Al) 또는 알루미늄 합금을 사용할 경우에는 보호층으로서 크롬(Cr) 또는 몰리브덴(Mo)을 더욱 증착하여 형성한다.

이와 같이 하는 이유는, 상기 알루미늄이 화학적 물리적으로 약하기 때문에 알루미늄 배선의 표면에 핀홀(pin hole) 또는 힐락(hillock) 등이 발생하게 된다.

따라서, 이를 보호하기 위해 앞서 언급한 별도의 금속을 더욱 구성하여 이중금속층을 형성할 수 있다.

상기 게이트 전극(102)과 게이트 배선 및 게이트 패드 전극(미도시, 106)이 형성된 기판(100)의 전면에 질화 실리콘(SiN_x) 또는 산화 실리콘(SiO_2)을 증착하여 게이트 절연막(108)을 형성한다.

도 9b와 도 10b와 도 11c에 도시한 바와 같이, 상기 게이트 절연막(108) 상에 순수한 비정질 실리콘(a-Si:H)과 불순물이 포함된 비정질 실리콘(n+ a-Si:H)을 증착하고 패터닝하여, 상기 게이트 전극(102)에 대응하는 게이트 절연막의 상부에 액티브층(active layer, 110)과 오믹 콘택층(ohmic contact layer, 112)을 형성한다.

도 9c와 도 10c와 도 11c에 도시한 바와 같이, 상기 액티브층(110)과 오믹 콘택층(112)이 형성된 기판의(100) 전면에 티타늄(Ti), 구리(Cu), 텅스텐(W), 몰리브덴(Mo), 크롬(Cr)등을 포함하는 도전성 금속 그룹 중 선택된 하나를 증착하고 패터닝하여, 서로 이격되어 상기 오믹 콘택층(112)과 접촉하는 소스 전극(114)과 드레인 전극(116)을 형성하고, 상기 소스 전극(114)과 연결되어 상기 게이트 배선(미도시)과 수직하게 교차하며 일 끝단에 데이터 패드 전극(120)을 포함하는 데이터 배선(미도시)을 형성한다.

도 9d와 도 10d와 도 11d에 도시한 바와 같이, 상기 소스 및 드레인 전극(114,116)과 데이터 배선 및 데이터 패드 전극(미도시, 120)이 형성된 기판(100)의 전면에 질화 실리콘(SiN_x) 또는 산화 실리콘(SiO_2)을 증착하여 제 1 보호막(122)을 형성한다.

상기 제 1 보호막(122)은 상기 액티브층(110)과 접촉특성이 양호하기 때문에, 캐리어를 트랩(trap)하는 트랩준위를 최소화 할 수 있는 장점이 있다.

연속하여, 상기 제 1 보호막(122)의 상부에 벤조사이클로부텐(BCB)과 아크릴(acryl)계 수지(resin)를 포함하는 투명한 유기절연물질 그룹 중 선택된 하나를 도포 또는 코팅하여 제 2 보호막(124)을 형성한다.

도 9e와 도 10e와 도 11e에 도시한 바와 같이, 상기 제 2 보호막(124)을 패터닝하여, 상기 게이트 패드 전극(106)과 데이터 패드 전극(120)에 대응하는 제 2 보호막(124)을 제거하여, 하부의 제 1 보호막(122)을 노출하는 공정을 진행한다.

도 9f와 도 10f와 도 11f에 도시한 바와 같이, 상기 게이트 패드 전극(106)과 데이터 패드 전극(120)의 상부에만 제 2 보호막(124)이 제거된 기판(100)의 전면에 질화 실리콘(SiN_x)을 증착하여 제 3 보호막(126)을 형성한다.

상기 제 3 보호막(126)은 외부의 빛이 상기 액티브층(108)으로 조사되는 것을 방지하기 위한 기능을 한다. 왜냐하면, 상기 액티브층(108)에 빛이 조사되면 빛 에너지에 의해 액티브층(108)에 존재하는 수소(H)이온이 여기하게 되어 누설전류(leakage current)를 유발하게 되기 때문에 이러한 현상이 발생하는 것을 방지하기 위해 사용된다.

상기 제 3 보호막(126)과 그 하부의 절연막층을 패터닝하여, 상기 드레인 전극(116)을 노출하는 드레인 콘택홀(128)과, 상기 게이트 패드 전극(106)을 노출하는 게이트 패드 콘택홀(130)과, 상기 데이터 패드 전극(120)을 노출하는 데이터 패드 콘택홀(132)을 형성한다.

도 9g와 도 10g와 도 11g에 도시한 바와 같이, 상기 제 3 보호막(126)이 형성된 기판의 전면에 인듐-틴-옥사이드(ITO)와, 인듐-징크-옥사이드(IZO)를 포함하는 투명한 도전성 금속 그룹 중 선택된 하나를 증착하고 패터닝하여, 상기 노출된 드레인 전극(116)과 접촉하는 투명한 화소 전극(134)과, 상기 노출된 게이트 패드 전극(106)과 접촉하는 게이트 패드 단자 전극(136)과, 상기 노출된 데이터 패드 전극(120)과 접촉하는 데이터 패드 단자 전극(138)을 형성한다.

이하, 도 12는 본 발명에 따른 어레이기판의 패드부와, 이에 부착된 IC칩의 형상을 나타낸 도면이다.

전술한 바와 같이 형성된 어레이기판의 구성에서, 상기 패드 전극(106)에 대응하여 유기 절연막(134)이 제거되어 공정 마진을 확보할 수 있기 때문에, 패드 전극(106)에 접촉하는 IC칩(220)의 범프(220a)는 상기 투명 단자전극(136)과 하부의 패드 전극(106)과 직접 접촉하여 구성될 수 있다.

따라서, IC칩이 안정된 상태로 부착될 수 있기 때문에 공정 불량률을 최소화하여 공정수율을 최소화 할 수 있는 장점이 있다.

발명의 효과

전술한 바와 같이 본 발명에 따라 제작된 어레이기판은 IC칩을 실장하는 모듈 공정 시, 모듈수율 저하를 최소화 할 수 있는 효과가 있다.

또한, 상기 게이트 및 데이터 패드 전극의 전면에 유기절연막이 존재하지 않기 때문에, 유기 절연막에 의해 발생하였던 열폭발량이 발생하지 않고, 리워크 공정시 상기 패드 부에 구성된 투명 단자 전극이 뜯기는 불량을 방지할 수 있으므로 리워크 공정이 수월하다. 따라서 공정 수율을 개선하는 효과가 있다.

(57) 청구의 범위

청구항 1.

기판 상에 일 방향으로 연장되고 일 끝단에 게이트 패드 전극을 포함하는 게이트 배선과;

상기 게이트 배선과 수직하게 교차하여 화소 영역을 정의하고, 일 끝단에 데이터 패드 전극을 포함하는 데이터 배선과;

상기 게이트 배선과 데이터 배선의 교차지점에 구성된 박막트랜지스터와;

상기 박막트랜지스터와 상기 게이트 배선과 데이터 배선을 포함하는 기판의 전면에 구성된 제 1 무기 절연막과;

상기 제 1 무기 절연막의 상부에 위치하고, 상기 게이트 패드 전극과 데이터 패드 전극의 상부를 제외한 영역에 위치한 유기 절연막과;

상기 박막트랜지스터와 연결되면서 상기 화소 영역에 대응하는 유기 절연막의 상부에 구성된 투명한 화소 전극과;

상기 게이트 패드 전극과 데이터 패드 전극과 각각 접촉하면서, 제 2 무기 절연막의 상부에 구성된 투명한 게이트 패드 단자 전극과 투명한 데이터 패드 단자 전극을 포함하는 액정표시장치용 어레이기판.

청구항 2.

제 1 항에 있어서,

상기 박막트랜지스터는 게이트 전극과 액티브층과 소스 전극과 드레인 전극을 포함하는 액정표시장치용 어레이기판.

청구항 3.

제 1 항에 있어서,

상기 유기 절연막과 화소 전극 사이와, 상기 제 1 무기 절연막과 게이트 패드 단자 전극 및 데이터 패드 단자 전극 사이에 제 2 무기 절연막이 더욱 구성된 액정표시장치용 어레이기판.

청구항 4.

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 제 1 및 제 2 무기 절연막은 질화 실리콘(SiN_x) 또는 산화 실리콘(SiO_2)인 액정표시장치용 어레이기판.

청구항 5.

제 1 항에 있어서,

상기 유기 절연막은 벤조사이클로부텐(BCB)과 아크릴(acryl)계 수지(resin)를 포함하는 유기절연물질 그룹 중 선택된 하나인 액정표시장치용 어레이기판.

청구항 6.

제 1 항에 있어서,

상기 게이트 패드 단자 전극과 데이터 패드 단자 전극과 각각 접촉된 IC칩이 더욱 구성된 액정표시장치용 어레이기판.

청구항 7.

기판 상에 일 방향으로 연장되고 일 끝단에 게이트 패드 전극을 포함하는 게이트 배선을 형성하는 단계와;

상기 게이트 배선과 수직하게 교차하여 화소 영역을 정의하고, 일 끝단에 데이터 패드 전극을 포함하는 데이터 배선을 형성하는 단계와;

상기 게이트 배선과 데이터 배선의 교차지점에 구성된 박막트랜지스터를 형성하는 단계와;

상기 박막트랜지스터와 상기 게이트 배선과 데이터 배선을 포함하는 기판의 전면에 구성된 제 1 무기 절연막과 유기 절연막을 적층하는 단계와;

상기 유기 절연막을 패터하여, 상기 게이트 패드 전극과 데이터 패드 전극 상부의 제 1 무기 절연막을 노출하는 단계와;

상기 드레인 전극을 노출하는 드레인 콘택홀과, 상기 게이트 패드 전극을 노출하는 게이트 패드 콘택홀과, 상기 데이터 패드 전극을 노출하는 데이터 패드 콘택홀을 형성하는 단계와;

상기 드레인 전극과 접촉하는 투명한 화소 전극과, 상기 게이트 패드 전극과 접촉하는 투명한 게이트 패드 단자 전극과, 상기 데이터 패드 전극과 접촉하는 투명한 데이터 패드 단자 전극을 형성하는 단계

를 포함하는 액정표시장치용 어레이기판 제조방법.

청구항 8.

제 7 항에 있어서,

상기 박막트랜지스터는 게이트 전극과 액티브층과 소스 전극과 드레인 전극을 포함하는 액정표시장치용 어레이기판 제조방법.

청구항 9.

제 7 항에 있어서,

상기 유기 절연막과 화소 전극 사이와, 상기 제 1 무기 절연막과 데이터 패드 단자 전극 및 게이트 패드 단자 전극 사이에 제 2 무기 절연막이 더욱 구성된 액정표시장치용 어레이기판.

청구항 10.

제 7 항 내지 제 9 항 중 어느 한 항에 있어서,

상기 제 1 및 제 2 무기 절연막은 질화 실리콘(SiN_x) 또는 산화 실리콘(SiO_2)중 선택된 하나로 형성된 액정표시장치용 어레이기판 제조방법.

청구항 11.

제 7 항에 있어서,

상기 유기 절연막은 벤조사이클로부텐(BCB)과 아크릴계(acryl) 수지(resin)를 포함하는 유기절연물질 그룹 중 선택된 하나로 형성된 액정표시장치용 어레이기판 제조방법.

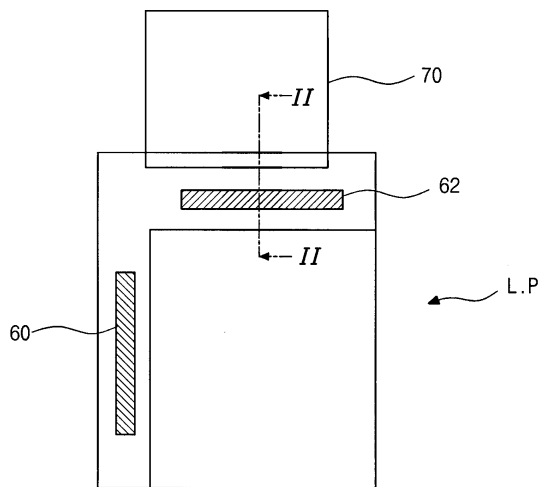
청구항 12.

제 7 항에 있어서,

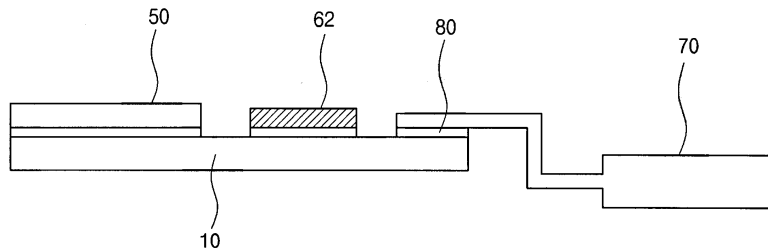
상기 게이트 패드 단자 전극과 데이터 패드 단자 전극과 각각 접촉된 IC칩을 부착하는 단계를 더욱 포함하는 액정표시장치용 어레이기판 제조방법.

도면

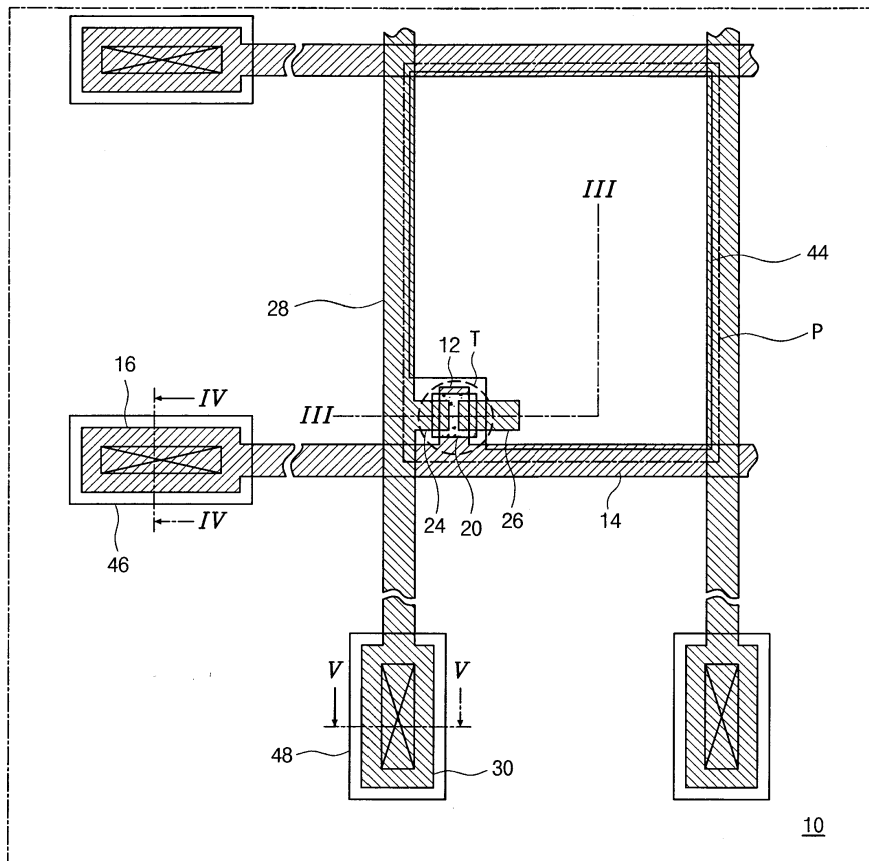
도면1



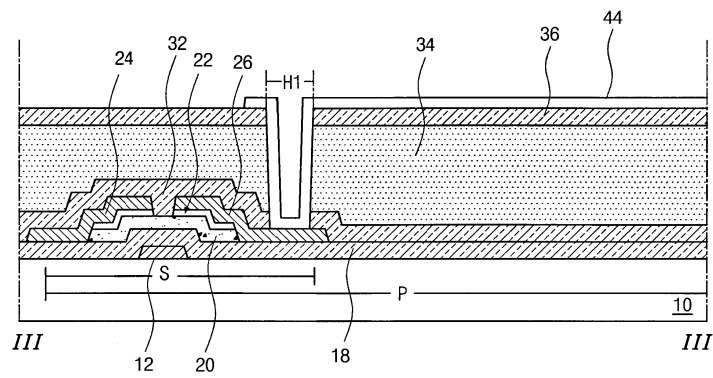
도면2



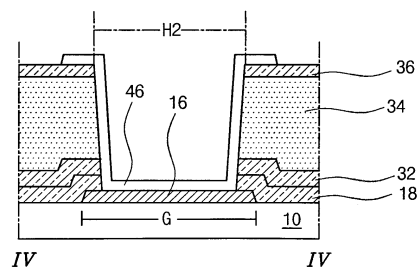
도면3



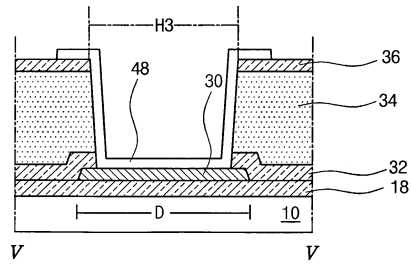
도면4



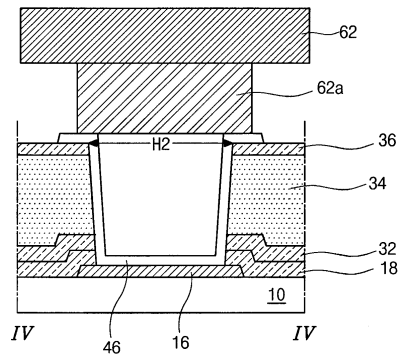
도면5



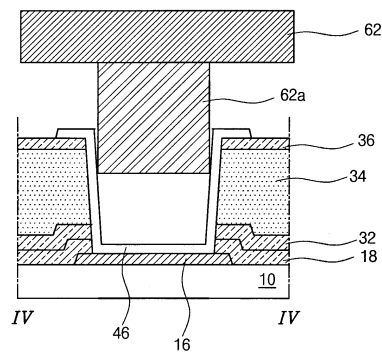
도면6



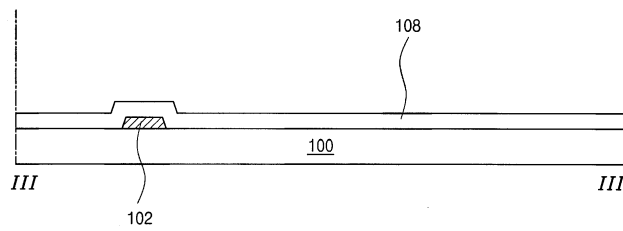
도면7



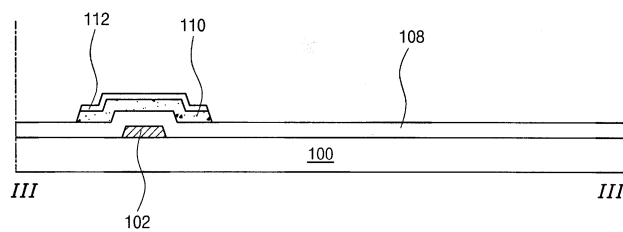
도면8



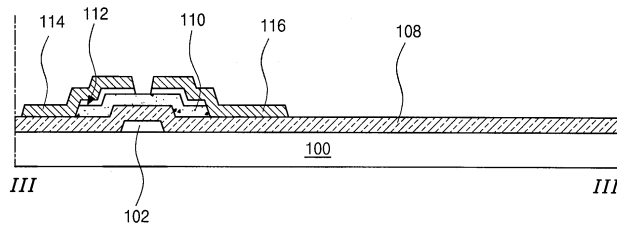
도면9a



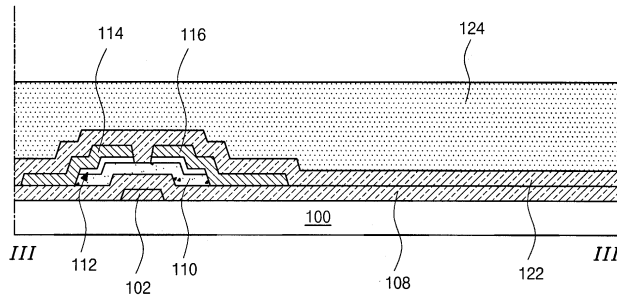
도면9b



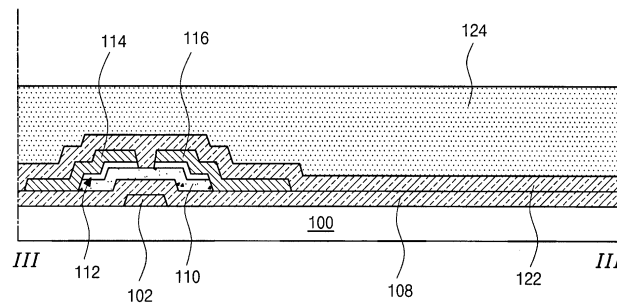
도면9c



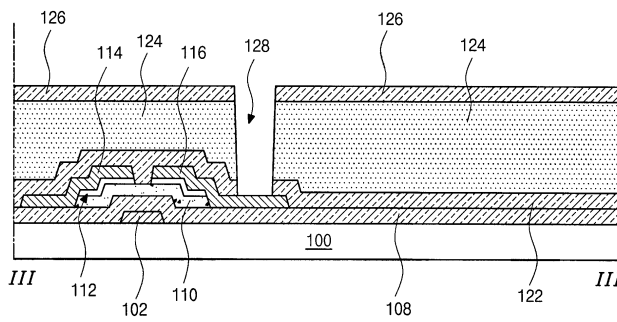
도면9d



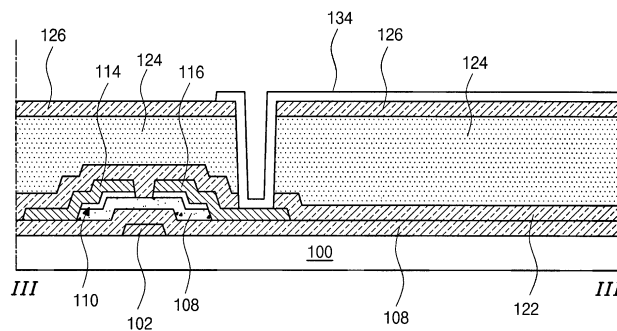
도면9e



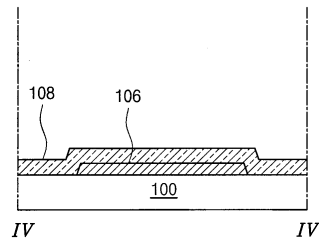
도면9f



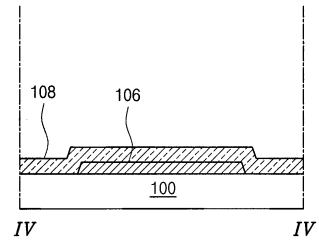
도면9g



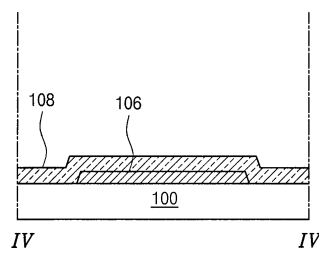
도면10a



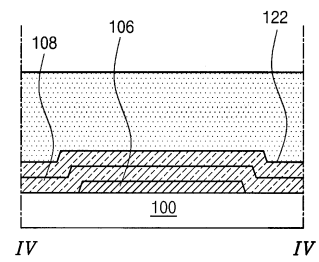
도면10b



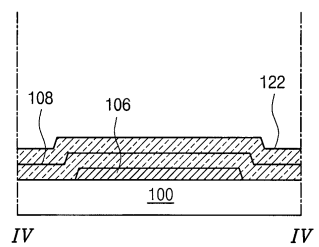
도면10c



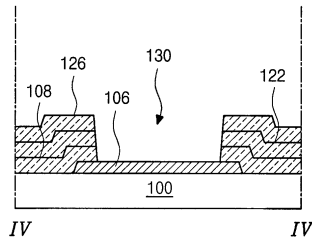
도면10d



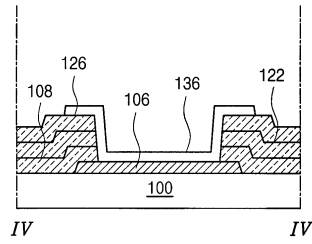
도면10e



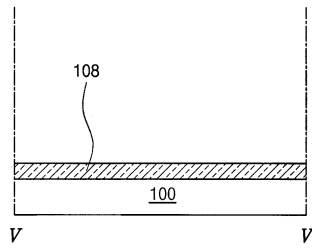
도면10f



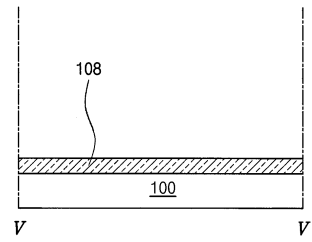
도면10g



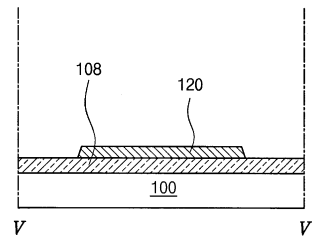
도면11a



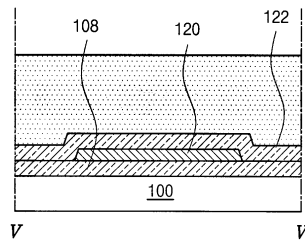
도면11b



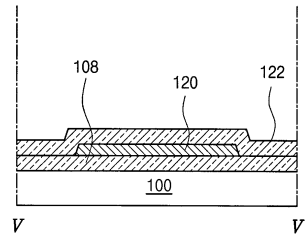
도면11c



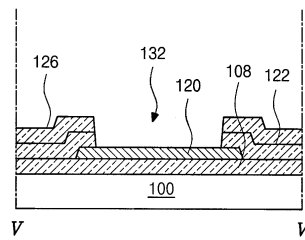
도면11d



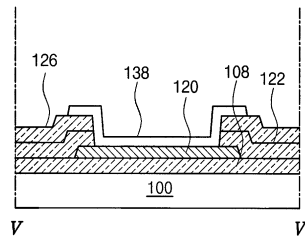
도면11e



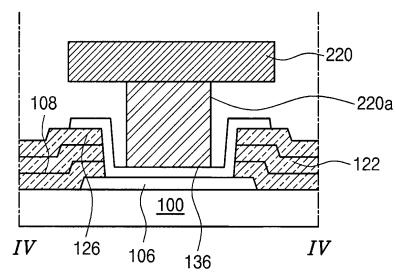
도면11f



도면11g



도면12



专利名称(译)	制造用于液晶显示器的阵列基板的方法		
公开(公告)号	KR1020050020115A	公开(公告)日	2005-03-04
申请号	KR1020030057793	申请日	2003-08-21
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LIM JOOSOO		
发明人	LIM,JOOSOO		
IPC分类号	G02F1/1362 G02F1/1345		
CPC分类号	G02F1/13458 G02F1/136227		
其他公开文献	KR101034181B1		
外部链接	Espacenet		

摘要(译)

本发明涉及用于液晶显示器的基板及其制造方法，其中模块（IC芯片）尤其安装在玻璃（玻璃上芯片：COG）模式上作为液晶显示器。根据本发明的用于液晶显示器的阵列基板是这样的无机绝缘膜代替现有的有机绝缘膜被去除到所包括的栅极焊盘电极，并且装置绝缘数据焊盘电极形成在数据线的一端和栅极布线。在传统的有机绝缘膜和无机绝缘膜依次层叠的构造中，可以防止各个接触和透明的端子电极被栅极和数据焊盘电极打开，然后在模块工艺中产生的芯片接触不良带着滑轮。此外，它具有能够通过提升有机绝缘膜和透明电极以及测量模块并粘附的返工过程的抗污染性的优点。

