(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl.[7]
G02F 1/1339

(11) 공개번호 10-2004-0024364
(43) 공개일자 2004년03월20일

(21) 출원번호 10-2002-0055954
(22) 출원일자 2002년09월14일

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 김용범
서울특별시송파구신천동장미아파트27동1311호

전재홍
서울특별시서초구서초3동1480-11호한일빌라301호

(74) 대리인 김영호

심사청구 : 없음

(54) 액정표시장치 및 그 제조방법

요약

본 발명은 스페이서의 높이를 높게 형성시킬 수 있는 액정표시장치 및 그 제조방법에 관한 것이다.

본 발명에 따른 액정표시장치는 기판 상에 형성된 다층 중에서 임의의 한 층을 패터닝하고 남은 포토레지스터패턴과, 포토레지스터패턴을 덮는 스페이서를 구비하는 것을 특징으로 한다.

대표도

도 6

명세서

도면의 간단한 설명

도 1은 종래의 액정표시장치를 나타내는 단면도.

도 2a 내지 도 2c는 종래의 패턴 스페이서의 제조방법을 나타내는 도면.

도 3은 도 2에 도시된 스페이서의 제조방법을 나타내는 순서도.

도4a 내지 도 4c는 종래의 잉크젯 방식을 이용한 스페이서의 제조방법을 나타내는 도면.

도 5는 본 발명의 실시 예에 따른 액정표시장치를 나타내는 평면도.

도 6은 도 5에 도시된 액정표시장치를 선 A-A'을 따라 절취한 단면도.

도 7a 내지 도 7g는 도 6에 도시된 액정표시장치의 제조방법을 단계적으로 도시한 도면.

< 도면의 주요 부분에 대한 부호의 설명 >

1, 82 : 하부기판 2 : 실런트

6, 66 : 게이트절연막 8, 76 : 보호막

10, 12 : 배향막 11 : 상부기판

14 : 공통전극 16 : 컬러필터

22, 78 : 화소전극 23, 79a : 접촉홀

24, 42, 80 : 스페이서 25, 64 : 게이트전극

26, 27, 68, 70 : 반도체층 28, 72 : 소스전극

30, 74 : 드레인전극 50, 86 : 잉크젯 분사장치

61 : 게이트라인 62 : 데이터라인

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치에 관한 것으로, 특히 스페이서의 높이를 높게 형성시킬 수 있는 액정표시장치의 제조장치 및 제조방법에 관한 것이다.

통상적으로, 액정표시장치(Liquid Crystal Display; LCD)는 비디오신호에 따라 액정셀들의 광투과율을 조절함으로써 액정셀들이 매트릭스 형태로 배열되어진 액정패널에 비디오신호에 해당하는 화상을 표시하게 된다. 이를 위하여, 액정표시장치는 액정셀들이 액티브 매트릭스(Active Matrix) 형태로 배열된 액티브 영역과 액티브 영역의 액정셀들을 구동하기 위한 구동회로들을 포함하게 된다.

도 1을 참조하면, 통상적인 액정표시장치는 상부기판(11) 상에 순차적으로 형성된 블랙매트릭스(20), 컬러필터(16), 공통전극(14) 및 배향막(12)으로 구성되는 상판과, 하부기판(1) 상에 순차적으로 형성된 TFT와, 화소전극(22) 및 배향막(10)으로 구성되는 하판과, 상판과 하판 사이에 형성된 스페이서(24)와, 상판 및 하판(24) 사이의 내부공간에 주입되는 액정(도시되지 않음)을 구비한다.

하판에서 TFT는 도시하지 않은 게이트라인에 접속된 게이트전극(25), 도시하지 않은 데이터라인에 접속된 소스전극(28) 및 접촉홀(23)을 통해 화소전극(22)에 접속된 드레인전극(30)을 구비한다. 또한, TFT는 게이트전극(25)과 소스전극(28) 및 드레인 전극(30)의 절연을 위한 게이트절연막(6)과, 게이트전극(25)에 공급되는 게이트전압에 의해 소스전극(28)과 드레인전극(30) 간의 채널을 도통시키기 위한 반도체층(26, 27)을 더 구비한다. 여기서, 반도체층(26, 27)은 게이트절연막(6) 상에 형성되는 활성층(26)과, 활성층(26)과 소스/드레인전극(28, 30) 사이에 형성되며 불순물이 도핑된 오믹접촉층(27)을 포함한다. 이러한 TFT는 게이트라인으로부터의 게이트신호에 응답하여 데이터라인으로부터의 데이터신호를 선택적으로 화소전극(22)에 공급한다. TFT를 통해 공급되는 데이터신호와 공통전극(14)에 공급되는 공통전압(Vcom)의 전압차에 의해 액정이 회전하게 되며 액정의 회전 정도에 따라서 광투과량이 결정된다. 화소전극(22)은 데이터라인과 게이트라인에 의해 분할된 셀영역에 위치하며 광투과율이 높은 투명전도성물질로 이루어진다. 화소전극(22)은 하부기판(1) 전면에 도포되는 보호막(8) 위에 형성되며, 보호막(8)에 형성된 접촉홀(23)을 통해 드레인전극(30)과 전기적으로 접속된다. 화소전극(22)이 형성된 하부기판(1) 상부에 배향막(10)을 도포한 후 러빙공정을 수행하여 하판을 완성한다.

상판의 블랙매트릭스(20)는 하판의 TFT 영역과 게이트라인들 및 데이터라인 들 영역에 대응되어 상부기판(11) 상에 형성되며, 컬러필터(16)가 형성될 셀영역을 구획한다. 블랙매트릭스(20)는 빛샘을 방지함과 아울러 외부광을 흡수하여 콘트라스트를 높이는 역할을 한다. 컬러필터(16)는 상기 블랙매트릭스(20)에 의해 분리된 셀영역에 형성된다. 이 컬러필터(16)는 특정파장의 광을 선택적으로 투과시킴으로써 R, G, B 색상을 구현한다. 공통전극(14)에는 액정의 움직임을 제어하기 위한 공통전압(Vcom)이 공급된다. 배향막(12)은 공통전극(14) 상에 폴리이미드 등과 같은 배향물질을 도포한 후 러빙공정을 수행함으로써 형성된다.

이와 같이, 별도로 만들어진 상판과 하판 사이의 갭을 유지하는 볼스페이서(24)는 상판과 하판 중 적어도 어느 하나의 기판 상에 분사된다.

볼스페이서(24)는 액정셀의 셀갭(Cell Gap)을 균일하게 유지하기 위하여 고르게 분사되어야 한다. 그러나, 볼스페이서(24)는 산포방식의 균일도 한계에 의해 고르게 산포되기가 어렵다. 볼스페이서(24)가 불균일하게 산포되어 셀갭이 불균일하게 되면 화면에 얼룩이 발생하는 현상이 나타난다. 또한, 볼스페이서(24) 사용시 액정표시장치의 외부에서 사용자가 화면에 압력을 가하게 되면 화면의 화질이 물결모양으로 어두워지는 리플현상이 발생한다. 이는 볼스페이서(24)가 상판과 하판 사이에서 움직이기 때문이다.

최근에는 볼스페이서(24)와 그 산포방식의 단점을 해결할 수 있는 한 방법으로서 특정 위치에 고정되며 패턴화되는 스페이서와 이를 패터닝하는 방법에 대한 연구가 활발히 진행되고 있다.

이제, 패턴 스페이서의 제조방법을 단면도인 도 2a 내지 도 2c와 순서도인 도 3을 결부하여 설명하기로 하자.

도 2a를 참조하면, 기판(40) 상에 스페이서 물질(42a)을 코팅한다.(S31) 여기서, 기판(40)은 공통전극(14)이 형성된 상판과 TFT가 형성된 하판 중 어느 하나이다.

스페이서 물질(42a)은 용매, 바인더, 모노머(monomer), 광개시제(photoinitiator)로 혼합된 물질이다. 스페이서 물질(42a)을 프리 베이킹(Pre-baking)하여 스페이서 물질(42a) 내의 용매를 제거하면 스페이서 물질(42a)은 페이스트 상태가 된다.(S32)

이어서, 도 2b에 도시된 바와 같이 스페이서 물질(42a) 상에 투과부(44a)와 차단부(44b)를 가지는 포토마스크(44)가 정렬된다. 이 포토마스크(44)를 통하여 자외선(UV)이 스페이서 물질(42a) 쪽으로 조사되면 투과부(44a)에 대응되는 스페이서 물질(42a)이 자외선에 노출된다.(S33)

도 2c에 도시된 바와 같이 스페이서 물질(42a)이 패터닝된다.(S34) 스페이서 물질(42a)을 현상하게 되면 자외선에 노광되지 않은 스페이서 물질(42a)은 제거되고, 자외선에 노광된 스페이서 물질(42a)은 남아있게 된다.

패터닝된 스페이서 물질(42a)을 소성하면 소정 높이를 가지는 스페이서(42)가 형성된다.(S35)

액정표시장치에서 셀갭을 유지시키기 위한 스페이서(42)는 전체 면적의 2% 정도를 차지하고 있다. 앞에 서술된 포토리쏘그래피(photolithography) 방법으로 스페이서(42)를 형성하는 경우에는 코팅된 스페이서 물질(42a)의 약 95% 이상이 제 거된다. 이에 따라, 종래의 포토리쏘그래피 방법은 스페이서(42)를 형성하기에는 재료 활용율이 좋지 않으며 복잡한 5단계의 공정을 거치게 되는 번거로움이 따른다.

이러한 재료의 낭비를 줄이고 공정수를 줄이기 위하여 도 4a 내지 4c에 도시된 바와 같은 잉크젯(Ink-Jet) 분사장치를 이용한 스페이서 형성방법이 개발되었다.

먼저, 도 4a에 도시된 바와 같이 스페이서(58)의 형성 위치에 대응하여 잉크젯 분사장치(50)가 정렬된다. 정렬 상태에서 잉크젯 분사장치(50)로부터 잉크가 기판(40) 상으로 분사된다. 여기서, 기판(40)은 액정패널의 상판 또는 하판 중 적어도 어느 하나의 기판에 해당한다.

잉크젯 방식은 서멀(Thermal) 방식과 피에조(Piezoelectric) 방식을 이용하여 잉크를 분사하며, 특히 피에조 방식이 주로 이용된다. 피에조 방식의 잉크젯 분사장치(50)는 분사시키고자 하는 물질이 담긴 용기(52)와, 이 용기(52)로부터 물질을 외부로 분사시키기 위한 잉크젯 헤드(54)로 구성된다.

용기(52)에는 스페이서(58)가 채워지며, 잉크젯 헤드(54)에는 압전소자와 용기(52) 내에 포함된 스페이서(58)를 분사하는 노즐(nozzle ; 56)이 형성된다. 압전소자에 전압이 인가되면 물리적인 압력이 발생되어 용기(52)와 노즐(56) 사이의 유로가 수축, 이완을 반복하는 현상이 나타난다. 이 현상에 의해 스페이서(58)는 노즐(56)을 통해 분사된다.

스페이서(58)는 도 4b에 도시된 바와 같이 노즐(56)을 통해 분사된 후, 스페 이서(58)는 도 4c와 같이 광원(60)에 의해 자외선에 노출되거나 열에 의한 소성과정을 거치게 된다. 이에 따라, 스페이서(58)는 일정폭(W)과 높이(H)를 가지게 된다.

이렇게 잉크젯 분사방식으로 스페이서(58)를 형성하는 경우 스페이서(58)는 점도가 낮은 상태이므로 노즐(56)을 통해 기판으로 떨어지면서 중력을 받게 된다. 이에 따라, 스페이서(58)는 기판(40) 상에 안착할 때 넓게 퍼지게 되어 액정패널의 상판과 하판 사이의 갭을 유지시키기 위한 스페이서(58)의 최소한의 높이보다 낮게 형성되며, 소성공정 후에도 원하는 셀갭의 높이에 해당하는 스페이서(58)의 높이를 얻지 못하게 된다. 적정한 셀갭을 유지하는 스페이서(58)의 높이를 얻지 못하게 되면 휘도, 콘트라스트를 제대로 얻지 못하게 되어 화질이 떨어지게 된다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 스페이서의 높이를 높게 형성시킬 수 있는 액정표시장치 및 그 제조방법을 제공하는데 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명에 따른 액정표시장치는 기판 상에 형성된 다층 중에서 임의의 한 층을 패터닝하고 남은 포토레지스터패턴과, 포토레지스터패턴을 덮는 스페이서를 구비하는 것을 특징으로 한다.

상기 스페이서는 다층으로 구성되는 박막트랜지스터와 신호배선을 포함하는 하부기판에 형성되는 것을 특징으로 한다.

상기 박막트랜지스터는 신호배선 중에서 스캔신호가 공급되는 게이트라인에 연결되는 게이트전극과, 신호배선 중에서 데이터신호가 공급되는 데이터라인에 연결되는 소스전극과, 소스전극과 소정간격으로 이격되는 드레인전극을 구비하는 것을 특징으로 한다.

상기 다층은 게이트전극 및 게이트라인을 포함하는 게이트 금속층과, 게이트 금속층을 덮도록 기판 전면에 증착되는 게이트절연막과, 게이트절연막 상에 형성되는 반도체층과, 반도체층 상에 형성되며 신호배선들 중에서 데이터라인 및 소스 및 드레인전극을 포함한 소스/드레인 금속층과, 소스/드레인 금속층을 덮도록 기판 전면에 형성되는 보호층과, 보호층 상에 형성되며 드레인전극과 전기적으로 접속되는 화소전극을 구비하는 것을 특징으로 한다.

상기 다층 중에서 임의의 한 층은 상기 게이트 금속층, 반도체층 , 소스/드레인 금속층, 보호층 및 화소전극 중 어느 하나인 것을 특징으로 한다.

상기 스페이서는 블랙매트릭스와 공통전극을 포함한 상부기판에 형성되는 것을 특징으로 한다.

본 발명에 따른 액정표시장치의 제조방법은 기판 상에 다층을 형성할 때 상기 다층 중에서 임의의 한 층 상에 포토레지스터를 코팅하는 단계와, 포토레지스터를 패터닝하는 단계와, 포토레지스터패턴을 덮도록 스페이서를 분사하는 단계와, 포토레지스터패턴이 형성된 임의의 한 층을 패터닝하는 단계를 포함하는 것을 특징으로 한다.

상기 기판은 다층으로 구성되는 박막트랜지스터와 신호배선을 포함한 하부기판인 것을 특징으로 한다.

상기 박막트랜지스터는 상기 신호배선 중에서 게이트라인에 연결되는 게이트전극을 형성하는 단계와, 신호배선 중에서 데이터신호가 공급되는 데이터라인에 연결되는 소스전극을 형성하는 단계와, 소스전극과 소정간격으로 이격되는 드레인전극을 형성하는 단계를 포함하는 것을 특징으로 한다.

상기 다층을 형성하는 단계는 게이트전극 및 게이트라인을 포함하는 게이트 금속층을 형성하는 단계와, 게이트 금속층을 덮도록 기판 전면에 게이트절연막을 형성하는 단계와, 게이트절연막 상에 반도체층을 형성하는 단계와, 신호배선들 중에서 데이터라인 및 소스 및 드레인전극을 포함한 소스/드레인 금속층을 반도체층 상에 형성하는 단계와, 소스/드레인 금속층을 덮도록 기판 전면에 보호층을 형성하는 단계와, 드레인전극과 전기적으로 접속되는 화소전극을 보호층 상에 형성하는 단계를 포함하는 것을 특징으로 한다.

상기 기판은 블랙매트릭스와 공통전극을 포함한 상부기판인 것을 특징으로 한다.

상기 상부기판은 화소간 경계부에 화소영역을 분리하도록 블랙매트릭스를 형성하는 단계와, 블랙매트릭스 사이의 화소영역에 컬러필터를 형성하는 단계와, 컬러필터 상에 공통전극을 형성하는 단계를 포함하는 것을 특징으로 한다.

상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부도면을 참조한 실시 예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

이하, 도 5 내지 도 7g를 참조하여 본 발명의 바람직한 실시 예에 대하여 설명하기로 한다.

도 5는 본 발명의 실시 예에 따른 액정표시장치를 나타내는 평면도이며, 도 6은 도 5에 도시된 액정표시장치를 선 A-A'을 따라 절취한 단면도이다.

도 5 및 도 6을 참조하면, 본 발명의 액정표시장치는 게이트라인(61)과 데이터라인(62)의 교차부에 형성된 TFT(71)와, 게이트라인(61)과 데이터라인(62)의 교차구조로 마련된 화소영역에 형성된 화소전극(78)과, 상기 화소전극(78) 패턴시 이용되는 포토레지스터(82)가 중심에 형성된 스페이서(80)를 구비한다.

TFT(71)는 하부기판(90) 상에 형성된 게이트전극(64), 게이트절연막(66), 활성층(68), 오믹접촉층(70), 소스 및 드레인전극(72, 74)이 순차적으로 적층되어 구성된다. 게이트전극(64)은 게이트라인(61)과 연결되며, 소스전극(72)은 데이터라인(62)과 연결된다. 드레인전극(74)은 TFT(71)를 보호하기 위한 보호층(76)에 형성된 컨택홀(79a)을 통해 화소전극(78)과 접촉된다.

스페이서(80)는 내부에 포토레지스터 패턴(82)이 형성되어 있어 스페이서(80) 형성시 손쉽게 스페이서(80)를 높이를 높게 형성할 수 있게 된다.

도 7a 내지 도 7g는 도 6에 도시된 액정표시장치의 제조방법을 단계적으로 도시한 도면이다.

도 7a를 참조하면, TFT(71)가 형성된 하부기판(82) 전면에 보호층(76)이 형성되며, 보호층(76) 상에 화소전극(78)이 증착된다.

TFT(71)의 게이트전극(64)은 금속박막을 형성한 후, 습식방법을 포함하는 포 토리쏘그래피방법으로 패터닝함으로써 게이트라인(61)과 함께 형성된다. 게이트전극(64)이 형성된 하부기판(82) 상에 게이트절연막(66), 활성층(68) 및 오믹접촉층(70)이 순차적으로 적층된다. 게이트절연막(66)은 질화실리콘 또는 산화실리콘의 절연물질을 하부기판(82) 상에 전면 증착함으로써 형성된다. 활성층(68) 및 오믹접촉층(70)은 게이트절연막(66) 상에 비정질실리콘층 및 불순물이 도핑된 비정질실리콘층을 화학기상증착방법(Chemical Vapor Deposition : 이하 'CVD'라 함)을 이용하여 순차적으로 적층한 후, 이 비정질실리콘층 및 비정질실리콘층을 포토리쏘그래피방법으로 패터닝함으로써 형성된다. 게이트절연막(66) 상에 오믹접촉층(70)을 덮도록 소스 및 드레인전극(72, 74)이 형성된다. 소스 및 드레인전극(72, 74)은 오믹접촉층(70)을 덮도록 게이트절연막(66) 상에 금속을 CVD방법 또는 스퍼터링(sputtering) 방법으로 증착한 후, 포토리쏘그래피방법으로 패터닝함으로써 데이터라인(62)과 함께 형성된다. 이러한 소스 및 드레인전극(72, 74) 사이의 오믹접촉층(70)을 건식 식각하여 소스 및 드레인전극(72, 74) 사이로 활성층(68)이 노출되게 한다. TFT(71)가 형성된 하부기판(82) 상에 보호층(76)이 형성된다. 보호층(76)은 절연물질을 전면 증착한 후 패터닝함으로써 형성되며, 패터닝시 드레인전극(74)을 노출시키는 컨택홀(79a)이 형성된다. 이후, 보호층(76) 상에 투명전도성물질(78a)을 증착한다. 여기서, 투명전도성물질(78a)은 인듐-틴-옥사이드(Indium-Tin-Oxide ; 이하 'ITO'라 함), 인듐-징크-옥사이드(Indium-Zinc-Oxide ; 이하 'IZO'라 함), 인듐-틴-징크-옥사이드(Indium-Tin-Zinc-Oxide ; 이하 'ITZO'라 함)들 중 어느 하나이다.

도 7b에 도시된 바와 같이 투명전도성물질(78a) 상에 포토레지스터(82)를 코팅한 후, 포토레지스터(82) 상에 투과부(84a)와 차단부(84b)를 가지는 포토마스크(84)를 정렬한다. 여기서, 포토레지스터(82)는 노광된 영역이 제거되고 노광되지 않은 영역이 남게 되는 포지티브(positive) 타입이다. 포토마스크(84)를 통하여 자외선(UV)이 포토레지스터(82) 쪽으로 조사되면 투과부(84a)에 대응되는 포토레지스터(82)는 자외선에 노출되며 차단부(84b)에 대응되는 포토레지스터(82)는 자외선에 노출되지 않는다.

이후, 도 7c에서 보여지듯이 현상공정에 의해 자외선에 노출된 포토레지스터(82)는 제거된다. 이때, 포토레지스터 홀(85)이 형성되고 홀(85) 중신에 스페이서(80)의 내부 기둥이 될 포토레지스터 패턴이 형성된다. 이 홀(85)에 도 7d에 도시된 바와 같이 잉크젯 분사장치(86)를 정렬한 후, 홀(85) 내부에 스페이서(80)를 분사한다. 양측 홀(85)에 분사된 스페이서(80)는 홀(85) 중앙에 위치한 포토레지스터(82)를 덮게 된다. 이때, 스페이서(80)는 코팅된 포토레지스터(82)의 높이보다 높게 형성된다. 이어서, 포스트 베이킹(post baking) 공정을 통하여 스페이서(80)를 굳힌다.

이후, 도 7e에 도시된 바와 같이 식각공정을 통하여 투명전도성물질(78a)을 패터닝한다. 이러한 식각공정을 통하여 도 7f에 도시된 바와 같이포토레지스터(82)에 대응되는 투명전도성물질(78a)만 남게 되고 노출된 투명전도성물질(78

a)은 제거되어 패터닝된다. 패터닝된 투명전도성물질(78a)은 화소전극(78)이 된다. 식각 공정에서 스페이서(80)는 식각액(88)에 불활성 물질이 거나 식각공정에 견딜 수 있는 물질이다. 이에 따라, 스페이서(80)는 식각공정에서 제거되지 않으므로 스페이서(80) 내부에 형성된 포토레지스터(82) 또한 제거되지 않는다.

이어서, 도 7g에 도시된 바와 같이 스트립공정을 통하여 포토레지스터(82)를 제거한다. 여기서, 스페이서(80)는 스트립공정에서 스트립되지 않는 물질로 형성된다.

이와 같이 스페이서(80) 내부에 기둥 형태의 포토레지스터(82)가 형성되어 있으면 스페이서(80) 높이를 형성함에 있어서 종래보다 훨씬 쉬운 방법으로 스페이서(80)를 높게 형성시킬 수 있게 된다.

또한, 본 발명의 스페이서(80)는 화소전극(78)을 패터닝할 때 사용하는 포토레지스터(82)을 사용하여 형성되므로 종래의 공정에서 잉크젯 분사공정만 추가되므로 스페이서(80)를 형성하는 공정이 간단하다. 뿐만 아니라, 스페이서(80)를 형성하고자 하는 위치에만 스페이서(80)를 형성할 수 있으므로 기존 공정에 비하여 재료를 절감할 수 있다.

이렇게 스페이서(80)는 화소전극(78)을 패터닝할 때 사용되는 포토레지스터(82)가 내부에 형성될 수 있으며, 화소전극(78)의 패터닝 대신에 금속전극, 보호층, 반도체층 및 게이트절연막을 패터닝할 때 본 발명을 적용할 수도 있다. 본 발명의 스페이서(80)는 비표시영역, 즉 게이트라인, 데이터라인 및 TFT 영역에 대응되는 영역에 형성된다.

또한, 본 발명에 따른 스페이서(80)는 액정표시장치의 상부기판에서 블랙매 트릭스을 패터닝할 때 사용되는 포토레지스를 이용하여 상부기판 상에 형성될 수도 있다.

발명의 효과

상술한 바와 같이, 본 발명에 따른 액정표시장치 및 그 제조방법은 스페이서 내부에 기둥 형태의 포토레지스터를 형성함으로써 스페이서의 높이를 포토레지스터의 높이보다 높게 형성시킬 수 있다. 또한, 본 발명에 따른 액정표시장치 및 그 제조방법은 스페이서를 형성하고자 하는 위치에 정확하게 형성시킬 수 있는 장점을 가지므로 종래와 대비하여 재료비를 절감할 수 있다. 나아가, 본 발명에 따른 액정표시장치 및 그 제조방법은 종래보다 스페이서 형성공정이 단순해짐과 아울러 재료비를 절감시킬 수 있다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허청구범위에 의해 정하여 져야만 할 것이다.

(57) 청구의 범위

청구항 1.
기판 상에 형성된 다층 중에서 임의의 한 층을 패터닝하고 남은 포토레지스터패턴과,

상기 포토레지스터패턴을 덮는 스페이서를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 2.
제 1 항에 있어서,

상기 스페이서는 다층으로 구성되는 박막트랜지스터와 신호배선을 포함하는 하부기판에 형성되는 것을 특징으로 하는 액정표시장치.

청구항 3.
제 2 항에 있어서,

상기 박막트랜지스터는 상기 신호배선 중에서 스캔신호가 공급되는 게이트라인에 연결되는 게이트전극과,

상기 신호배선 중에서 데이터신호가 공급되는 데이터라인에 연결되는 소스전극과,

상기 소스전극과 소정간격으로 이격되는 드레인전극을 구비하는 것을 특징으로 하는 액정표시장치.

청구항 4.
제 2 항에 있어서,

상기 다층은,

상기 게이트전극 및 게이트라인을 포함하는 게이트 금속층과,

상기 게이트 금속층을 덮도록 상기 기판 전면에 증착되는 게이트절연막과,

상기 게이트절연막 상에 형성되는 반도체층과,

상기 반도체층 상에 형성되며 상기 신호배선들 중에서 상기 데이터라인 및 소스 및 드레인전극을 포함한 소스/드레인 금속층과,

상기 소스/드레인 금속층을 덮도록 상기 기판 전면에 형성되는 보호층과,

상기 보호층 상에 형성되며 상기 드레인전극과 전기적으로 접속되는 화소전극을 구비하는 것을 특징으로 하는 액정표시장치.

청구항 5.
제 4 항에 있어서,

상기 다층 중에서 임의의 한 층은 상기 게이트 금속층, 반도체층 , 소스/드레인 금속층, 보호층 및 화소전극 중 어느 하나인 것을 특징으로 하는 액정표시장치.

청구항 6.
제 1 항에 있어서,

상기 스페이서는 블랙매트릭스와 공통전극을 포함한 상부기판에 형성되는 것을 특징으로 하는 액정표시장치.

청구항 7.
기판 상에 다층을 형성할 때 상기 다층 중에서 임의의 한 층 상에 포토레지스터를 코팅하는 단계와,

상기 포토레지스터를 패터닝하는 단계와,

상기 포토레지스터패턴을 덮도록 스페이서를 분사하는 단계와,

상기 포토레지스터패턴이 형성된 상기 임의의 한 층을 패터닝하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 8.
제 7 항에 있어서,

상기 기판은 다층으로 구성되는 박막트랜지스터와 신호배선을 포함한 하부기판인 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 9.
제 8 항에 있어서,

상기 박막트랜지스터는 상기 신호배선 중에서 게이트라인에 연결되는 게이트전극을 형성하는 단계와,

상기 신호배선 중에서 데이터신호가 공급되는 데이터라인에 연결되는 소스전극을 형성하는 단계와,

상기 소스전극과 소정간격으로 이격되는 드레인전극을 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 10.

제 8 항에 있어서,

상기 다층을 형성하는 단계는

상기 게이트전극 및 게이트라인을 포함하는 게이트 금속층을 형성하는 단계 와,

상기 게이트 금속층을 덮도록 상기 기판 전면에 게이트절연막을 형성하는 단계와,

상기 게이트절연막 상에 반도체층을 형성하는 단계와,

상기 신호배선들 중에서 상기 데이터라인 및 소스 및 드레인전극을 포함한 소스/드레인 금속층을 상기 반도체층 상에 형성하는 단계와,

상기 소스/드레인 금속층을 덮도록 상기 기판 전면에 보호층을 형성하는 단계와,

상기 드레인전극과 전기적으로 접속되는 화소전극을 상기 보호층 상에 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 11.
제 10 항에 있어서,

상기 다층 중에서 임의의 한 층은 상기 게이트 금속층, 반도체층, 소스/드레인 금속층, 보호층 및 화소전극 중 어느 하나인 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 12.
제 7 항에 있어서,

상기 스페이서는 상기 신호배선영역과 박막트랜지스터영역 중 어느 하나의 영역 상에 위치하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 13.
제 7 항에 있어서,

상기 기판은 블랙매트릭스와 공통전극을 포함한 상부기판인 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 14.
제 13 항에 있어서,

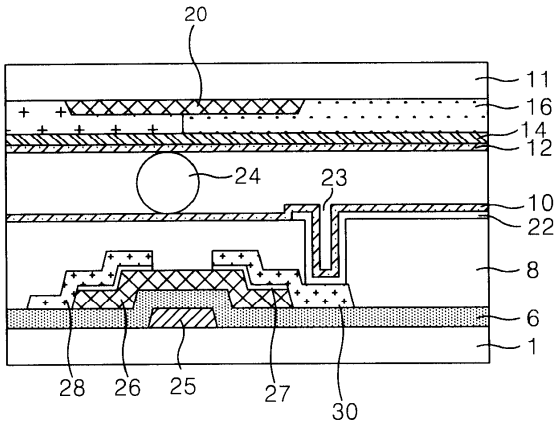
상기 상부기판은 화소간 경계부에 화소영역을 분리하도록 블랙매트릭스를 형성하는 단계와,

상기 블랙매트릭스 사이의 화소영역에 컬러필터를 형성하는 단계와,

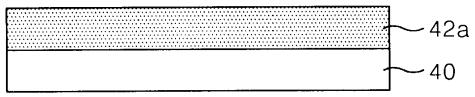
상기 컬러필터 상에 공통전극을 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

도면

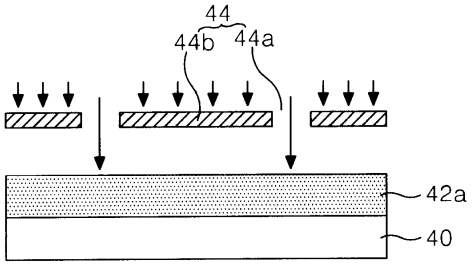
도면1



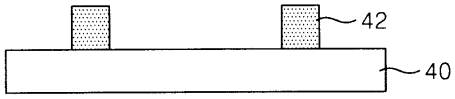
도면2a



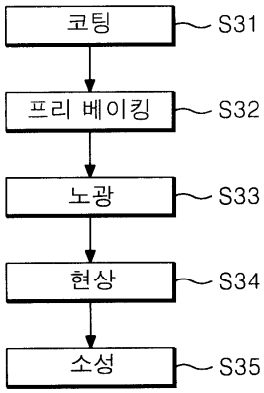
도면2b



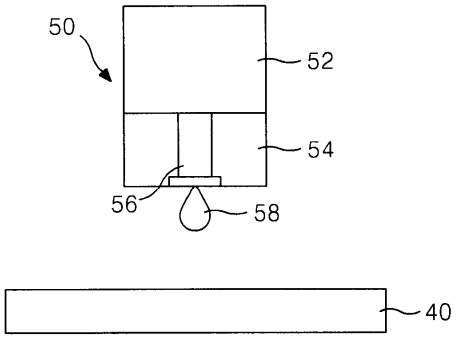
도면2c



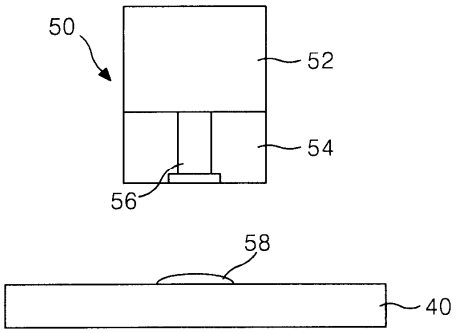
도면3



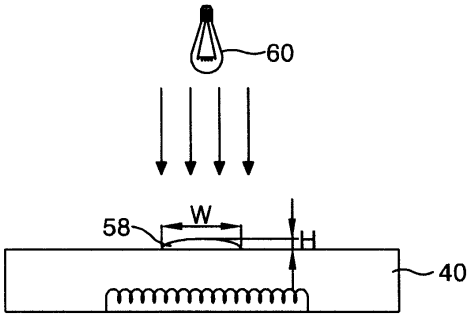
도면4a



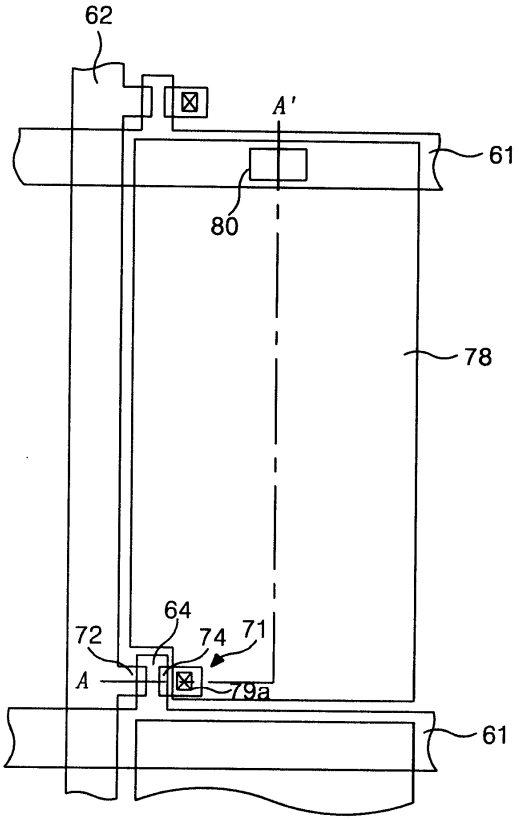
도면4b



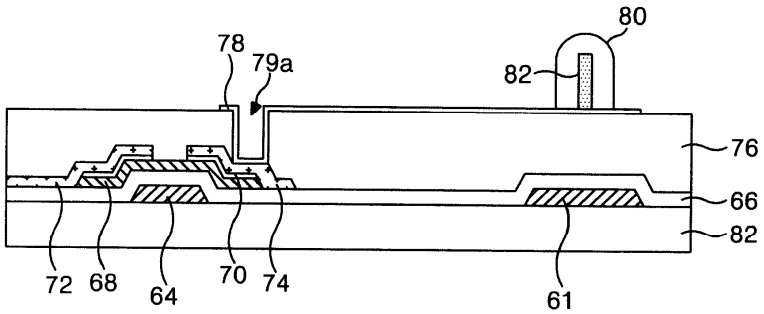
도면4c



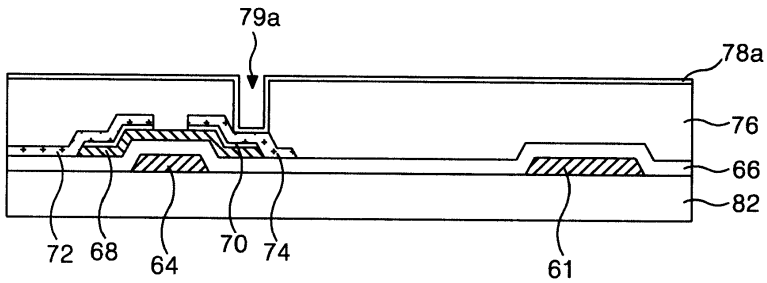
도면5


62
A'
61
80
78
64
72
74
71
A
79a
61

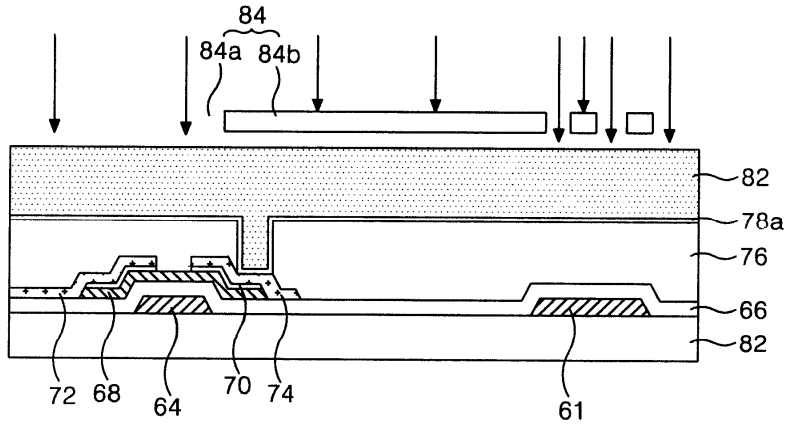
도면6


80
78
79a
82
76
66
82
72
68
64
70
74
61

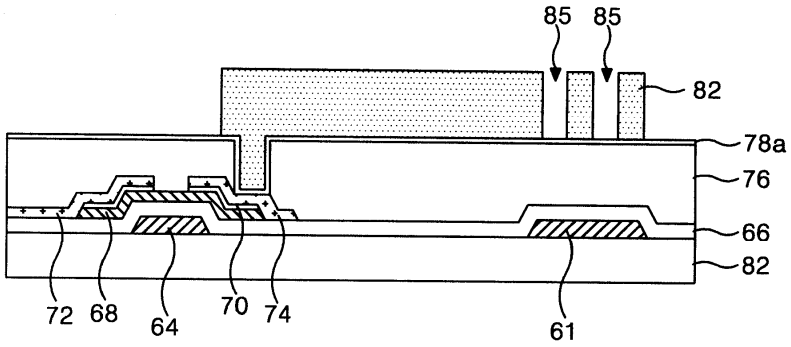
도면7a


79a
78a
76
66
82
72
68
64
70
74
61

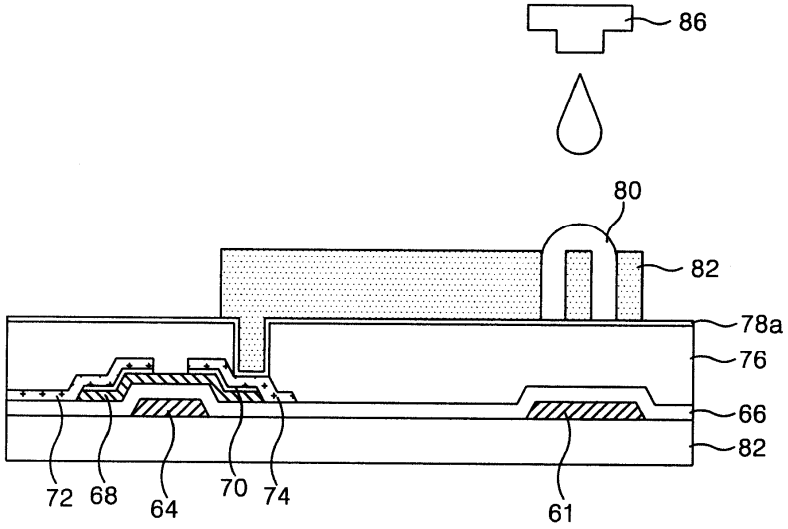
도면7b



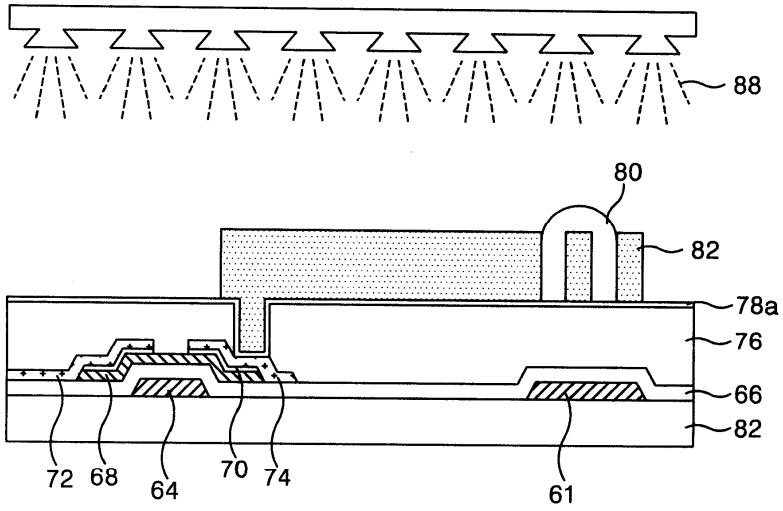
도면7c



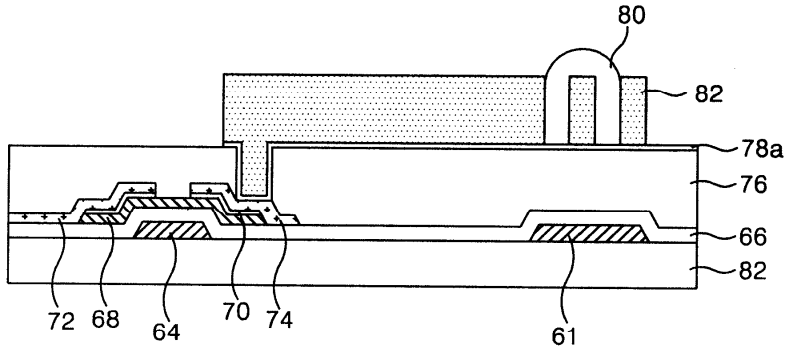
도면7d



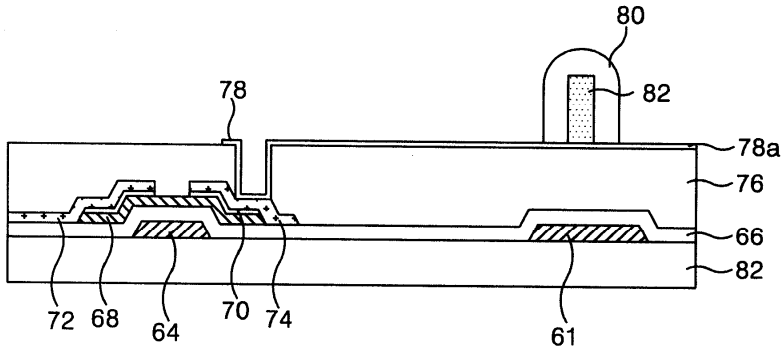
도면7e



도면7f



도면7g



专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	KR1020040024364A	公开(公告)日	2004-03-20
申请号	KR1020020055954	申请日	2002-09-14
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM YONGBUM 김용범 JUN JAEHONG 전재홍		
发明人	김용범 전재홍		
IPC分类号	G02F1/1339		
CPC分类号	G02B1/14 G02F1/13394 G02F1/136209 G02F1/136286 G02F1/1368 G02F2001/136222 G02F2001/13625 G02F2201/123		
代理人(译)	KIM，YOUNG HO		
外部链接	Espacenet		

摘要(译)

本发明涉及液晶显示装置及其制造方法，其高度可形成间隔物的高度。根据本发明的液晶显示器包括光电阻器，并且放置在光电阻器上的间隔物在所形成的多层中在基板上图案化任意单层。