

(19) 대한민국특허청(KR) (12) 공개특허공보(A)

(51) 。 Int. Cl. ⁷
G02F 1/136

(11) 공개번호 특2003 - 0032531
(43) 공개일자 2003년04월26일

(21) 출원번호 10 - 2001 - 0064341
(22) 출원일자 2001년10월18일

(71) 출원인 삼성전자주식회사
경기도 수원시 팔달구 매탄3동 416번지
(72) 발명자 이정호
경기도수원시팔달구영통동청명마을삼익아파트324동1601호
홍문표
경기도성남시분당구수내동푸른마을쌍용아파트401동2202호
(74) 대리인 유미특허법인

심사청구 : 없음

(54) 액정 표시 장치용 박막 트랜지스터 기판 및 그 제조 방법

요약

절연 기판 위에 게이트선, 게이트 전극 및 게이트 패드를 포함하는 게이트 배선을 형성한다. 이어, 게이트 배선을 덮는 게이트 절연막을 형성한다. 다음, 게이트 전극의 게이트 절연막 상부에 반도체 패턴을 형성한다. 이어, 반도체 패턴 또는 게이트 절연막 상부에 데이터선과 소스 전극, 드레인 전극 및 데이터 패드를 포함하는 데이터 배선을 형성한다. 다음, SiOC 또는 SiOF 등과 같은 저유전율 절연 물질을 화학 기상 증착으로 보호막을 형성한 후, 보호막을 패터닝하여 게이트 패드 또는 데이터 패드 주위의 보호막을 다른 부분보다 얇은 두께를 가지도록 형성한다. 이어, 드레인 전극과 연결되는 화소 전극과 게이트 패드 및 데이터 패드와 연결되는 보조 게이트 패드 및 보조 데이터 패드를 형성한다.

대표도

도 1

색인어

SiOC, SiOF, 컬러필터, 슬릿, 이방성도전필름, 패드

명세서

도면의 간단한 설명

도 1은 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 배치도이고,
 도 2a는 도 1의 II - II' 선에 따른 단면도이며,
 도 2b는 본 발명의 제2 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 단면도이고,
 도 3a는 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 제조 공정을 도시한 배치도이고,
 도 3b는 도 3a의 IIIb - IIIb' 선에 대한 단면도이며,
 도 4a는 본 발명의 실시예에 따라 제조하는 박막 트랜지스터 기판의 배치도로서, 도 3a의 다음 단계를 도시한 도면이고,
 도 4b는 도 4a의 IVb - IVb' 선에 대한 단면도이며,
 도 5a는 본 발명의 실시예에 따라 제조하는 박막 트랜지스터 기판의 배치도로서, 도 4a의 다음 단계를 도시한 도면이고,
 도 5b는 도 5a의 Vb - Vb' 선에 대한 단면도이며,
 도 6a는 본 발명의 실시예에 따라 제조하는 박막 트랜지스터 기판의 배치도로서, 도 5a의 다음 단계를 도시한 도면이고,
 도 6b는 도 5a의 VIb - VIb' 선에 대한 단면도이며,
 도 7a는 본 발명의 실시예에 따라 제조하는 박막 트랜지스터 기판의 배치도로서, 도 6a의 다음 단계를 도시한 도면이고,
 도 7b는 도 7a의 VIIb - VIIb' 선에 대한 단면도이며,
 도 8a는 본 발명의 실시예에 따라 제조하는 박막 트랜지스터 기판의 배치도로서, 도 7a의 다음 단계를 도시한 도면이고,
 도 8b는 도 8a에서 VIIIb - VIIIb' 선에 대한 단면도이며,
 도 9a 내지 도 9b는 도 8a의 VIIIb - VIIIb' 선에 대한 단면도로서, 도 8b의 이전 단계를 공정 순서에 따라 도시한 단면도이며,
 도 10은 게이트 패드 또는 데이터 패드 및 그 상부의 보호막을 도시한 평면도이고,
 도 11a 및 도 11b는 도 10의 X - X' 선에 대한 단면도로서, 그 공정 순서에 따라 도시한 단면도이며,
 도 12는 본 발명의 제3 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 구조를 개략적으로 도시한 배치도이고,
 도 13 및 도 14는 도 12에서 XIII - XIII' 및 XIV - XIV' 선에 대한 단면도이고,
 도 15a는 본 발명의 제2 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판을 제조하는 과정을 도시한 배치도이고,
 도 15b 및 도 15c는 도 15a의 XVb - XVb' 및 XVc - XVc 선에 대한 단면도이고,
 도 16a는 본 발명의 제2 실시예에 따라 제조하는 박막 트랜지스터 기판의 배치도이고,
 도 16b 내지 도 16d는 각각 도 16a에서 XVIb - XVIb' 선 및 XVIc - XVIc' 선에 대한 단면도로, 도 16b는 도 16c의 전 단계를 도시한 단면도이고,

도 17a 및 17b는 각각 도 16a에서 XVIb - XVIb' 선 및 XVIc - XVIc' 선에 대한 단면도로서, 도 16b 및 도 16c 다음 단계에서의 단면도이고,

도 18a는 도 17a 및 17b 다음 단계에서의 박막 트랜지스터 기판의 배치도이고,

도 18b 및 18c는 각각 도 18a에서 XVIIIb - XVIIIb' 선 및 XVIIIc - XVIIIc' 선에 대한 단면도이며,

도 19a, 20a, 21a와 도 19b, 20b, 21b는 각각 도 18a에서 XVIIIb - XVIIIb' 선 및 XVIIIc - XVIIIc' 선에 대한 단면도로서 도 18b 및 18c 다음 단계들을 공정 순서에 따라 도시한 것이고,

도 22a는 도 21a 및 21b 다음 단계에서의 박막 트랜지스터 기판의 배치도이고,

도 22b 및 22c는 각각 도 22a에서 XXIIb - XXIIb' 선 및 XXIIc - XXIIc' 선에 대한 단면도이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법에 관한 것이다.

액정 표시 장치는 현재 가장 널리 사용되고 있는 평판 표시 장치 중 하나로서, 전극이 형성되어 있는 두 장의 기판과 그 사이에 삽입되어 있는 액정층으로 이루어져, 전극에 전압을 인가하여 액정층의 액정 분자들을 재배열시킴으로써 투과되는 빛의 양을 조절하여 화상을 표시하는 장치이다.

액정 표시 장치 중에서도 현재 주로 사용되는 것은 두 기판에 전극이 각각 형성되어 있고 전극에 인가되는 전압을 스위칭하는 박막 트랜지스터를 가지고 있는 액정 표시 장치이며, 두 기판 중 하나에는 박막 트랜지스터와 화소 전극, 게이트 배선과 데이터 배선, 게이트 패드와 데이터 패드가 형성되어 있으며, 나머지 다른 기판에는 컬러 필터와 블랙 매트릭스(black matrix)와 전면의 공통 전극이 형성되어 있는 것이 일반적이다.

이러한 액정 표시 장치를 제조함에 있어 배선과 배선 또는 배선과 전극 사이에는 산화 규소(SiO_2) 또는 질화 규소(SiN_x) 등으로 층간 절연막을 형성하여 도전성 배선을 서로 절연시키는데, 데이터선과 화소 전극 사이에서 발생하는 커플링 용량이 너무 커서 최근에는 낮은 유전율을 가지는 BCB(benzocyclobutene), PFCB(perfluorocyclobutene), 아크릴계 수지(acryl) 등의 유기 절연막 또는 SiOC 의 무기 절연막 등을 층간 절연막으로 종종 사용하여 박막 트랜지스터의 고개구율을 실현하는데 사용하고 있다.

한편, 액정 표시 장치의 기판에는 외부로부터 주사 신호 및 화상 신호를 인가 받는 게이트 패드 및 데이터 패드가 형성되어 있으며, 이들은 주사 신호 및 화상 신호를 출력하는 탭 구동 집적회로와 접속되어 있다. 이때, 패드와 구동 집적회로의 출력 단자를 연결시키기 위해서는 기판의 패드부 상부에 이방성 도전 입자(anisotropic conductive film; ACF)를 부착하고, 구동 집적회로를 포함하여 테이프 캐리어 패키지(tape carrier package; TCP)를 압착하여 출력 단자와 패드를 이방성 도전 입자를 통하여 전기적으로 연결하는데, 이를 OLB(outer lead bonding) 공정이라 한다.

그러나, 이러한 OLB 공정에서 층간 절연막의 두께로 인해 탭 구동 집적회로가 패드에 잘 부착되지 않거나 부착했어도 떨어지게 되는 문제점이 발생한다. 이는 이방성 도전 입자와 층간 절연막의 두께 차이가 크지 않아 이방성 도전 입자를 패드에 압착할 때 이방성 도전 입자에 충분히 압착력을 전달할 수 없기 때문이다. 또는, 패드 부분에서 발생하는 부식을 제거하기 위해 면봉 등으로 기판을 닦는 경우에 층간 절연막이 떨어질 수 있다. 이로 인하여 층간 절연막 위에 형성되어

있는 ITO 또는 IZO 등의 투명 도전 물질이 층간 절연막과 함께 떨어져서 인접하고 있는 패드 사이에 놓이게 되어 패드 사이에는 단락이 발생한다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 패드와 탭 구동 집적회로의 출력 단자 사이의 접촉력을 확보할 수 있는 액정 표시 장치용 박막 트랜지스터 기판 및 그 제조방법을 제공하는 것이다.

발명의 구성 및 작용

이러한 과제를 달성하기 위하여 본 발명에서는 패드 주위의 보호막을 슬릿이나 격자 형태의 패턴을 이용하여 패드 주위의 보호막을 다른 부분보다 얇은 두께를 가지도록 형성하거나 보호막에 패드를 드러내는 접촉 구멍을 다수로 형성한다.

본 발명의 실시예에 따르면, 액정 표시 장치용 박막 트랜지스터 기판은 게이트선, 게이트 전극 및 게이트 패드를 포함하는 게이트 배선과, 게이트 배선을 덮는 게이트 절연막과, 게이트 전극의 게이트 절연막 상부에 형성되어 있는 반도체 패턴과, 반도체 패턴 또는 게이트 절연막 상부에 형성되어 있으며 데이터선과 소스 전극, 드레인 전극 및 데이터 패드를 포함하는 데이터 배선과, 데이터 배선 및 게이트 절연막을 실리콘 옥시카바이드의 절연 물질로 덮고 있으며 드레인 전극을 드러내는 제1 접촉 구멍 및 게이트 패드 또는 데이터 패드를 드러내는 제2 접촉 구멍을 가지며 제2 접촉 구멍의 주위는 다른 부분보다 낮은 두께로 형성되어 있는 보호막과, 제1 접촉 구멍을 통하여 드러난 상기 드레인 전극과 연결되는 화소 전극을 포함한다.

이때, 절연 기판 위에 형성되어 있으며 게이트선 및 데이터선으로 정의되는 화소에 개구부를 가지는 블랙 매트릭스 및 기판 상부에 적, 녹, 청의 컬러 필터를 더 포함할 수 있다.

또는, 액정 표시 장치용 박막 트랜지스터 기판은 게이트선, 게이트 전극 및 게이트 패드를 포함하는 게이트 배선과, 게이트 배선을 덮는 게이트 절연막과, 게이트 전극의 게이트 절연막 상부에 형성되어 있는 반도체 패턴과, 반도체 패턴 또는 게이트 절연막 상부에 형성되어 있으며 데이터선과 소스 전극, 드레인 전극 및 데이터 패드를 포함하는 데이터 배선과, 데이터 배선 및 게이트 절연막을 실리콘 옥시카바이드의 절연 물질로 덮으며, 드레인 전극을 드러내는 제1 접촉 구멍과 적어도 둘 이상이며 게이트 패드 또는 데이터 패드를 드러내는 제2 접촉 구멍을 갖는 보호막과, 제1 접촉 구멍을 통하여 드러난 드레인 전극과 연결되는 화소 전극을 포함한다.

이때, 제2 접촉 구멍의 크기는 $5\mu\text{m}$ 이하로 형성되는 것이 바람직하다.

그러면, 첨부한 도면을 참고로 하여 본 발명의 제1 실시예에 따른 액정 표시 장치 및 그 제조 방법에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다.

먼저, 도 1 내지 도 2b를 참고로 하여 본 발명의 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 구조에 대하여 상세히 설명한다.

도 1은 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 배치도이고, 도 2a는 각각 도 1의 II - II' 선에 대한 단면도이고, 도 2b는 본 발명의 제2 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 단면도이다.

하부 절연 기판(10)의 상부에 구리 계열, 알루미늄 계열 또는 크롬 또는 몰리브덴 계열 또는 질화 크롬 또는 질화 몰리

브덴 등을 포함하는 단일막 또는 다층막으로 이루어진 블랙 매트릭스(22)가 형성되어 있다. 블랙 매트릭스(22)는 매트릭스 모양의 화소에 개구부를 가지고 있어 그물 모양으로 형성되어 있으며, 화소의 사이에서 누설되는 빛을 차단하며, 이후에 형성되는 박막 트랜지스터의 반도체층(70)으로 입사하는 빛을 차단하기 위해 변형된 형태를 가질 수 있다. 이때, 본 발명의 실시예에서는 나타나지 않았지만 블랙 매트릭스와 동일한 층에는 이후에 형성되는 게이트 배선 및 데이터 배선에 주사 신호 및 화상 신호를 외부로부터 전달하기 위한 게이트 패드 및 데이터 패드가 형성될 수 있다.

하부 절연 기판(10)의 상부 화소에는 가장자리 부분이 블랙 매트릭스(22)를 덮는 적(R), 녹(G), 청(B)의 컬러 필터(31, 32, 33)가 각각 형성되어 있다. 여기서, 컬러 필터(31, 32, 33)는 블랙 매트릭스(22) 상부에서 서로 겹치도록 형성될 수 있으며, 350°C 이상의 박막 트랜지스터 제조 온도에 의해서 색 특성이 변하지 않는 물질을 사용하는 것이 바람직하다.

블랙 매트릭스(22)와 컬러 필터(31, 32, 33) 위에는 BCB (bisbenzocyclobutene) 또는 PFCB(perfluorocyclobutene) 등과 같이 3.0 이하의 낮은 유전율을 가지며 300°C 이상의 내열성이 우수한 물질로 이루어져 있으며, 평탄화되어 있는 유기 절연막(40)이 형성되어 있다.

유기 절연막(40) 상부에는 알루미늄(Al) 또는 알루미늄 합금(Al alloy), 몰리브덴(Mo) 또는 몰리브덴 - 텅스텐(MoW) 합금, 크롬(Cr), 탄탈륨(Ta), 구리(Cu) 또는 구리 합금(Cu alloy) 등의 금속 또는 도전체로 만들어진 게이트 배선이 형성되어 있다. 게이트 배선은 게이트선(52), 게이트선(52)의 분지인 게이트 전극(56), 게이트선(52)의 끝에 연결되어 있어 외부로부터 주사 신호를 인가 받아 게이트선(52)으로 전달하는 게이트 패드(53)를 포함한다. 여기서, 게이트선(52)은 후술할 화소 전극(112)과 중첩되어 화소의 전하 보존 능력을 향상시키는 유지 축전기를 이루며, 후술할 화소 전극(112)과 게이트선(52)의 중첩으로 발생하는 유지 용량이 충분하지 않을 경우 유지 용량용 배선을 추가로 형성할 수도 있다.

게이트 배선(52, 53, 56)은 저저항을 가지는 구리 계열 또는 알루미늄 계열 또는 은 계열 등의 단일막으로 형성될 수도 있지만, 이중층이나 삼중층으로 형성될 수도 있다.

유기 절연막(40) 위에는 질화 규소(SiN_x) 따위로 이루어진 게이트 절연막 (60)이 게이트 배선(52, 53, 56)을 덮고 있으며, 게이트 전극(56)의 게이트 절연막 (60) 상부에는 수소화 비정질 규소(hydrogenated amorphous silicon) 따위의 반도체로 이루어진 반도체층(70)이 형성되어 있다. 반도체층(70) 위에는 인(P) 따위의 n형 불순물로 고농도로 도핑되어 있는 비정질 규소 또는 미세 결정화된 규소 또는 금속 실리사이드 따위를 포함하는 저항성 접촉층(ohmic contact layer)(85, 86)이 게이트 전극(56)을 중심으로 분리되어 형성되어 있다.

게이트 절연막(60) 및 저항성 접촉층(85, 86) 위에는 저저항을 가지는 알루미늄 계열 또는 구리 계열 또는 은 계열의 도전 물질로 이루어진 데이터 배선이 형성되어 있다. 데이터 배선은 세로 방향으로 형성되어 있는 데이터선(92), 데이터선(92)의 한쪽 끝에 연결되어 외부로부터의 화상 신호를 인가받는 데이터 패드(98), 그리고 데이터선(92)과 연결되어 있으며 저항성 접촉층(85) 위에 위치하는 소스 전극(95) 및 데이터선부(92, 95, 98)와 분리되어 있으며 게이트 전극(56)에 대하여 소스 전극(95)의 반대쪽의 저항성 접촉층(86)의 상부에 위치하는 박막 트랜지스터의 드레인 전극(96)을 포함한다.

데이터 배선(92, 95, 96, 98)도 게이트 배선(52, 56)과 마찬가지로 저저항을 가지는 도전 물질의 단일층으로 형성될 수도 있지만, 이중층이나 삼중층으로 형성될 수도 있다. 물론, 이중층 이상으로 형성하는 경우에는 한 층은 저항이 작은 물질로 형성하고 다른 층은 다른 물질과의 접촉 특성이 좋은 물질로 만드는 것이 바람직하며, 데이터 패드(98)를 게이트 패드(53)와 동일한 층으로 형성하는 경우에는 다른 물질과의 접촉 특성을 고려하지 않고 저항이 작은 도전 물질의 단일막으로 형성하는 것이 바람직하다.

데이터 배선(92, 95, 96, 98) 위에는 낮은 유전율을 갖는 SiOC 또는 SiOF 등의 저유전율 절연 물질로 이루어진 보호막(100)이 형성되어 있다. 여기서, 보호막(100)은 드레인 전극(96) 및 데이터 패드(98)를 드러내는 접촉구멍(102, 108)을 가지고 있으며, 또한 게이트 절연막(60)과 함께 게이트 패드(53)를 드러내는 접촉 구멍(106)을 가지고 있다.

도 2a에 도시한 바와 같이, 게이트 패드(53) 및 데이터 패드(98) 주위의 보호막(100)은 다른 부분보다 얇은 두께를 가지고 있다. 이는 구동 집적 회로를 액정 패널에 부착하는 OLB(outer lead bonding) 공정에서 이방성 도전 필름(an isotropic conductive film; ACF)에 포함되어 있는 도전성 입자에 압력을 충분히 전달되어 패드(53, 98)와 구동 집적 회로의 패드의 접착력을 강화할 수 있도록 하기 위함이다.

보호막(100) 위에는 박막 트랜지스터로부터 화상 신호를 받아 상판의 전극과 함께 전기장을 생성하는 화소 전극(112)이 형성되어 있다. 화소 전극(112)은 ITO(indium tin oxide) 또는 IZO(indium zinc oxide) 따위의 투명한 도전 물질로 만들어지며, 접촉 구멍(102)을 통하여 드레인 전극(96)과 물리적, 전기적으로 연결되어 화상 신호를 전달받는다. 화소 전극(112)은 또한 이웃하는 게이트선(52) 및 데이터선(92)과 중첩되어 개구율을 높이고 있으나, 중첩되지 않을 수도 있다. 한편, 게이트 패드(53) 및 데이터 패드(98) 위에는 접촉 구멍(106, 108)을 통하여 각각 이들과 연결되는 보조 게이트 패드(116) 및 보조 데이터 패드(118)가 형성되어 있으며, 이들은 패드(53, 98)와 외부 회로 장치와의 접착성을 보완하고 패드를 보호하는 역할을 하는 것으로 필수적인 것은 아니며, 이들의 적용 여부는 선택적이다.

한편, 패드(53, 98)의 접착력을 확보하기 위해 보호막(100)은 하나의 패드(26, 98)에 대하여 패드(26, 98)를 드러내는 접촉 구멍(106, 108)을 다수로 가질 수 있다. 이에 대해 도 2b를 참고하여 설명한다.

도 2b에 도시한 바와 같이, 대부분의 구조는 도 2a의 구조와 동일하지만, 보호막(100)에는 게이트 패드(53) 및 데이터 패드(98)를 각각 드러내는 접촉 구멍(106, 108)이 하나의 패드(53, 98)에 대하여 다수로 형성되어 있다. 이렇게 패드(53, 98)를 드러내는 다수의 접촉 구멍(106, 108)은 이후의 OLB 공정에서 이방성 도전 필름의 도전성 입자의 접촉 면적을 극대화하여 패드(53, 98)와 이방성 도전 입자의 접착을 강화할 수 있다. 또한, 패드(53, 98)에서 발생하는 부식을 면봉으로 닦을 때 발생하는 외력을 다수의 구멍을 통으로 분산시킬 수 있어 패드가 손상되는 것을 최소화할 수 있다.

이러한 본 발명의 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판에서는 패드(53, 98) 주위의 보호막(100)은 다른 부분보다 얇은 두께로 형성되거나 보호막(100)에 하나의 패드(53, 98)에 대하여 패드를 드러내는 접촉 구멍이 다수로 형성되어 있어 패드(53, 98)와 구동 집적 회로와의 접착을 강화할 수 있다. 또한, 데이터선(92)과 화소 전극(112) 사이에는 게이트 절연막(60)과 낮은 유전율을 가지는 보호막(100)이 형성되어 있어, 이들 사이에서 발생하는 커패시팅 용량을 최소화할 수 있어 표시 장치의 특성을 향상시킬 수 있는 동시에 이들 사이에 간격을 둘 필요가 없으므로 개구율을 최대한 확보할 수 있다.

그러면, 본 발명의 제1 및 제2 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법에 대하여 도 3a 내지 도 11b를 참고로 하여 상세히 설명한다.

먼저, 도 3a 내지 3b에 도시한 바와 같이, 도전 물질을 스퍼터링 따위의 방법으로 증착하고 마스크를 이용한 사진 식각 공정으로 건식 또는 습식 식각하여, 하부 절연 기판(10) 위에 블랙 매트릭스(22)를 형성한다.

여기서, 도전 물질은 알루미늄 또는 알루미늄 합금 또는 구리 또는 구리 합금 또는 은 계열 등과 같이 저저항을 가지는 도전 물질 또는 ITO와 접촉 특성이 우수한 크롬 또는 몰리브덴 또는 티타늄 또는 반사도가 낮은 질화 크롬 등을 포함하는 다층막으로 형성하는 것이 바람직하다.

이때, 블랙 매트릭스(22)와 동일한 층에는 게이트 패드(53) 또는 데이터 배선(92, 96, 98)을 형성할 수도 있다.

이어, 도 4a 및 4b에 도시한 바와 같이 적, 녹, 청의 안료를 포함하는 감광성 물질을 차례로 도포하고 마스크를 이용한 사진 공정으로 패터닝하여 적, 녹, 청의 컬러 필터(31, 32, 33)를 차례로 형성한다. 이때, 감광성 물질은 350°C 이상의 온도에서도 색특성이 변하지 않는 내열성 물질을 사용하는 것이 바람직하며, 적, 녹, 청의 컬러 필터(31, 32, 33)는 세장의 마스크를 사용하여 형성하지만, 제조 비용을 줄이기 위하여 하나의 마스크를 이동하면서 이용하여 형성할 수도 있다. 또한, 레이저(laser) 전사법이나 프린트(print)법을 이용하면 마스크를 사용하지 않고 형성할 수도 있어, 제조 비용을 최소화할 수도 있다. 이때, 도면에서 보는 바와 같이, 적, 녹, 청의 컬러 필터(31, 32, 33)의 가장자리는 블랙 매트릭스(22)와 중첩되도록 형성하는 것이 바람직하다.

이어, 도 5a 및 도 5b에서 보는 바와 같이, 하부 절연 기관(10) 상부에 350°C 이상의 내열 특성과 평탄화 특성이 우수한 BCB 또는 PFCB 등의 유기 물질을 이용하여 유기 절연막(40)을 형성한다. 다음, 그 유기 절연막(40) 상부에 알루미늄 또는 알루미늄 합금 또는 구리 또는 구리 합금 또는 은 계열 등과 같이 저저항을 가지는 게이트 배선용 도전 물질을 차례로 적층하고 마스크를 이용한 사진 식각 공정으로 게이트선(52), 게이트 전극(56) 및 게이트 패드(53)를 포함하는 게이트 배선을 형성한다. 이때, 게이트 배선(52, 56)은 블랙 매트릭스(22)의 가로부 안쪽으로 형성하는 것이 바람직하다.

여기서는, 게이트 배선(52, 56, 53)은 저저항을 가지는 도전 물질과 ITO 또는 IZO와 접촉 특성이 좋은 도전 물질로 이루어진 이중막으로 형성하는 것이 바람직하다.

다음, 도 6a 및 6b에 도시한 바와 같이, 게이트 절연막(60), 반도체층(70), 저항성 접촉층(80)을 화학 기상 증착법을 이용하여 각각 증착하고, 마스크를 이용한 사진 공정으로 패터닝하여 게이트 전극(53)과 마주하는 게이트 절연막(60) 상부에 반도체층(70) 및 저항성 접촉층(80)을 형성한다.

다음, 도 7a 내지 도 7b에 도시한 바와 같이, 폴리브덴 또는 폴리브덴 합금 또는 크롬을 적층한 후, 마스크를 이용한 사진 공정으로 패터닝하여 게이트선(52)과 교차하여 매트릭스 형태의 화소를 정의하는 데이터선(92), 데이터선(92)과 연결되어 게이트 전극(56) 상부까지 연장되어 있는 소스 전극(95), 데이터선(92)의 한쪽 끝에 연결되어 있는 데이터 패드(98) 및 소스 전극(95)과 분리되어 있으며 게이트 전극(56)을 중심으로 소스 전극(95)과 마주하는 드레인 전극(96)을 포함하는 데이터 배선을 형성한다.

이어, 데이터 배선(92, 95, 96, 98)으로 가리지 않는 도핑된 비정질 규소층 패턴(80)을 식각하여 게이트 전극(56)을 중심으로 양쪽으로 분리시키는 한편, 양쪽의 도핑된 비정질 규소층(85, 86) 사이의 반도체층 패턴(70)을 노출시킨다.

다음으로, 도 8a 및 8b에 도시한 바와 같이, SiOC 또는 SiOF 등과 같이 4.0이하의 낮은 유전율을 가지는 저유전율 절연 물질로 화학 기상 증착으로 적층하여 보호막(100)을 형성한다. 다음, 보호막(100)을 사진 식각 공정으로 패터닝하여 드레인 전극(96) 및 데이터 패드(98)를 드러내는 접촉 구멍(102, 108)을 형성하고, 게이트 절연막(60)을 식각하여 게이트 패드(53)를 드러내는 접촉 구멍(106)을 형성한다. 이때, OLB 공정에서 패드(53, 98) 주위의 보호막(100)은 이방성 도전 입자에 충분한 압력을 전달할 수 있도록 패드(53, 98) 주변의 보호막(100)은 다른 부분보다 얇은 두께로 형성한다. 이를 위해서는 슬릿(slot)이나 격자 형태의 패턴이 형성되어 빛의 투과량을 조절할 수 있는 반투과 영역을 가지는 마스크를 이용하여 감광막을 노광하고 현상하여 얇은 두께를 가지는 감광막 패턴을 형성하고 이를 식각 마스크로 사용하여 보호막(100)을 식각하면 된다.

도 9a에 도시한 바와 같이, 보호막(100) 상부에 감광막을 도포하고 부분적으로 빛 투과량을 조절할 수 있는 반투과 영역을 가지는 마스크(200)를 배치한 다음 감광막을 노광하고 현상하여 드레인 전극(96) 일부 위에는 제거되어 있으며, 패드(53, 98) 주변에는 제2 부분(314)보다 얇은 두께를 가지는 제1 부분(312)을 가지는 감광막 패턴(300)을 형성한다. 즉, a에 대응하는 영역에는 빛이 투과되지 못하도록 차광막을 배치하고, b에 대응하는 영역에는 슬릿(slit)이나 격자 형태의 패턴을 형성하여 빛의 투과량을 조절할 수 있도록 하고, c에 대응하는 영역에는 빛이 투과되도록 빈 공간으로 하여 마스크를 배치한다.

이때, b에 대응하는 영역에 배치하는 슬릿은 슬릿 사이에 위치한 패턴의 선 폭 또는 패턴 사이의 간격, 즉 슬릿의 폭은 노광시 사용하는 노광기의 분해능보다 작은 것이 바람직하다.

이어, 감광막 패턴(300)을 식각 마스크로 보호막(100) 및 게이트 절연막(60)을 식각하면 도 9b에 도시한 바와 같이, 드레인 전극(96), 게이트 패드(53) 및 데이터 패드(98)를 드러내는 접촉 구멍(102, 106, 108)을 형성한다.

이어, 얇은 두께를 가지는 제1 부분의 감광막 패턴(312)을 제거하고 남은 감광막 패턴의 제2 부분(314)을 식각 마스크로 보호막(100)의 일부를 식각하여 도 8b에서 보는 바와 같이 게이트 패드(53) 및 데이터 패드(98)의 주변의 보호막(100)을 다른 부분보다 얇게 형성한다.

여기서는 OLB 공정에서 패드(53, 98)와 구동 집적 회로와의 접착력을 강화하기 위해 패드(53, 98) 주위의 보호막(100)을 패드(53, 98)를 제외한 다른 부분보다 얇은 두께를 가지도록 형성하였지만, 제2 실시예와 같이 보호막(100)에 각각의 패드(53, 98)에 대하여 이들을 드러내는 접촉 구멍을 다수로 형성할 수도 있다. 그러면, 이에 대해 도 10 내지 11b를 참고하여 설명한다.

도 10은 게이트 패드 또는 데이터 패드가 형성되어 있는 패드부의 구조를 도시한 평면도이고, 도 11a는 도 10의 X1a - X1a' 선을 따라 잘라 도시한 단면도로 게이트 패드 및 데이터 패드 모두를 도시한 도면이며, 11b는 도 11a의 다음 단계의 단면도이다.

먼저, 도 10 및 11a에 도시한 바와 같이, 패드(53, 98) 주위의 보호막(100)에 다수의 접촉 구멍(106, 108)을 형성한다. 이때, 접촉 구멍(108)을 통하여 데이터 패드(98)가 드러난다. 다음, 도 11b에 도시한 바와 같이, 게이트 절연막(60)을 식각하여 접촉 구멍(106)을 통하여 게이트 패드(53)를 드러낸다. 이때, 접촉 구멍(106, 108)의 크기는 약 5 μ m의 크기를 가지는 이방성 도전 입자의 크기보다 같거나 작게 형성한다. 이는 패드(53, 98) 주위의 보호막(100)이 이방성 도전 입자와의 접촉 면적을 최대화할 수 있고, 면봉에 의해 부식을 제거할 때 패드(53, 98) 주위의 보호막(100)에 미치는 표면 접착력을 다수의 구멍으로 분산시킬 수 있다.

다음, 도 2a 및 2b에 도시한 바와 같이, ITO막을 적층하고 마스크를 이용한 패터닝을 실시하여 접촉 구멍(102)을 통하여 드레인 전극(96)과 연결되는 화소 전극(112)과 접촉 구멍(106, 108)을 통하여 게이트 패드(53) 및 데이터 패드(98)와 각각 연결되는 보조 게이트 패드(116) 및 보조 데이터 패드(118)를 각각 형성한다.

이러한 본 발명의 실시예에 따른 액정 표시 장치의 제조 방법에서는 앞에서 설명한 바와 같이, 패드(53, 98) 주위의 보호막(100)을 패드(53, 98)를 제외한 다른 부분의 보호막(100)보다 얇은 두께를 가지도록 형성하여 패드(53, 98)와 구동 집적 회로의 접착을 강화할 수 있다. 또한, 보호막(100)에 패드(53, 98)를 드러내는 접촉 구멍을 다수로 형성하여 패드(53, 98)와 이방성 도전 입자와의 접촉 면적을 최대화할 수 있다. 그리고, 하부 기판(10)의 상부에 컬러 필터(31, 32, 33) 및 블랙 매트릭스(22)를 박막 트랜지스터와 함께 형성함으로써 하부 기판과 상부 기판의 정렬 오차를 고려하지 않아도 되므로 개구율을 향상시킬 수 있다. 물론, 컬러 필터(31, 32, 33) 및 블랙 매트릭스(22)는 하부 기판(10)과 마주하는 상부 기판에 형성할 수도 있다.

이러한 본 발명의 제1 및 제2 실시예에서는 앞에서 설명한 바와 같이, 5매의 마스크를 이용하는 유기 절연막 상부의 박막 트랜지스터를 완성하는 제조 방법에 적용할 수 있지만, 4매의 마스크를 이용하여 유기 절연막 상부의 박막 트랜지스터 기판을 완성하는 제조 방법에서도 적용할 수 있다. 이에 대해서 도면을 참조하여 상세하게 설명한다.

먼저, 도 12 내지 도 14를 참고로 하여 본 발명의 실시예에 따른 4매 마스크를 이용하여 완성된 박막 트랜지스터를 가지는 액정 표시 장치용 박막 트랜지스터 기판의 단위 화소 구조에 대하여 상세히 설명한다.

도 12는 본 발명의 제3 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 배치도이고, 도 13 및 도 14는 각각 도 12에 도시한 박막 트랜지스터 기판을 XIII - XIII' 선 및 XIV - XIV' 선에 대한 단면도이다.

먼저, 절연 기판(10) 위에 제1 실시예와 같이 블랙 매트릭스(22) 및 컬러 필터(31, 32, 33)와 이들을 덮는 유기 절연막(40)이 형성되어 있다.

유기 절연막(40) 위에는 게이트선(52), 게이트 패드(54) 및 게이트 전극(56)을 포함하는 게이트 배선이 형성되어 있다. 그리고, 게이트 배선은 기판(10) 상부에 게이트선(52)과 평행하며 상판의 공통 전극에 입력되는 공통 전극 전압 따위의 전압을 외부로부터 인가 받는 유지 전극(58)을 포함한다. 유지 전극(58)은 후술할 화소 전극(112)과 연결된 유지 축전기용 도전체 패턴(98)과 중첩되어 화소의 전하 보존 능력을 향상시키는 유지 축전기를 이루며, 후술할 화소 전극(112)과 게이트선(52)의 중첩으로 발생하는 유지 용량이 충분할 경우 형성하지 않을 수도 있다.

게이트 배선(52, 54, 56, 58) 위에는 질화규소(SiN_x) 따위로 이루어진 게이트 절연막(60)이 형성되어 게이트 배선(52, 54, 56, 58)을 덮고 있다.

게이트 절연막(60) 위에는 수소화 비정질 규소(hydrogenated amorphous silicon) 따위의 반도체로 이루어진 반도체 패턴(72, 78)이 형성되어 있으며, 반도체 패턴(72, 78) 위에는 인(P) 따위의 n형 불순물로 고농도로 도핑되어 있는 비정질 규소 따위로 이루어진 저항성 접촉층(ohmic contact layer) 패턴 또는 중간층 패턴(85, 86, 88)이 형성되어 있다.

저항성 접촉층 패턴(85, 86, 88) 위에는 Mo 또는 MoW 합금, Cr, Al 또는 Al 합금, Ta 따위의 도전 물질로 이루어진 데이터 배선이 형성되어 있다. 데이터 배선은 세로 방향으로 형성되어 있는 데이터선(92), 데이터선(92)의 한쪽 끝에 연결되어 외부로부터의 화상 신호를 인가받는 데이터 패드(94), 그리고 데이터선(92)의 분지인 박막 트랜지스터의 소스 전극(95)으로 이루어진 데이터선부를 포함하며, 또한 데이터선부(92, 94, 95)와 분리되어 있으며 게이트 전극(56) 또는 박막 트랜지스터의 채널부(C)에 대하여 소스 전극(95)의 반대쪽에 위치하는 박막 트랜지스터의 드레인 전극(96)과 유지 전극(58) 위에 위치하고 있는 유지 축전기용 도전체 패턴(98)도 포함한다. 유지 전극(58)을 형성하지 않을 경우 유지 축전기용 도전체 패턴(98) 또한 형성하지 않는다.

데이터 배선(92, 94, 95, 96, 98)도 게이트 배선(52, 54, 56, 58)과 마찬가지로 단일층으로 형성될 수도 있지만, 이중층이나 삼중층으로 형성될 수도 있다. 물론, 이중층 이상으로 형성하는 경우에는 한 층은 저항이 작은 물질로 형성하고 다른 층은 다른 물질과의 접촉 특성이 좋은 물질로 만드는 것이 바람직하다.

접촉층 패턴(85, 86, 88)은 그 하부의 반도체 패턴(72, 78)과 그 상부의 데이터 배선(92, 94, 95, 96, 98)의 접촉 저항을 낮추어 주는 역할을 하며, 데이터 배선(92, 94, 95, 96, 98)과 완전히 동일한 형태를 가진다. 즉, 데이터선부 중간층 패턴(85)은 데이터선부(92, 94, 95)와 동일하고, 드레인 전극용 중간층 패턴(86)은 드레인 전극(96)과 동일하며, 유지 축전기용 중간층 패턴(88)은 유지 축전기용 도전체 패턴(98)과 동일하다.

한편, 반도체 패턴(72, 78)은 박막 트랜지스터의 채널부(C)를 제외하면 데이터 배선(92, 94, 95, 96, 98) 및 저항성

접촉층 패턴(85, 86, 87)과 동일한 모양을 하고 있다. 구체적으로는, 유지 축전기용 반도체 패턴(48)과 유지 축전기용 도전체 패턴(98) 및 유지 축전기용 접촉층 패턴(88)은 동일한 모양이지만, 박막 트랜지스터용 반도체 패턴(72)은 데이터 배선 및 접촉층 패턴의 나머지 부분과 약간 다르다. 즉, 박막 트랜지스터의 채널부(C)에서 데이터선부(92, 94, 95), 특히 소스 전극(95)과 드레인 전극(96)이 분리되어 있고 데이터선부 중간층(85)과 드레인 전극용 접촉층 패턴(86)도 분리되어 있으나, 박막 트랜지스터용 반도체 패턴(72)은 이곳에서 끊어지지 않고 연결되어 박막 트랜지스터의 채널을 생성한다.

데이터 배선(92, 94, 95, 96, 98) 위에는 4.0 이하의 낮은 유전율을 갖지며 화학 기상 증착을 통하여 형성된 SiOC 또는 SiOF 등의 저유전율 절연 물질로 이루어지는 보호막(100)이 형성되어 있으며, 보호막(100)은 드레인 전극(96), 데이터 패드(94) 및 유지 축전기용 도전체 패턴(98)을 드러내는 접촉구멍(101, 103, 104)을 가지고 있으며, 또한 게이트 절연막(60)과 함께 게이트 패드(54)를 드러내는 접촉 구멍(102)을 가지고 있다. 이때, 접촉 구멍(102, 103)을 통하여 드러난 게이트 패드(54) 및 데이터 패드(94) 주위의 보호막(100)은 패드(54, 94)를 제외한 다른 부분의 보호막(100)에 비해 얇은 두께로 형성되어 있다. 이를 통하여 제1 실시예에서와 같이 이방성 도전 필름의 도전성 입자에 충분한 압력을 줄 수 있어 패드(54, 94)와 구동 집적 회로와의 접착력을 강화할 수 있다. 또한, 도시하지는 않았지만, 본 발명의 제2 실시예에서와 같이 보호막(100)에 패드가 드러나는 접촉 구멍이 다수로 형성될 수 있다.

보호막(100) 위에는 박막 트랜지스터로부터 화상 신호를 받아 상판의 전극과 함께 전기장을 생성하는 화소 전극(112)이 형성되어 있다. 화소 전극(112)은 ITO(indium tin oxide) 또는 IZO(indium zinc oxide) 따위의 투명한 도전 물질로 만들어지며, 접촉 구멍(101)을 통하여 드레인 전극(96)과 물리적·전기적으로 연결되어 화상 신호를 전달받는다. 화소 전극(112)은 또한 이웃하는 게이트선(52) 및 데이터선(92)과 중첩되어 개구율을 높이고 있으나, 중첩되지 않을 수도 있다. 또한 화소 전극(112)은 접촉 구멍(104)을 통하여 유지 축전기용 도전체 패턴(98)과도 연결되어 도전체 패턴(98)으로 화상 신호를 전달한다. 한편, 게이트 패드(54) 및 데이터 패드(94) 위에는 접촉 구멍(102, 103)을 통하여 각각 이들과 연결되는 보조 게이트 패드(114) 및 보조 데이터 패드(116)가 형성되어 있으며, 이들은 패드(54, 94)와 외부 회로 장치와의 접착성을 보완하고 패드를 보호하는 역할을 하는 것으로 필수적인 것은 아니며, 이들의 적용 여부는 선택적이다.

그러면, 도 12 내지 도 14의 구조를 가지는 액정 표시 장치용 박막 트랜지스터 기판을 4매 마스크를 이용하여 제조하는 방법에 대하여 상세하게 도 12 내지 도 14 와 도 15a 내지 도 22c를 참조하여 설명하기로 한다.

먼저, 도 15a 내지 도 15c에 도시한 바와 같이, 제1 실시예와 같이 기판(10) 상부에 블랙 매트릭스(22), 컬러 필터(31, 32, 33) 및 유기 절연막(40)을 차례로 형성한다.

이어, 도 16a 내지 도 16c에 도시한 바와 같이, 형성한 유기 절연막(40) 위에 마스크를 이용한 사진 식각 공정으로 게이트 배선(52, 54, 56)을 형성한다.

다음, 도 17a 및 17b에 도시한 바와 같이, 게이트 절연막(60), 반도체층(70), 중간층(80)을 화학 기상 증착법을 이용하여 각각 1,500 Å 내지 5,000 Å, 500 Å 내지 2,000 Å, 300 Å 내지 600 Å의 두께로 연속 증착하고, 이어 금속 따위의 도전체층(90)을 스퍼터링 등의 방법으로 1,500 Å 내지 3,000 Å의 두께로 증착한 다음 그 위에 감광막(130)을 1 μm 내지 2 μm의 두께로 도포한다.

그 후, 제2 마스크를 통하여 감광막(130)에 빛을 조사한 후 현상하여 도 18b 및 18c에 도시한 바와 같이, 감광막 패턴(132, 134)을 형성한다. 이때, 감광막 패턴(132, 134) 중에서 박막 트랜지스터의 채널부(C), 즉 소스 전극(95)과 드레인 전극(96) 사이에 위치한 제1 부분(134)은 데이터 배선부(A), 즉 데이터 배선(92, 94, 95, 96, 98)이 형성될 부분에 위치한 제2 부분(132)보다 두께가 작게 되도록 하며, 기타 부분(B)의 감광막은 모두 제거한다. 이 때, 채널부(C)

에 남아 있는 감광막(134)의 두께와 데이터 배선부(A)에 남아 있는 감광막(132)의 두께의 비는 후에 후술할 식각 공정에서의 공정 조건에 따라 다르게 하여야 하되, 제1 부분(134)의 두께를 제2 부분(132)의 두께의 1/2 이하로 하는 것이 바람직하며, 예를 들면, 4,000 Å 이하인 것이 좋다.

이와 같이, 위치에 따라 감광막의 두께를 달리하는 방법으로 여러 가지가 있을 수 있으며, A 영역의 빛 투과량을 조절하기 위하여 주로 슬릿(slit)이나 격자 형태의 패턴을 형성하거나 반투명막을 사용한다.

이때, 슬릿 사이에 위치한 패턴의 선 폭이나 패턴 사이의 간격, 즉 슬릿의 폭은 노광시 사용하는 노광기의 분해능보다 작은 것이 바람직하며, 반투명막을 이용하는 경우에는 마스크를 제작할 때 투과율을 조절하기 위하여 다른 투과율을 가지는 박막을 이용하거나 두께가 다른 박막을 이용할 수 있다.

이와 같은 마스크를 통하여 감광막에 빛을 조사하면 빛에 직접 노출되는 부분에서는 고분자들이 완전히 분해되며, 슬릿 패턴이나 반투명막이 형성되어 있는 부분에서는 빛의 조사량이 적으므로 고분자들은 완전 분해되지 않은 상태이며, 차광막으로 가려진 부분에서는 고분자가 거의 분해되지 않는다. 이어 감광막을 현상하면, 고분자 분자들이 분해되지 않은 부분만이 남고, 빛이 적게 조사된 중앙 부분에는 빛에 전혀 조사되지 않은 부분보다 얇은 두께의 감광막이 남길 수 있다. 이때, 노광 시간을 길게 하면 모든 분자들이 분해되므로 그렇게 되지 않도록 해야 한다.

이러한 얇은 두께의 감광막(134)은 리플로우가 가능한 물질로 이루어진 감광막을 이용하고 빛이 완전히 투과할 수 있는 부분과 빛이 완전히 투과할 수 없는 부분으로 나뉘어진 통상적인 마스크로 노광한 다음 현상하고 리플로우시켜 감광막이 잔류하지 않는 부분으로 감광막의 일부를 흘러내리도록 함으로써 형성할 수도 있다.

이어, 감광막 패턴(134) 및 그 하부의 막들, 즉 도전체층(90), 중간층(80) 및 반도체층(70)에 대한 식각을 진행한다. 이때, 데이터 배선부(A)에는 데이터 배선 및 그 하부의 막들이 그대로 남아 있고, 채널부(C)에는 반도체층만 남아 있어야 하며, 나머지 부분(B)에는 위의 3개 층(90, 80, 70)이 모두 제거되어 게이트 절연막(30)이 드러나야 한다.

먼저, 도 19a 및 19b에 도시한 것처럼, 기타 부분(B)의 노출되어 있는 도전체층(90)을 제거하여 그 하부의 중간층(80)을 노출시킨다. 이 과정에서는 건식 식각 또는 습식 식각 방법을 모두 사용할 수 있으며, 이때 도전체층(90)은 식각되고 감광막 패턴(132, 134)은 거의 식각되지 않는 조건하에서 행하는 것이 좋다. 그러나, 건식 식각의 경우 도전체층(90)만을 식각하고 감광막 패턴(132, 134)은 식각되지 않는 조건을 찾기가 어려우므로 감광막 패턴(132, 134)도 함께 식각되는 조건하에서 행할 수 있다. 이 경우에는 습식 식각의 경우보다 제1 부분(134)의 두께를 두껍게 하여 이 과정에서 제1 부분(134)이 제거되어 하부의 도전체층(90)이 드러나는 일이 생기지 않도록 한다.

도전체층(90)이 Mo 또는 MoW 합금, Al 또는 Al 합금, Ta 중 어느 하나인 경우에는 건식 식각이나 습식 식각 중 어느 것이라도 가능하다. 그러나 Cr은 건식 식각 방법으로는 잘 제거되지 않기 때문에 도전체층(90)이 Cr이라면 습식 식각만을 이용하는 것이 좋다. 도전체층(90)이 Cr인 습식 식각의 경우에는 식각액으로 $CeNH_4O_3$ 을 사용할 수 있고, 도전체층(90)이 Mo나 MoW인 건식 식각의 경우의 식각 기체로는 CF_4 와 HCl의 혼합 기체나 CF_4 와 O_2 의 혼합 기체를 사용할 수 있으며 후자의 경우 감광막에 대한 식각비도 거의 비슷하다.

이렇게 하면, 도 19a 및 도 19b에 나타난 것처럼, 채널부(C) 및 데이터 배선부(B)의 도전체층, 즉 소스/드레인용 도전체 패턴(97)과 유지 축전기용 도전체 패턴(98)만이 남고 기타 부분(B)의 도전체층(90)은 모두 제거되어 그 하부의 중간층(80)이 드러난다. 이때 남은 도전체 패턴(97, 98)은 소스 및 드레인 전극(95, 96)이 분리되지 않고 연결되어 있는 점을 제외하면 데이터 배선(92, 94, 95, 96, 98)의 형태와 동일하다. 또한 건식 식각을 사용한 경우 감광막 패턴(132, 134)도 어느 정도의 두께로 식각된다.

이어, 도 20a 및 20b에 도시한 바와 같이, 기타 부분(B)의 노출된 중간층(80) 및 그 하부의 반도체층(70)을 감광막의 제1 부분(134)과 함께 건식 식각 방법으로 동시에 제거한다. 이 때의 식각은 감광막 패턴(132, 134)과 중간층(80) 및 반도체층(70)(반도체층과 중간층은 식각 선택성이 거의 없음)이 동시에 식각되며 게이트 절연막(60)은 식각되지 않는 조건하에서 행하여야 하며, 특히 감광막 패턴(132, 134)과 반도체층(70)에 대한 식각비가 거의 동일한 조건으로 식각하는 것이 바람직하다. 예를 들어, SF_6 과 HCl 의 혼합 기체나, SF_6 과 O_2 의 혼합 기체를 사용하면 거의 동일한 두께로 두 막을 식각할 수 있다. 감광막 패턴(132, 134)과 반도체층(70)에 대한 식각비가 동일한 경우 제1 부분(134)의 두께는 반도체층(70)과 중간층(80)의 두께를 합한 것과 같거나 그보다 작아야 한다.

이렇게 하면, 도 20a 및 20b에 나타난 바와 같이, 채널부(C)의 제1 부분(134)이 제거되어 소스/드레인용 도전체 패턴(97)이 드러나고, 기타 부분(B)의 중간층(80) 및 반도체층(70)이 제거되어 그 하부의 게이트 절연막(60)이 드러난다. 한편, 데이터 배선부(A)의 제2 부분(132) 역시 식각되므로 두께가 얇아진다. 또한, 이 단계에서 반도체 패턴(72, 78)이 완성된다. 도면 부호 87과 88은 각각 소스/드레인용 도전체 패턴(97) 하부의 중간층 패턴과 유지 축전기용 도전체 패턴(98) 하부의 중간층 패턴을 가리킨다.

이어 애싱(ashing)을 통하여 채널부(C)의 소스/드레인용 도전체 패턴(97) 표면에 남아 있는 감광막 찌꺼기를 제거한다.

다음, 도 21a 및 21b에 도시한 바와 같이 채널부(C)의 소스/드레인용 도전체 패턴(97) 및 그 하부의 소스/드레인용 중간층 패턴(87)을 식각하여 제거한다. 이 때, 식각은 소스/드레인용 도전체 패턴(97)과 중간층 패턴(87) 모두에 대하여 건식 식각만으로 진행할 수도 있으며, 소스/드레인용 도전체 패턴(97)에 대해서는 습식 식각으로, 중간층 패턴(87)에 대해서는 건식 식각으로 행할 수도 있다. 전자의 경우 소스/드레인용 도전체 패턴(97)과 중간층 패턴(87)의 식각 선택비가 큰 조건하에서 식각을 행하는 것이 바람직하며, 이는 식각 선택비가 크지 않을 경우 식각 종점을 찾기가 어려워 채널부(C)에 남는 반도체 패턴(72)의 두께를 조절하기가 쉽지 않기 때문이다. 예를 들면, SF_6 과 O_2 의 혼합 기체를 사용하여 소스/드레인용 도전체 패턴(97)을 식각하는 것을 들 수 있다. 습식 식각과 건식 식각을 번갈아 하는 후자의 경우에는 습식 식각되는 소스/드레인용 도전체 패턴(97)의 측면은 식각되지만, 건식 식각되는 중간층 패턴(87)은 거의 식각되지 않으므로 계단 모양으로 만들어진다. 중간층 패턴(87) 및 반도체 패턴(72)을 식각할 때 사용하는 식각 기체의 예로는 앞에서 언급한 CF_4 와 HCl 의 혼합 기체나 CF_4 와 O_2 의 혼합 기체를 들 수 있으며, CF_4 와 O_2 를 사용하면 균일한 두께로 반도체 패턴(72)을 남길 수 있다. 이때, 도 21b에 도시한 것처럼 반도체 패턴(72)의 일부가 제거되어 두께가 작아질 수도 있으며 감광막 패턴의 제2 부분(132)도 이때 어느 정도의 두께로 식각된다. 이때의 식각은 게이트 절연막(60)이 식각되지 않는 조건으로 행하여야 하며, 제2 부분(132)이 식각되어 그 하부의 데이터 배선(92, 94, 95, 96, 98)이 드러나는 일이 없도록 감광막 패턴이 두꺼운 것이 바람직함은 물론이다.

이렇게 하면, 소스 전극(95)과 드레인 전극(96)이 분리되면서 데이터 배선(92, 94, 95, 96, 98)과 그 하부의 접촉층 패턴(85, 86, 88)이 완성된다.

마지막으로 데이터 배선부(A)에 남아 있는 감광막 제2 부분(132)을 제거한다. 그러나, 제2 부분(132)의 제거는 채널부(C) 소스/드레인용 도전체 패턴(97)을 제거한 후 그 밑의 중간층 패턴(87)을 제거하기 전에 이루어질 수도 있다.

앞에서 설명한 것처럼, 습식 식각과 건식 식각을 교대로 하거나 건식 식각만을 사용할 수 있다. 후자의 경우에는 한 종류의 식각만을 사용하므로 공정이 비교적 간편하지만, 알맞은 식각 조건을 찾기가 어렵다. 반면, 전자의 경우에는 식각 조건을 찾기가 비교적 쉬우나 공정이 후자에 비하여 번거로운 점이 있다.

이와 같이 하여 데이터 배선(92, 94, 95, 96, 98)을 형성한 후, 도 22a 내지 22c에 도시한 바와 같이 4.0 이하의 낮은 유전율을 가지는 SiOC 또는 SiOF 등의 저유전율 절연 물질을 화학 기상 증착으로 적층하여 보호막(100)을 형성한다. 이어 제3 마스크를 이용하여 보호막(100)을 게이트 절연막(60)과 함께 식각하여 드레인 전극(96), 게이트 패드(54), 데이터 패드(94) 및 유지 축전기용 도전체 패턴(98)을 각각 드러내는 접촉 구멍(101, 102, 103, 104)을 형성한다. 이때에도 본 발명의 제1 실시예와 같이, 패드(54, 94) 주변은 다른 부분보다 얇은 두께를 가지도록 형성한다. 또는, 도

시는 생략했지만 보호막에 패드를 드러내는 접촉 구멍을 다수로 형성한다. 이렇게 함으로써, 패드와 구동 집적 회로와의 접착력을 강화할 수 있다.

마지막으로, 도 12 내지 도 14에 도시한 바와 같이, 400 Å 내지 500 Å 두께의 ITO층을 증착하고 제4 마스크를 사용하여 식각하여 화소 전극(112), 보조 게이트 패드(114) 및 보조 데이터 패드(116)를 형성한다.

이러한 본 발명의 제2 실시예에서는 제1 실시예에 따른 효과뿐만 아니라 데이터 배선(62, 64, 65, 66, 68)과 그 하부의 접촉층 패턴(55, 56, 58) 및 반도체 패턴(42, 48)을 하나의 마스크를 이용하여 형성하고 이 과정에서 소스 전극(65)과 드레인 전극(66)이 분리하여 제조 공정을 단순화할 수 있다.

발명의 효과

이와 같이, 본 발명의 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법에서는 패드 주위의 보호막을 패드를 제외한 다른 부분의 보호막보다 얇은 두께를 가지도록 형성하거나 보호막에 패드를 드러내는 접촉 구멍을 다수로 형성함으로써 패드와 탭 구동 집적회로와의 접착력을 강화할 수 있다.

(57) 청구의 범위

청구항 1.

절연 기판,

상기 기판 위에 형성되어 있으며 게이트선, 게이트 전극 및 게이트 패드를 포함하는 게이트 배선,

상기 게이트 배선을 덮는 게이트 절연막,

상기 게이트 전극의 상기 게이트 절연막 상부에 형성되어 있는 반도체 패턴,

상기 반도체 패턴 또는 상기 게이트 절연막 상부에 형성되어 있으며 데이터선과 소스 전극, 드레인 전극 및 데이터 패드를 포함하는 데이터 배선,

상기 데이터 배선 및 상기 반도체 패턴을 덮고 4.0 이하의 낮은 유전율을 가지며 화학 기상 증착으로 형성된 저유전율 절연 물질이며, 상기 드레인 전극을 드러내는 제1 접촉 구멍 및 상기 게이트 패드 또는 상기 데이터 패드를 드러내는 제2 접촉 구멍을 가지며 상기 제2 접촉 구멍의 주위는 다른 부분보다 낮은 두께로 형성되어 있는 보호막,

상기 제1 접촉 구멍을 통하여 드러난 상기 드레인 전극과 연결되는 화소 전극

을 포함하는 액정 표시 장치용 박막 트랜지스터 기판.

청구항 2.

제1항에서,

상기 절연 기판 위에 형성되어 있으며 상기 게이트선 및 상기 데이터선으로 정의되는 화소에 개구부를 가지는 블랙 매트릭스 및 상기 기판 상부에 적, 녹, 청의 컬러 필터를 더 포함하는 액정 표시 장치용 박막 트랜지스터 기판.

청구항 3.

절연 기판 위에 형성되어 있으며 게이트선, 게이트 전극 및 게이트 패드를 포함하는 게이트 배선,

상기 게이트 배선을 덮는 게이트 절연막,

상기 게이트 전극의 게이트 절연막 상부에 형성되어 있는 반도체 패턴,

상기 반도체 패턴 또는 상기 게이트 절연막 상부에 형성되어 있으며 데이터선과 소스 전극, 드레인 전극 및 데이터 패드를 포함하는 데이터 배선,

상기 데이터 배선 및 상기 게이트 절연막을 덮고 4.0 이하의 낮은 유전율을 가지며 화학 기상 증착으로 형성된 저유전율 절연 물질이며, 상기 드레인 전극을 드러내는 제1 접촉 구멍과 상기 게이트 패드 또는 상기 데이터 패드를 드러내며 각각의 상기 게이트 패드 및 상기 데이터 패드에 대하여 적어도 둘 이상으로 형성되어 있는 제2 접촉 구멍을 갖는 보호막,

상기 제1 접촉 구멍을 통하여 드러난 상기 드레인 전극과 연결되는 화소 전극

을 포함하는 액정 표시 장치용 박막 트랜지스터 기판.

청구항 4.

제3항에서,

상기 제2 접촉 구멍의 크기는 5 μ m 이하인 액정 표시 장치용 박막 트랜지스터 기판.

청구항 5.

절연 기판 위에 게이트선, 게이트 전극 및 게이트 패드를 포함하는 게이트 배선을 형성하는 단계,

상기 게이트 배선을 덮는 게이트 절연막을 형성하는 단계,

상기 게이트 전극의 게이트 절연막 상부에 반도체 패턴을 형성하는 단계,

상기 반도체 패턴 또는 상기 게이트 절연막 상부에 데이터선과 소스 전극, 드레인 전극 및 데이터 패드를 포함하는 데이터 배선을 형성하는 단계,

상기 데이터 배선 및 상기 반도체 패턴 상부에 4.0 이하의 저유전율 절연 물질을 화학 기상 증착으로 보호막을 형성하는 단계,

상기 게이트 패드 또는 상기 데이터 패드 주위의 제1 부분의 보호막을 상기 제1 부분의 보호막을 제외한 나머지 부분의 제2 부분의 보호막보다 얇은 두께를 가지도록 형성하는 단계,

상기 드레인 전극과 연결되는 화소 전극을 형성하는 단계

를 포함하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

청구항 6.

제5항에서,

상기 보호막을 형성하는 단계에서, 상기 제1 부분의 보호막은 상기 제1 부분의 보호막에 대응하는 부분에 빛의 투과량을 조절할 수 있는 슬릿이나 격자 형태의 패턴을 가지는 마스크를 이용하여 형성하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

청구항 7.

제5항에서,

상기 게이트 배선 형성 단계 이전에 상기 절연 기판 위에 블랙 매트릭스를 형성하는 단계 및 상기 기판 상부에 적, 녹, 청의 컬러 필터를 형성하는 단계를 더 포함하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

청구항 8.

제5항에서,

상기 반도체 패턴과 상기 데이터 배선은 하나의 마스크를 이용하는 사진 식각 공정으로 형성하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

청구항 9.

절연 기판 위에 게이트선, 게이트 전극 및 게이트 패드를 포함하는 게이트 배선을 형성하는 단계,

상기 게이트 배선을 덮는 게이트 절연막을 형성하는 단계,

상기 게이트 전극의 게이트 절연막 상부에 반도체 패턴을 형성하는 단계,

상기 반도체 패턴 또는 상기 게이트 절연막 상부에 데이터선과, 소스 전극, 드레인 전극 및 데이터 패드를 포함하는 데이터 배선을 형성하는 단계,

상기 데이터 배선 및 상기 반도체 패턴의 상부에 상부에 4.0 이하의 저유전율 절연 물질을 화학 기상 증착으로 보호막을 형성하는 단계,

상기 보호막을 패터닝하여 상기 드레인 전극을 드러내는 제1 접촉 구멍 및 각각의 상기 게이트 패드 또는 상기 데이터 패드를 드러내며 각각의 상기 게이트 패드 및 상기 데이터 패드에 대하여 다수로 제2 접촉 구멍을 형성하는 단계,

상기 제1 접촉 구멍을 통하여 드러난 상기 드레인 전극과 연결되는 화소 전극을 형성하는 단계

를 포함하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

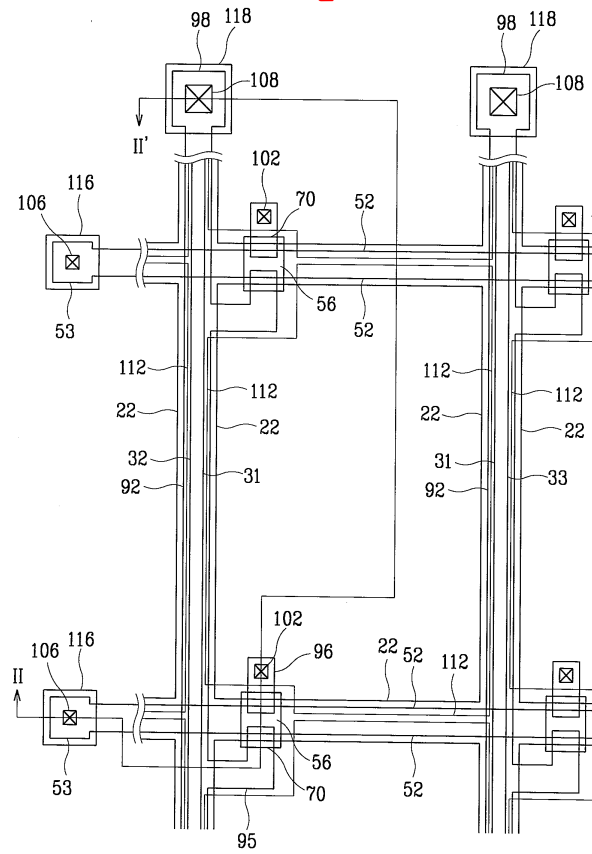
청구항 10.

제9항에서,

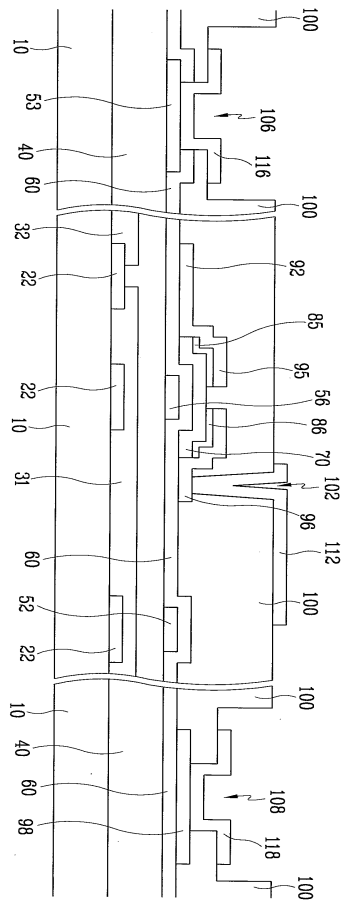
상기 제2 접촉 구멍의 크기는 5 μ m 이하로 형성하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

도면

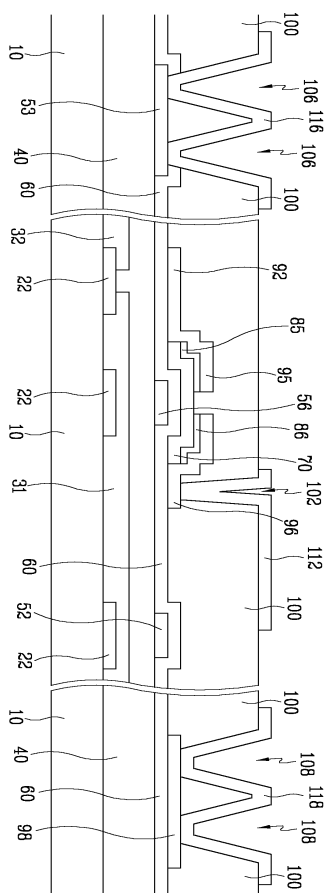
도면 1



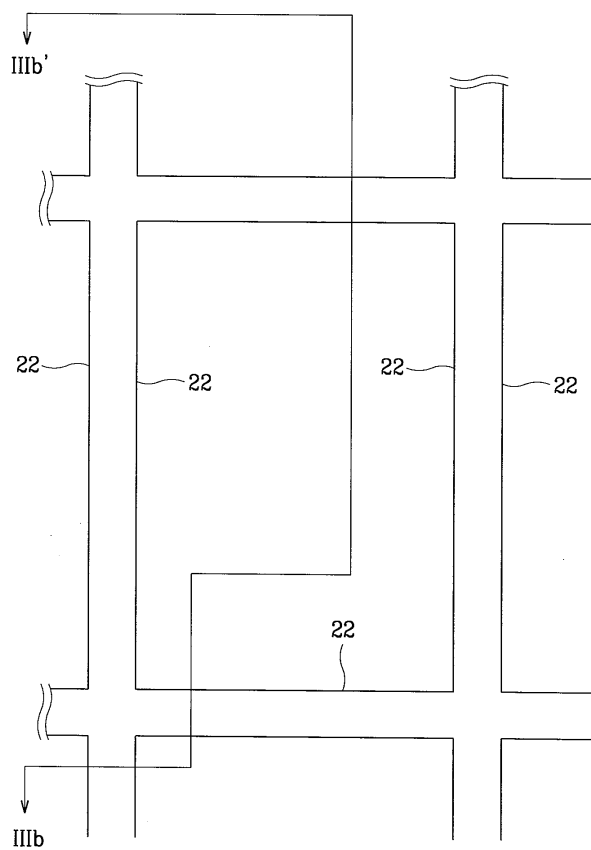
도면 2a



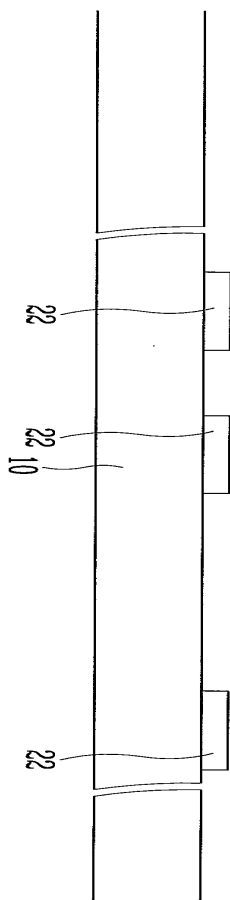
도면 2b



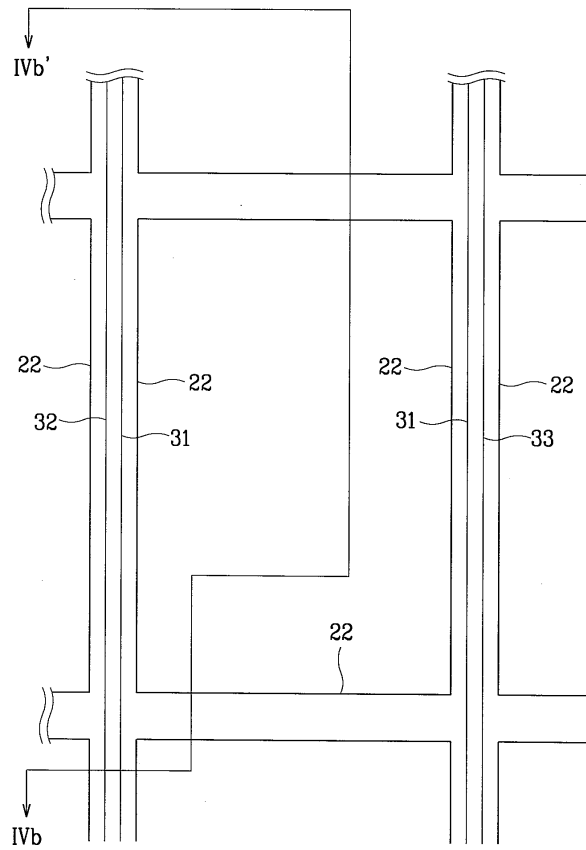
도면 3a



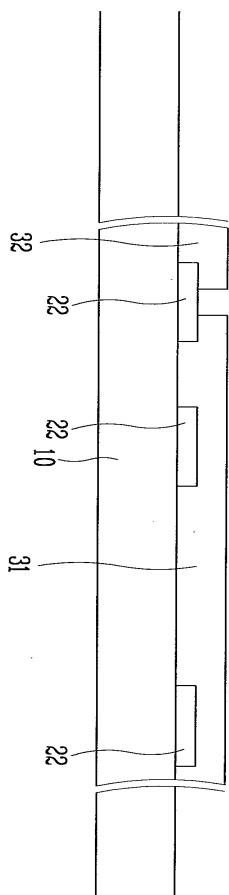
도면 3b



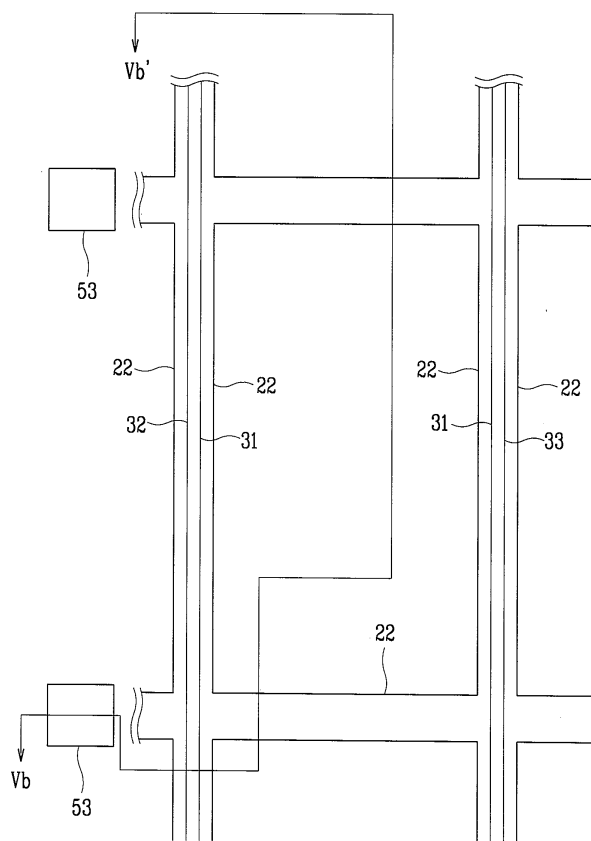
도면 4a



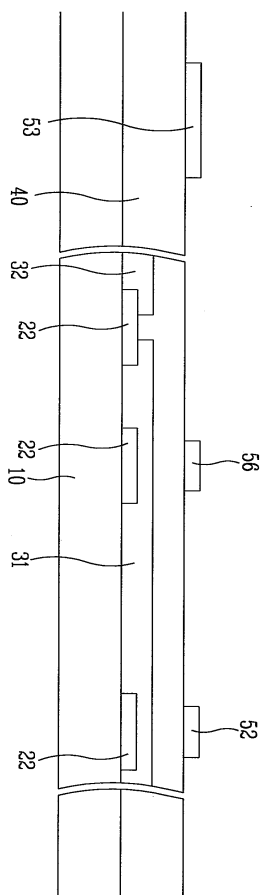
도면 4b



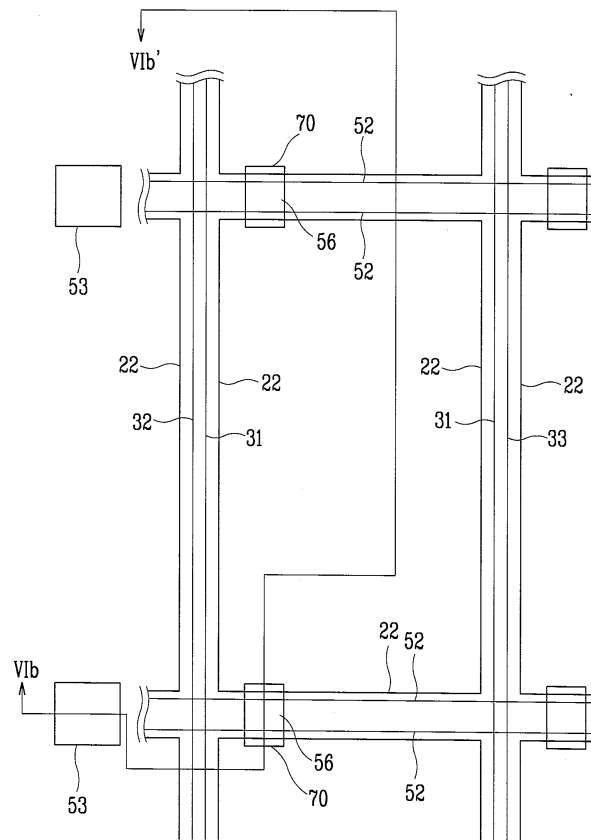
도면 5a



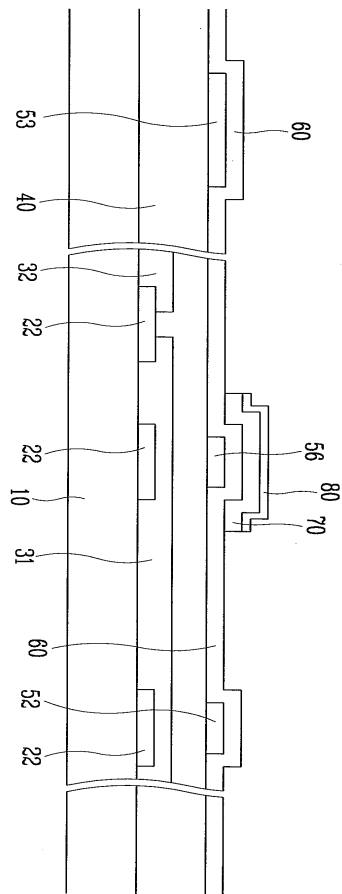
도면 5b



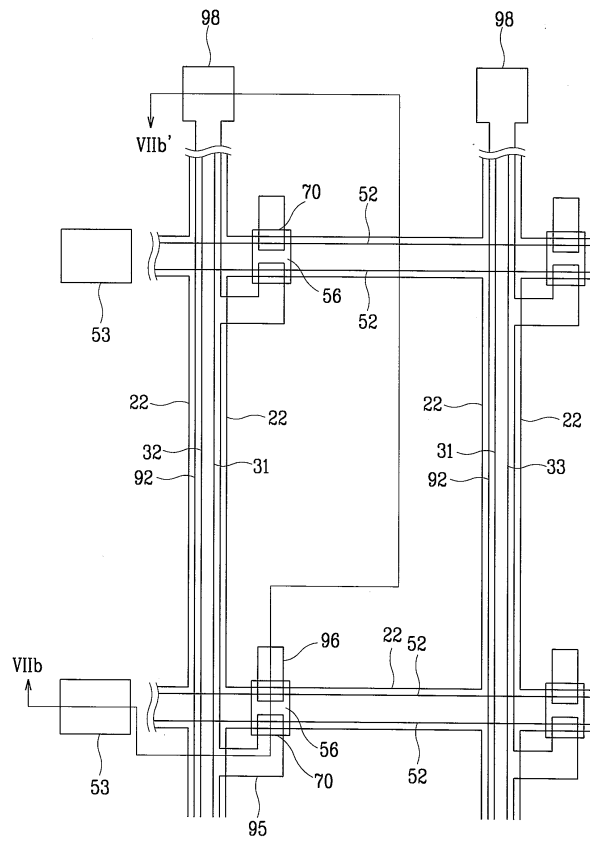
도면 6a



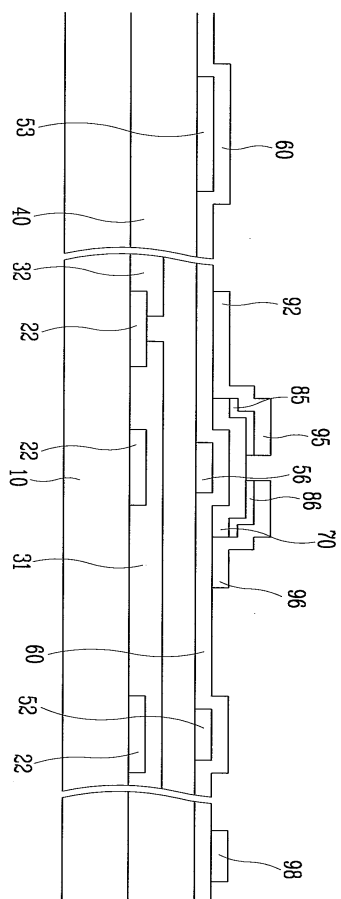
도면 6b



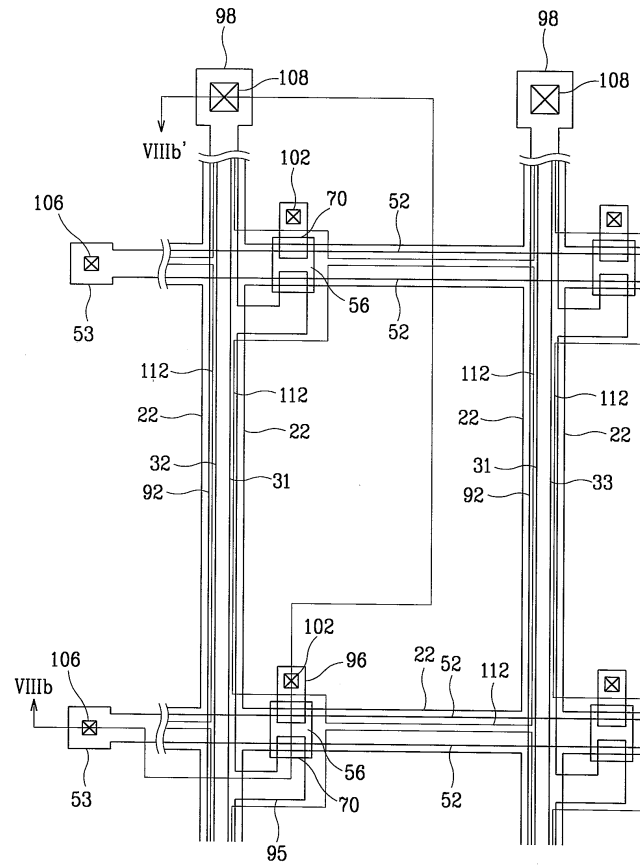
도면 7a



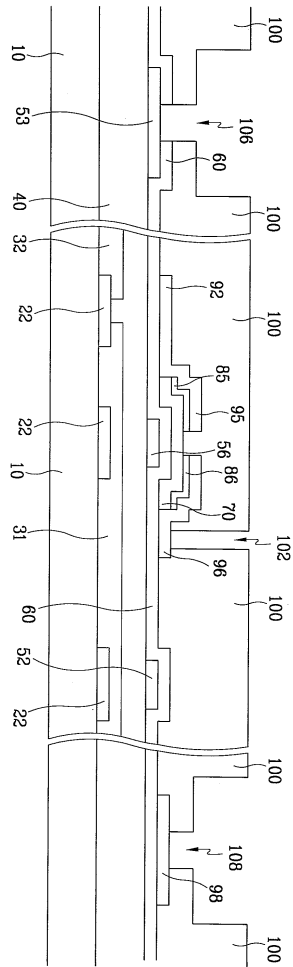
도면 7b



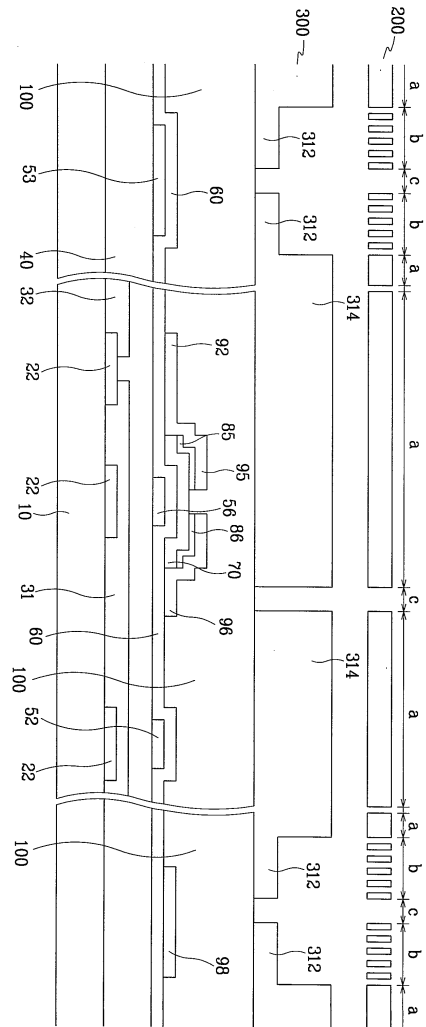
도면 8a



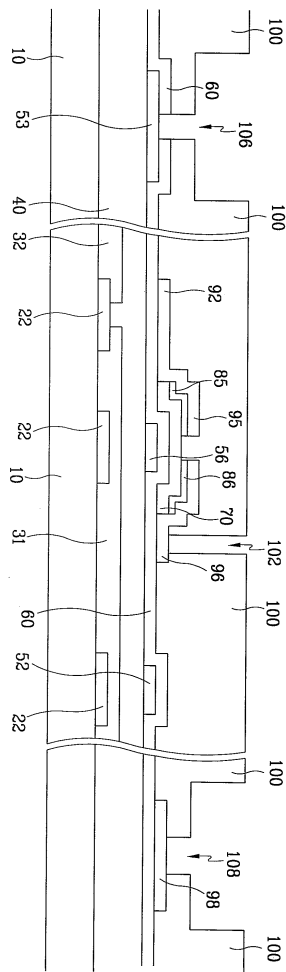
도면 8b



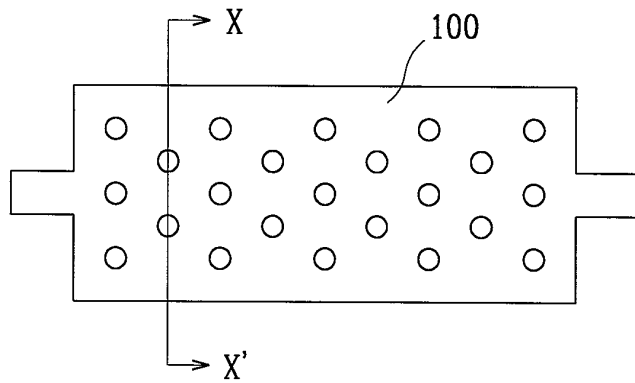
도면 9a



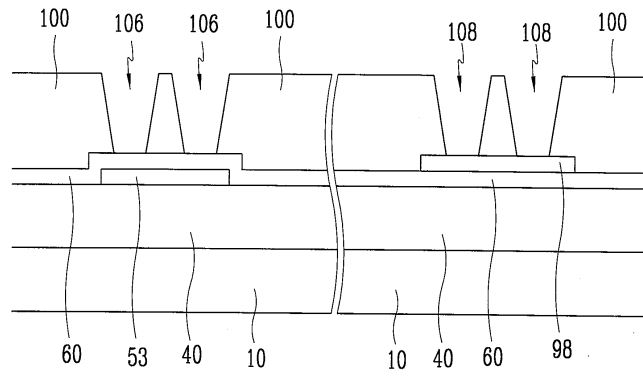
도면 9b



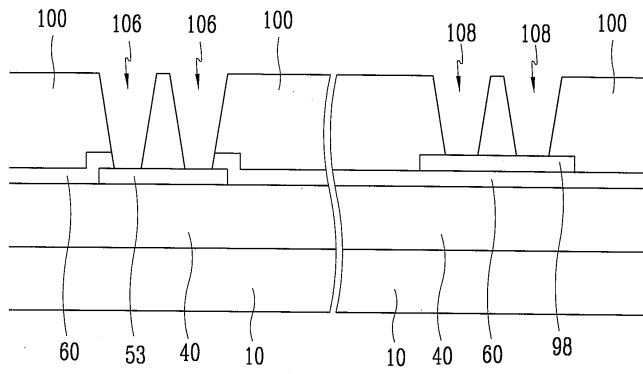
도면 10



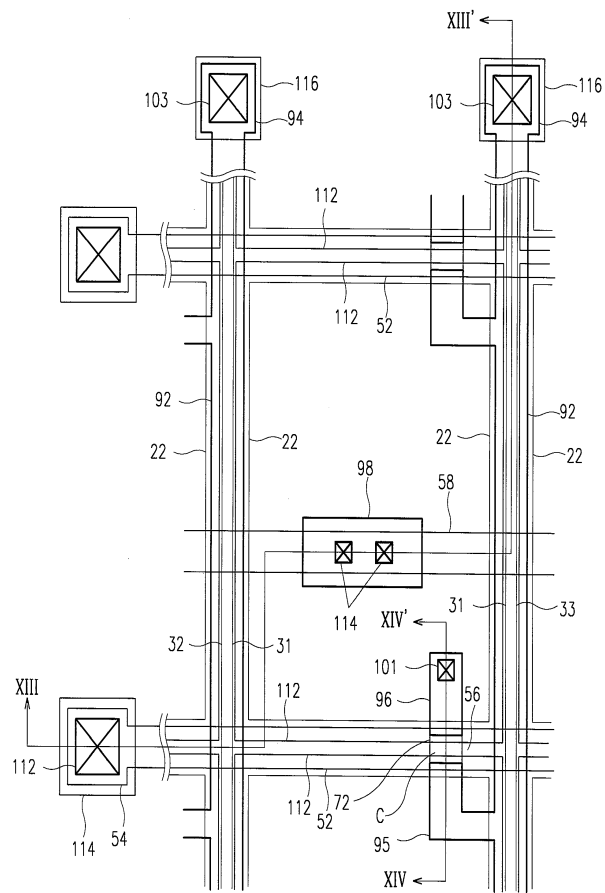
도면 11a



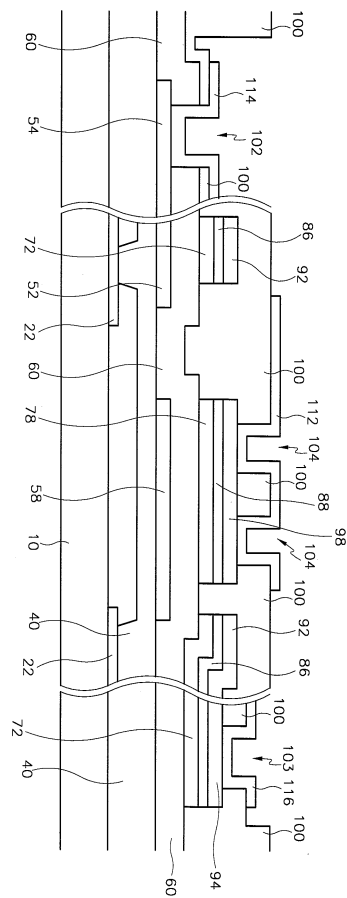
도면 11b



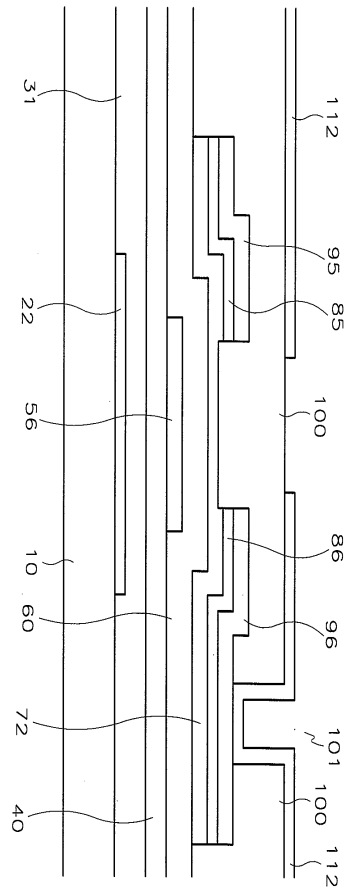
도면 12



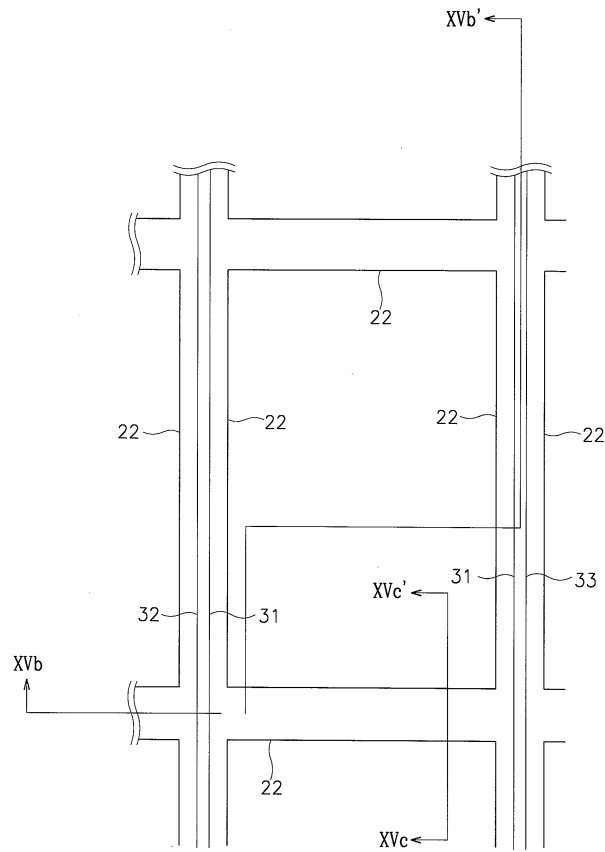
도면 13



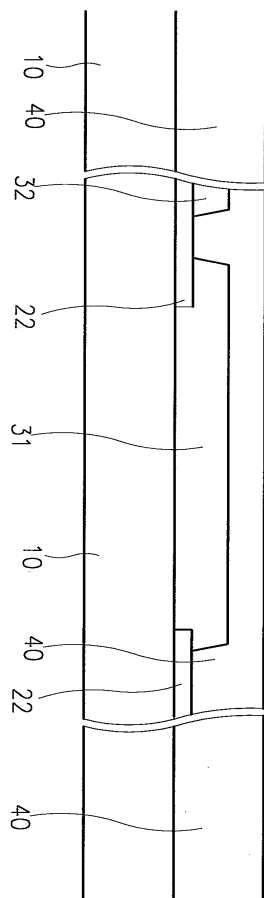
도면 14



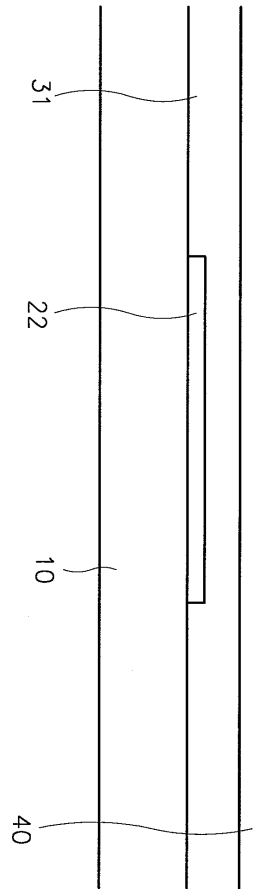
도면 15a



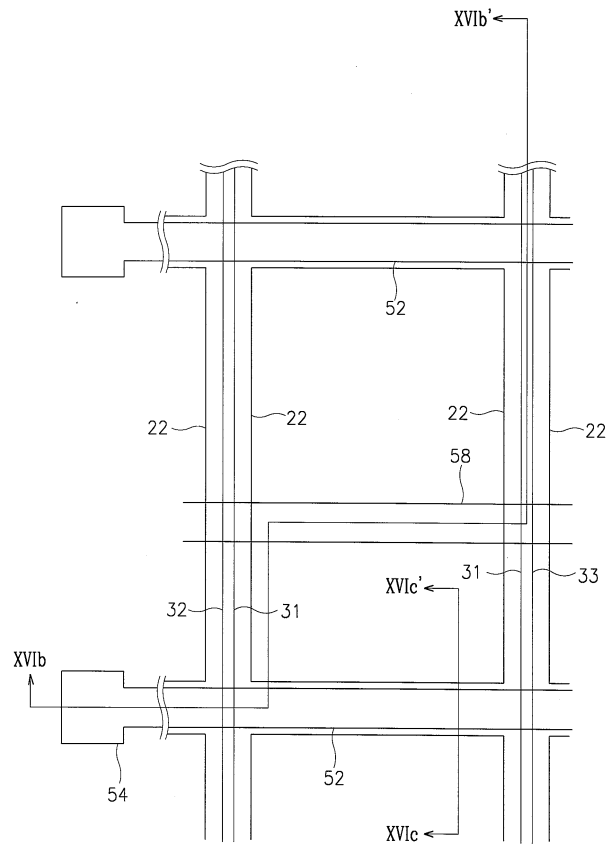
도면 15b



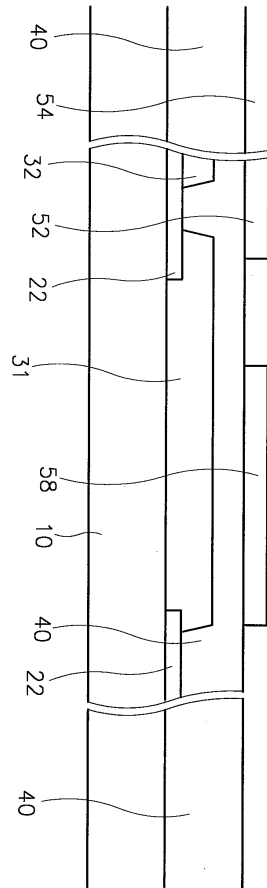
도면 15c



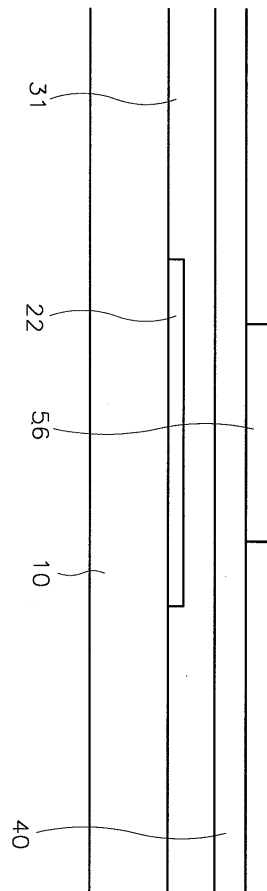
도면 16a



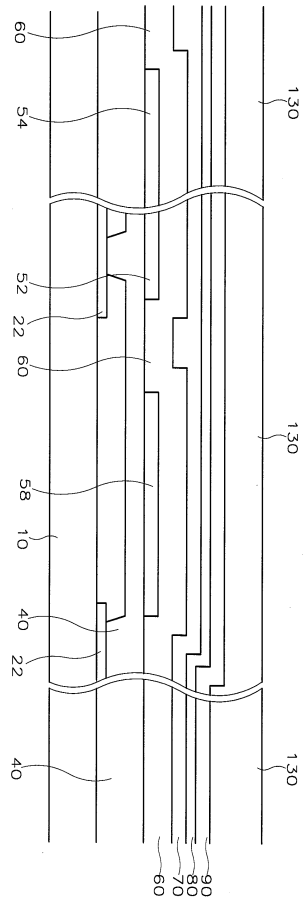
도면 16b



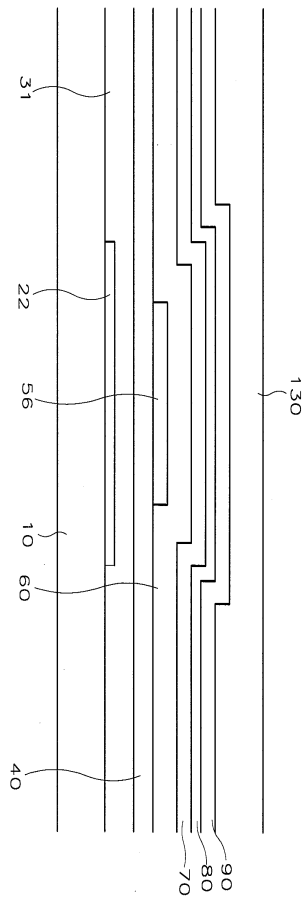
도면 16c



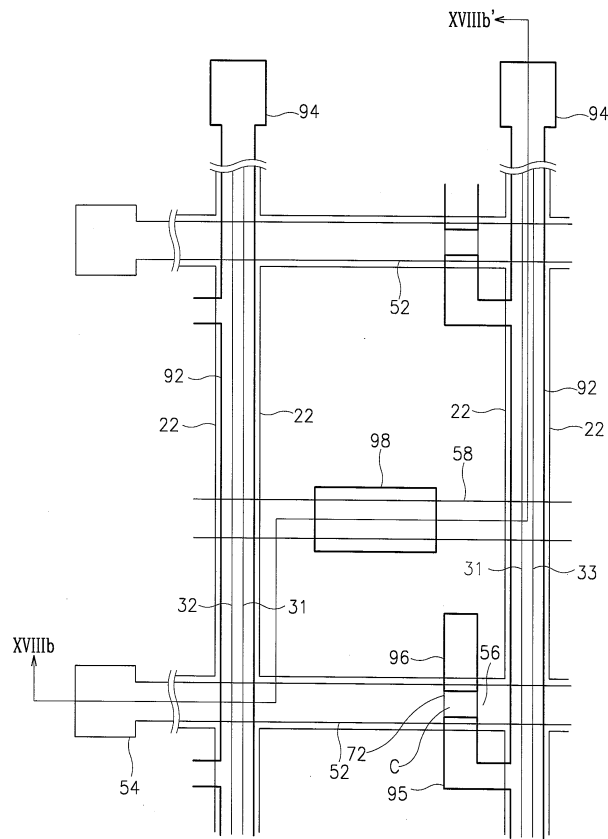
도면 17a



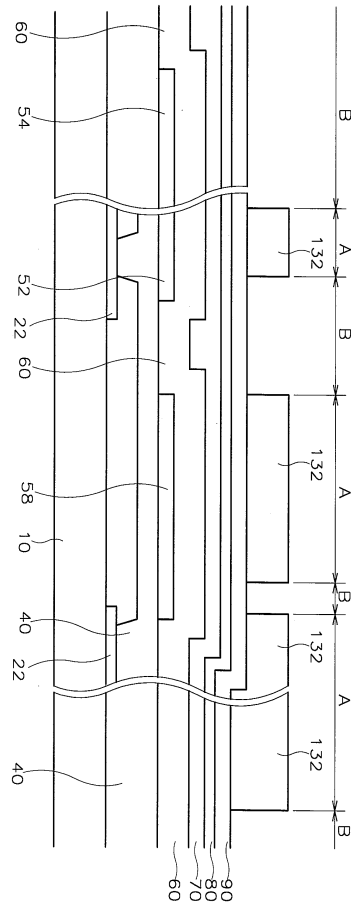
도면 17b



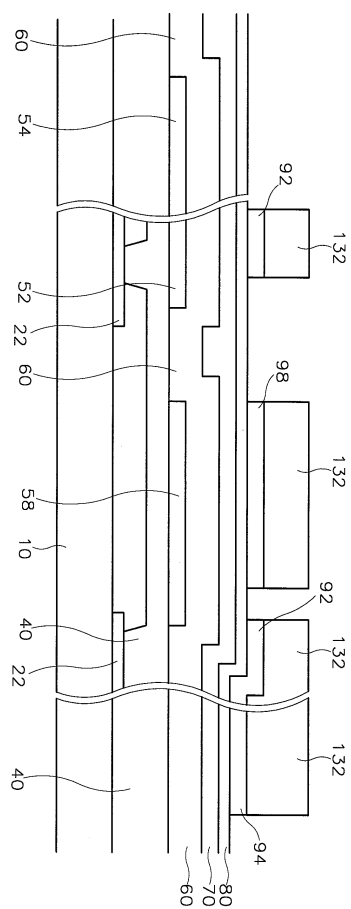
도면 18a



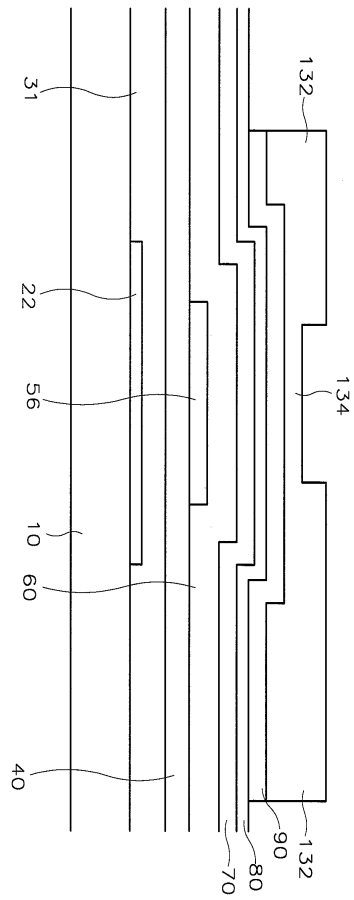
도면 18b



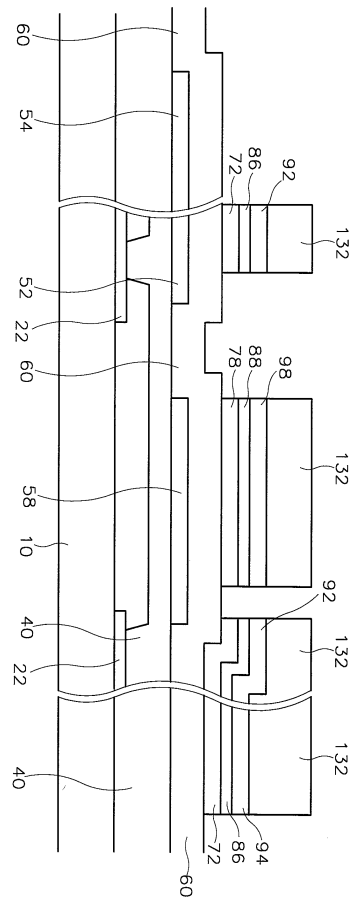
도면 19a



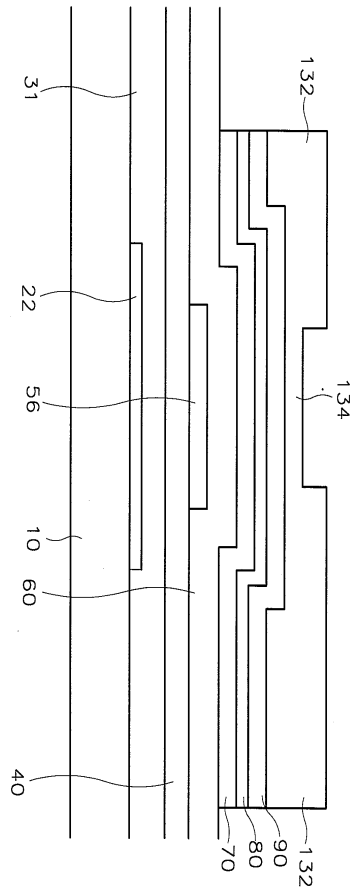
도면 19b



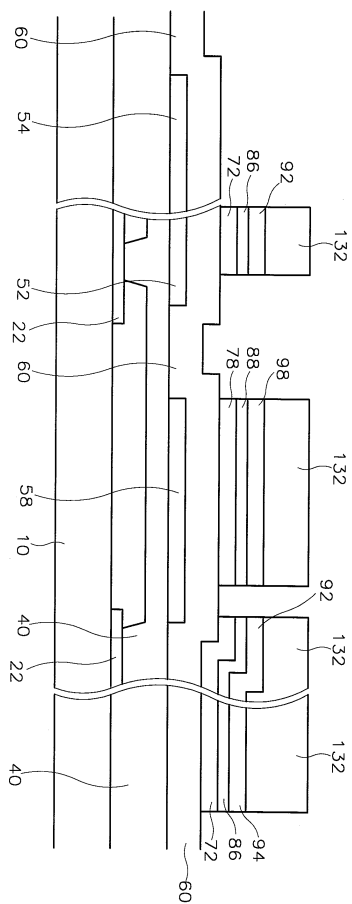
도면 20a



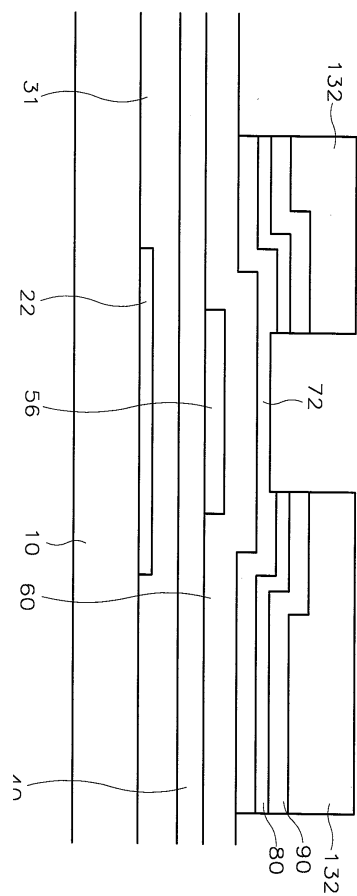
도면 20b



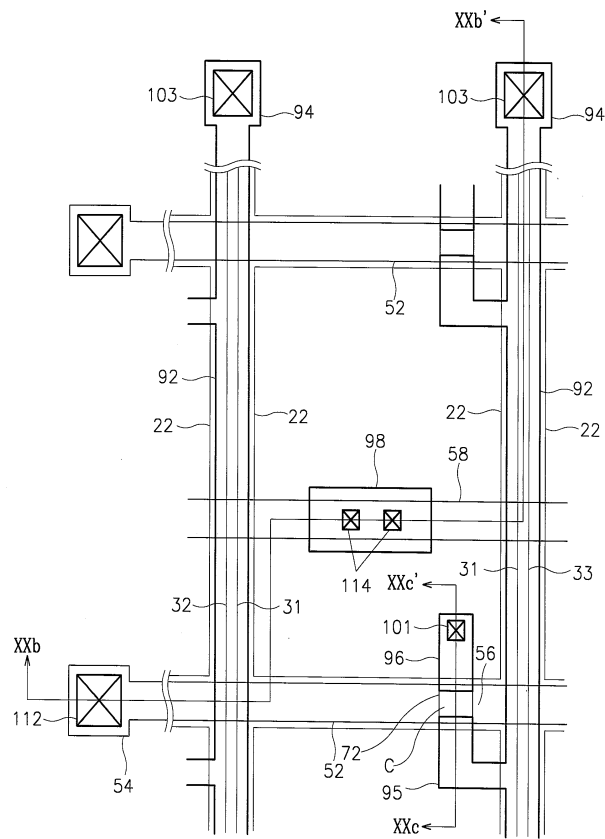
도면 21a



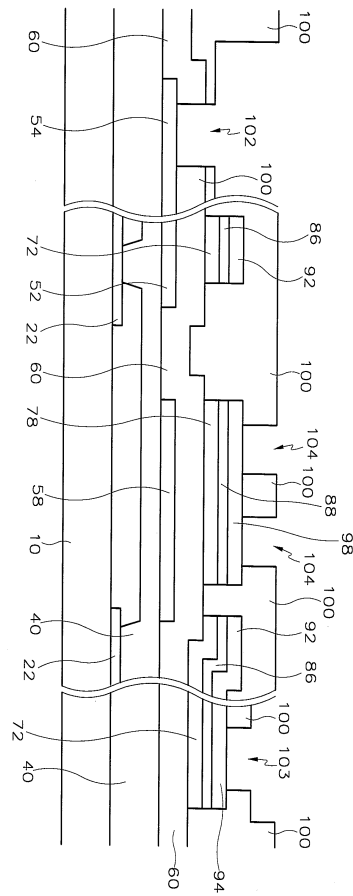
도면 21b



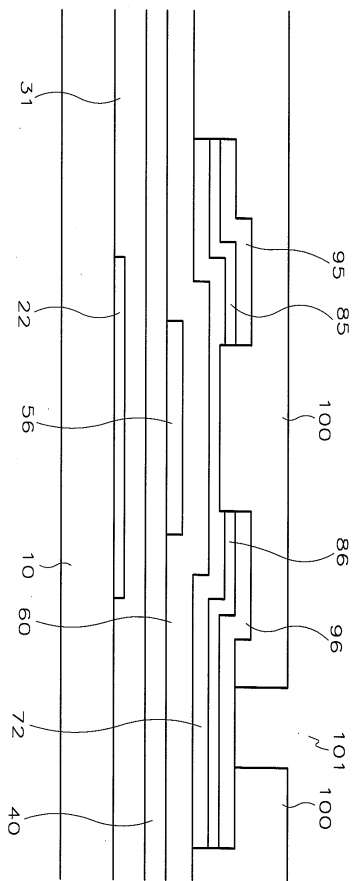
도면 22a



도면 22b



도면 22c



专利名称(译)	用于液晶显示装置的薄膜晶体管基板及其制造方法		
公开(公告)号	KR1020030032531A	公开(公告)日	2003-04-26
申请号	KR1020010064341	申请日	2001-10-18
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	LEE JUNGHO 이정호 HONG MUNPYO 홍문표		
发明人	이정호 홍문표		
IPC分类号	G02F1/136		
其他公开文献	KR100864486B1		
外部链接	Espacenet		

摘要(译)

用途：提供一种用于液晶显示装置的薄膜晶体管基板及其制造方法，以增强焊盘和抽头驱动集成电路之间的粘合力。组成：包括栅极线（52），栅极电极（56）和栅极焊盘（53）的栅极布线形成在绝缘基板上。在栅极布线上形成栅极绝缘膜。半导体图案（70）形成在栅极电极的栅极绝缘膜上。包括数据线（92），源极和漏极（95,96）以及数据焊盘（98）的数据布线形成在栅极绝缘膜上。通过化学气相沉积形成由诸如SiOC或SiOF的低介电绝缘材料形成的钝化膜。图案化钝化膜，使得栅极焊盘或数据焊盘周围的钝化膜比其他部分薄。随后，形成连接到漏电极的像素电极（112），以及连接到栅极焊盘和数据焊盘的辅助栅极焊盘（116）和辅助数据焊盘（118）。

