(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl. 7
G02F 1/136

(11) 공개번호 특2002 - 0088272
(43) 공개일자 2002년11월27일

---

(21) 출원번호 10 - 2001 - 0027613
(22) 출원일자 2001년05월21일

---

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 예한수
대구광역시북구구암동695 - 3청구아파트103 - 505
하영훈
경상북도구미시옥계동부영2차아파트205 - 1304

(74) 대리인 정원기

심사청구 : 없음

---

(54) 액정표시장치용 어레이 기판 및 그의 제조방법

요약

본 발명에서는, 제 1 방향으로 형성된 게이트 배선과; 상기 게이트 배선과 교차하는 제 2 방향으로 형성되며, 하부층을 이루는 제 1 데이터 배선과, 상기 제 1 데이터 배선의 상부층을 이루며, 상기 제 1 데이터 배선보다 넓은 폭을 가지는 제 2 데이터 배선으로 이루어진 데이터 배선과; 상기 게이트 및 데이터 배선이 교차되는 영역으로 정의되는 화소영역에 위치하며, 상기 제 2 데이터 배선과 동일공정에서 형성되어 이루어진 화소전극과; 상기 화소전극과 연결되어 형성된 박막트랜지스터를 포함하는 액정표시장치용 어레이 기판을 제공하므로써, 화소전극과 데이터 배선간의 오버레이를 패널 전체적으로 균일하게 유지할 수 있으므로, 첫째, 오버레이 차에 따른 화면얼룩과 같은 불량을 방지할 수 있고, 둘째, 오버레이 차로 인한 포토리소그래피 공정의 재작업을 생략할 수 있어, 공정시간 및 제조비용을 감소시켜 제품 수율을 향상시킬 수 있으며, 세째, 데이터 배선을 이중층을 구성하므로써 이중 어느 한 배선이 단선되더라도 또 하나의 배선이 리페어 배선 역할을 하므로 별도의 리페어 공정을 생략할 수 있는 장점을 가진다.

대표도

도 6

명세서

도면의 간단한 설명

도 1은 일반적인 액정표시장치용 액정패널의 단면을 도시한 단면도.

도 2는 일반적인 액정표시장치용 포토리소그래피(photolithography) 공정에 대한 공정블럭도.

도 3은 일반적인 액정표시장치용 어레이 기판의 일부 영역에 대한 평면을 도시한 평면도.

도 4a 내지 4c는 상기 도 3의 절단선 A - A, B - B에 따라 절단한 단면을 제조 단계별로 각각 도시한 단면도.

도 5는 일반적인 액정표시장치용 어레이 기판에 있어서, 오버레이가 불균일한 영역의 단면을 도시한 단면도.

도 6은 본 발명에 따른 액정표시장치용 어레이 기판의 일부 영역에 대한 평면을 도시한 평면도.

도 7a 내지 7c는 상기 도 6의 절단선 C - C, D - D에 따라 절단한 단면을 제조 단계별로 각각 도시한 단면도.

< 도면의 주요 부분에 대한 부호의 설명 >

105 : 어레이 기판 110 : 게이트 전극

112 : 캐패시터 전극 114 : 게이트 배선

120 : 소스 전극 122 : 드레인 전극

124a : 제 1 데이터 배선 124b : 제 2 데이터 배선

124 : 데이터 배선 130 : 데이터 콘택홀

132 : 화소전극

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치에 관한 것으로, 특히 액정표시장치용 어레이 기판 및 그의 제조방법에 관한 것이다.

최근에, 액정표시장치는 소비전력이 낮고, 휴대성이 양호한 기술집약적이며 부가가치가 높은 차세대 첨단 디스플레이(display)소자로 각광받고 있다.

일반적으로 액정표시장치는 박막트랜지스터를 포함하는 어레이 기판과 컬러 필터(color filter) 기판 사이에 액정을 주입하여, 이 액정의 이방성에 따른 빛의 굴절률 차이를 이용해 영상효과를 얻는 비발광 소자를 뜻한다.

현재에는 박막트랜지스터(Thin Film Transistor ; TFT)와 이 박막트랜지스터에 연결된 화소전극이 행렬방식으로 배열된 능동행렬 액정표시장치(AM - LCD ; Active Matrix Liquid Crystal Display)가 해상도 및 동영상 구현능력이 우수하여 가장 주목받고 있다.

상기 액정표시장치를 구성하는 기본적인 부품인 액정패널의 단면구조를 살펴보면 다음과 같다.

도 1은 일반적인 액정표시장치용 액정패널의 단면을 도시한 단면도이다.

액정패널(20)은 여러 종류의 소자들이 형성된 두 장의 기판(2, 4)이 서로 대응되게 형성되고, 상기 두 장의 기판(2, 4) 사이에 액정층(10)이 개재된 형태로 위치하고 있다.

즉, 상기 액정패널(20)에는 색상을 표현하는 컬러필터가 형성된 상부 기판(4)과 상기 액정층(10)의 액정분자 배열방향을 변환시킬 수 있는 스위칭 소자가 내장된 하부 기판(2)으로 구성된다.

좀 더 상세히 설명하면, 상기 상부 기판(4)의 투명기판(1) 하부에는 액정배열을 제어할 수 없는 영역 상의 빛을 차단하는 블랙매트릭스(9)가 형성되어 있고, 이 블랙매트릭스(9)의 하부에는 특정 파장대의 빛만을 투과시켜 색채를 표현하는 컬러필터(8)가 적(Red), 녹(Green), 청(Blue) 컬러순으로 형성되어 있으며, 이 컬러필터(8) 하부에는 액정층(10)에 전압을 인가하는 한쪽 전극인 공통전극(12)이 형성되어 있다.

상기 하부 기판(2)의 투명기판(1) 상부에는 스위칭 역할을 하는 박막트랜지스터(T)와, 상기 박막트랜지스터(T)로부터 신호를 인가받고 상기 액정층(10)으로 전압을 인가하는 다른 한쪽 전극역할을 하는 화소전극(14)이 형성되어 있다.

상기 화소전극(14)이 형성된 부분을 화소부(P)라고 한다.

그리고, 도면으로 제시하지는 않았지만, 상기 상부 및 하부 기판에서 액정층과 실질적으로 접촉하는 부분에는 액정의 배열을 유도하는 배향막이 형성된다.

상기 하부 기판은 상부 기판에 비해 다수의 공정을 거쳐 제작되며, 상기 하부 기판을 어레이 기판으로 제작하는데는, 증착(deposition), 포토리소그래피(photolithography), 식각(etching)공정이 여러 번 반복된다.

이하, 상기 포토리소그래피 공정에 대해서 도면을 참조하여 좀 더 상세히 설명한다.

도 2는 일반적인 액정표시장치용 포토리소그래피 공정에 대한 공정블럭도를 도시한 도면이다.

포토리소그래피(Photolithography) 공정은 포토 레지스트(PR ; photo resist)가 빛을 받으면 화학반응을 일으켜서 성질이 변하는 원리를 이용하여, 얻고자 하는 패턴(pattern)의 마스크를 이용하여 빛을 선택적으로 PR이 도포된 기판 상에 조사함으로써 마스크의 패턴과 동일한 패턴을 기판 상에 형성시키는 공정이다.

상기 마스크는 투명기판 상에 임의의 패턴을 형성한 것으로, 상기 패턴은 빛을 막는 불투명 영역과 빛을 통과하는 영역으로 구분된다.

상기 PR은 반응원리에 따라 포지티브(positive) PR과 네가티브(negative) PR로 구분할 수 있는데, 포지티브 PR은 노광(exposure)된 영역이 용해되기 쉬운 상태이므로 현상과정에서 빛에 노출된 부분이 쉽게 용해되는 성질을 가지며, 이 PR은 블랙매트릭스 및 어레이 소자의 제작에 주로 이용되고, 네가티브 PR은 노광된 영역이 용해되기 어려운 상태로 현상과정에서 쉽게 용해되지 않고, 그외 비노출 부분이 용해되는 성질을 가지며, 컬러필터 패턴 형성에 주로 이용된다.

일반적으로, 상기 포토리소그래피 공정순서는 평탄하고 균일한 두께의 PR를 형성하기 위해 스핀코팅(spin coating)방식을 이용하여 PR을 코팅하는 단계(ST 1)와, 코팅된 PR을 고형화하는 소프트 베이크(soft bake) 단계(ST 2)와, 상기 소프트 베이크 단계를 거친 PR층 상에 임의의 패턴이 형성된 마스크를 정렬하고, 노광장비의 광원을 조사하여 상기 PR층을 노광하는 단계(ST 3)와, 상기 노광을 거친 PR층을 현상액(developer)을 이용하여 상을 형성하기 위해 일정부위의 PR층을 제거하는 현상(develop) 단계(ST 4)와, 상기 현상 단계를 거친 PR층과 하부물질과의 밀착성을 좋게 하기 위한 하드 베이크(hard bake) 단계(ST 5) 순으로 이루어진다.

이중 상기 ST 3단계에 해당하는 노광 공정은 광원렌즈 및 미러를 포함하는 노광장비를 이용하여 기판 상에 임의의 패턴을 전사(轉寫)하는 방식으로 이루어지기 때문에, 상기 광원렌즈 및 미러의 이용에 따른 패턴의 왜곡현상을 완전하게 제어하기 어렵다.

예를 들어, 제 1 패턴에서 임의의 포인트를 정하고, 제 2 패턴을 상기 포인트에 맞추어 형성함에 있어서, 왜곡현상이 일어날 경우에는 상기 포인트에서 벗어난 지점에서 제 2 패턴이 형성되어 상기 두 패턴간의 오버레이 정확도가 떨어지게 되고, 이러한 오버레이 차는 공정이 추가될수록 더욱 심해지게 된다.

더욱이, 액정표시장치용 어레이 기판에 있어서, 화면구현 영역과 이웃하는 배선간에 오버레이 차가 커지게 되면, 화질저하를 가져오는 문제점이 있다.

이하, 기존의 액정표시장치용 하부 기판의 구조를 통하여 상술한 오버레이 특성에 대해서 좀 더 상세히 설명한다.

도 3은 일반적인 액정표시장치용 어레이 기판의 일부 영역에 대한 평면을 도시한 평면도이다.

도시한 바와 같이, 가로방향으로 게이트 전극(30) 및 캐패시터(capacitor) 전극(31)을 포함하는 게이트 배선(32)이 형성되어 있고, 세로방향으로 상기 게이트 배선(32)과 교차하며, 소스 전극(40)을 포함하는 데이터 배선(44)이 형성되어 있다.

그리고, 상기 소스 전극(40)과 일정간격 이격되어 드레인 전극(42)이 형성되어 있으며, 상기 게이트 전극(30), 소스 전극(40), 드레인 전극(42)은 박막트랜지스터(T)를 이룬다.

또한, 상기 게이트 및 데이터 배선(32, 44)이 교차되는 영역으로 정의되는 화소영역에는 상기 박막트랜지스터(T)와 연결되어 화소전극(50)이 형성되어 있다.

한편, 상기 게이트 및 데이터 배선(32, 44)은 각각 주사 신호 및 데이터 신호를 화소전극(50)에 인가하는 배선으로써, 이중 상기 데이터 배선(44)과 대향하는 화소전극(50) 사이에는 커플링 캐피시턴스(coupling capacitance)라는 기생 캐패시턴스(parasitic capacitance)가 존재하는데, 이 기생 캐패시턴스값은 화소별로 균등하지 않을 경우에는 화면얼룩과 같은 화질저하를 발생시키게 된다.

상기 캐패시턴스는 하기 공식을 만족한다.

$C = \varepsilon (A/d)$

(C : 캐패시터 용량, ε : 절연체의 유전율, A : 전극의 면적, d : 전극체간의 거리)

즉, 상기 식과 연관되어 커플링 캐패시턴스값에 변화를 주는 요인으로는 데이터 배선(44)과 화소전극(50)간의 대향거리로 볼 수 있으므로, 이 데이터 배선(44)과 화소전극(50) 간의 대향거리를 일정하게 유지하는 것은 화질특성과 관련되어 매우 중요하다.

이하, 상기 화소전극(50)과 데이터 배선(44)간의 단면구조를 통하여, 오버레이에 대해서 설명한다.

도 4a 내지 4c는 상기 도 3의 절단선 A - A, B - B에 따라 절단된 단면을 제조단계별로 도시한 단면도로서, 각 제조공정은 상기 도 2에서 상술한 포토리소그래피 공정이 포함되는 공정이다.

도 4a에서는, 투명기판(1) 상에 박막트랜지스터(T) 및 데이터 배선(44)을 형성하는 단계이다.

상기 박막트랜지스터(T)는, 투명기판(1) 상에 게이트 전극(30)을 형성하고, 상기 게이트 전극(30) 상부에 게이트 절연막(34)을 기판 전면에 걸쳐 형성하고, 상기 게이트 절연막(34) 상부에 비정질 실리콘(a - Si)으로 이루어진 액티브층(36a)과, 불순물 비정질 실리콘(n+ a - Si)으로 이루어진 오믹콘택층(36b ; ohmic contact layer)을 차례대로 형성하여 반도체층(36)을 구성한 후, 상기 반도체층(36) 상부에 서로 일정간격 이격되는 소스 및 드레인 전극(40, 42)을 형성하고, 상기 소스 및 드레인 전극(40, 42) 사이 구간의 오믹 콘택층(36b)을 제거하고, 액티브층(36a)을 일부 노출하여 채널(ch)을 형성하는 공정을 거쳐 이루어진다.

상기 데이터 배선(44)은 상기 소스 및 드레인 전극(40, 42)과 동일한 공정에서 형성된다.

도 4b에서는, 상기 박막트랜지스터(T)의 전기적 특성을 보호하기 위한 목적을 가지는 보호층(46)을 상기 박막트랜지스터(T)와 데이터 배선(44) 상부에 형성하는 단계이다.

이 단계에서는, 상기 보호층(46) 상에 드레인 전극(42)을 일부 노출시키는 드레인 콘택홀(48)을 형성하는 단계가 포함된다.

도 4c에서는, 상기 보호층(46) 상부에 투명도전성 물질을 이용하여 화소전극(50)을 형성하는 단계이다.

이때, 상기 화소전극(50)은 드레인 콘택홀(48)을 통해 드레인 전극(42)과 연결된다.

그리고, 상기 데이터 배선(44)의 양쪽에는 화소전극(50)이 위치하는데, 도면에 도시한 바와 같이 좌측 화소전극(50)과 데이터 배선(44)간의 대향거리(a)와, 우측 화소전극(50)과 데이터 배선(44)간의 대향거리(b)가 균일하게 유지되어야 화면얼룩과 같은 화질저하를 방지할 수 있다.

그러나, 상기 구조는 패턴의 왜곡현상이 발생하지 않는 이상적인 경우에 관한 것이고, 일반적인 포토리소그래피 공정의 노광공정에서는 장비의 특성상 패턴의 왜곡현상은 존재하게 되고, 이러한 패턴의 선형 또는 비선형 왜곡현상을 각 패턴에 따른 노광장비별로 동일한 조건으로 보상하기는 공정상 어렵다.

도 5는 일반적인 액정표시장치용 하부 기판에 있어서, 오버레이가 불균일하게 나타나는 영역의 단면을 도시한 단면도이다.

도시한 바와 같이, 좌측 화소전극(54)과 데이터 배선(52)이 이루는 대향거리(a')보다 우측 화소전극(54)과 데이터 배선(52)이 이루는 대향거리(b')가 더 큰값을 가지므로, 각각의 커플링 캐패시턴스값이 달라지게 되고, 이는 해당 데이터 배선과 연결된 화소전극에 인가되는 전압의 세기를 달라지게 한다.

즉, 화소별로 전압의 세기가 달라지면, 액정의 배열을 균일하게 제어할 수 없게되어, 화면 얼룩 등의 불량이 발생하게 된다.

또한, 이러한 불량을 방지하기 위해서는 포토리소그래피 공정의 재작업(rework)이 요구되므로, 공정시간 및 제품수율이 떨어지는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

상기 문제점을 해결하기 위해서, 본 발명에서는 패턴간 오버레이를 일정하게 함으로써 화면얼룩을 방지하여 수율이 향상된 액정표시장치를 제공하는 것을 목적으로 한다.

즉, 본 발명에서는 화소전극과 데이터 배선과의 오버레이를 균일하게 하기 위해서, 화소전극 패턴을 형성하는 공정에서, 제 2의 데이터 배선을 형성하는 것이다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여, 제 1 방향으로 형성된 게이트 배선과; 상기 게이트 배선과 교차하는 제 2 방향으로 형성되며, 하부층을 이루는 제 1 데이터 배선과, 상기 제 1 데이터 배선의 상부층을 이루며, 상기 제 1 데이터 배선보다 넓은 폭을 가지는 제 2 데이터 배선으로 이루어진 데이터 배선과; 상기 게이트 및 데이터 배선이 교차되는 영역으로 정의되는 화소영역에 위치하며, 상기 제 2 데이터 배선과 동일공정에서 형성되어 이루어진 화소전극과; 상기 화소전극과 연

결되어 형성된 박막트랜지스터를 포함하는 액정표시장치용 어레이 기판을 제공한다.

상기 제 1, 2 데이터 배선 사이에는 상기 제 1, 2 데이터 배선을 연결하는 적어도 하나의 데이터 콘택홀이 형성된 절연막을 더욱 포함하며, 상기 박막트랜지스터 상부에는 보호층을 더욱 포함하며, 상기 보호층은 상기 제 1, 2 데이터 배선 사이에 개재되는 절연막과 동일 공정에서 형성되는 동일 물질임을 특징으로 한다.

상기 제 1 데이터 배선은 몰리브덴(Mo), 텅스텐(W), 크롬(Cr), 니켈(Ni) 중 어느 하나이고, 상기 제 2 데이터 배선 및 상기 화소전극은 투명도전성 물질로 이루어지며, 상기 투명도전성 물질은 ITO(Indium Tin Oxide)임을 특징으로 한다.

상기 박막트랜지스터는 상기 게이트 전극과, 상기 제 1, 2 데이터 배선과 각각 연결되어 형성되는 제 1, 2 소스 전극 및 상기 소스 전극과 일정간격 이격되어 형성되는 드레인 전극으로 이루어지고, 상기 제 1 소스 전극은 하부층을 이루며, 상기 제 1 소스 전극의 상부층을 이루며, 상기 제 1 소스 전극보다 넓은 폭을 가지는 제 2 소스 전극으로 이루어짐을 특징으로 한다.

본 발명의 또 하나의 특징에서서는, 투명기판을 준비하는 단계와; 상기 투명기판 상에 제 1 방향으로 게이트 전극을 포함하는 게이트 배선을 형성하는 단계와; 상기 게이트 배선 상부에 게이트 절연막 및 반도체층을 형성하는 단계와; 상기 반도체층 상부에, 상기 게이트 배선과 교차하는 제 2 방향으로 제 1 소스 전극을 포함하는 제 1 데이터 배선과, 상기 제 1 소스 전극과 일정간격 이격되는 드레인 전극을 형성하는 단계와; 상기 제 1 소스 전극 및 드레인 전극과 제 1 데이터 배선 상부에, 드레인 콘택홀과 데이터 콘택홀을 가지는 보호층을 형성하는 단계와; 상기 보호층 상부에, 상기 드레인 콘택홀을 통해 드레인 전극과 연결되는 화소전극 및 상기 데이터 콘택홀을 통해 제 1 데이터 배선 및 제 1 소스 전극과 각각 연결되는 제 2 데이터 배선 및 제 2 소스전극을 형성하는 단계를 포함하는 액정표시장치용 어레이 기판의 제조방법을 제공한다.

상기 액정표시장치용 하부 기판의 각 패턴은 PR 코팅(photo resist coating), 노광(exposure), 현상(develop)을 포함하는 포토리소그래피(photolithography) 공정에 의해 형성되는 것으로, 상기 화소전극 및 제 2 데이터 배선과 제 2 소스 전극은 동일한 노광공정에 의해 패턴을 형성함을 특징으로 한다.

그리고, 상기 제 2 데이터 배선을 형성하는 단계에서, 상기 제 2 데이터 배선의 폭은 상기 제 1 데이터 배선폭보다 일정간격 넓게 형성하는 것을 특징으로 하고, 상기 화소전극 및 제 2 데이터 배선과 제 2 소스 전극은 투명도전성 물질로 이루어지며, 상기 투명도전성 물질은 ITO(Indium Tin Oxide)임을 특징으로 한다.

상기 드레인 전극, 제 1 데이터 배선, 제 1 소스 전극을 이루는 물질은 몰리브덴(Mo), 텅스텐(W), 크롬(Cr), 니켈(Ni) 중 어느 하나임을 특징으로 한다.

이하, 본 발명에 따른 바람직한 실시예를 도면을 참조하여 설명한다.

도 6은 본 발명에 따른 액정표시장치용 어레이 기판의 일부 영역에 대한 평면도이다.

도시한 바와 같이, 제 1 방향으로 게이트 전극(110) 및 캐패시터 전극(112)을 포함하는 게이트 배선(114)이 형성되어 있고, 제 2 방향으로 상기 게이트 배선(114)과 교차하며, 소스 전극(120)을 포함하는 데이터 배선(124)이 형성되어 있다.

상기 데이터 배선(124)은 제 1, 2 데이터 배선(124a, 124b)으로 이루어져 있는데, 상기 제 2 데이터 배선(124b)은 제 1 데이터 배선(124a)보다 넓은 폭을 가지며 제 1 데이터 배선(124a)을 덮는 구조로 이루어짐을 특징으로 한다.

또한, 상기 데이터 배선(124)은 동일 해상도를 가지는 기존의 데이터 배선과 비교시, 상기 제 1 데이터 배선(124a)은 기존의 데이터 배선보다 좁은 폭을 갖도록 구성하여, 상기 제 2 데이터 배선(124b)이 기존보다 폭이 증가되지 않도록 구성하는 것이 바람직하다.

상기 제 1, 2 데이터 배선(124a, 124b) 사이에는 절연막(미도시)이 개재되며, 이 절연막에는 다수 개의 데이터 콘택홀(130)이 형성되어 있어, 이 데이터 콘택홀(130)을 통해 제 2 데이터 배선(124b)이 제 1 데이터 배선(124a)과 전기적으로 연결된다.

그리고, 상기 소스 전극(120)과 일정간격 이격되어 드레인 전극(122)이 형성되어 있으며, 상기 게이트 전극(110), 소스 전극(120), 드레인 전극(122)은 박막트랜지스터(TT)를 이루고, 이 박막트랜지스터(TT)와 연결되어 화소전극(132)이 형성되어 있다.

상기 소스 전극(120)은 상기 제 1, 2 데이터 배선(124a, 124b)과 각각 연결되는 제 1,2 소스 전극(120a, 120b)으로 구성된다.

상기 화소전극(132) 및 제 2 데이터 배선(124b) 그리고, 제 2 소스 전극(120b)은 동일공정에서 투명도전성 물질로 이루어짐을 특징으로 한다.

상기 투명도전성 물질중에서도, ITO(Indium Tin Oxide)로 하는 것이 바람직하다.

본 발명에서는 화소전극(132)과 제 2 데이터 배선(124b)을 동일공정에서 형성하므로, 두 패턴간의 오버레이를 기판 전체에 걸쳐 일정하게 유지하여, 화면의 얼룩을 방지하고, 오버레이 불량에 따른 재작업을 생략할 수 있으며, 또한 데이터 배선을 이중층을 구성하므로써 이중 어느 한 배선이 단선되더라도 또 하나의 배선이 리페어 배선 역할을 하므로 별도의 리페어 공정을 생략할 수 있으므로 수율이 향상된 액정표시장치를 제공할 수 있다.

이하, 본 발명에 따른 액정표시장치용 어레이 기판의 제조공정에 대해서 설명한다.

도 7a 내지 7c는 상기 도 6의 절단선 C-C, D-D에 따라 절단한 단면을 제조단계별로 도시한 단면도로서, 상기 어레이 공정에는 상기 도 2에서 상술한 포토리소그래피 공정이 포함된다.

도 7a에서는, 투명기판(1) 상에 게이트 전극(110), 게이트 절연막(116), 반도체층(118)을 차례대로 형성한 후, 이 반도체층(118) 상부에 서로 일정간격 이격되는 제 1 소스 전극(120a) 및 드레인 전극(122)을 형성하여 구성한다.

그리고, 상기 제 1 소스 전극(120a)과 연결되어 제 1 데이터 배선(124a)이 형성된다.

상기 게이트 전극(110)은 알루미늄 네오듐(AlNd)을 하부 금속층으로 하고, 몰리브덴(Mo)과 같이 화학적 내식성이 강한 금속을 상부 금속층으로 한 이중 금속층으로 형성하는 것이 바람직하다.

상기 게이트 절연막(116)은 저온공정이 가능한 실리콘 질화막(SiNx)이 주로 이용되며, 상기 반도체층(118)은 비정질 실리콘으로 이루어진 액티브층(118a)과 불순물 비정질 실리콘으로 이루어진 오믹콘택층(118b)의 적층구조로 이루어진다.

그리고, 상기 제 1 데이터 배선(124a)과 제 1 소스 전극 및 드레인 전극(120a, 122)은 몰리브덴(Mo), 텅스텐(W), 크롬(Cr), 니켈(Ni) 중 어느 한 금속으로 형성하는 것이 바람직하다.

이 단계에서는, 상기 제 1 데이터 배선(124a)를 형성함에 있어서, 동일 해상도 기준으로 기존의 데이터 배선보다 일정하게 좁은 폭을 갖도록 형성한다.

왜냐하면, 추후 공정에서 형성하는 제 2 의 데이터 배선을 상기 제 1 데이터 배선(124a)보다 넓은 폭을 가지며, 기존의 데이터 배선폭에 상응하는 폭을 갖도록 형성하기 위해서이다.

그리고, 상기 단계에서는 채널(CH)을 형성하는 공정이 포함된다.

도 7b에서는, 상기 제 1 소스 전극 및 드레인 전극(120a, 122)과 제 1 데이터 배선(124a) 상부에 보호층(126)을 형성하는 단계이다.

이 단계에서는, 상기 보호층(126) 상에 드레인 콘택홀(128) 및 데이터 콘택홀(130)을 형성하는 단계가 포함된다.

상기 드레인 콘택홀(128) 및 데이터 콘택홀(130)은 각각 드레인 전극(122) 및 제 1 데이터 배선(124a)을 일부 노출시키기 위한 목적으로 형성하는 것이다.

도면으로 제시되지는 않았지만, 상기 데이터 콘택홀(130)은 그 형상이나 위치를 다양하게 변경하여 다수 개 형성할 수 있으며, 바람직하기로는 하나의 화소부 단위로 상기 화소부의 양단과 대응하는 위치에 하나씩 형성하는 것이다.

상기 보호층은 절연성을 띄는 물질로 이루어지며, 특히, 실리콘 질화막이나 실리콘 산화막($Si0_2$) 또는 BCB(BenzoCycloButene)가 주로 이용된다.

도 7c에서는, 상기 보호층(126) 상부에 투명도전성 물질을 이용하여 화소전극(132) 및 제 2 데이터 배선(124b) 그리고, 제 2 소스 전극(120b)을 형성하는 단계이다.

도시한 바와 같이, 상기 화소전극(132)은 드레인 콘택홀(128)을 통해 드레인 전극(122)과 연결되고, 제 2 데이터 배선(124b) 및 제 2 소스 전극(120b)은 데이터 콘택홀(130)을 통해 각각 제 1 데이터 배선(124a) 및 제 1 소스 전극(120a)과 연결된다.

상기 게이트 전극(110), 제 1, 2 소스 전극(120a, 120b), 드레인 전극(122)을 포함하여 박막트랜지스터(TT)가 구성된다.

한편, 상기 제 2 데이터 배선폭(I)은 제 1 데이터 배선폭(II)보다 큰값을 가지며, 상기 제 2 데이터 배선의 양측이 제 1 데이터 배선(124a)보다 외부에 위치하도록 형성하는 것이 공정상 중요하다.

왜냐하면, 상기 제 2 데이터 배선(124b)을 화소전극 공정에서 형성하는 이유는, 데이터 배선(124)과 화소전극(132)간의 오버레이 차를 없애기 위한 것이기 때문에 제 2 데이터 배선(124b)이 제 1 데이터 배선(124a)과 화소전극(132)간의 오버레이의 불균일을 상쇄할 수 있도록, 상기 제 2 데이터 배선(124b)의 양측이 제 1 데이터 배선(124a)보다 외부에 위치하도록 구성해야한다.

한편, 상기 드레인 전극(122)은 박막트랜지스터(TT)와 화소전극(132)을 연결하는 전극으로써, 상기 데이터 배선(124)과 별도의 패턴으로 형성되므로, 화소전극(132)과 데이터 배선(124)간에 발생하는 기생 용량값에 영향을 끼치지 않으므로, 상기 제 1 데이터 배선(124a) 형성공정에서 단일층으로 구성할 수 있다.

본 발명에서는 제 1 데이터 배선(124a)과 연결되는 제 2 데이터 배선(124b)과 화소전극(132)을 동일한 공정에서 형성하므로써, 제 2 데이터 배선(124b)과 화소전극(132)의 패턴형성을 위한 노광공정을 동시에 수행할 수 있어 전공정과 후공정간에 발생하는 패턴간 오버레이 차를 없앨 수 있다.

즉, 도시한 바와 같이, 좌측 화소전극(132)과 데이터 배선(124)의 대향거리(a')와 우측 화소전극(132)과 데이터 배선(124)의 대향거리(b')를 일정하게 유지할 수 있으므로, 오버레이 특성을 향상시킬 수 있는 것이다.

본 발명은 상기 실시예로 한정하지 않으며, 본 발명의 취지에 벗어나지 않는 한도내에서 다양하게 변경하여 실시할 수 있다.

발명의 효과

이와 같이, 본 발명에서는 데이터 배선을 제 1, 2 데이터 배선으로 구성하고, 이 중 제 2 데이터 배선과 화소전극을 동일공정에서 형성하여, 화소전극과 데이터 배선간의 오버레이를 패널 전체적으로 균일하게 유지할 수 있으므로, 다음과 같은 장점을 갖는다.

첫째, 오버레이 차에 따른 화면얼룩과 같은 불량을 방지할 수 있다.

둘째, 오버레이 차로 인한 포토리소그래피 공정의 재작업을 생략할 수 있어, 공정시간 및 제조비용을 감소시켜 제품 수율을 향상시킬 수 있다.

세째, 데이터 배선을 이중층을 구성하므로써 이중 어느 한 배선이 단선되더라도 또 하나의 배선이 리페어 배선 역할을 하므로 별도의 리페어 공정을 생략할 수 있다.

(57) 청구의 범위

청구항 1.

제 1 방향으로 형성된 게이트 배선과;

상기 게이트 배선과 교차하는 제 2 방향으로 형성되며, 하부층을 이루는 제 1 데이터 배선과, 상기 제 1 데이터 배선의 상부층을 이루며, 상기 제 1 데이터 배선보다 넓은 폭을 가지는 제 2 데이터 배선으로 이루어진 데이터 배선과;

상기 게이트 및 데이터 배선이 교차되는 영역으로 정의되는 화소영역에 위치하며, 상기 제 2 데이터 배선과 동일공정에서 형성되어 이루어진 화소전극과;

상기 화소전극과 연결되어 형성된 박막트랜지스터

를 포함하는 액정표시장치용 어레이 기판.

청구항 2.

제 1 항에 있어서,

상기 제 1, 2 데이터 배선 사이에는 상기 제 1, 2 데이터 배선을 연결하는 적어도 하나의 데이터 콘택홀이 형성된 절연막을 더욱 포함하는 액정표시장치용 어레이 기판.

청구항 3.

제 2 항에 있어서,

상기 박막트랜지스터 상부에는 보호층을 더욱 포함하며, 상기 보호층은 상기 제 1, 2 데이터 배선 사이에 개재되는 절연막과 동일 공정에서 형성되는 동일 물질인 액정표시장치용 어레이 기판.

청구항 4.

제 1 항에 있어서,

상기 제 1 데이터 배선은 몰리브덴(Mo), 텅스텐(W), 크롬(Cr), 니켈(Ni) 중 어느 하나인 액정표시장치용 어레이 기판.

청구항 5.

제 1 항에 있어서,

상기 제 2 데이터 배선 및 상기 화소전극은 투명도전성 물질로 이루어지는 액정표시장치용 어레이 기판.

청구항 6.

제 5 항에 있어서,

상기 투명도전성 물질은 ITO(Indium Tin Oxide)인 액정표시장치용 어레이 기판.

청구항 7.

제 1 항에 있어서,

상기 박막트랜지스터는 상기 게이트 전극과, 상기 제 1, 2 데이터 배선과 각각 연결되어 형성되는 제 1, 2 소스 전극 및 상기 소스 전극과 일정간격 이격되어 형성되는 드레인 전극으로 이루어지는 액정표시장치용 어레이 기판.

청구항 8.

제 7 항에 있어서,

상기 제 1 소스 전극은 하부층을 이루며, 상기 제 1 소스 전극의 상부층을 이루며, 상기 제 1 소스 전극보다 넓은 폭을 가지는 제 2 소스 전극으로 이루어지는 액정표시장치용 어레이 기판.

청구항 9.

투명기판을 준비하는 단계와;

상기 투명기판 상에 제 1 방향으로 게이트 전극을 포함하는 게이트 배선을 형성하는 단계와;

상기 게이트 배선 상부에 게이트 절연막 및 반도체층을 형성하는 단계와;

상기 반도체층 상부에, 상기 게이트 배선과 교차하는 제 2 방향으로 제 1 소스 전극을 포함하는 제 1 데이터 배선과, 상기 제 1 소스 전극과 일정간격 이격되는 드레인 전극을 형성하는 단계와;

상기 제 1 소스 전극 및 드레인 전극과 제 1 데이터 배선 상부에, 드레인 콘택홀과 데이터 콘택홀을 가지는 보호층을 형성하는 단계와;

상기 보호층 상부에, 상기 드레인 콘택홀을 통해 드레인 전극과 연결되는 화소전극 및 상기 데이터 콘택홀을 통해 제 1 데이터 배선 및 제 1 소스 전극과 각각 연결되는 제 2 데이터 배선 및 제 2 소스전극을 형성하는 단계

를 포함하는 액정표시장치용 어레이 기판의 제조방법.

청구항 10.

제 9 항에 있어서,

상기 액정표시장치용 하부 기판의 각 패턴은 PR 코팅(photo resist coating), 노광(exposure), 현상(develop)을 포함하는 포토리소그래피(photolithography) 공정에 의해 형성되는 것으로, 상기 화소전극 및 제 2 데이터 배선과 제 2 소스 전극은 동일한 노광공정에 의해 패턴을 형성함을 특징으로 하는 액정표시장치용 어레이 기판의 제조방법.

청구항 11.

제 9 항에 있어서,

상기 제 2 데이터 배선을 형성하는 단계에서, 상기 제 2 데이터 배선의 폭은 상기 제 1 데이터 배선폭보다 일정간격 넓게 형성하는 것을 특징으로 하는 액정표시장치용 어레이 기판의 제조방법.

청구항 12.

제 9 항에 있어서,

상기 화소전극 및 제 2 데이터 배선과 제 2 소스 전극은 투명도전성 물질로 이루어지는 액정표시장치용 어레이 기판의 제조방법.

청구항 13.

제 12 항에 있어서,

상기 투명도전성 물질은 ITO(Indium Tin Oxide)인 액정표시장치용 어레이 기판의 제조방법.

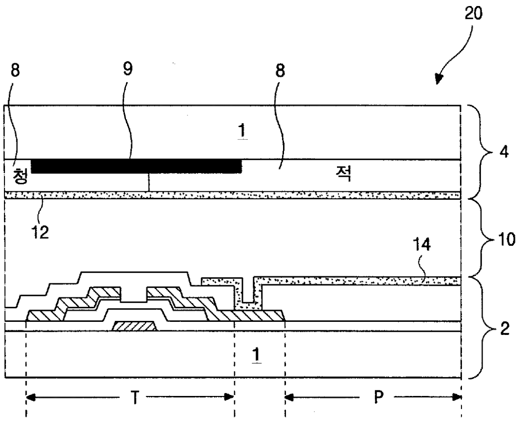
청구항 14.

제 9 항에 있어서,

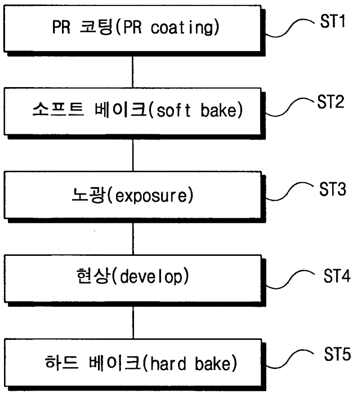
상기 드레인 전극, 제 1 데이터 배선, 제 1 소스 전극을 이루는 물질은 몰리브덴(Mo), 텅스텐(W), 크롬(Cr), 니켈(Ni) 중 어느 하나인 액정표시장치용 어레이 기판의 제조방법.

도면

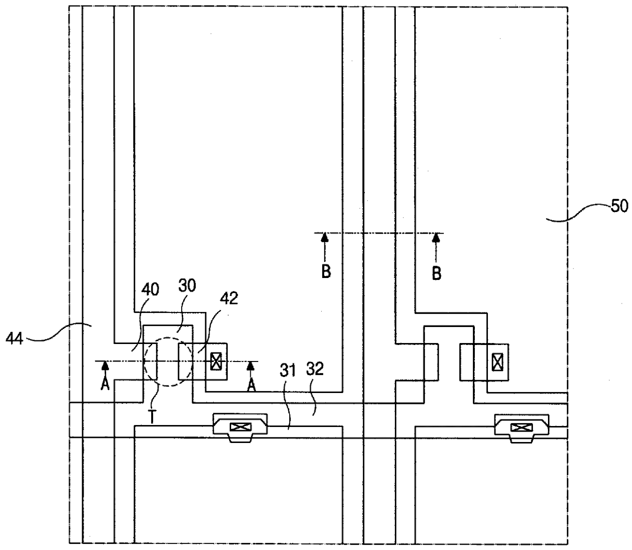
도면 1



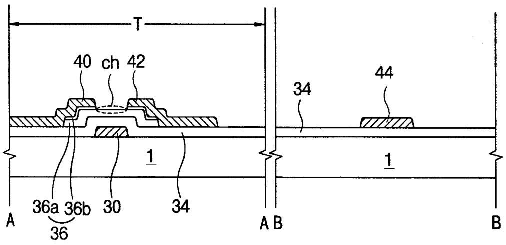
도면 2


PR 코팅(PR coating)
ST1
소프트 베이크(soft bake)
ST2
노광(exposure)
ST3
현상(develop)
ST4
하드 베이크(hard bake)
ST5

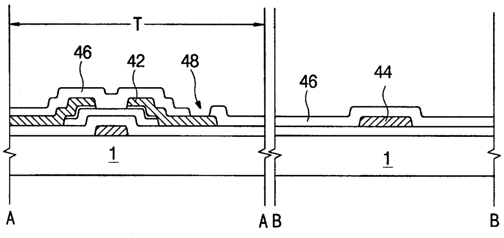
도면 3


50
B
B
40
30
42
44
A
A
31
32
T

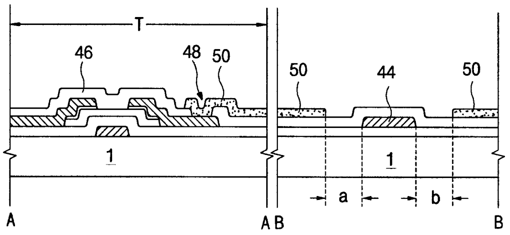
도면 4a



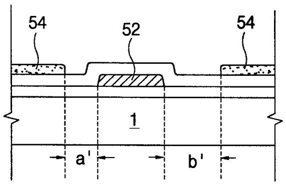
도면 4b



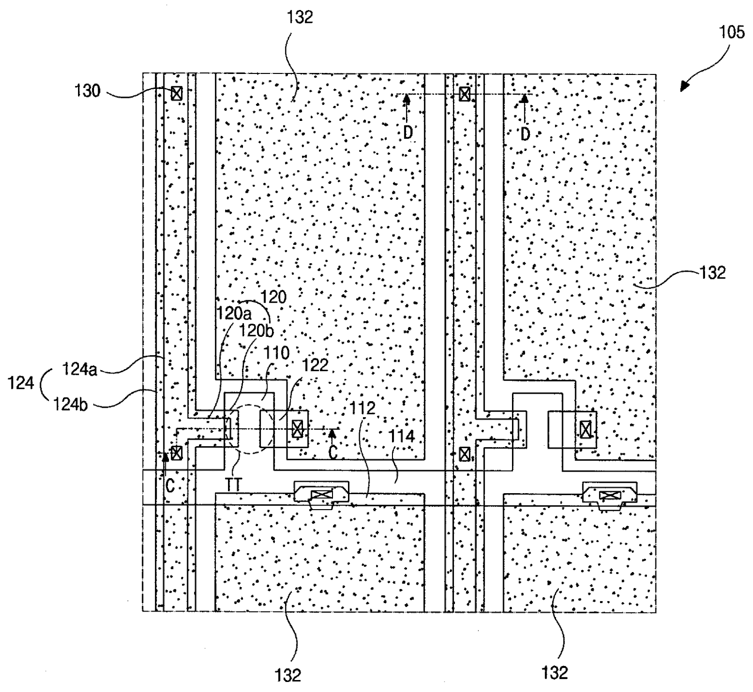
도면 4c



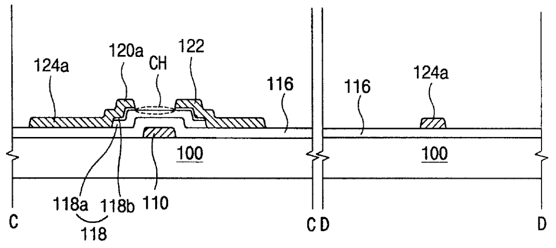
도면 5



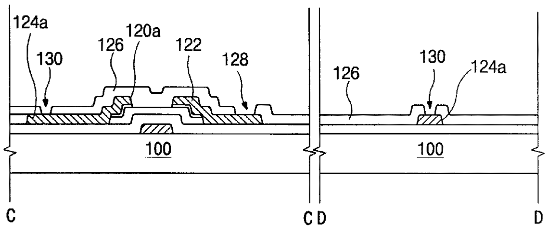
도면 6


132
105
130
D
D
132
120
120a
120b
110
122
124a
124
124b
112
114
C
C
TT
132
132

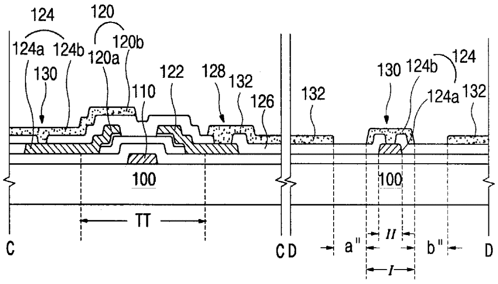
도면 7a


124a
120a
CH
122
116
116
124a
100
100
118a
118b
110
118
C
C D
D

도면 7b


124a
130
126
120a
122
128
100
126
130
124a
100
C
C D
D

도면 7c


124
120
124a
124b
120b
120a
130
110
122
128
132
126
132
130
124b
124
124a
132
100
100
TT
C
C D
a"
II
b"
I
D

专利名称(译)	用于液晶显示装置的阵列基板及其制造方法		
公开(公告)号	KR1020020088272A	公开(公告)日	2002-11-27
申请号	KR1020010027613	申请日	2001-05-21
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	YEE HANSU 예한수 HA YOUNGHUN 하영훈		
发明人	예한수 하영훈		
IPC分类号	G02F1/1362 G02F1/136		
CPC分类号	G02F1/136286 G02F2001/136263 G02F2001/13629		
其他公开文献	KR100792466B1		
外部链接	Espacenet		

摘要(译)

根据本发明，提供了一种半导体器件，包括：沿第一方向形成的栅极布线;形成在与第一方向交叉的栅极布线，形成所述第一数据线和所述的顶层形成下层，第一数据线，其中所述第一第一数据由具有比数据线布线的宽度更宽的宽度的第二数据线的和;像素电极形成在由栅极和数据线交叉的区域限定的像素区域中，并且以与第二数据线相同的工艺形成;通过用于形成包括连接到像素电极的薄膜晶体管的液晶显示装置中提供的阵列基板中，由于像素电极和数据线面板整体保持在均匀的，首先，缺陷，如覆盖差的显示不均之间的重叠可以被防止。其次，通过它可以省略引起汽车覆盖光刻工艺的再工作，所以可以减少处理时间和制造成本，并且提高了产品产率，第三，构成双层与所述数据线的双任何即使布线断开，另一布线也用作修复布线，因此具有可以省略单独的修复过程的优点。 6