



## 특허청구의 범위

### 청구항 1

하부 기판 상에 게이트 라인과 데이터 라인과 접속되도록 형성된 박막 트랜지스터와;

상기 박막 트랜지스터의 드레인 전극과 접속된 화소 전극과;

상기 화소 전극과 수평 전계를 이루는 공통 전극과;

상기 데이터 라인과 중첩되어 형성되며, 상기 데이터 라인과 접속된 연결 전극과;

상기 하부 기판과 마주보는 상부 기판 상에 형성되며, 상기 연결 전극과 수직 전계를 이루도록 접지 전압이 공급되는 블랙 매트릭스를 포함하는 것을 특징으로 하는 액정 표시 패널.

### 청구항 2

제1항에 있어서,

상기 연결 전극은 상기 화소 전극과 동일 재질로 동일 평면 상에 형성되는 것을 특징으로 하는 액정 표시 패널.

### 청구항 3

제1항에 있어서,

상기 연결 전극은 상기 데이터 라인과 인접한 상기 공통 전극의 일부와 절연되게 중첩되는 것을 특징으로 하는 액정 표시 패널.

### 청구항 4

제1항에 있어서,

상기 블랙 매트릭스는 상기 상부 기판 상에 형성되는 칼라 필터들 상에 또는 상기 칼라 필터들 하부에 형성되는 것을 특징으로 하는 액정 표시 패널.

### 청구항 5

삭제

### 청구항 6

하부 기판 상에 게이트 라인과 데이터 라인과 접속되도록 형성된 박막 트랜지스터와, 상기 박막 트랜지스터의 드레인 전극과 접속된 화소 전극과, 상기 화소 전극과 수평 전계를 이루는 공통 전극과, 상기 데이터 라인과 중첩되어 형성되며, 상기 데이터 라인과 접속된 연결 전극을 포함하는 박막 트랜지스터 기판을 마련하는 단계와;

상기 하부 기판과 마주보는 상부 기판 상에 형성되며, 상기 연결 전극과 수직 전계를 이루도록 접지 전압이 공급되는 블랙 매트릭스를 포함하는 칼라 필터 기판을 마련하는 단계와;

상기 박막 트랜지스터 기판과 상기 칼라 필터 기판을 합착하는 단계를 포함하는 것을 특징으로 하는 액정 표시 패널의 제조 방법.

### 청구항 7

제6항에 있어서,

상기 박막 트랜지스터를 마련하는 단계는

상기 하부 기판 상에 게이트 라인, 게이트 전극, 공통 라인 및 공통 전극을 포함하는 게이트 금속 패턴을 형성하는 단계와,

상기 게이트 금속 패턴이 형성된 상기 하부 기판 상에 게이트 절연막이 형성되고, 그 위에 소스 전극, 드레인 전극을 포함하는 데이터 금속 패턴과, 데이터 금속 패턴을 따라 그 아래에 중첩된 활성층 및 오믹 접촉층을 포함하는 반도체 패턴을 마련하는 단계와,

상기 데이터 금속 패턴이 형성된 상기 하부 기판 상에 제1 및 제2 컨택홀을 포함하는 보호막을 마련하는 단계와,

상기 제1 컨택홀을 통해 상기 드레인 전극과 접속되는 화소 전극과, 상기 화소 전극과 동일 평면 상에 동일 재질로 형성되며, 상기 제2 컨택홀을 통해 연결 전극을 포함하는 도전막을 형성하는 단계를 포함하는 것을 특징으로 하는 액정 표시 패널의 제조 방법.

## 청구항 8

제6항에 있어서,

상기 연결 전극은 상기 데이터 라인과 인접한 상기 공통 전극의 일부와 절연되게 중첩되는 것을 특징으로 하는 액정 표시 패널의 제조 방법.

## 청구항 9

제6항에 있어서,

상기 블랙 매트릭스는 상기 상부 기판 상에 형성되는 칼라 필터들 상에 또는 상기 칼라 필터들 하부에 형성되는 것을 특징으로 하는 액정 표시 패널의 제조 방법.

## 명세서

### 발명의 상세한 설명

#### 기술 분야

[0001] 본 발명은 액정 표시 패널과 그 제조 방법에 관한 것으로, 개구율 향상과 릿(lot)간의 휘도 편차를 방지할 수 있는 액정 표시 패널 및 그 제조 방법에 관한 것이다.

#### 배경 기술

- [0002] 액정 표시 장치는 전계를 이용하여 유전 이방성을 갖는 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이러한 액정 표시 장치는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시하게 된다.
- [0003] 액정 표시 장치 중 수평 전계형 액정 표시 장치는 하부 기판에 나란하게 배치된 화소 전극과 공통 전극 간의 수평 전계에 의해 인 플레인 스위치 모드의 액정을 구동하게 된다.
- [0004] 이러한 수평 전계 인가형 액정 표시 장치는 서로 대향하여 합착된 박막 트랜지스터 기판 및 칼라 필터 기판과, 두 기판 사이에서 셀갭을 일정하게 유지시키기 위한 스페이서와, 그 셀갭에 채워진 액정을 구비한다.
- [0005] 칼라 필터 기판은 칼라 구현을 위한 칼라 필터(34) 및 빛샘 방지를 위한 블랙 매트릭스(32)와, 그들 위에 액정 배향을 위해 도포된 배향막으로 구성된다.
- [0006] 박막 트랜지스터 기판은 도 1에 도시된 바와 같이 화소 단위의 수평 전계 형성을 위해 기판(11) 상에 나란하게 형성된 화소 전극(미도시) 및 공통 전극(22)과, 데이터 라인(14)으로 공급되는 데이터 신호를 차폐하는 차폐 전극(24)과, 공통 전극(22)과 화소 전극과 접속된 박막 트랜지스터와, 그들 위에 액정 배향을 위해 도포된 배향막으로 구성된다.
- [0007] 이와 같은 수평 전계형 액정 표시 장치는 공통 전극(22)과 데이터 라인(14) 간인 즉, A 영역에서 빛샘이 발생함과 아울러 합착 공정 마진(B영역)을 고려하여 블랙 매트릭스(32)의 폭을 C만큼 넓게 형성한다. 이와 같이 블랙 매트릭스(32)의 폭이 넓어짐에 따라 액정 표시 패널의 개구율 향상에 문제점이 되고 있다.

### 발명의 내용

#### 해결 하고자하는 과제

[0008] 따라서, 본 발명이 이루고자 하는 기술적 과제는 개구율 향상과 릿(lot)간의 휘도 편차를 방지할 수 있는 액정 표시 패널 및 그 제조 방법에 관한 것이다.

**과제 해결수단**

- [0009] 상기 기술적 과제를 달성하기 위하여, 본 발명에 따른 액정 표시 패널은 하부 기판 상에 게이트 라인과 데이터 라인과 접속되도록 형성된 박막 트랜지스터와; 상기 박막 트랜지스터의 드레인 전극과 접속된 화소 전극과; 상기 화소 전극과 수평 전계를 이루는 공통 전극과; 상기 데이터 라인과 중첩되어 형성되며, 상기 데이터 라인과 접속된 연결 전극과; 상기 하부 기판과 마주보는 상부 기판 상에 형성되며, 상기 연결 전극과 수직 전계를 이루도록 접지 전압이 공급되는 블랙 매트릭스를 포함하는 것을 특징으로 한다.
- [0010] 상기 기술적 과제를 달성하기 위하여, 본 발명에 따른 액정 표시 패널의 제조 방법은 하부 기판 상에 게이트 라인과 데이터 라인과 접속되도록 형성된 박막 트랜지스터와, 상기 박막 트랜지스터의 드레인 전극과 접속된 화소 전극과, 상기 화소 전극과 수평 전계를 이루는 공통 전극과, 상기 데이터 라인과 중첩되어 형성되며, 상기 데이터 라인과 접속된 연결 전극을 포함하는 박막 트랜지스터 기판을 마련하는 단계와; 상기 하부 기판과 마주보는 상부 기판 상에 형성되며, 상기 연결 전극과 수직 전계를 이루도록 접지 전압이 공급되는 블랙 매트릭스를 포함하는 칼라 필터 기판을 마련하는 단계와; 상기 박막 트랜지스터 기판과 상기 칼라 필터 기판을 합착하는 단계를 포함하는 것을 특징으로 한다.

**효 과**

- [0011] 본 발명에 따른 액정 표시 패널 및 그 제조 방법은 데이터 라인과 접속되며, 데이터 라인에 인접한 공통 전극과 보호막 및 게이트 절연막을 사이에 두고 일부 중첩되는 연결 전극을 형성함으로써 데이터 라인과 공통 전극 사이에 발생하는 빛샘을 방지할 수 있다. 또한, 연결 전극을 형성하여 빛샘을 방지함으로써 블랙 매트릭스의 폭을 줄일 수 있고, 공통 전극의 선평을 줄임으로써 개구율을 향상과 콧(lot)간 휘도 편차를 보상해준다. 뿐만 아니라, 블랙 매트릭스에 접지 전압을 인가하여 연결 전극과 수직 전계를 형성하여 화소 전극과 데이터 라인의 기생 캐패시터의 발생하는 크로스 토크 불량을 방지해준다.

**발명의 실시를 위한 구체적인 내용**

- [0012] 이하, 본 발명의 바람직한 실시 예들을 도 2 내지 도 10를 참조하여 상세하게 설명하기로 한다.
- [0013] 도 2는 본 발명의 실시 예에 따른 액정 표시 패널의 평면도이고, 도 3은 도 2에 도시된 액정 표시 패널을 I-I'선을 따라 절단하여 도시한 단면도이다.
- [0014] 도 2 및 도 3을 참조하면, 액정 표시 패널은 액정을 사이에 두고 합착된 칼라 필터 기판 및 박막 트랜지스터 기판을 구비한다.
- [0015] 칼라 필터 기판은 칼라 필터(204), 블랙 매트릭스(202)를 구비한다.
- [0016] 칼라 필터(204)는 색을 구현하기 위해 적색(R), 녹색(G), 청색(B) 칼라 필터(204)를 포함한다. 적색(R), 녹색(G), 청색(B) 칼라 필터(204)는 각각 자신이 포함하고 있는 적색, 녹색, 청색 안료를 통해 특정 파장의 광을 흡수 또는 투과시킴으로써 적색, 녹색, 청색을 띄게 된다.
- [0017] 블랙 매트릭스(202)는 칼라 필터(204)가 형성될 화소 영역을 구분함과 아울러 박막 트랜지스터 기판(TFT)의 게이트 라인(102) 및 데이터 라인(104), 박막 트랜지스터(130)와 중첩되도록 형성된다. 이러한 블랙 매트릭스(202)는 원하지 않는 액정 배열로 인해 생긴 투과광을 차단하여 액정 표시 장치의 콘트라스트를 향상시키고 박막 트랜지스터(130)로 직접적인 광조사를 차단하여 박막 트랜지스터(130)의 광누설 전류를 막는다. 여기서, 블랙 매트릭스(202)는 구리(Cu), 알루미늄(Al), 몰리브덴(Mo), 크롬(Cr), 알루미늄합금 등의 금속층으로 형성되며, 접지 전압(GND)이 인가되어 연결 전극(152)과 전계를 형성한다. 또한, 블랙 매트릭스(202)는 적색, 녹색, 청색 칼라 필터들(204) 사이에 형성될 수 있으며, 도 4와 같이 칼라 필터(204) 상에 형성될 수 있다.
- [0018] 한편, 칼라 필터(204) 또는 블랙 매트릭스(202) 표면의 평탄화를 위해 오버코트층이 추가로 형성되기도 한다.
- [0019] 박막 트랜지스터 기판은 박막 트랜지스터(130), 화소 전극(122), 공통 전극(124), 연결 전극(152)을 구비한다.
- [0020] 박막 트랜지스터(130)는 게이트 라인(102)에 공급되는 스캔 신호에 응답하여 데이터 라인(104)에 공급되는 화소 신호가 화소 전극(122)에 충전되어 유지되게 한다. 이를 위하여, 박막 트랜지스터(130)는 게이트 전극(106), 소스 전극(108), 드레인 전극(110), 활성층(114) 및 오믹 접촉층(116)을 구비한다.
- [0021] 게이트 전극(106)은 게이트 라인(102)으로부터의 스캔 신호가 공급되도록 게이트 라인(102)과 접속된다. 소스

전극(108)은 데이터 라인(104)으로부터의 화소 신호가 공급되도록 데이터 라인(104)과 접속된다. 드레인 전극(110)은 활성층(114)의 채널부를 사이에 두고 소스 전극(108)과 마주하도록 형성되어 데이터 라인(104)으로부터의 화소 신호를 화소 전극(122)에 공급한다. 활성층(114)은 게이트 절연막(112)을 사이에 두고 게이트 전극(106)과 중첩되어 소스 및 드레인 전극(108, 110) 사이의 채널부를 형성한다. 오믹 접촉층(116)은 소스 전극(108) 및 드레인 전극(110) 각각과 활성층(114) 사이, 즉 채널부를 제외한 활성층(114) 위에 형성된다. 이 오믹접촉층(116)은 소스 및 드레인 전극(108, 110) 각각과 활성층(114) 사이의 전기 접촉 저항을 감소시키는 역할을 한다. 이러한 활성층(114) 및 오믹 접촉층(116)을 포함하는 반도체 패턴은 공정상 소스 및 드레인 전극(108, 110) 뿐만 아니라 데이터 라인(104) 및 데이터 하부 전극(162)을 포함하는 데이터 금속 패턴과 중첩되게 형성된다.

[0022] 화소 전극(122)은 박막트랜지스터(130)의 드레인 전극(110)과 화소 콘택홀(120)을 통해 접속된다. 이에 따라, 화소 전극(122)은 박막트랜지스터(130)를 통해 데이터 라인(104)으로부터의 화소 신호가 공급된다. 이러한 화소 전극(122)은 게이트 라인(102)과 나란한 제1 전극부(122a)와, 제1 전극부(122a)에서 수직 방향으로 신장된 제2 전극부(122b)를 구비한다.

[0023] 공통 전극(124)은 공통 라인(126)과 접속되어 공통 라인(126)을 통해 공통 전압이 공급된다. 이러한 공통 전극(124)은 화소 전극(122)과 동일 평면 상에 동일 재질로 형성되거나 화소 전극(122)과 다른 평면 상에 다른 재질 또는 같은 재질로 형성된다. 본 발명에서는, 공통 전극(124)이 기판(101) 상에 게이트 금속층으로 형성되고, 화소 전극(122)이 보호막(118) 상에 투명 도전막으로 형성되어 공통 전극(124)과 화소 전극(122)이 서로 다른 평면 상에 다른 재질로 형성되는 경우를 예로 들어 설명하기로 한다.

[0024] 공통 전극(124)은 화소 전극(122)의 제2 전극부(122b)와 나란하게 형성된다. 이에 따라, 화소 전압 신호가 공급된 화소 전극(122)과 공통 전압이 공급된 공통 전극(124) 사이에는 수평 전계를 형성한다. 이 수평 전계에 의해 박막트랜지스터 기판과 컬러필터 기판 사이에서 수평 방향으로 배열된 액정 분자들이 유전 이방성에 의해 회전하게 된다. 그리고, 액정 분자들의 회전 정도에 따라 서브 화소 영역을 투과하는 광 투과율이 달라지게 됨으로써 화상을 구현하게 된다.

[0025] 연결 전극(152)은 보호막(118)을 관통하는 제2 콘택홀(150)을 통해 데이터 라인(104)과 접속된다. 이 연결 전극(152)은 게이트 절연막(112) 및 보호막(118)을 사이에 두고 공통 전극(124)과 일부 중첩되어 형성된다. 이에 따라, 연결 전극(152)은 데이터 라인(104)과 공통 전극(124) 간의 이격 거리에서 발생하는 빛샘을 방지해준다. 이때, 연결 전극(152)과 데이터 라인(104)이 접속됨으로써 데이터 라인(104)의 전체 저항이 줄어들고, 데이터 제어 신호들이 데이터 라인(104)으로 공급됨 동시에 데이터 라인(104)과 접속된 연결 전극(152)에도 공급됨으로써 데이터 라인(104)과 연결 전극(152)은 동등 수준이 된다.

[0026] 또한, 데이터 라인(104)과 공통 전극(124) 간의 이격 거리에서 발생하는 빛샘을 방지하기 위해 또는 합착 공정 마진을 확보하기 위해 블랙 매트릭스(202)의 폭을 넓게 형성하였지만, 연결 전극(152)이 공통 전극(124)과 일부 중첩되어 형성함으로써 블랙 매트릭스(202)의 폭을 넓게 할 필요가 없다. 따라서, 블랙 매트릭스(202)의 폭이 줄게 됨과 아울러 데이터 라인(104)에 인접한 최외곽 공통 전극(124)의 폭을 줄임으로써 액정 표시 패널의 개구율을 향상시킬 수 있다. 그리고, 빛샘 방지 및 합착 공정 마진을 확보할 수 있어 릿(lot) 간 휘도 편차 발생을 방지할 수 있다.

[0027] 연결 전극(152)과 마주보며 형성된 블랙 매트릭스(202)는 접지 전압(GND)을 인가해줌으로써 연결 전극(152)과 블랙 매트릭스(202) 사이에 수직 전계가 형성된다. 이에 따라, 데이터 라인(104)과 화소 전극(122) 사이의 기생 커패시터로 인해 발생되었던 크로스토크(crosstalk)를 방지할 수 있다.

[0028] 한편, 액정 표시 패널에 정전기가 발생되면, 다수의 게이트 라인(102)과 데이터 라인(104)과 중첩되어 형성된 블랙 매트릭스(202)와 연결 전극(152) 간의 전계로 인해 정전기가 분산된다. 이에 따라, 컬러 필터 기판 상에 정전기 방지용으로 형성되었던 ITO(Indium Tin Oxide)를 제거함으로써 투과율이 향상될 수 있다.

[0029] 이에 따라, 상판 상에 형성된 정전기 방지용 ITO(Indium Tin Oxide)으로 인해 외부 광이 입사될 경우 ITO가 막고 있으므로 투과율이 줄어들었으나, ITO를 제거함으로써 투과율 향상이 가능하다.

[0030] 도 5a 및 도 5b는 본 발명의 실시 예에 따른 박막 트랜지스터 기판 제조 방법 중 게이트 금속 패턴의 제조 방법을 설명하기 위한 평면도 및 단면도를 도시한 것이다.

[0031] 도 5a 및 도 5b를 참조하면, 하부 기판(101) 상에 게이트 라인(102), 게이트 전극(106), 공통 라인(126) 및 공

통 전극(124)을 포함하는 게이트 금속 패턴이 형성된다.

- [0032] 구체적으로, 하부 기판(101) 상에 스퍼터링 방법 등의 증착 방법을 통해 게이트 금속층이 형성된다. 게이트 금속층으로는 Mo, Ti, Cu, AlNd, Al, Cr, Mo 합금, Cu 합금, Al 합금 등과 같이 금속 물질이 단일층으로 이용되거나, 상기 금속을 이용하여 이중층 이상이 적층된 구조로 이용된다. 이어서, 포토리소그래피 공정 및 식각 공정으로 게이트 금속층이 패터닝됨으로써 게이트 라인(102), 게이트 전극(106), 공통 라인(126) 및 공통 전극(124)을 포함하는 게이트 금속 패턴이 형성된다.
- [0033] 도 6a 및 도 6b는 본 발명의 실시 예에 따른 박막 트랜지스터 기판 제조 방법 중 반도체 패턴 및 데이터 금속 패턴의 제조 방법을 설명하기 위한 평면도 및 단면도를 도시한 것이다.
- [0034] 도 6a 및 도 6b를 참조하면, 게이트 금속 패턴이 형성된 하부 기판(101) 상에 게이트 절연막(112)이 형성되고, 그 위에 데이터 라인(104), 소스 전극(108), 드레인 전극(110)을 포함하는 데이터 금속 패턴과, 데이터 금속 패턴을 따라 그 아래에 증착된 활성층(114) 및 오믹 접촉층(116)을 포함하는 반도체 패턴이 형성된다. 이러한 반도체 패턴(115)과 데이터 금속 패턴은 슬릿 마스크 또는 하프 톤(Half Tone)를 이용한 하나의 마스크 공정으로 형성된다.
- [0035] 구체적으로 설명하면, 게이트 금속 패턴이 형성된 하부 기판(101) 상에 게이트 절연막(112), 비정질 실리콘층, 불순물(n+ 또는 p+)이 도핑된 비정질 실리콘층, 데이터 금속층이 순차적으로 형성된다. 그리고, 데이터 금속층 위에 포토레지스트가 도포된 다음, 슬릿 마스크를 이용한 포토리소그래피 공정으로 포토레지스트가 노광 및 현상됨으로써 단차를 갖는 포토레지스트 패턴이 형성된다.
- [0036] 단차를 갖는 포토레지스트 패턴을 이용한 식각 공정으로 데이터 금속층이 패터닝됨으로써 데이터 금속 패턴과, 그 아래의 반도체 패턴이 형성된다.
- [0037] 이어서, 산소(O<sub>2</sub>) 플라즈마를 이용한 애싱 공정으로 포토레지스트 패턴을 애싱한다. 애싱된 포토레지스트 패턴을 이용한 식각 공정으로 노출된 데이터 금속 패턴과, 그 아래의 오믹 접촉층(116)이 제거됨으로써 소스 전극(108)과 드레인 전극(110)은 분리되고 활성층(114)이 노출된다. 그런 다음, 데이터 금속 패턴 위에 잔존하던 포토레지스트 패턴은 스트립 공정으로 제거된다.
- [0038] 도 7a 및 도 7b는 본 발명의 실시 예에 따른 박막 트랜지스터 기판 제조 방법 중 보호막의 제조 방법을 설명하기 위한 평면도 및 단면도를 도시한 것이다.
- [0039] 도 7a 및 도 7b를 참조하면, 데이터 금속 패턴이 형성된 게이트 절연막(112) 상에 보호막(118)이 형성된다.
- [0040] 구체적으로, 보호막(118)은 게이트 절연막(112)과 같은 무기 절연 물질로 형성되거나 아크릴 수지 등과 같은 유기 절연 물질로 형성된다. 이 보호막(118)이 포토리소그래피 공정과 식각 공정으로 패터닝됨으로써 보호막(118)을 관통하는 제1 컨택홀(120), 제2 컨택홀(150)이 형성된다. 제1 컨택홀(120)은 보호막(118)을 관통하여 드레인 전극(110)을 노출시키도록 형성되며, 제2 컨택홀(150)은 보호막(118) 관통하여 데이터 라인(104)을 노출시키도록 형성된다.
- [0041] 도 8a 및 도 8b는 본 발명의 실시 예에 따른 박막 트랜지스터 기판 제조 방법 중 화소 전극과 연결 전극의 제조 방법을 설명하기 위한 평면도 및 단면도를 도시한 것이다.
- [0042] 도 8a 및 도 8b를 참조하면, 보호막(118) 위에 드레인 전극(110)과 접속된 화소 전극(122)과, 데이터 라인(104)과 접속된 연결 전극(152)을 포함하는 도전막 패턴이 형성된다.
- [0043] 구체적으로, 보호막(118) 상에 스퍼터링 등의 증착 방법을 통해 투명 도전층 또는 불투명 도전층으로 형성된다. 투명 도전층으로는 틴 옥사이드(Tin Oxide : TO), 인듐 틴 옥사이드(Indium Tin Oxide : ITO), 인듐 징크 옥사이드(Indium Zinc Oxide : IZO), 인듐 틴 징크 옥사이드(Indium Tin Zinc Oxide : ITZO) 등이 이용된다. 불투명 도전층으로는 크롬(Cr), 몰리브덴(Mo), 구리(Cu), 알루미늄(Al), 몰리브덴 합금, 몰리브덴 티탄(MoTi), 알루미늄 합금 등이 이용된다. 이 투명 도전층 또는 불투명 도전층이 포토리소그래피 공정과 식각 공정으로 패터닝됨으로써 화소 전극(122), 연결 전극(152)을 포함하는 도전막 패턴이 형성된다.
- [0044] 이에 따라, 액정 표시 패널은 도 5a 내지 도 8b와 같이 형성된 박막 트랜지스터 기판과, 상부 기판 상에 적색(R), 녹색(G), 청색(B) 칼라를 구현하기 위해 형성된 적색(R), 녹색(G), 청색(B) 칼라 필터(204)들과, 칼라 필터(204)들 상에 또는 하부에 형성된 블랙 매트릭스(202)가 형성된 칼라 필터 기판과 합착하여 도 9a 및 도 9b와 같이 형성된다.

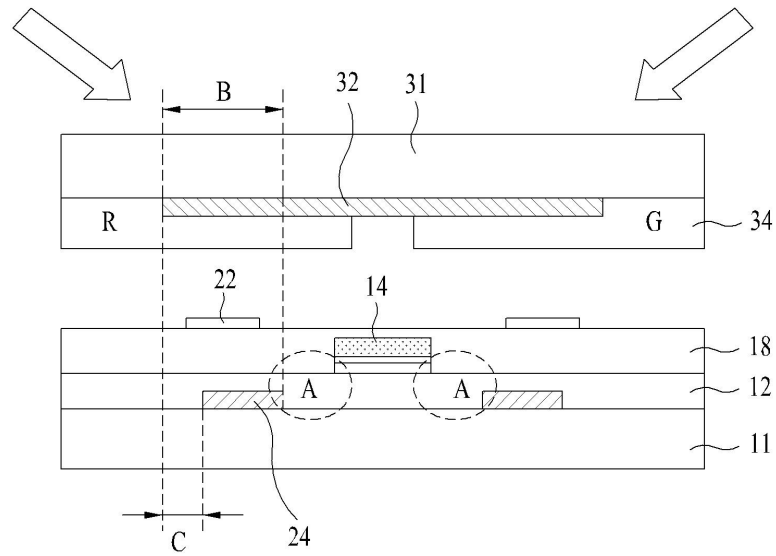
[0045] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

### 도면의 간단한 설명

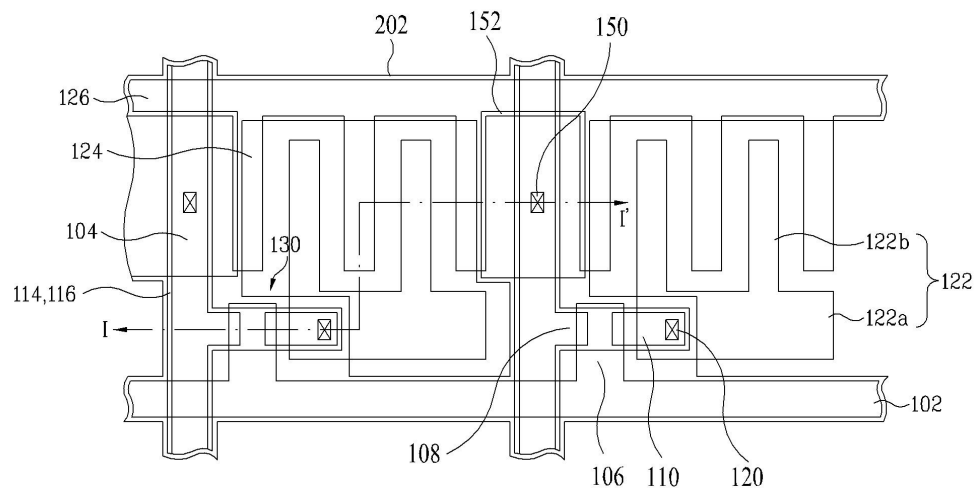
- [0046] 도 1은 종래 액정 표시 패널을 나타내는 단면도이다.
- [0047] 도 2는 본 발명의 실시 예에 따른 액정 표시 패널의 평면도이다.
- [0048] 도 3은 도 2에 도시된 액정 표시 패널을 I-I'선을 따라 절단하여 도시한 단면도이다.
- [0049] 도 4는 본 발명의 다른 실시 예에 따른 액정 표시 패널의 칼라 필터 기판을 나타내는 단면도이다.
- [0050] 도 5a 및 도 5b는 도 2 및 도 3에 도시된 게이트 금속 패턴의 제조 방법을 설명하기 위한 평면도 및 단면도이다.
- [0051] 도 6a 및 도 6b는 도 2 및 도 3에 도시된 반도체 패턴 및 데이터 금속 패턴의 제조 방법을 설명하기 위한 평면도 및 단면도이다.
- [0052] 도 7a 및 도 7b는 도 2 및 도 3에 도시된 보호막의 제조 방법을 설명하기 위한 평면도 및 단면도이다.
- [0053] 도 8a 내지 도 8d는 화소 전극과 연결 전극의 제조 방법을 설명하기 위한 평면도 및 단면도이다.
- [0054] 도 9a 및 도 9b는 본 발명에 따른 액정 표시 패널의 단면도이다.
- [0055] < 도면의 주요 부분에 대한 부호의 설명 >
- |                      |               |
|----------------------|---------------|
| [0056] 101 : 하부 기판   | 102 : 게이트 라인  |
| [0057] 104 : 데이터 라인  | 106 : 게이트 전극  |
| [0058] 108 : 소스 전극   | 110 : 드레인 전극  |
| [0059] 112 : 게이트 절연막 | 114 : 활성층     |
| [0060] 116 : 오믹 접촉층  | 118 : 보호막     |
| [0061] 120,150 : 콘택홀 | 122 : 화소 전극   |
| [0062] 130 : 박막트랜지스터 | 152 : 연결 전극   |
| [0063] 200 : 상부 기판   | 202 : 블랙 매트릭스 |
| [0064] 204 : 칼라 필터   |               |

도면

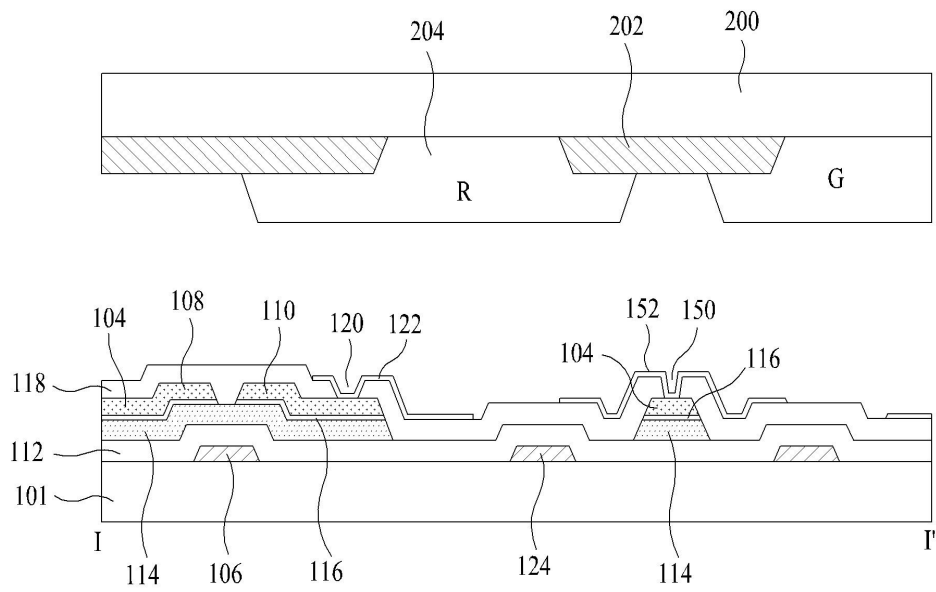
도면1



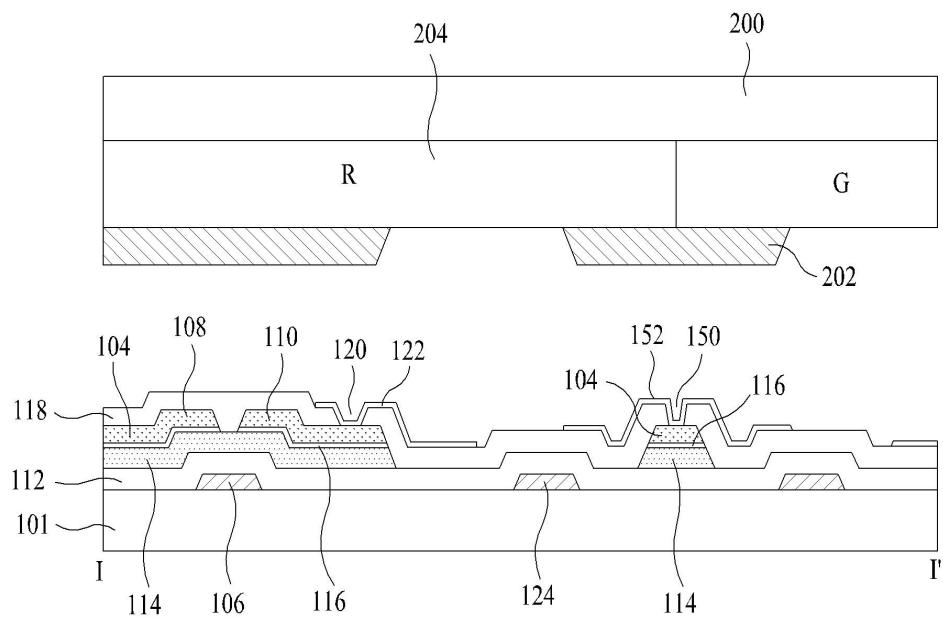
도면2



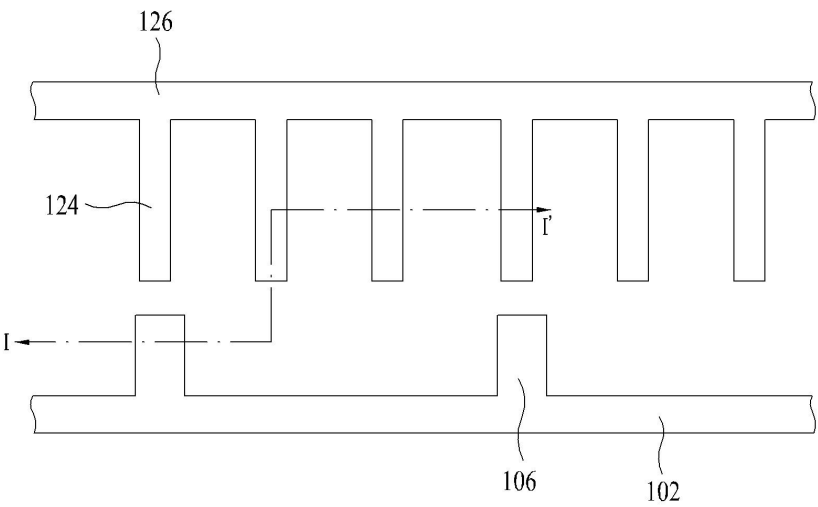
도면3



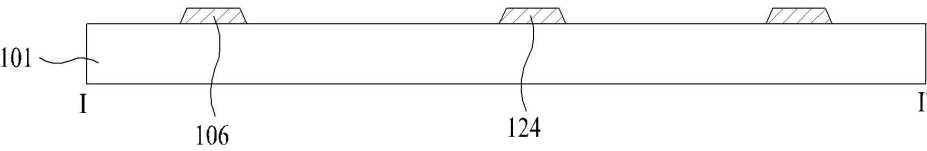
도면4



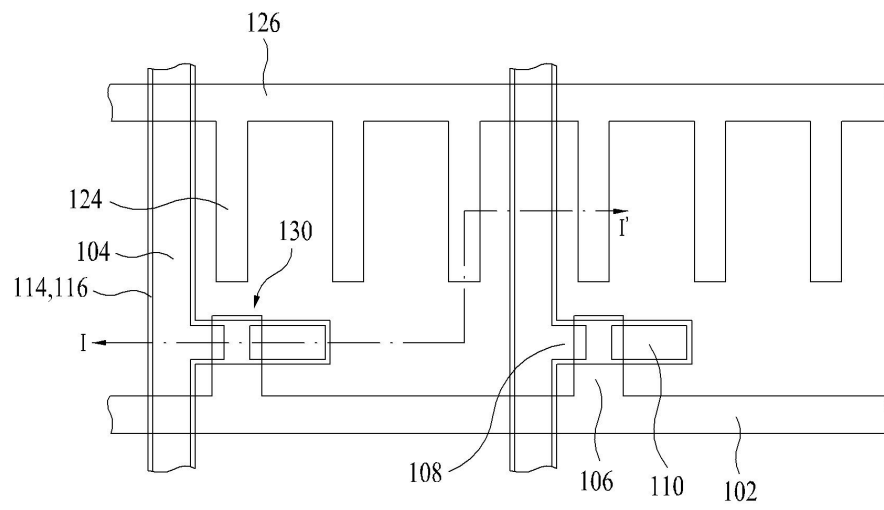
도면5a



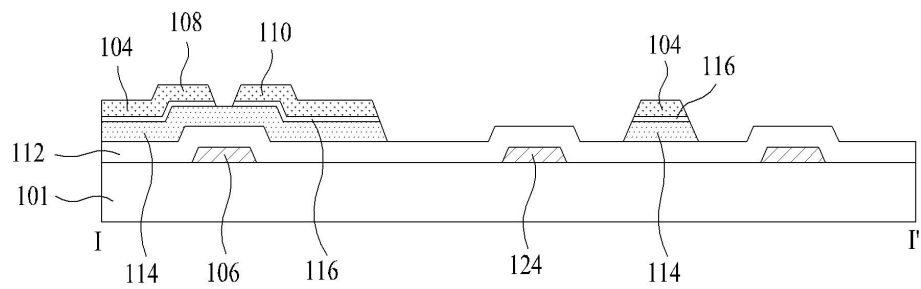
도면5b



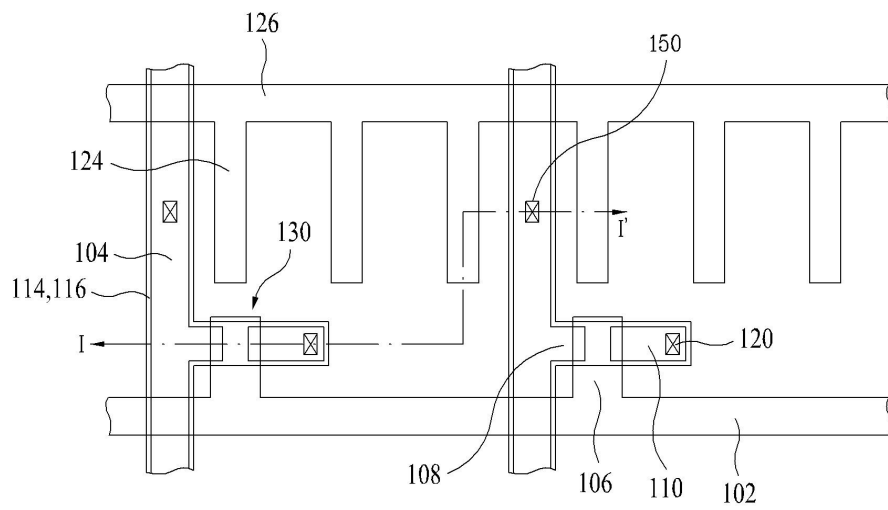
도면6a



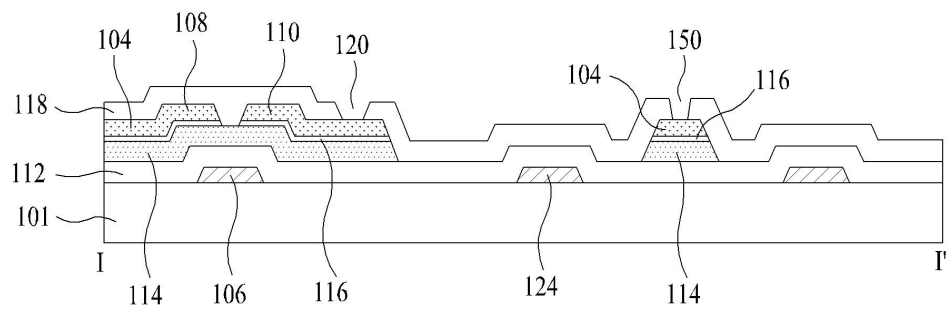
도면 6b



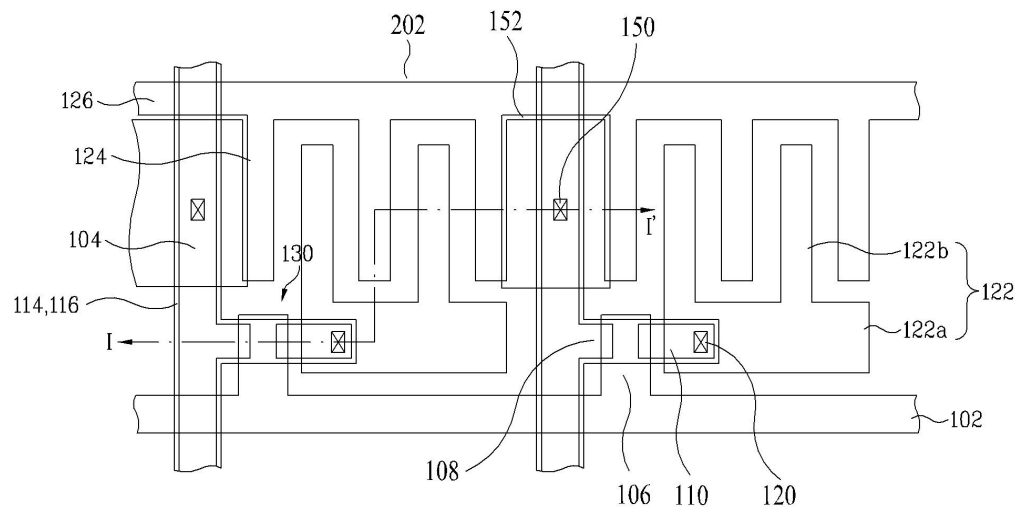
도면7a



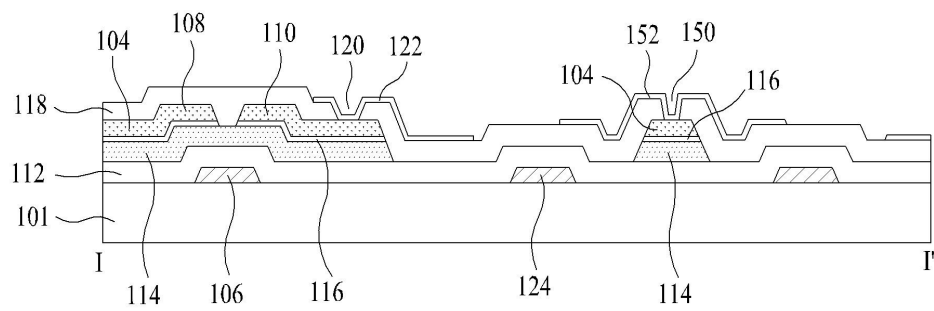
도면7b



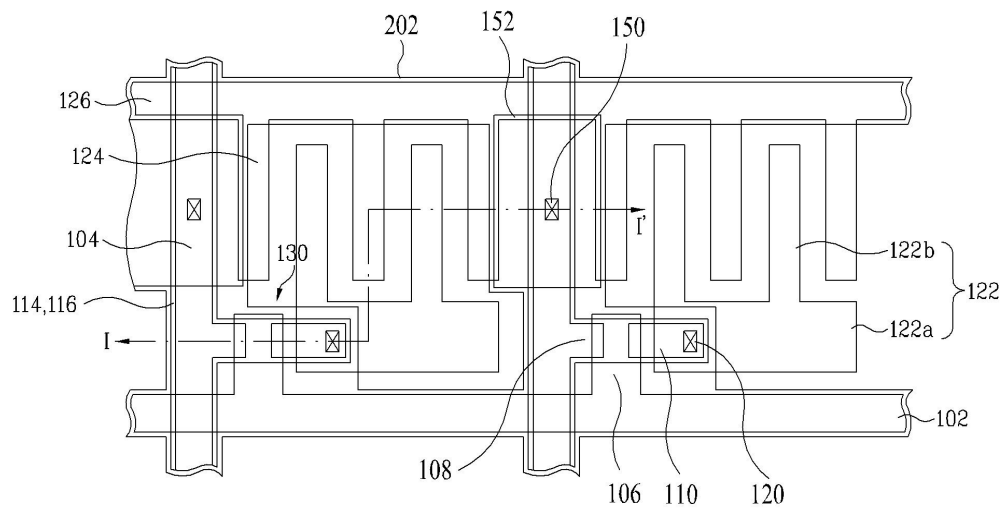
도면 8a



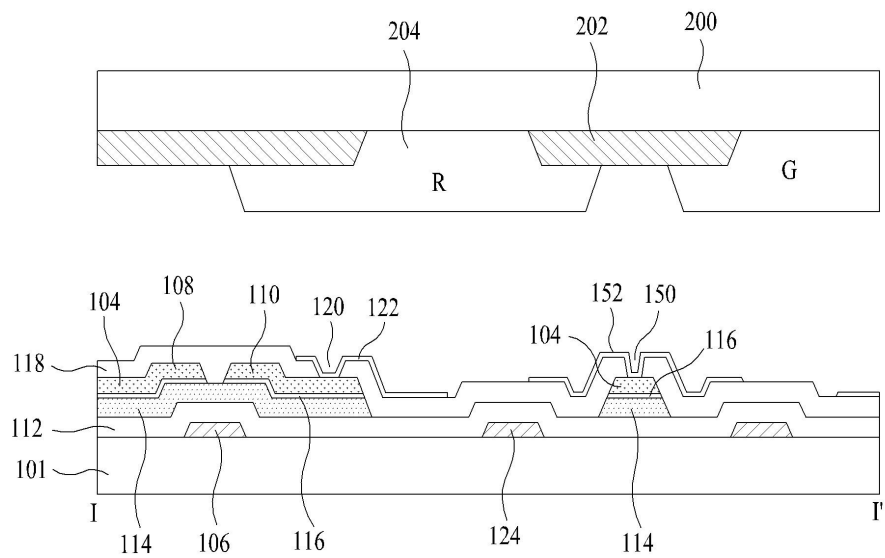
도면8b



도면9a



도면9b



|                |                                                                                               |         |            |
|----------------|-----------------------------------------------------------------------------------------------|---------|------------|
| 专利名称(译)        | 标题：液晶显示面板及其制造方法                                                                               |         |            |
| 公开(公告)号        | <a href="#">KR101374108B1</a>                                                                 | 公开(公告)日 | 2014-03-13 |
| 申请号            | KR1020070109620                                                                               | 申请日     | 2007-10-30 |
| [标]申请(专利权)人(译) | 乐金显示有限公司                                                                                      |         |            |
| 申请(专利权)人(译)    | LG显示器有限公司                                                                                     |         |            |
| 当前申请(专利权)人(译)  | LG显示器有限公司                                                                                     |         |            |
| [标]发明人         | LEE JOON DONG<br>이준동<br>LEE DEUK SU<br>이득수<br>YU SANG HEE<br>유상희                              |         |            |
| 发明人            | 이준동<br>이득수<br>유상희                                                                             |         |            |
| IPC分类号         | G02F1/1335 G02F1/1343                                                                         |         |            |
| CPC分类号         | G02F1/134309 G02F1/133512 G02F2001/134318 G02F2001/13606 G02F2201/124 G02F2201/40 G02F2201/50 |         |            |
| 代理人(译)         | 金勇<br>年轻的小公园                                                                                  |         |            |
| 其他公开文献         | KR1020090043838A                                                                              |         |            |
| 外部链接           | <a href="#">Espacenet</a>                                                                     |         |            |

#### 摘要(译)

液晶显示面板及其制造方法技术领域本发明涉及能够防止批量间的开口率和亮度偏差的增加的液晶显示面板及其制造方法。根据本发明的液晶显示板包括形成在下基板上以连接到栅极线和数据线的薄膜晶体管，连接到薄膜晶体管的漏电极的像素电极，与像素电极在水平电场中形成的公共电极;连接到数据线的连接电极，连接电极形成在数据线上并形成在面向下基板的上基板上，并且提供地电压以形成黑矩阵的黑矩阵。

