



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년04월15일
(11) 등록번호 10-1255310
(24) 등록일자 2013년04월09일

(51) 국제특허분류(Int. Cl.)

G02F 1/1345 (2006.01)

(21) 출원번호 10-2006-0059129

(22) 출원일자 2006년06월29일

심사청구일자 2011년06월21일

(65) 공개번호 10-2008-0001063

(43) 공개일자 2008년01월03일

(56) 선행기술조사문헌

KR100479525 B1*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

김왕섭

대전광역시 동구 대동천우안1길 100 (신흥동)

(74) 대리인

김용인, 심창섭

전체 청구항 수 : 총 7 항

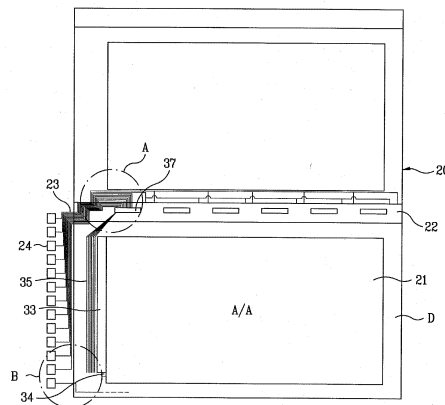
심사관 : 유창훈

(54) 발명의 명칭 G I P 구조의 액정표시장치용 기판 및 G I P 구조의 액정표시장치의 제조 방법

(57) 요약

본 발명은 셀 어레이 공정 후 각 라인들을 테스트하기 위한 MPS(Mass Product system) 배선이 형성된 GIP 구조의 액정표시장치용 기판 및 GIP 구조의 액정표시장치의 제조 방법에 관한 것으로, 박막트랜지스터 어레이가 형성된 액티브 영역, 더미 영역 및 비 표시 영역을 구비한 패널 영역이 다수 정의되는 모 기판; 상기 비 표시 영역의 모 기판에 형성되는 복수개의 TCP; 상기 더미 영역에 형성되는 GIP 게이트 드라이버 및 상기 GIP 게이트 드라이버에 각종 신호를 인가하기 위한 신호 라인들; 그리고 상기 박막트랜지스터 어레이의 게이트 및 데이터 배선, 공통 배선, 접지 및 정전압 그리고 상기 신호 라인들의 불량을 검사하기 위해 상기 해당 패널 영역의 비 표시 영역과 이웃하는 패널 영역의 데이터 패드 반대쪽 비 표시 영역에 걸쳐 형성되는 복수개의 MPS 배선을 포함하여 구성된다.

대표도



특허청구의 범위

청구항 1

박막트랜지스터 어레이가 형성된 액티브 영역, 더미 영역 및 비 표시 영역을 구비한 패널 영역이 다수 정의되는 제 1 모 기관;

상기 비 표시 영역의 모 기관에 형성되는 복수개의 TCP;

상기 더미 영역에 형성되는 GIP 게이트 드라이버 및 상기 GIP 게이트 드라이버에 각종 신호를 인가하기 위한 신호 라인들; 그리고

상기 박막트랜지스터 어레이의 게이트 및 데이터 배선, 공통 배선, 접지 및 정전압 그리고 상기 신호 라인들의 불량을 검사하기 위해 상기 해당 패널 영역의 비 표시 영역과 이웃하는 패널 영역의 데이터 패드 반대쪽 비 표시 영역에 걸쳐 형성되는 복수개의 MPS 배선을 포함하여 구성되고,

상기 신호 라인들은 복수개의 TCP 중 첫번째 TCP에 연결되고, 상기 MPS 배선들 중 일부도 상기 첫번째 TCP에 연결됨을 특징으로 하는 GIP 구조의 액정표시장치용 기관.

청구항 2

삭제

청구항 3

제 1 항에 있어서,

상기 MPS 배선은 상기 박막트랜지스터 어레이의 게이트 배선과 동일한 물질로 형성되고, 상기 박막트랜지스터 어레이의 화소 전극과 동일한 물질로 상기 MPS 배선과 상기 신호 라인 및 해당 배선에 전기적으로 연결됨을 특징으로 하는 GIP 구조의 액정표시장치의 기관.

청구항 4

제 1 항에 있어서,

상기 각 MPS 배선 중 상기 데이터 배선 검사용 MPS 배선이 최외각에 배치됨을 특징으로 하는 GIP 구조의 액정표시장치용 기관.

청구항 5

제 1 항에 있어서,

상기 각 MPS 배선 중 상기 공통 배선 검사용 MPS 배선이 가장 안쪽에 배치됨을 특징으로 하는 GIP 구조의 액정표시장치용 기관.

청구항 6

액티브 영역, 더미 영역 및 비 표시 영역을 구비한 패널 영역이 다수 정의되는 제 1 모 기관을 준비하는 제 1 단계;

상기 액티브 영역에 박막트랜지스터 어레이의 게이트 배선 및 전극을 형성하고, 동시에 상기 더미 영역에 GIP 게이트 드라이버의 신호 라인들 형성하고, 상기 해당 패널 영역의 비 표시 영역 및 이웃하는 패널 영역의 데이터 패드 반대쪽 비 표시 영역에 MPS 배선들을 형성하는 제 2 단계;

상기 게이트 배선, 신호 라인들 및 MPS 배선들을 포함한 모 기관 전면에 게이트 절연막을 형성하고 상기 게이트 전극 상층의 상기 게이트 절연막위에 활성층을 형성하는 제 3 단계;

상기 활성층 양측에 소오스/드레인 전극이 위치되도록 상기 액티브 영역의 게이트 절연막 위에 상기 박막트랜지스터 어레이의 데이터 라인을 형성하는 제 4 단계;

상기 데이터 라인을 포함한 모 기관 전면에 보호막을 형성하고, 상기 드레인 전극과, 상기 신호 라인들 및 MPS

배선의 소정 부분이 노출되도록 복수개의 콘택홀을 형성하는 제 5 단계; 그리고

상기 드레인 전극에 연결되도록 상기 보호막 상층의 화소 영역에 화소 전극을 형성하고, 동시에 상기 MPS 배선과 상기 신호 라인 및 박막트랜지스터 어레이의 배선들이 연결되도록 연결 라인을 형성하는 제 6 단계를 포함하여 이루어짐을 특징으로 하는 GIP 구조의 액정표시장치의 제조 방법.

청구항 7

제 6 항에 있어서,

상기 MPS 배선을 이용하여 각 신호 라인 및 박막트랜지스터 어레이의 배선들의 불량을 체크하여 불량이 발생된 라인 및 배선들에 대해서 리페어 하는 제 7 단계;

상기 제 1 모 기관에 대응되는 제 2 모 기관을 준비하는 제 8 단계;

상기 제 1 또는 제 2 모 기관의 각 패널 영역의 가장자리 부분에 시일재를 형성하는 제 9 단계;

상기 시일재를 이용하여 상기 제 1, 제 2 모 기관을 합착하는 제 10 단계; 그리고

상기 비 표시 영역에 형성되는 상기 MPS 배선이 제거되도록 상기 합착된 제 1, 제 2 모 기관을 단위 패널 별로 컷팅하는 제 11 단계를 더 포함함을 특징으로 하는 GIP 구조의 액정표시장치의 제조 방법.

청구항 8

제 6 항에 있어서,

상기 제 2 내지 제 4 단계에서, 상기 GIP 게이트 드라이버를 구성하는 박막트랜지스터를 동시에 형성함을 특징으로 하는 GIP 구조의 액정표시장치의 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0020] 본 발명은 내장 게이트 패널(GIP; Gate In Panel) 액정표시장치에 관한 것으로, 특히 셀 어레이 공정 후 각 라인들을 테스트하기 위한 MPS(Mass Product system) 배선이 형성된 GIP 구조의 액정표시장치용 기관 및 GIP 구조의 액정표시장치의 제조 방법에 관한 것이다.
- [0021] 통상의 액정 표시장치는 전계를 이용하여 유전 이방성을 갖는 액정의 광투과율을 조절함으로써 화상을 표시한다. 이를 위하여 액정 표시장치는 화소영역들이 매트릭스 형태로 배열된 액정표시 패널과 액정표시 패널을 구동하기 위한 구동회로를 구비한다.
- [0022] 상기 액정표시 패널은 두개의 제 1, 제 2 기관이 일정 공간을 갖고 합착되고, 상기 두 기관 사이에 액정층이 형성된다. 따라서, 상기 액정층을 각 화소 별로 구동하기 위해서, 상기 제 1 기관에는 다수개의 게이트 라인과 다수개의 데이터 라인이 서로 수직하게 교차 배열되어 화소 영역을 정의하고, 각 화소 영역에는 화소 전극이 형성되며, 상기 각 게이트 라인과 데이터 라인이 교차하는 부분에는 박막트랜지스터가 형성되어 상기 각 게이트 라인의 스캔신호에 따라 상기 박막트랜지스터가 턴온되어 상기 데이터 라인의 데이터 신호를 각 화소 전극에 인가하도록 구성된다.
- [0023] 또한, 상기 제 2 기관에는 상기 화소 영역을 제외한 부분에서 빛을 차단하기 위한 블랙매트릭스층과 색상을 구현하기 위해 상기 각 화소 영역에 형성되는 칼라 필터층과 상기 화소 전극에 대응되어 액정층을 구동하기 위한 전계를 형성하는 공통전극이 구비된다.
- [0024] 상기 구동회로는 상기 게이트 라인들을 구동하기 위한 게이트 드라이버와, 상기 데이터 라인들을 구동하기 위한 데이터 드라이버와, 상기 게이트 드라이버와 데이터 드라이버를 제어하기 위한 제어신호 및 데이터 신호 등을 공급하는 타이밍 컨트롤러를 포함한다.
- [0025] 상기 게이트 드라이버는 각 게이트 라인에 순차적으로 스캔 펄스를 출력하기 위해 쉬프트 레지스터를 구비한다.

상기 쉬프트 레지스터는 서로 종속적으로 연결된 다수의 스테이지들로 구성된다. 상기 다수의 스테이지들은 상기 스캔 펄스를 순차적으로 출력하여 액정 패널의 게이트 라인들을 순차적으로 스캐닝한다.

- [0026] 구체적으로, 상기 다수의 스테이지 중 첫 번째 스테이지는 타이밍 컨트롤러로부터의 스타트 신호를 트리거 신호로 입력받고 첫 번째 스테이지를 제외한 나머지 스테이지들은 이 전단의 스테이지로부터의 출력신호를 트리거 신호로 입력받는다. 아울러 다수의 스테이지 각각은 서로 순차적인 위상차를 갖는 다수의 클럭 펄스 중 적어도 한 개의 클럭 펄스를 인가받는다. 이에 따라, 첫 번째 스테이지부터 마지막 스테이지까지 스캔 펄스를 순차적으로 출력하게 된다.
- [0027] 이와 같은 종래의 게이트 드라이버는 상기 게이트 구동부의 쉬프트 레지스터가 내장되는 별도의 게이트 드라이버 집적회로(Gate Driver IC)를 만들고 이를 실장 공정 등을 이용하여 액정표시패널의 게이트 라인 패드에 연결하여 사용하였다.
- [0028] 도 1은 일반적인 액정표시장치의 일부를 나타낸 분해 사시도이다.
- [0029] 도 1에 도시한 바와 같이, 일정 공간을 갖고 합착된 제 1 기판(1) 및 제 2 기판(2)과, 상기 제 1 기판(1)과 제 2 기판(2) 사이에 형성된 액정층(3)으로 구성되어 있다.
- [0030] 보다 구체적으로 설명하면, 상기 제 1 기판(1)에는 화소영역(P)을 정의하기 위하여 일정한 간격을 갖고 일방향으로 복수개의 게이트 배선(4)이 배열되고, 상기 게이트 배선(4)에 수직한 방향으로 일정한 간격을 갖고 복수개의 데이터 배선(5)이 배열된다. 그리고, 상기 게이트 배선(4)과 데이터 배선(5)에 의해 정의되는 각 화소영역(P)에는 화소전극(6)이 형성되고, 상기 각 게이트 배선(4)과 데이터 배선(5)이 교차하는 부분에는 상기 게이트 배선(4)의 스캔 신호에 따라 턴온/오프되어 상기 데이터 배선(5)의 데이터 신호를 상기 각 화소전극(6)에 인가하는 박막 트랜지스터(T)가 형성되어 있다. 이를 박막트랜지스터 어레이 기판이라 한다.
- [0031] 그리고 상기 제 2 기판(2)에는 상기 화소영역(P)을 제외한 부분의 빛을 차단하기 위한 블랙 매트릭스층(7)과, 컬러 색상을 표현하기 위한 R,G,B 컬러 필터층(8)과, 화상을 구현하기 위한 공통전극(9)이 형성되어 있다. 이를 칼라 필터 어레이 기판이라 한다.
- [0032] 한편, 일반적으로 액정표시장치의 제조 방법은, 크게 셀 어레이 공정, 합착공정 및 모듈 공정으로 구분된다.
- [0033] 상기 셀 어레이 공정은 제 1 모 기판에 다수개의 패널 영역을 정의하여 각 패널 영역에 게이트 배선, 데이터 배선, 박막트랜지스터 및 화소 전극을 구비한 박막트랜지스터 어레이를 형성하고, 제 2 모 기판에 다수개의 패널 영역을 정의하여 각 패널 영역에 블랙매트릭스층, 칼라 필터층 및 공통 전극을 구비한 칼라필터 어레이를 형성하는 공정을 의미한다.
- [0034] 그리고, 합착 공정은 상기와 같은 제 1 또는 제 2 모 기판의 각 패널 영역의 가장자리 부분에 시일재를 형성하고 액정을 적하한 후, 상기 두 모 기판을 정렬하여 합착한다. 그리고 단위 패널 영역 별로 커팅하고 검사(Autoprobe inspection)하는 공정을 의미한다.
- [0035] 상기 모듈 공정은 상기 단위 패널에 구동 IC를 부착하고 백라이트를 조립하는 공정을 의미한다.
- [0036] 상기와 같이 셀 어레이 공정이 완료되면 합착 공정 하기 전에, 상기 박막트랜지스터 어레이의 각 신호 라인의 단선 및 단락 불량을 체크(Mass Product System 검사, 이하 'MPS 검사'라 칭함)하여 정품 및 불량률 판단하고 불량일 경우 리페어 공정을 추가로 실시하게 된다.
- [0037] 이와 같이, 상기 박막트랜지스터 어레이의 각 신호 라인의 단선 및 단락 불량을 체크하는 MPS 검사를 위해서는 상기 셀 어레이 공정 시에 이들을 검사하기 위한 MPS 배선을 형성하고, 상기 커팅 공정 시 이들 MPS 배선들을 제거한다.
- [0038] 도 2는 일반적인 액정표시장치의 MPS 배선을 나타낸 평면도이다.
- [0039] 즉, 모 기판(20)에 다수개의 패널 영역을 정의한다. 여기서, 각 패널 영역은 표시 영역(21)과 비 표시 영역(22)으로 정의된다. 도 2에서는 패널 영역을 2개 도시한 것이다.
- [0040] 이와 같은 모 기판(20)의 각 패널 영역의 표시 영역에는, 도 1에서 설명한 바와 같은, 박막트랜지스터 어레이(도면에는 도시되지 않음)를 형성하고, 상기 각 패널 영역의 비 표시 영역에는 상기 MPS 배선(23) 및 MPS 패드(24)를 형성한다.
- [0041] 즉, 상기 MPS 배선(23)은 짝수 번째 게이트 배선 검사용(GE), 홀수번째 게이트 배선 검사용(GO), 짝수 번째 데

이터 배선 검사용(DE), 흡수 번째 데이터 배선 검사용(DO), 공통 배선 검사용(Vcom), 접지 배선 검사용(GND), 정전압 배선 검사용(VDD) 등 약 5-6개의 배선을 구비하고, 비 표시 영역의 데이터 패드 또는 게이트 패드 영역에 형성된다.

[0042] 또한, 상기 MPS 배선(23) 및 패드(24)는 상기 박막트랜지스터 어레이의 게이트 배선 형성 시 동시에 형성된다. 그리고, 상기 MPS 배선(23)과 해당 게이트, 데이터, 공통, 접지 및 정전압 배선들은 화소 전극과 동일한 물질에 의해 서로 연결된다.

[0043] 그러나, 최근에는, 상기 별도의 게이트 드라이버 집적회로(Gate Driver IC)를 만들지 않고, 재료비 절감, 공정 수의 감소 및 공정 시간의 단축을 위해 상기 액정표시 패널 상에 쉬프트 레지스터를 직접 형성하는 게이트 인 패널(Gate In Panel, GIP) 기술이 사용되고 있다. 즉, 게이트 드라이버의 쉬프트 레지스터를 액정표시패널에 형성하였다.

[0044] 이와 같은 종래의 GIP 구조의 액정표시장치를 설명하면 다음과 같다.

[0045] 도 3은 종래의 GIP 구조의 액정표시장치의 평면도이다.

[0046] 종래의 GIP 구조의 액정표시장치는, 도 3에 도시한 바와 같이, 일정 공간을 갖고 시일재(sealant)(10)에 의해 하부 기판(31)과 상부기판(32)이 합착된다. 이 때, 상기 하부 기판(31)은 상부 기판(32)보다 더 크게 형성되어 데이터 드라이버 등이 실장되는 비 표시 영역을 갖고, 상기 시일재(40) 안쪽의 상기 합착된 상하부 기판(31, 32)에 표시 영역을 갖는다. 도 3에서는 상기 하부 기판(31)의 비표시 영역에 TCP(37)가 실장됨을 도시하였다.

[0047] 또한, 상기과 같이 상기 합착된 상하부 기판(31, 32)의 표시 영역은 액티브 영역(A/A)과 더미 영역(D)으로 구분된다.

[0048] 상술한 바와 같이, 도면에는 도시되지 않았지만, 상기 하부기판(31)의 표시영역 중 액티브 영역(A/A)에는 게이트 배선, 데이터 배선, 화소 전극 및 박막트랜지스터가 형성되고, 상기 상부 기판(32)의 표시 영역 중 액티브 영역(A/A)에는 블랙매트릭스층, 칼라 필터층 및 공통 전극 등이 형성된다 (도 1 참조).

[0049] 상기 하부기판(31)의 표시 영역중 더미 영역(D)에는, 공통 배선(도면에는 도시되지 않음), GIP 게이트 드라이버(33), GIP 더미 게이트 드라이버(34), 상기 타이밍 콘트롤러에서 출력되는 각종 신호(클럭신호, 인에이블 신호, 스타트 신호, 공통 전압 등)를 상기 GIP 게이트 드라이버(33) 및 GIP 더미 게이트 드라이버(34)에 인가하기 위한 신호 라인들(35)이 형성되고, 상기 상부 기판(32)의 표시 영역 중 더미 영역(D)에는 블랙매트릭스층이 형성된다.

[0050] 이 때, 공정 중 상기 신호 라인들(35)에 정전기가 인가되면 내부 회로의 소자들이 파괴되므로 이를 방지하기 위해 상기 신호 라인들(35)에 정전기 방지회로(36)가 설치되고, 상기 신호 라인들(35)은 첫번째 TCP(37)에 연결된다.

[0051] 물론, 상기 표시 영역의 상기 상하부 기판(31, 32) 사이에는 액정층이 형성된다.

[0052] 상기과 같은 GIP 구조의 액정표시장치에서도, 도 2에서 설명한 바와 같은 MPS 배선을 형성하여야 한다.

[0053] 그러나, GIP 구조의 액정표시장치에서는, 상술한 바와 같이 일반적인 액정표시장치(도 2 참조)에 비해 더미 영역에 상기 GIP 게이트 드라이버(33) 및 GIP 더미 게이트 드라이버(34) 뿐만아니라 이들에게 신호를 인가하기 위한 신호 라인들(35)이 형성되고, 일반적인 액정표시장치에서는 5-6개의 MPS 배선이 필요하였지만, 상기 신호 라인들의 단선 및 단락도 체크하여야 하므로 더 많은 MPS 배선(10 내지 15개 정도)이 요구된다.

[0054] 따라서, GIP 구조의 액정표시장치에서는 상기 MPS 배선을 형성할 공간 확보가 어렵고, 더불어 각 라인의 단선 및 단락 불량을 체크할 수 없는 문제점이 있었다.

[0055] 또한, 상기 GIP 구조의 액정표시장치에서는 상기 신호 라인들의 불량을 체크하기 위해서는 첫번째 TCP 영역에 MPS 배선이 집중되어야 하므로 MPS 배선 형성 공간이 더더욱 어렵다.

발명이 이루고자 하는 기술적 과제

[0056] 본 발명은 상기과 같은 문제점을 해결하기 위한 것으로, 이웃하는 패널 영역의 데이터 패드 반대쪽 공간을 활용하여 MPS 배선을 설계하는 GIP 구조의 액정표시장치용 기판 및 GIP 구조의 액정표시장치의 제조 방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

- [0057] 상기와 같은 목적을 달성하기 위한 본 발명에 따른 GIP 구조의 액정표시장치용 기관은, 박막트랜지스터 어레이가 형성된 액티브 영역, 더미 영역 및 비 표시 영역을 구비한 패널 영역이 다수 정의되는 모 기관; 상기 비 표시 영역의 모 기관에 형성되는 복수개의 TCP; 상기 더미 영역에 형성되는 GIP 게이트 드라이버 및 상기 GIP 게이트 드라이버에 각종 신호를 인가하기 위한 신호 라인들; 그리고 상기 박막트랜지스터 어레이의 게이트 및 데이터 배선, 공통 배선, 접지 및 정전압 그리고 상기 신호 라인들의 불량을 검사하기 위해 상기 해당 패널 영역의 비 표시 영역과 이웃하는 패널 영역의 데이터 패드 반대쪽 비 표시 영역에 걸쳐 형성되는 복수개의 MPS 배선을 포함하여 구성됨에 그 특징이 있다.
- [0058] 또한, 상기와 같은 목적을 달성하기 위한 본 발명에 따른 GIP 구조의 액정표시장치 제조 방법은, 액티브 영역, 더미 영역 및 비 표시 영역을 구비한 패널 영역이 다수 정의되는 제 1 모 기관을 준비하는 제 1 단계; 상기 액티브 영역에 박막트랜지스터 어레이의 게이트 배선 및 전극을 형성하고, 동시에 상기 더미 영역에 GIP 게이트 드라이버의 신호 라인들 형성하고, 상기 해당 패널 영역의 비 표시 영역 및 이웃하는 패널 영역의 데이터 패드 반대쪽 비 표시 영역에 MPS 배선들을 형성하는 제 2 단계; 상기 게이트 배선, 신호 라인들 및 MPS 배선들을 포함한 모 기관 전면면에 게이트 절연막을 형성하고 상기 게이트 전극 상층의 상기 게이트 절연막위에 활성층을 형성하는 제 3 단계; 상기 활성층 양측에 소오스/드레인 전극이 위치되도록 상기 액티브 영역의 게이트 절연막 위에 상기 박막트랜지스터 어레이의 데이터 라인을 형성하는 제 4 단계; 상기 데이터 라인을 포함한 모 기관 전면면에 보호막을 형성하고, 상기 드레인 전극과, 상기 신호 라인들 및 MPS 배선의 소정 부분이 노출되도록 복수개의 콘택홀을 형성하는 제 5 단계; 그리고 상기 드레인 전극에 연결되도록 상기 보호막 상층의 화소 영역에 화소 전극을 형성하고, 동시에 상기 MPS 배선과 상기 신호 라인 및 박막트랜지스터 어레이의 배선들이 연결되도록 연결 라인을 형성하는 제 6 단계를 포함하여 이루어짐에 그 특징이 있다.
- [0059] 여기서, 상기 본 발명에 따른 GIP 구조의 액정표시장치의 제조 방법은, 상기 MPS 배선을 이용하여 각 신호 라인 및 박막트랜지스터 어레이의 배선들의 불량을 체크하여 불량량이 발생한 라인 및 배선들에 대해서 리페어 하는 제 7 단계; 상기 제 1 모 기관에 대응되는 제 2 모 기관을 준비하는 제 8 단계; 상기 제 1 또는 제 2 모 기관의 각 패널 영역의 가장자리 부분에 시일재를 형성하는 제 9 단계; 상기 시일재를 이용하여 상기 제 1, 제 2 모 기관을 합착하는 제 10 단계; 그리고 상기 비 표시 영역에 형성되는 상기 MPS 배선이 제거되도록 상기 합착된 제 1, 제 2 모 기관을 단위 패널 별로 컷팅하는 제 11 단계를 더 포함함에 특징이 있다.
- [0060] 상기와 같은 특징을 갖는 본 발명의 실시예에 따른 액정표시장치를 첨부된 도면을 참조하여 보다 상세히 설명하면 다음과 같다.
- [0061] 도 4는 본 발명의 실시예에 따른 GIP 구조의 액정표시장치의 MPS 배선 배치 평면도이고, 도 5는 도 4의 "A" 부분 확대도이며, 도 6은 도 4의 "B" 부분 확대도이다.
- [0062] 즉, 도 4에서는 하부 기관을 도시한 것으로, 하부 기관의 모 기관(20)에 다수개의 패널 영역을 정의한다. 여기서, 각 패널 영역은, 상기 상하부 기관이 합착되어 데이터 드라이버 등이 실장되는 비 표시 영역(22)과 표시 영역(21)을 갖는다. 상기 표시 영역(21)은 액티브 영역(A/A)과 더미 영역(D)으로 구분된다. 도 4에서는 패널 영역을 2개 도시한 것이다.
- [0063] 즉, 상기 표시 영역(21)의 가장자리 부분에는 시일재가 형성되어 상기 두 기관을 합착하게 되고, 상기 하부 기관의 비표시 영역(22)에 복수개의 TCP(37)가 실장됨을 도시하였다.
- [0064] 상기 하부 기관인 모 기관(20)의 표시영역 중 액티브 영역(A/A)에는 게이트 배선, 데이터 배선, 화소 전극 및 박막트랜지스터를 구비한 박막트랜지스터 어레이가 형성되고, 상부 기관의 모 기관(도면에는 도시되지 않음)의 표시 영역 중 액티브 영역(A/A)에는 블랙매트릭스층, 칼라 필터층 및 공통 전극 등을 구비한 칼라필터 어레이가 형성된다 (도 1 참조).
- [0065] 상기 하부 기관의 모 기관(20)의 표시 영역중 더미 영역(D)에는, 공통 배선(도면에는 도시되지 않음), GIP 게이트 드라이버(33), GIP 더미 게이트 드라이버(34), 상기 타이밍 콘트롤러에서 출력되는 각종 신호(클럭신호, 인에이블 신호, 스타트 신호, 공통 전압 등)를 상기 GIP 게이트 드라이버(33) 및 GIP 더미 게이트 드라이버(34)에 인가하기 위한 신호 라인들(35)이 형성되고, 상기 상부 모 기관의 표시 영역 중 더미 영역(D)에는 블랙매트릭스층이 형성된다.
- [0066] 이 때, 상기 신호 라인들(35)은 첫번째 TCP(37)에 연결된다.

- [0067] 또한, 이와 같은 모 기관(20)의 각 패널 영역의 비 표시 영역에는 MPS 배선(23) 및 MPS 패드(24)를 형성한다.
- [0068] 여기서, 상기 MPS 배선(23)은 짝수 번째 게이트 배선 검사용(GE), 홀수번째 게이트 배선 검사용(GO), 짝수 번째 데이터 배선 검사용(DE), 홀수 번째 데이터 배선 검사용(DO), 공통 배선 검사용(Vcom), 접지 배선 검사용(GND), 정전압 배선 검사용(VDD) 등 약 5-6개의 배선 뿐만 아니라, 상기 GIP 게이트 드라이버(33) 및 GIP 더미 게이트 드라이버(34)에 각종 신호를 제공하기 위한 신호 라인(35)들의 불량을 테스트 하기 위한 상기 신호 라인들용 MPS 배선도 포함하고 있다.
- [0069] 상기 MPS 배선(23) 및 패드(24)는 상기 박막트랜지스터 어레이의 게이트 배선 형성 시 동시에 형성된다. 그리고, 상기 MPS 배선(23)과 해당 게이트 배선, 데이터 배선, 공통 배선, 접지 배선, 정전압 배선 및 상기 신호 라인들은 화소 전극과 동일한 물질에 의해 서로 연결된다.
- [0070] 이와 같이 상기 MPS 배선(23)은 상기 신호 라인(35)들 테스트용 MPS 배선을 포함하여 약 10 내지 15개 정도가 된다. 이와 같이 MPS 배선(23)이 약 10 내지 15개 정도가 되고, 상기 신호 라인(35)들용 MPS 배선(23)이 포함되어 있으므로, 상기 MPS 배선(23)들도 상기 첫번째 TCP(37)쪽으로 연결되어야 한다. 따라서, 상기 MPS 배선(23)을 해당 패널 영역의 비표시 영역에 모두 형성할 수 없다.
- [0071] 본 발명은 이와 같은 문제점을 해결하기 위하여, 이웃하는 패널 영역의 데이터 패드 반대쪽 공간을 활용하여 MPS 배선(23)을 설계한다. 즉, 상기 MPS 배선(23)은 액정표시장치를 구동하는데는 필요하지 않고, 단지 셀 공정 후, 각 배선들의 불량을 체크하기 위한 것으로, 액정표시패널이 완성되면 제거되는 것들이다.
- [0072] 따라서, 셀 공정에서 이웃하는 패널 영역의 데이터 패드 반대쪽의 비표시 영역의 공간에 MPS 배선(23)을 형성한다.
- [0073] 이 때, 상기 각 MPS 배선(23)은 서로 다른 배선과 겹치지 않아야 한다. 즉, 도 5에 도시한 바와 같이, 상기 짝수 데이터 배선용(D/E) 및 홀수 데이터 배선용(D/O)의 MPS 배선(23)이 최외각에 배치되어 복수개의 데이터 배선 중 짝수번째 데이터 배선과 홀수번째 데이터 배선에 연결된다.
- [0074] 또한, 공통 배선용(Vcom) MPS 배선(23)은, 도 6에 도시한 바와 같이, 상기 짝수 데이터 배선용 및 홀수 데이터 배선용의 MPS 배선(23)과 반대편(안쪽)에 배치되어야 한다. 이와 같이 MPS 배선(23)을 배치할 경우 다른 배선과 겹쳐지지 않는다.
- [0075] 이와 같은 본 발명에 따른 GIP 구조의 액정표시장치의 MPS 배선 형성 방법을 첨부된 도면을 참조하여 보다 상세히 설명하면 다음과 같다.
- [0076] 도 7a 내지 7f는 본 발명에 따른 GIP 구조의 액정표시장치의 공정 단면도이다.
- [0077] 도 7a에 도시한 바와 같이, 복수개의 패널 영역이 정의되고, 상기 패널 영역은 비표시 영역, 더미 영역과 액티브 영역으로 정의되는 하부 기관의 모 기관(20)에 저저항 금속층을 증착하고 사진 식각 공정으로 상기 금속층을 선택적으로 제거하여, 상기 액티브 영역에는 박막트랜지스터의 게이트 전극(41)을 형성하고, 이와 동시에 상기 더미 영역에는 GIP 게이트 드라이버 및 GIP 더미 게이트 드라이버의 신호 라인(35)들 형성하고, 상기 비 표시 영역에 MPS 배선(23) 및 MPS 배선 패드를 형성한다.
- [0078] 물론, 도면에는 도시되지 않았지만, 상기 게이트 전극(41) 형성 시, 상기 GIP 게이트 드라이버 및 GIP 더미 게이트 드라이버의 각 트랜지스터의 게이트 전극도 동시에 형성한다.
- [0079] 그리고, 상기 MPS 배선(23)은, 상기 도 4에서 설명한 바와 같이, 이웃하는 패널 영역의 데이터 패드 반대쪽 공간을 활용하여 MPS 배선(23)을 형성한다.
- [0080] 도 7b에 도시한 바와 같이, 상기 게이트 전극(41), 신호 라인(35) 및 MPS 배선(23)을 포함한 모 기관(20) 전면에 게이트 절연막(42)을 형성한다.
- [0081] 그리고, 상기 게이트 절연막(42)위에 반도체층을 증착하고 선택적으로 제거하여 상기 액티브 영역의 게이트 전극 상층의 게이트 절연막 위에 박막트랜지스터의 활성층(43)을 형성한다. 물론, 도면에는 도시되지 않았지만, 상기 GIP 게이트 드라이버 및 GIP 더미 게이트 드라이버의 각 트랜지스터의 활성층도 동시에 형성한다.
- [0082] 도 7c에 도시한 바와 같이, 상기 활성층을 포함한 기관 전면에 저저항 금속층을 증착하고 선택적으로 식각하여, 상기 액티브 영역에 상기 박막트랜지스터의 소오스/드레인 전극(44a, 44b) 및 데이터 라인(44)을 형성한다. 물론, 도면에는 도시되지 않았지만, 상기 GIP 게이트 드라이버 및 GIP 더미 게이트 드라이버의 각 트랜지스터의

소오스/드레인 전극도 동시에 형성한다.

- [0083] 도 7d에 도시한 바와 같이, 상기 데이터 라인(44)을 포함한 기판 전면에 보호막(45)을 형성한다.

[0084] 도 7e에 도시한 바와 같이, 상기 보호막(45)을 선택적으로 제거하여 상기 드레인 전극(4b) 상측에 제 1 콘택 홀을 형성함과 동시에, 상기 더미 영역의 상기 신호 라인(35)과 상기 비 표시 영역의 상기 MPS 배선(23)상의 상기 보호막(45) 및 게이트 절연막(42)을 제거하여 제 2 및 제 3 콘택 홀을 형성한다.

[0085] 그리고, 상기 기판 전면에 ITO 또는 IZO 등의 투명 도전막을 증착하고 선택적으로 제거하여 상기 제 1 콘택 홀을 통해 상기 드레인 전극(44b)에 연결되도록 화소 영역에 화소 전극(46)을 형성함과 동시에 상기 더미 영역과 비 표시 영역에 형성되는 제 2, 제 3 콘택 홀을 통해 상기 신호 라인(35)과 상기 MPS 배선(23)이 서로 연결되도록 연결 라인(46a)을 형성한다.

[0086] 물론, 도면에는 도시되지 않았지만, 짝수 번째 게이트 배선 검사용(GE), 홀수번째 게이트 배선 검사용(GO), 짝수 번째 데이터 배선 검사용(DE), 홀수 번째 데이터 배선 검사용(DO), 공통 배선 검사용(Vcom), 접지 배선 검사용(GND), 정전압 배선 검사용(VDD) 등의 MPS 배선(23)도 해당 배선과 상기 투명 도전막에 의해 서로 연결된다.

[0087] 이와 같이, 하부 기판을 완성한 후, 상기 MPS 배선(23) 및 패드(24)를 이용하여 각 라인들의 불량률 체크하고 불량률이 발생된 라인들에 대해서 리페어 공정이 수행된다.

[0088] 도 7f에 도시한 바와 같이, 블랙매트릭스층(51), 칼라필터층(52) 및 공통 전극(53) 등을 구비한 상부 모 기판(50)을 준비하고, 상기 하부 모 기판(20) 또는 상부 모 기판(50)의 각 패널 영역의 더미 영역 가장자리 부분에 시일재(100)를 도포하고 상기 상 하부 모 기판(20, 50)을 합착한 후, 상기 시일재에 광을 조사하여 상기 시일재를 경화시킨다.

[0089] 그리고 단위 패널 영역 별로 컷팅 한다. 이 때 상기 비 표시 영역에 형성된 MPS 배선(23)들은 제거된다.

발명의 효과

- [0090] 이상에서 설명한 바와 같이 본 발명에 따른 GIP 구조의 액정표시장치 및 그의 제조 방법에 있어서는 다음과 같은 효과가 있다.
- [0091] 즉, 이웃하는 패널 영역의 데이터 패드 반대쪽 공간을 활용하여 MPS 배선을 설계할 수 있으므로, GIP 구조의 액정표시장치에서도 MPS 배선을 이용한 각 신호 라인들의 불량률 체크 할 수 있고, 불량 발생 시 리페어 공정을 수행할 수 있다.
- [0092] 이상에서 설명한 본 발명은 상술한 실시예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

도면의 간단한 설명

- | | | |
|--------|--|-------------------|
| [0001] | 도 1은 일반적인 액정표시장치의 일부를 나타낸 분해 사시도 | |
| [0002] | 도 2는 일반적인 액정표시장치의 MPS 배선을 나타낸 평면도 | |
| [0003] | 도 3은 종래의 GIP 구조의 액정표시장치의 평면도 | |
| [0004] | 도 4는 본 발명의 실시예에 따른 GIP 구조의 액정표시장치의 MPS 배선 배치 평면도 | |
| [0005] | 도 5는 도 4의 "A" 부분 확대도 | |
| [0006] | 도 6은 도 4의 "B" 부분 확대도 | |
| [0007] | 도 7a 내지 7f는 본 발명에 따른 GIP 구조의 액정표시장치의 공정 단면도 | |
| [0008] | *도면의 주요 부분에 대한 부호의 설명* | |
| [0009] | 20, 50 : 기판 | 21 : 표시 영역 |
| [0010] | 22 : 비 표시 영역 | 23 : MPS 배선 |
| [0011] | 24 : MPS 패드 | 33 : GIP 게이트 드라이버 |

- [0012]

34 : GIP 더미 게이트 드라이버

35 : 신호 라인들
- [0013]

37 : TCP

41 : 게이트 전극
- [0014]

42 : 게이트 절연막

43 : 활성층
- [0015]

44 : 데이터 배선

44a 44b : 소오스/드레인 전극
- [0016]

45 : 보호막

46 : 화소 전극
- [0017]

46a : 연결 라인

51 : 블랙매트릭스층
- [0018]

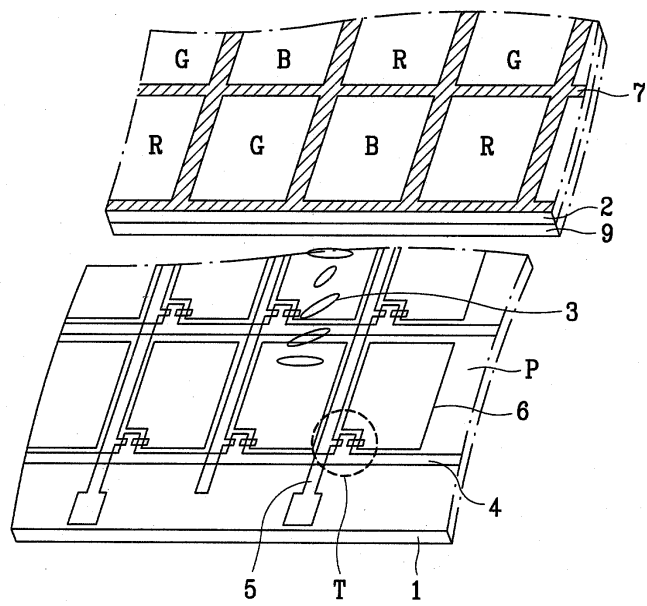
52 : 칼라 필터층

53 : 공통 전극
- [0019]

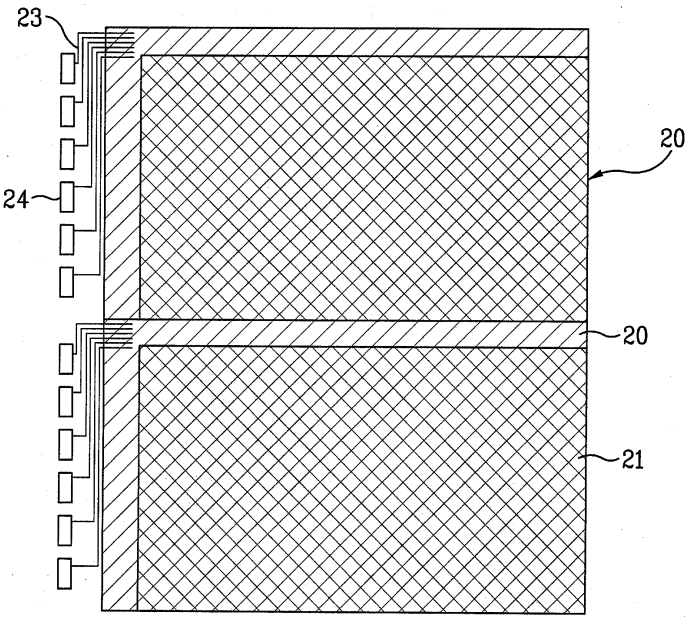
100 : 시일재

도면

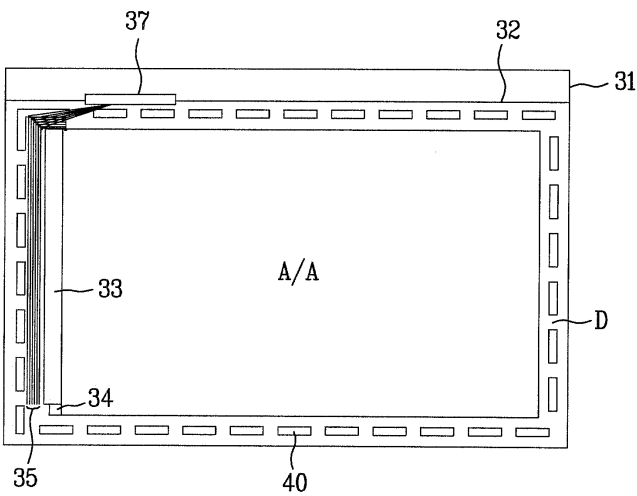
도면1



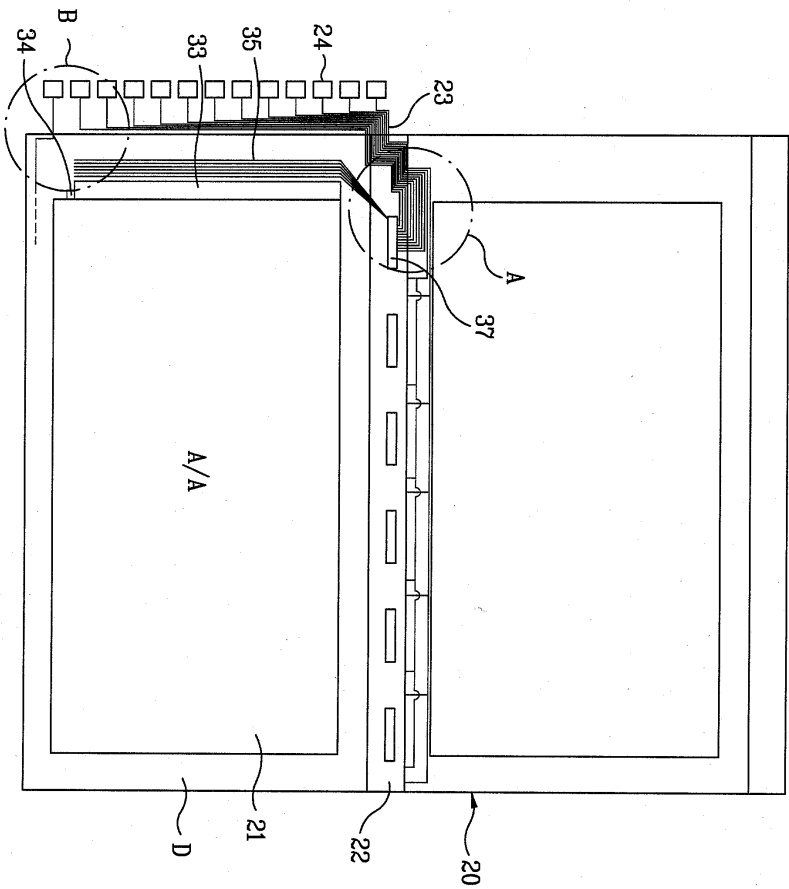
도면2



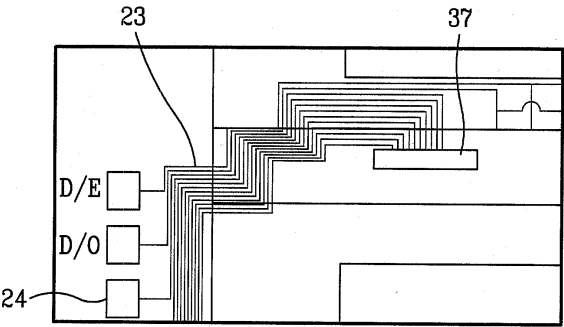
도면3



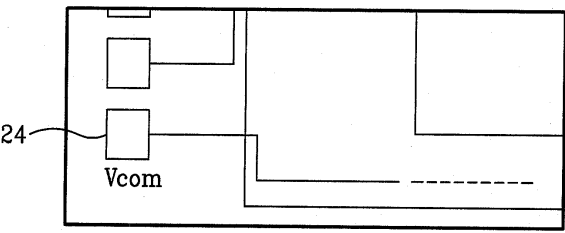
도면4



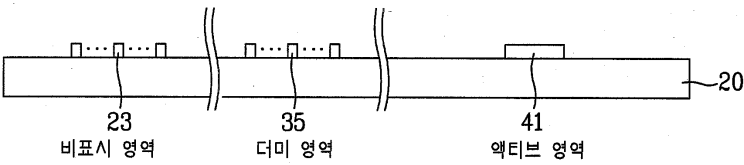
도면5



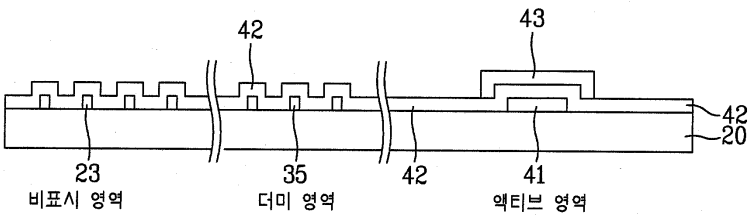
도면6



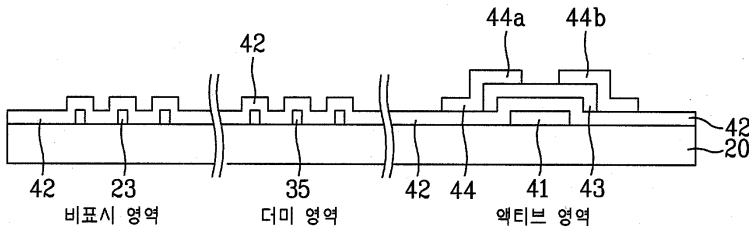
도면7a



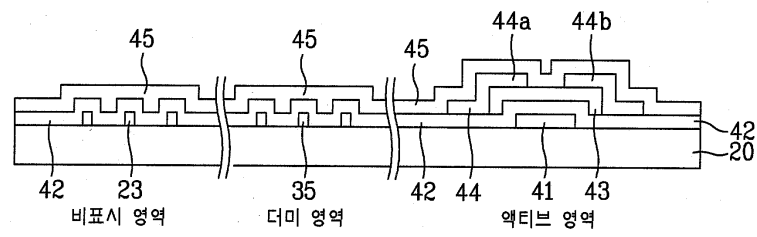
도면7b



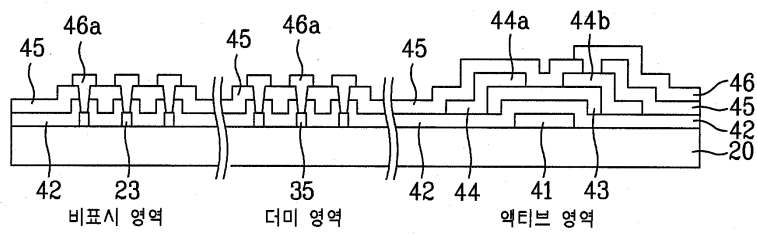
도면7c



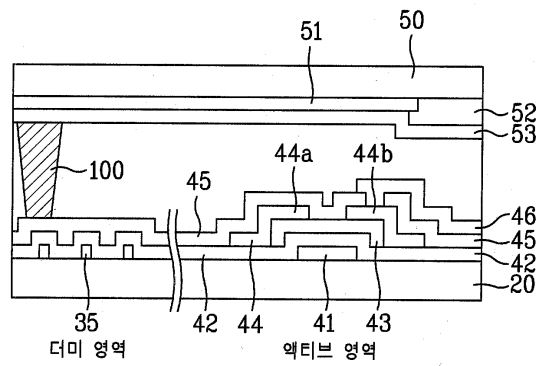
도면7d



도면7e



도면7f



专利名称(译)	用于具有GIP结构的液晶显示装置的基板和用于制造具有GIP结构的液晶显示装置的方法		
公开(公告)号	KR101255310B1	公开(公告)日	2013-04-15
申请号	KR1020060059129	申请日	2006-06-29
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIL WANG SEOB		
发明人	KIL,WANG SEOB		
IPC分类号	G02F1/1345 G02F		
CPC分类号	G02F1/1345 G02F1/13454		
代理人(译)	金勇 新昌		
其他公开文献	KR1020080001063A		
外部链接	Espacenet		

摘要(译)

本文公开了一种用于GIP型液晶显示装置的基板，该基板包括用于在单元阵列工艺之后检查线的MPS线。该基板包括母基板，该母基板包括限定在其中的多个面板区域，每个面板区域包括其中形成有薄膜晶体管阵列的有源区域，虚设区域和非显示区域，多个TCP设置在其中。母基板的非显示区域；GIP栅极驱动器和信号线，用于将各种信号施加到GIP栅极驱动器，GIP栅极驱动器和信号线设置在虚拟区域中；多条MPS线从第一面板区域的非显示区域延伸到与相邻面板区域的数据垫相对的非显示区域，以检查栅极线，数据线，公共线，电压线的缺陷和信号线。

