



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2010년10월20일

(11) 등록번호 10-0989264

(24) 등록일자 2010년10월14일

(51) Int. Cl.

G02F 1/133 (2006.01)

(21) 출원번호 10-2004-0039135

(22) 출원일자 2004년05월31일

심사청구일자 2009년05월26일

(65) 공개번호 10-2005-0113966

(43) 공개일자 2005년12월05일

(56) 선행기술조사문헌

KR1020030016534 A

(73) 특허권자

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

김빈

서울시양천구신정7동신시가지11단지아파트1107
동1307호

윤수영

경기도군포시오금동울곡아파트349동1604호

전민두

서울시광진구중곡3동174-1번지

(74) 대리인

허용특

전체 청구항 수 : 총 7 항

심사관 : 이강하

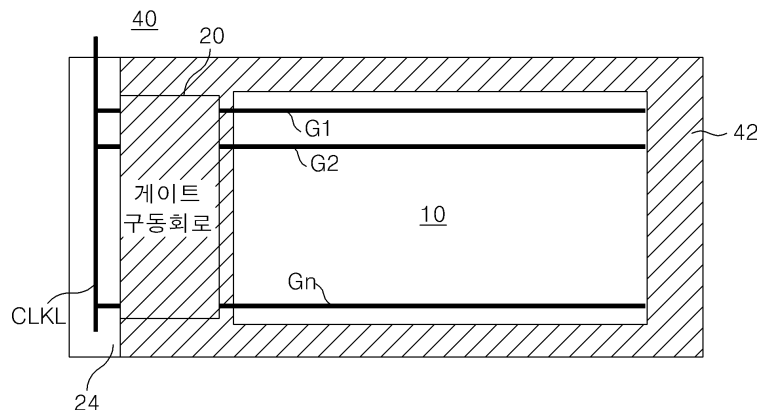
(54) 구동 회로가 내장된 액정 표시 패널 및 그 제조 방법

(57) 요약

본 발명은 회로 영역 및 라인 온 글래스 영역의 기생 캐패시터를 저감할 수 있는 구동 회로 내장형 액정 패널 및 그 제조 방법을 제공하는 것이다.

이를 위하여, 본 발명의 구동 회로 내장형 액정 패널은 표시 영역에 형성된 액정셀 매트릭스와; 상기 표시 영역 외곽의 비표시 영역 중 회로 영역에 형성되어 상기 액정셀 매트릭스를 구동하는 구동 회로와; 상기 비표시 영역 중 라인 온 글래스 영역에 형성되어 상기 구동 회로에 필요한 다수의 신호를 공급하는 라인 온 글래스형 신호 라인들과; 상기 표시 영역 및 상기 비표시 영역에 포함되며 상기 라인 온 글래스 영역에서 제거된 구조를 갖는 블랙 매트릭스를 구비한다.

대표도 - 도5



특허청구의 범위

청구항 1

표시 영역에 형성된 액정셀 매트릭스와;

상기 표시 영역 외곽의 비표시 영역 중 회로 영역에 형성되어 상기 액정셀 매트릭스를 구동하는 구동 회로와;

상기 비표시 영역 중 라인 온 글래스(이하, LOG) 영역에 형성되어 상기 구동 회로에 필요한 다수의 신호를 공급하는 LOG형 신호 라인들과;

상기 표시 영역 및 상기 비표시 영역에 포함되며 상기 LOG 영역에서 제거된 구조를 갖는 블랙 매트릭스를 구비하는 것을 특징으로 하는 구동 회로 내장형 액정 패널.

청구항 2

제 1 항에 있어서,

상기 구동 회로는

상기 액정셀 매트릭스의 게이트 라인을 구동하는 게이트 구동 회로와, 상기 액정셀 매트릭스의 데이터 라인을 구동하는 데이터 구동 회로 중 적어도 어느 하나의 구동 회로를 포함하는 것을 특징으로 하는 구동 회로 내장형 액정 패널.

청구항 3

제 2 항에 있어서,

상기 LOG 신호 라인들은

상기 게이트 구동 회로에 필요한 다수의 게이트 제어 신호들 및 다수의 전원 신호들을 각각 공급하는 것을 특징으로 하는 구동 회로 내장형 액정 패널.

청구항 4

제 2 항에 있어서,

상기 LOG형 신호 라인들은

상기 데이터 구동 회로에 필요한 비디오 데이터, 다수의 데이터 제어 신호들 및 다수의 전원 신호들을 각각 공급하는 것을 특징으로 하는 구동 회로 내장형 액정 패널.

청구항 5

제 1 항에 있어서,

상기 액정셀 매트릭스 및 구동 회로에 내장된 박막 트랜지스터는 아모퍼스-실리콘을 이용한 반도체층을 포함하는 것을 특징으로 하는 구동 회로 내장형 액정 패널.

청구항 6

표시 영역에 게이트 라인, 데이터 라인, 박막 트랜지스터, 화소 전극을 포함하는 박막 트랜지스터 어레이가, 비표시 영역 중 회로 영역에 상기 게이트 라인 및 데이터 라인 중 적어도 어느 하나를 구동하기 위한 구동 회로가, 상기 비표시 영역 중 LOG 영역에 상기 구동 회로에 필요한 다수의 신호들을 공급하기 위한 다수의 LOG 신호 라인들이 형성된 박막 트랜지스터 기판을 마련하는 단계와;

상기 표시 영역에 칼라 필터가 형성되고, 상기 표시 영역에서는 상기 칼라 필터를 구분하고 상기 비표시 영역 중 상기 LOG 영역과 중첩되어질 부분을 제외한 나머지 영역에 블랙 매트릭스가 형성된 칼라 필터 기판을 마련하는 단계와;

상기 박막 트랜지스터 기판 및 상기 칼라 필터 기판을 액정층을 사이에 두고 합착하는 단계를 포함하는 것을 특징으로 하는 구동 회로 내장형 액정 패널의 제조 방법.

청구항 7

제 6 항에 있어서,

상기 박막 트랜지스터 기판은 아모퍼스-실리콘을 이용한 반도체층을 포함하는 것을 특징으로 하는 구동 회로 내장형 액정 패널의 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0011] 본 발명은 액정 표시 장치에 관한 것으로, 특히 구동 회로가 내장된 액정 표시 패널 및 그 제조 방법에 관한 것이다.
- [0012] 텔레비전(Television) 및 컴퓨터(Computer)의 표시 장치로 사용되는 액정 표시 장치는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이를 위하여, 액정 표시 장치는 액정셀들이 매트릭스 형태로 배열되어진 액정 표시 패널(이하, 액정 패널)과, 액정 패널을 구동하기 위한 구동 회로를 구비한다.
- [0013] 도 1을 참조하면, 일반적인 액정 표시 장치는 $m \times n$ 개의 액정셀들(C1c)이 매트릭스 타입으로 배열되고 m 개의 데이터 라인들(D1 내지 Dm)과 n 개의 게이트 라인들(G1 내지 Gn)이 교차되며 그 교차부에 박막 트랜지스터(TFT)가 접속된 액정 패널(13)과, 액정 패널(13)의 데이터 라인들(D1 내지 Dm)에 데이터를 공급하는 데이터 구동 회로(11)와, 게이트 라인들(G1 내지 Gn)에 스캔 펄스를 공급하는 게이트 구동 회로(12)를 구비한다.
- [0014] 액정 패널(13)은 박막 트랜지스터 어레이 형성된 박막 트랜지스터 기판과 칼라 필터 어레이가 형성된 칼라 필터 기판이 액정층을 사이에 두고 합착되어 형성된다. 이 액정패널(13)의 박막 트랜지스터 기판에 형성된 데이터 라인들(D1 내지 Dm)과 게이트 라인들(G1 내지 Gn)은 상호 직교된다. 데이터 라인들(D1 내지 Dm)과 게이트 라인들(G1 내지 Gn)의 교차부와 접속된 박막 트랜지스터(TFT)는 게이트 라인(G1 내지 Gn)의 스캔 펄스에 응답하여 데이터 라인(D1 내지 Dn)을 통해 공급된 데이터 전압을 액정셀(C1c)의 화소 전극에 공급하게 된다. 칼라 필터 기판에는 블랙 매트릭스, 컬러 필터 및 공통 전극 등이 형성된다. 이에 따라, 액정셀(C1c)은 화소 전극에 공급된 데이터 전압과, 공통 전극에 공급된 공통 전압과의 전위차에 의해 유전 이방성을 갖는 액정이 회전하여 광 투과율을 조절하게 된다. 그리고 액정 패널(13)의 박막 트랜지스터 기판과 칼라 필터 기판 상에는 광축이 직교하는 편광판이 부착되고, 액정층과 접하는 내측면 상에는 액정의 프리틸트각을 결정하는 배향막이 더 형성된다. 또한, 액정셀(C1c) 각각에는 스토리지 캐패시터(Cst)가 더 형성된다. 스토리지 캐패시터(Cst)는 화소 전극과 전단 게이트 라인 사이에 형성되거나, 화소 전극과 도시하지 않은 공통 라인 사이에 형성되어 액정셀(C1c)에 충전된 데이터 전압을 일정하게 유지시킨다.
- [0015] 데이터 구동 회로(11)는 입력된 디지털 비디오 데이터를 감마 전압을 이용하여 아날로그 데이터 전압으로 변환하고 데이터 라인들(D1 내지 Dm)에 공급한다.
- [0016] 게이트 구동 회로(12)는 스캔 펄스를 게이트 라인들(G1 내지 Gn)에 순차적으로 공급하여 데이터가 공급되어질 액정셀(C1c) 수평 라인을 선택한다.
- [0017] 이러한 액정 표시 장치는 폴리-실리콘 또는 아모퍼스-실리콘을 이용하여 박막 트랜지스터(TFT)를 형성한다. 폴리-실리콘은 전하 이동도가 상대적으로 높아 빠른 응답 속도를 요하는 구동 회로를 액정 패널에 내장할 수 있게 한다. 최근에는 소형 액정 패널로부터 출발하여 아모퍼스-실리콘을 이용한 경우에도 구동 회로를 액정 패널에 내장할 수 있는 방안이 대두되고 있다.
- [0018] 도 2를 참조하면, 아모퍼스-실리콘을 이용한 액정 패널(30)은 비교적 간단한 회로 구성을 갖는 게이트 구동 회로(20)를 내장한다. 게이트 구동 회로(20)는 스캔 펄스를 표시 영역(10)의 게이트 라인들(G1 내지 Gn)에 순차적으로 공급하기 위한 쉬프트 레지스터를 구비한다. 쉬프트 레지스터는 도 3과 같이 종속적으로 접속된 제1 내지 제n 스테이지를 구비한다. 제1 내지 제n 스테이지에는 고전위 및 고전위 구동 전압(미도시)과 함께 클럭 신호(CLK)가 공통으로 공급되고, 스타트 펄스(Vst) 또는 전단 스테이지의 출력 신호가 공급된다. 제1 스테이지는

스타트 펄스(Vst)와 클럭 신호(CLK)에 응답하여 제1 게이트 라인(G1)으로 스캔 펄스를 출력한다. 그리고, 제2 내지 제n 스테이지는 이전단 스테이지의 출력 신호와 클럭 신호(CLK)에 응답하여 제2 내지 제n 게이트 라인(G2 내지 Gn) 각각에 스캔 펄스를 순차적으로 출력한다. 클럭 신호(CLK)로는 위상이 서로 다른 적어도 2개의 클럭 신호가 공급된다.

[0019] 이러한 게이트 구동 회로(20)가 내장된 회로 영역과, 게이트 구동 회로(20)에 클럭 신호(CLK)를 공급하는 클럭 라인(CLKL)이 형성된 라인 온 글래스(Line-On-Glass; 이하, LOG) 영역은 표시 영역(10)의 외곽부, 즉 비표시 영역에 위치하게 된다. 이에 따라, 회로 영역 및 LOG 영역은 칼라 필터 기관의 비표시 영역에 형성된 블랙 매트릭스(32)와 중첩하게 된다.

[0020] 그런데, 블랙 매트릭스(32)가 크롬(Cr) 등과 같은 금속으로 형성됨에 따라 클럭 라인(CLKL)과 함께 기생 캐패시터를 형성하게 된다. 이에 따라, 클럭 라인(CLK)의 기생 캐패시터(C)는 클럭 라인(CLKL)의 라인 저항(R)과 함께 클럭 신호(CLK) 및 게이트 구동 회로(20)의 스캔 펄스를 왜곡시키게 된다. 도 4를 참조하면, 클럭 라인(CLKL)의 기생 캐패시터 및 라인 저항으로 인하여 제n번째 게이트 라인(Gn)에 공급되는 스캔 펄스가 그의 라이징 타임 및 폴링 타임이 클럭 신호(CLK)의 폭(약 14 μ s)과 유사하도록 왜곡되었음을 알 수 있다. 따라서, LOG 영역의 기생 캐패시터를 저감할 수 있는 방안이 요구된다.

발명이 이루고자 하는 기술적 과제

[0021] 따라서, 본 발명의 목적은 LOG 영역의 기생 캐패시터를 저감할 수 있는 구동 회로 내장형 액정 패널 및 그 제조 방법을 제공하는 것이다.

발명의 구성 및 작용

[0022] 상기 목적을 달성하기 위하여, 본 발명의 실시 예에 따른 구동 회로 내장형 액정 패널은 표시 영역에 형성된 액정셀 매트릭스와; 상기 표시 영역 외곽의 비표시 영역 중 회로 영역에 형성되어 상기 액정셀 매트릭스를 구동하는 구동 회로와; 상기 비표시 영역 중 LOG 영역에 형성되어 상기 구동 회로에 필요한 다수의 신호를 공급하는 LOG형 신호 라인들과; 상기 표시 영역 및 상기 비표시 영역에 포함되며 상기 LOG 영역에서 제거된 구조를 갖는 블랙 매트릭스를 구비한다.

[0023] 상기 구동 회로는 상기 액정셀 매트릭스의 게이트 라인을 구동하는 게이트 구동 회로와, 상기 액정셀 매트릭스의 데이터 라인을 구동하는 데이터 구동 회로 중 적어도 어느 하나의 구동 회로를 포함한다.

[0024] 상기 LOG 신호 라인들은 상기 게이트 구동 회로에 필요한 다수의 게이트 제어 신호들 및 다수의 전원 신호들을 각각 공급한다.

[0025] 상기 LOG형 신호 라인들은 상기 데이터 구동 회로에 필요한 비디오 데이터, 다수의 데이터 제어 신호들 및 다수의 전원 신호들을 각각 공급한다.

[0026] 상기 액정셀 매트릭스 및 구동 회로에 내장된 박막 트랜지스터는 아모퍼스-실리콘을 이용한 반도체층을 포함한다.

[0027] 그리고, 본 발명의 실시 예에 따른 구동 회로 내장형 액정 패널의 제조 방법은 표시 영역에 게이트 라인, 데이터 라인, 박막 트랜지스터, 화소 전극을 포함하는 박막 트랜지스터 어레이가, 비표시 영역 중 회로 영역에 상기 게이트 라인 및 데이터 라인 중 적어도 어느 하나를 구동하기 위한 구동 회로가, 상기 비표시 영역 중 LOG 영역에 상기 구동 회로에 필요한 다수의 신호들을 공급하기 위한 다수의 LOG 신호 라인들이 형성된 박막 트랜지스터 기관을 마련하는 단계와; 상기 표시 영역에 칼라 필터가 형성되고, 상기 표시 영역에서는 상기 칼라 필터를 구분하고 상기 비표시 영역 중 상기 LOG 영역과 중첩되어질 부분을 제외한 나머지 영역에 블랙 매트릭스가 형성된 칼라 필터 기관을 마련하는 단계와; 상기 박막 트랜지스터 기관 및 상기 칼라 필터 기관을 액정층을 사이에 두고 합착하는 단계를 포함한다.

[0028] 상기 목적 외에 본 발명의 다른 목적 및 이점들은 첨부한 도면들을 참조한 본 발명의 바람직한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

- [0029] 이하, 본 발명의 바람직한 실시 예를 도 5 및 도 6을 참조하여 설명하기로 한다.
- [0030] 도 5는 본 발명의 실시 예에 따른 게이트 구동 회로(20)가 내장된 액정 패널(40)을 개략적으로 도시한 평면도이다.
- [0031] 도 5에 도시된 액정 패널(40)은 게이트 라인(G1 내지 Gn)과 데이터 라인(미도시)의 교차로 정의된 화소 영역마다 형성된 액정셀이 매트릭스 형태로 배열된 표시 영역(10)과, 게이트 라인(G1 내지 Gn)을 구동하기 위하여 비 표시 영역에 내장된 게이트 구동 회로(20)를 구비한다.
- [0032] 액정 패널(40)은 박막 트랜지스터 어레이가 형성된 박막 트랜지스터 기관과, 칼라 필터 어레이가 형성된 칼라 필터 기관이 액정층을 사이에 두고 합착되어 형성된다.
- [0033] 박막 트랜지스터 기관의 표시 영역에는 상호 교차하는 게이트 라인(G1 내지 Gn) 및 데이터 라인과, 그 교차부와 접속된 박막 트랜지스터와, 박막 트랜지스터와 접속된 액정셀의 화소 전극이 형성된다. 비표시 영역 중 회로 영역에는 게이트 라인(G1 내지 Gn)을 구동하기 위한 게이트 구동 회로(20)가 형성되고, 그 게이트 구동 회로(20)에 필요한 클럭 신호(CLK)를 공급하는 클럭 라인(CLKL)이 LOG 영역(24)에 형성된다. 클럭 라인(CLKL)은 위상과 다른 적어도 2개의 클럭 신호를 공급할 수 있는 다수의 클럭 라인을 포함한다. 또한, LOG 영역(24)에는 게이트 구동 회로(20)에 필요한 게이트 하이 전압(VGH), 게이트 로우 전압(VGL), 게이트 출력 이네이블 신호(GOE), 전원 신호(VDD, VSS) 등을 공급하는 다수의 LOG형 신호 라인들(미도시)이 더 형성된다.
- [0034] 칼라 필터 기관은 표시 영역에서 화소 영역마다 형성된 칼라 필터, 표시 영역에서는 칼라 필터를 구분하고 비표시 영역에도 형성된 블랙 매트릭스(42), 액정셀에 공통 전압을 공급하기 위한 공통 전극이 형성된다. 여기서, 블랙 매트릭스(42)는 비표시 영역 중 박막 트랜지스터 기관의 클럭 라인(CLKL)이 형성된 LOG 영역(24)과 중첩되는 부분에서 제거된다. 이에 따라, 블랙 매트릭스(42)가 클럭 라인(CLKL)을 포함하는 LOG형 신호 라인들과 중첩되어 기생 캐패시터를 형성하는 것을 방지할 수 있게 되므로, LOG형 신호 라인의 기생 캐패시터를 저감할 수 있게 된다. 이 결과, LOG형 신호 라인의 기생 캐패시터로 인한 스캔 펄스의 왜곡을 최소화할 수 있게 된다. 도 6을 참조하면, 도 5에 도시된 액정 패널(40)의 게이트 구동 회로(20)로부터 제n번째 게이트 라인(Gn)에 공급되는 스캔 펄스(①)의 라이징 타임 및 폴링 타임이 도 2에 도시된 액정 패널(30)의 제n번째 게이트 라인(Gn)에 공급되는 스캔 펄스(②) 보다 줄어들었음을 알 수 있다
- [0035] 이렇게 LOG 영역(24)과 중첩되는 부분에서 제거된 블랙 매트릭스(42)는 유리 기관 상에 크롬(Cr) 등과 같은 금속층 또는 블랙 수지층을 형성한 후 마스크를 이용한 포토리소그래피 공정 및 식각 공정으로 패터닝함으로써 형성된다.
- [0036] 나아가, 액정 패널(40)에 데이터 구동 회로가 내장될 경우 그 데이터 구동 회로에 필요한 제어 신호들을 공급하는 제2 LOG형 신호 라인들이 형성된 제2 LOG 영역(미도시)에서도 블랙 매트릭스를 제거하여 기생 캐패시터를 저감할 수 있다. 여기서, 제2 LOG형 신호 라인들은 데이터 구동 회로에 필요한 비디오 데이터, 다수의 데이터 제어 신호들, 및 다수의 전원 신호들을 각각 공급한다.

발명의 효과

- [0037] 상술한 바와 같이, 본 발명에 따른 구동 회로 내장형 액정 패널은 LOG 영역에서 블랙 매트릭스를 제거함으로써 블랙 매트릭스로 인한 기생 캐패시터 형성을 방지할 수 있게 된다. 이에 따라, 액정 패널에 내장된 LOG형 신호 라인의 기생 캐패시터를 저감하여 그로 인한 신호 왜곡을 줄일 수 있게 된다.
- [0038] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

도면의 간단한 설명

- [0001] 도 1은 일반적인 액정 표시 장치를 도시한 블록도.
- [0002] 도 2은 게이트 구동 회로가 내장된 액정 표시 패널을 개략적으로 도시한 평면도.
- [0003] 도 3은 도 2에 도시된 게이트 구동 회로를 구체적으로 도시한 블록도.

- [0004]

도 4는 도 2에 도시된 클럭 라인 및 n번째 게이트 라인에 공급되는 구동 파형을 비교하여 도시한 파형도.
- [0005]

도 5는 본 발명의 실시 예에 따른 게이트 구동 회로가 내장된 액정 표시 패널을 개략적으로 도시한 평면도.
- [0006]

도 6은 도 2에 도시된 n번째 게이트 라인과 도 4에 도시된 n번째 게이트 라인에 공급된 스캔 펄스를 비교하여 도시한 파형도.
- [0007]

< 도면의 주요부분에 대한 설명>
- [0008]

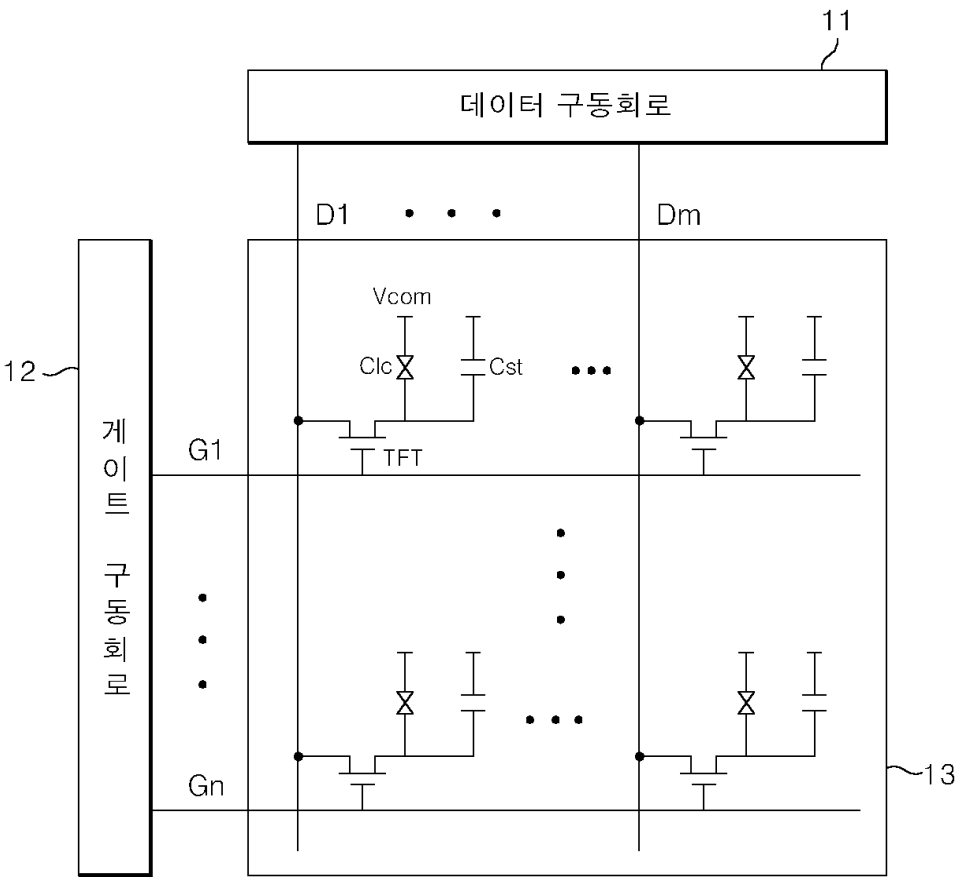
10 : 표시 영역
- [0009]

12, 20 : 게이트 구동 회로
- [0010]

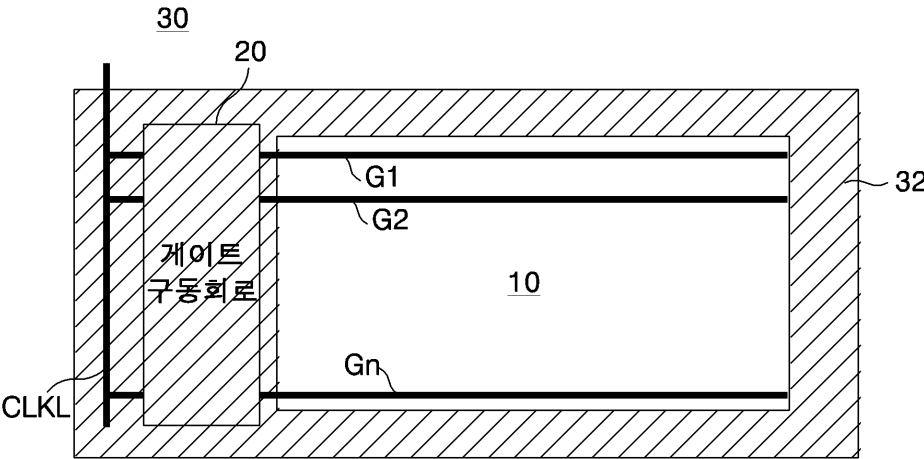
13, 30, 40 : 액정 패널
- 11 : 데이터 구동 회로
- 24 : 라인 온 클래스(LOG) 영역
- 32, 42 : 블랙 매트릭스

도면

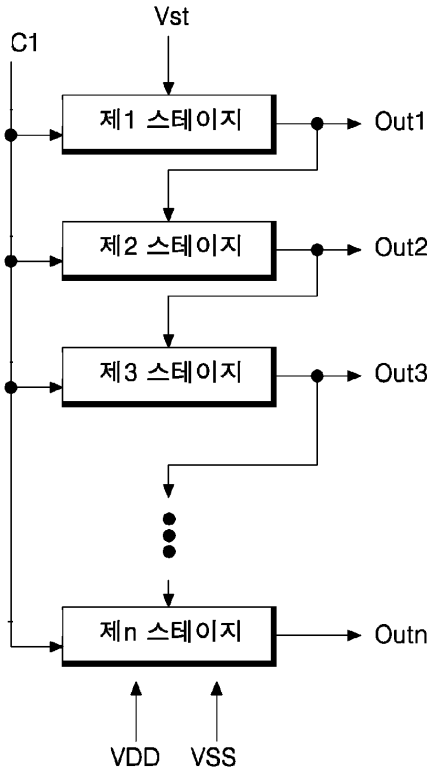
도면1



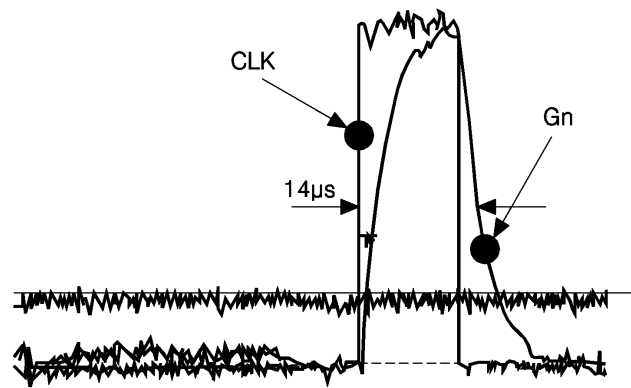
도면2



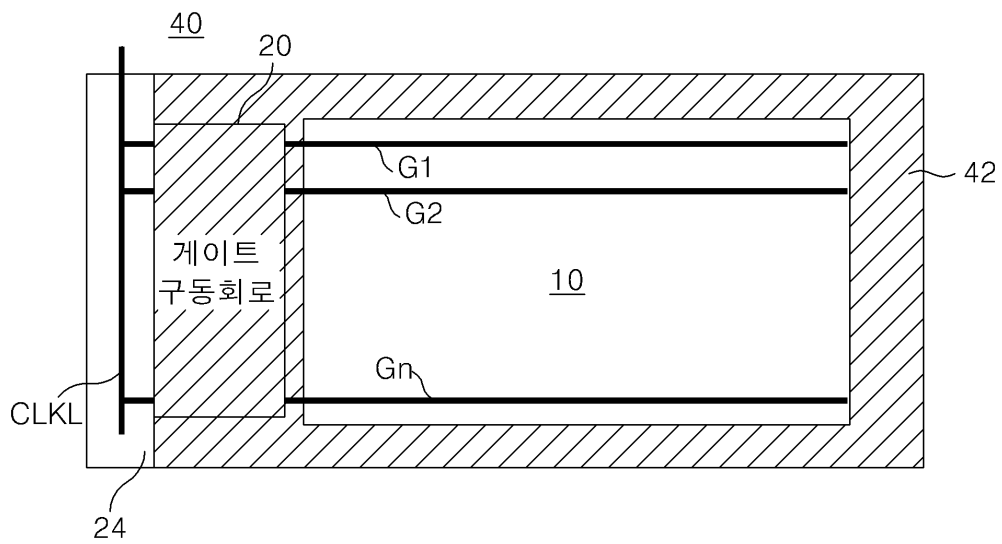
도면3



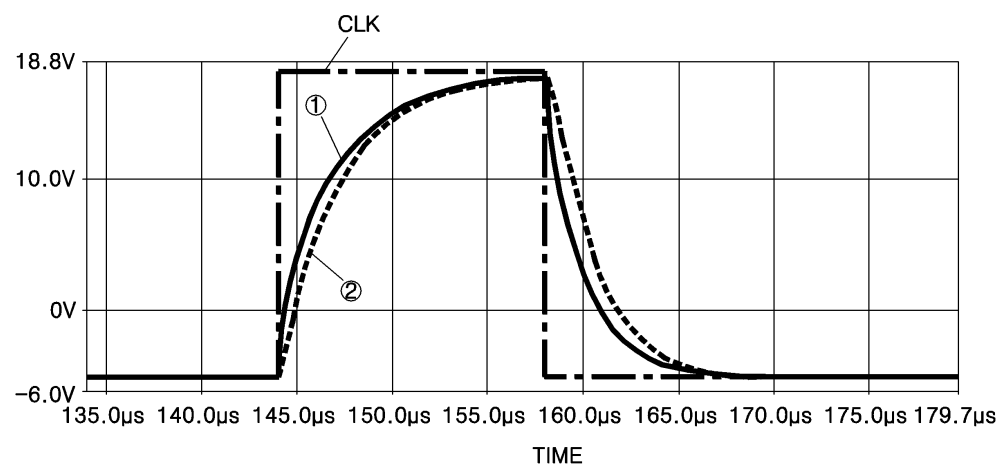
도면4



도면5



도면6



专利名称(译)	液晶显示面板，内置驱动电路		
公开(公告)号	KR100989264B1	公开(公告)日	2010-10-20
申请号	KR1020040039135	申请日	2004-05-31
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM BINN 김빈 YOON SOOYOUNG 윤수영 CHUN MINDOO 전민두		
发明人	김빈 윤수영 전민두		
IPC分类号	G02F1/1362 G02F1/1345 G02F G02F1/1333 G02F1/133		
CPC分类号	G02F1/136209 G02F1/1345 G02F1/13454		
其他公开文献	KR1020050113966A		
外部链接	Espacenet		

摘要(译)

本发明是提供一种电路面积可以减小，并内置液晶面板的制造方法
mitgeu线路上玻璃区域驱动电路的寄生电容。为此，驱动电路内置在本发明的液晶面板是在显示区域的矩阵形成的液晶单元;显示区域外的显示区域的显示区域一种驱动液晶单元矩阵的驱动电路;玻璃上型信号线形成在非显示区域的线上玻璃区域上，并提供驱动电路所需的多个信号;黑色矩阵，其结构包括在显示区域和非显示区域中，并从玻璃区域上的线上移除，和。

