



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2009년10월07일
(11) 등록번호 10-0920340
(24) 등록일자 2009년09월29일

(51) Int. Cl.

G02F 1/133 (2006.01)

(21) 출원번호 10-2003-0000265

(22) 출원일자 2003년01월03일

심사청구일자 2008년01월02일

(65) 공개번호 10-2004-0062751

(43) 공개일자 2004년07월09일

(56) 선행기술조사문헌

KR100158650 B1*

KR100218584 B1*

KR1019970028768 A*

KR100234402 B1

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

김상일

경기도수원시팔달구영통동황골벽산아파트225동1601호

신경주

경기도용인시기흥읍보라리289-12

번지삼정선비마을102동504호

양영철

경기도군포시금정동주공아파트2단지220동1201호

(74) 대리인

팬코리아특허법인

전체 청구항 수 : 총 13 항

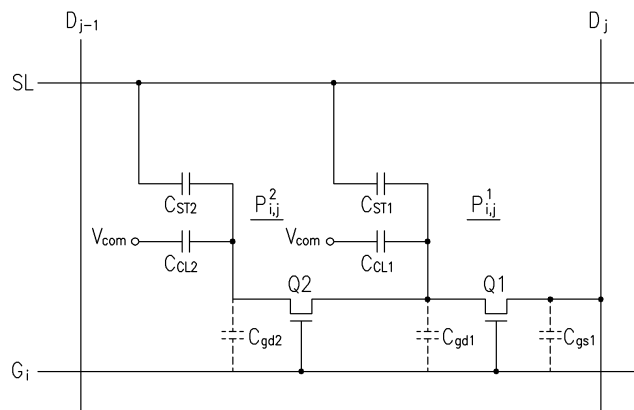
심사관 : 남기영

(54) 액정 표시 장치 및 박막 트랜지스터 표시판

(57) 요약

본 발명은 액정 표시 장치의 화질을 개선하여 시인성이 우수한 액정 표시 장치를 구현하기 위한 액정 표시 장치에 관한 것이다. 이 액정 표시 장치는 복수의 게이트선과 복수의 데이터선을 포함하고, 상기 복수의 게이트선과 복수의 데이터선에 각각 연결되어 있는 복수의 화소를 포함하고 있다. 상기 화소는 상기 각 게이트선에 연결되어 있는 제어 단자를 가지며 상기 각 데이터선에 직렬로 연결되어 있는 제1 및 제2 스위칭 소자와 제1 및 제2 액정 축전기를 포함하고 있다. 따라서 제1 및 제2 액정 축전기의 충전률이 서로 상이하므로 측면 시인성이 개선되어 양질의 화질을 제공한다.

대표도 - 도2a



특허청구의 범위

청구항 1

제1 신호선과 제2 신호선, 그리고

상기 제1 신호선과 상기 제2 신호선에 연결되어 있는 화소

를 포함하며,

상기 화소는 상기 제1 신호선에 연결되어 있는 제어 단자를 가지며 상기 제2 신호선에 직렬로 연결되어 있는 제1 및 제2 스위칭 소자와 제1 및 제2 액정 축전기를 포함하는

액정 표시 장치.

청구항 2

제1항에서,

상기 제1 액정 축전기는 상기 제1 스위칭 소자에 연결되어 있고, 상기 제2 액정 축전기는 상기 제2 스위칭 소자에 연결되어 있는 액정 표시 장치.

청구항 3

제1항에서,

상기 화소는 상기 제1 신호선과 상기 제2 신호선에 연결되어 있는 제3 스위칭 소자를 더 포함하는 액정 표시 장치.

청구항 4

제3항에서,

상기 제1 액정 축전기는 상기 제2 스위칭 소자에 연결되어 있고 상기 제2 액정 축전기는 상기 제3 축전기에 연결되어 있는 액정 표시 장치.

청구항 5

제1항 내지 제4항 중 어느 한 항에서,

상기 화소는 상기 제1 및 제2 액정 축전기와 각각 병렬로 연결되어 있는 제1 및 제2 유지 축전기를 더 포함하는 액정 표시 장치.

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

절연 기판,

상기 기판 위에 형성되어 있으며 서로 절연되어 있는 게이트선 및 데이터선,

상기 게이트선에 연결되어 있는 제1 게이트 전극, 상기 데이터선에 연결되어 있는 제1 소스 전극, 그리고 상기 제1 소스 전극과 분리되어 있는 제1 드레인 전극을 포함하는 제1 박막 트랜지스터,

상기 게이트선에 연결되어 있는 제2 게이트 전극, 상기 제1 드레인 전극에 연결되어 있는 제2 소스 전극, 그리고 상기 제2 소스 전극과 분리되어 있는 제2 드레인 전극을 포함하는 제2 박막 트랜지스터,

상기 제1 드레인 전극에 연결되어 있는 제1 화소 전극,

상기 제2 드레인 전극에 연결되어 있는 제2 화소 전극

을 포함하는 박막 트랜지스터 기판.

청구항 12

제11항에서,

상기 제1 및 제2 화소 전극은 각각 절개부를 가지고 있는 박막 트랜지스터 기판.

청구항 13

제12항에서,

상기 제1 및 제2 화소 전극 중 어느 하나는 다른 하나의 상부 및 하부에 각각 위치하는 제1 부분과 제2 부분을 포함하는 박막 트랜지스터 기판.

청구항 14

제13항에서,

상기 제1 부분 및 제2 부분과 상기 제2 화소 전극의 경계 및 상기 절개부는 상기 게이트선 및 상기 데이터선과 평행하지도 않고 수직을 이루지도 않는 박막 트랜지스터 기판.

청구항 15

제11항 내지 제14항 중 어느 한 항에서,

절연체를 매개로 상기 제1 및 제2 화소 전극과 중첩되어 있는 유지 전극을 더 포함하는 박막 트랜지스터 기판.

청구항 16

제15항에서,

상기 유지 전극은 상기 절개부 또는 상기 제1 화소 전극 및 상기 제2 화소 전극의 경계와 중첩되어 있는 박막 트랜지스터 기판.

청구항 17

제11항 내지 제14항 중 어느 한 항에서,

상기 게이트선은 절연체를 매개로 상기 제1 및 제2 화소 전극과 중첩되어 있는 박막 트랜지스터 기판.

청구항 18

절연 기판,

상기 기판 위에 형성되어 있으며 서로 절연되어 있는 게이트선 및 데이터선,

상기 게이트선에 연결되어 있는 제1 게이트 전극, 상기 데이터선에 연결되어 있는 제1 소스 전극, 그리고 상기 제1 소스 전극과 분리되어 있는 제1 드레인 전극을 포함하는 제1 박막 트랜지스터,

상기 게이트선에 연결되어 있는 제2 게이트 전극, 상기 데이터선에 연결되어 있는 제2 소스 전극, 그리고 상기

제2 소스 전극과 분리되어 있는 제2 드레인 전극을 포함하는 제2 박막 트랜지스터,
 상기 게이트선에 연결되어 있는 제3 게이트 전극, 상기 제2 드레인 전극에 연결되어 있는 제3 소스 전극, 그리고
 상기 제3 소스 전극과 분리되어 있는 제3 드레인 전극을 포함하는 제3 박막 트랜지스터,
 상기 제1 드레인 전극에 연결되어 있는 제1 화소 전극,
 상기 제3 드레인 전극에 연결되어 있는 제2 화소 전극
 을 포함하는 박막 트랜지스터 기판.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <13> 본 발명은 부화소를 가지는 액정 표시 장치 및 박막 트랜지스터 표시판에 관한 것이다.
- <14> 일반적인 액정 표시 장치(liquid crystal display, LCD)는 화소 전극 및 공통 전극이 구비된 두 표시판과 그 사이에 들어 있는 유전율 이방성(dielectric anisotropy)을 갖는 액정층을 포함한다. 두 전극에 전압을 인가하여 액정층에 전계를 생성하고, 이 전계의 세기를 조절하여 액정층을 통과하는 빛의 투과율을 조절함으로써 원하는 화상을 얻는다. 화소 전극은 행렬의 형태로 배열되어 있고 박막 트랜지스터(TFT) 등 스위칭 소자에 연결되어 한 행씩 차례로 데이터 전압을 인가 받는다. 공통 전극은 표시판의 전면에 걸쳐 형성되어 있으며 공통 전압을 인가 받는다.

발명이 이루고자 하는 기술적 과제

- <15> 이러한 액정 표시 장치 중에서 TN(twisted nematic) 방식의 액정 표시 장치는 여러 장점을 가지고 있지만, 시야각 문제 때문에 모니터나 TV 영역으로 그 범위를 넓히는 데 한계를 가지고 있다. 이 때문에 TN 액정 표시 장치의 시야각을 개선하기 위해 다중 도메인 방법이나 새로운 보상 필름의 개발 등 많은 연구를 통하여 일련의 성과들이 나타나고 있다.
- <16> 특히, 다중 도메인 액정 표시 장치의 경우, 정면의 감마(gamma) 곡선과 측면의 감마 곡선이 일치하지 않아 통상의 TN 액정 표시 장치에 비하여 좌우측면에 대해서 열등한 시인성을 나타낸다. 예를 들어, 도메인 분할 수단으로 절개부를 둔 PVA(patterned vertically aligned) 방식의 경우에는 측면으로 갈수록 전체적으로 화면이 밝게 보이고 색은 흰색 쪽으로 이동하는 경향이 있으며, 심한 경우에는 높은 계조 사이의 휘도 차이가 없어져서 화상이 뭉그러져 보이는 경우도 발생한다.
- <17> 본 발명이 이루고자 하는 기술적 과제는 액정 표시 장치의 화질을 개선하여 시인성이 우수한 액정 표시 장치를 구현하는 것이다.

발명의 구성 및 작용

- <18> 본 발명의 과제를 이루기 위한 본 발명에 따른 액정 표시 장치는
- <19> 제1 신호선과 제2 신호선, 그리고
- <20> 상기 제1 신호선과 상기 제2 신호선에 연결되어 있는 화소
- <21> 를 포함하며,
- <22> 상기 화소는 상기 제1 신호선에 연결되어 있는 제어 단자를 가지며 상기 제2 신호선에 직렬로 연결되어 있는 제1 및 제2 스위칭 소자와 제1 및 제2 액정 축전기를 포함한다.
- <23> 상기 제1 액정 축전기는 상기 제1 스위칭 소자에 연결되어 있고, 상기 제2 액정 축전기는 상기 제2 스위칭 소자에 연결되어 있는 것이 바람직하다.
- <24> 또한 상기 화소는 상기 제1 신호선과 상기 제2 신호선에 연결되어 있는 제3 스위칭 소자를 더 포함할 수 있다.

- <25> 또한 상기 제1 액정 축전기는 상기 제2 스위칭 소자에 연결되어 있고 상기 제2 액정 축전기는 상기 제3 축전기에 연결되어 있는 것이 바람직하다.
- <26> 게다가, 상기 화소는 상기 제1 및 제2 액정 축전기와 각각 병렬로 연결되어 있는 제1 및 제2 유지 축전기를 더 포함할 수 있다.
- <27> 본 발명에 따른 액정 표시 장치는
- <28> 제1 신호선과 제2 신호선, 그리고
- <29> 상기 제1 신호선과 상기 제2 신호선에 연결되어 있는 화소
- <30> 를 포함하며,
- <31> 상기 화소는 상기 제1 신호선과 상기 제2 신호선에 연결되어 있는 적어도 하나의 트랜지스터와 상기 트랜지스터에 연결되어 있는 액정 축전기를 각각 포함하는 제1 및 제2 부화소를 포함하며,
- <32> 상기 제1 부화소의 충전율과 상기 제2 부화소의 충전율은 서로 다르다.
- <33> 본 발명에서, 상기 제1 부화소와 상기 제2 부화소의 상기 트랜지스터의 애스펙트율은 서로 다른 것이 바람직하다.
- <34> 또한 상기 트랜지스터는 모스형 트랜지스터이며, 상기 제1 부화소와 상기 제2 부화소의 상기 트랜지스터의 게이트-드레인 간 기생 용량이 서로 다른 것이 바람직하다.
- <35> 상기 제1 및 제2 부화소는 각각 상기 액정 축전기와 병렬로 연결되어 있는 유지 축전기를 더 포함할 수 있고, 상기 제1 및 제2 부화소의 킥백 전압은 동일한 것이 바람직하다.
- <36> 본 발명에 따른 박막 트랜지스터 기판은
- <37> 절연 기판,
- <38> 상기 기판 위에 형성되어 있으며 서로 절연되어 있는 게이트선 및 데이터선,
- <39> 상기 게이트선에 연결되어 있는 제1 게이트 전극, 상기 데이터선에 연결되어 있는 제1 소스 전극, 그리고 상기 제1 소스 전극과 분리되어 있는 제1 드레인 전극을 포함하는 제1 박막 트랜지스터,
- <40> 상기 게이트선에 연결되어 있는 제2 게이트 전극, 상기 제1 드레인 전극에 연결되어 있는 제2 소스 전극, 그리고 상기 제2 소스 전극과 분리되어 있는 제2 드레인 전극을 포함하는 제2 박막 트랜지스터,
- <41> 상기 제1 드레인 전극에 연결되어 있는 제1 화소 전극,
- <42> 상기 제2 드레인 전극에 연결되어 있는 제2 화소 전극
- <43> 을 포함한다.
- <44> 여기서, 상기 제1 및 제2 화소 전극은 각각 절개부를 가지고 있는 것이 바람직하고, 상기 제1 및 제2 화소 전극 중 어느 하나는 다른 하나의 상부 및 하부에 각각 위치하는 제1 부분과 제2 부분을 포함하는 것이 바람직하다.
- <45> 이 때, 상기 제1 부분 및 제2 부분과 상기 제2 화소 전극의 경계 및 상기 절개부는 상기 게이트선 및 상기 데이터선과 평행하지도 않고 수직을 이루지도 않는 것이 좋다.
- <46> 또한, 본 발명에 따른 박막 트랜지스터 기판은 절연체를 매개로 상기 제1 및 제2 화소 전극과 중첩되어 있는 유지 전극을 더 포함할 수 있다.
- <47> 이 때, 상기 유지 전극은 상기 절개부 또는 상기 제1 화소 전극 및 상기 제2 화소 전극의 경계와 중첩되어 있는 것이 바람직하다.
- <48> 상기 게이트선은 절연체를 매개로 상기 제1 및 제2 화소 전극과 중첩되어 있을 수 있다.
- <49> 또한 본 발명에 따른 박막 트랜지스터 기판은
- <50> 절연 기판,
- <51> 상기 기판 위에 형성되어 있으며 서로 절연되어 있는 게이트선 및 데이터선,

- <52> 상기 게이트선에 연결되어 있는 제1 게이트 전극, 상기 데이터선에 연결되어 있는 제1 소스 전극, 그리고 상기 제1 소스 전극과 분리되어 있는 제1 드레인 전극을 포함하는 제1 박막 트랜지스터,
- <53> 상기 게이트선에 연결되어 있는 제2 게이트 전극, 상기 데이터선에 연결되어 있는 제2 소스 전극, 그리고 상기 제2 소스 전극과 분리되어 있는 제2 드레인 전극을 포함하는 제2 박막 트랜지스터,
- <54> 상기 게이트선에 연결되어 있는 제3 게이트 전극, 상기 제2 드레인 전극에 연결되어 있는 제3 소스 전극, 그리고 상기 제3 소스 전극과 분리되어 있는 제3 드레인 전극을 포함하는 제3 박막 트랜지스터,
- <55> 상기 제1 드레인 전극에 연결되어 있는 제1 화소 전극,
- <56> 상기 제3 드레인 전극에 연결되어 있는 제2 화소 전극
- <57> 을 포함한다.
- <58> 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다.
- <59> 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.
- <60> 먼저, 본 발명의 실시예에 따른 액정 표시 장치에 대하여 도면을 참고로 하여 상세하게 설명한다.
- <61> 도 1은 본 발명의 실시예에 따른 액정 표시 장치의 블록도이고, 도 2a 내지 도 2c는 본 발명의 실시예에 따른 액정 표시 장치에서 액정 표시판 조립체의 등가 회로도이다.
- <62> 도 1에 도시한 바와 같이, 본 발명에 따른 액정 표시 장치는 액정 표시판 조립체(liquid crystal panel assembly)(300) 및 이에 연결된 게이트 구동부(400)와 데이터 구동부(500), 데이터 구동부(500)에 연결된 계조 전압 생성부(800), 그리고 이들을 제어하는 신호 제어부(600)를 포함한다.
- <63> 도 1과 도 2a를 참고하면, 액정 표시판 조립체(300)는 등가 회로로 볼 때 복수의 표시 신호선(G_1-G_n , D_1-D_m , SL)과 이에 연결되어 있으며 대략 행렬의 형태로 배열되어 있는 복수의 화소(pixel)를 포함한다.
- <64> 표시 신호선(G_1-G_n , D_1-D_m)은 게이트 신호("주사 신호"라고도 함)를 전달하는 복수의 게이트선(G_1-G_n)과 데이터 신호를 전달하는 데이터 신호선 또는 데이터선(D_1-D_m)을 포함한다. 게이트선(G_1-G_n)은 대략 행 방향으로 뻗어 있으며 서로가 거의 평행하고 데이터선(D_1-D_m)은 대략 열 방향으로 뻗어 있으며 서로가 거의 평행하다.
- <65> 표시 신호선(G_1-G_n , D_1-D_m , SL)은 또한, 공통 전압 따위의 정해진 전압이 인가되는 복수의 유지 전극선(SL)을 포함한다. 각 유지 전극선(SL)은 게이트선(G_1-G_n) 사이에 위치하고 대략 행 방향으로 뻗어 있으며, 서로가 거의 평행하다. 이 유지 전극선(SL)은 생략될 수도 있다.
- <66> 하나의 화소는 하나의 게이트선(G_1-G_n)과 하나의 데이터선(D_1-D_m)으로 정의되는데, 예를 들어 (i, j)($i = 1, 2, \dots, n$, $j = 1, 2, \dots, m$) 화소라면 i 번째 게이트선(G_i)과 j 번째 데이터선(D_j)에 연결되어 있는 화소를 의미한다.
- <67> 도 2a 내지 도 2c에 도시한 바와 같이, 각 화소(P_{ij})는 두 개의 부화소(P_{ij}^1 , P_{ij}^2)로 이루어지고, 각 부화소(P_{ij}^1 , P_{ij}^2)는 적어도 하나의 스위칭 소자(Q_1 , Q_2 , Q_3)와 이에 연결된 액정 축전기(liquid crystal capacitor)(C_{LC1} , C_{LC2}) 및 유지 축전기(storage capacitor)(C_{ST1} , C_{ST2})를 포함한다. 도시한 바와 같이, 스위칭 소자(Q_1 , Q_2 , Q_3)는 제어 단자, 입력 단자 및 출력 단자를 구비하고 있는 삼단자 소자이다. 유지 축전기(C_{ST1} , C_{ST2})는 필요에 따라 생략할 수 있으며, 그 경우 유지 전극선(SL) 또한 필요 없다.
- <68> 각 액정 축전기(C_{LC1} , C_{LC2})는 스위칭 소자(Q_1 , Q_2 , Q_3)와 공통 전압(V_{com}) 사이에, 유지 축전기(C_{ST1} , C_{ST2})는 스위칭 소자(Q_1 , Q_2 , Q_3)와 유지 전극선(SL) 사이에 연결되어 있다. 유지 전극선(SL)이 없는 경우, 유지 축전기(C_{ST1} ,

C_{ST2})는 인접한 게이트선(G₁-G_n)에 연결될 수 있다.

- <69> 스위칭 소자(Q₁, Q₂, Q₃)의 제어 단자는 해당 게이트선(G₁-G_n)에 공통으로 연결되어 있고 출력 단자는 해당 액정 축전기(C_{LC1}, C_{LC2}) 및 유지 축전기(C_{ST1}, C_{ST2})에 연결되어 있다.
- <70> 도 2a의 경우 각 부화소(P_{ij}^1 , P_{ij}^2)는 하나의 스위칭 소자(Q₁, Q₂)를 포함한다. 부화소(P_{ij}^1)의 스위칭 소자(Q₁)와 부화소(P_{ij}^2)의 스위칭 소자(Q₂)는 데이터선(D₁-D_m)에 직렬로 연결되어 있다. 즉, 스위칭 소자(Q₁)의 입력 단자는 해당 데이터선(D₁-D_m)에 연결되어 있고, 스위칭 소자(Q₂)의 입력 단자는 스위칭 소자(Q₁)의 출력 단자에 연결되어 있다. 따라서 두 개의 부화소(P_{ij}^1 , P_{ij}^2) 중 하나의 부화소(P_{ij}^1)는 해당 데이터선(D_j)에 직접 연결되어 있고 다른 부화소(P_{ij}^2)는 부화소(P_{ij}^1)의 스위칭 소자(Q₁)를 통하여 데이터선(D_j)으로부터의 데이터 신호를 공급받는다.
- <71> 도 2b의 경우 하나의 부화소(P_{ij}^1)는 하나의 스위칭 소자(Q₁)를 포함하지만, 다른 부화소(P_{ij}^2)는 두 개의 스위칭 소자(Q₂, Q₃)를 포함한다. 부화소(P_{ij}^1)의 스위칭 소자(Q₁)의 입력 단자는 해당 데이터선(D₁-D_m)에 연결되어 있고, 부화소(P_{ij}^2)의 두 스위칭 소자(Q₂, Q₃)는 데이터선(D₁-D_m)에 직렬로 연결되어 있다. 따라서 두 개의 부화소(P_{ij}^1 , P_{ij}^2) 중 하나의 부화소(P_{ij}^1)는 하나의 스위칭 소자(Q₁)를 통하여 해당 데이터선(D_j)에 연결되어 있지만, 다른 부화소(P_{ij}^2)는 두 개의 스위칭 소자(Q₂, Q₃)를 통하여 데이터선(D_j)으로부터의 데이터 신호를 공급받는다.
- <72> 도 2c의 경우 각 부화소(P_{ij}^1 , P_{ij}^2)는 하나의 스위칭 소자(Q₁, Q₂)를 포함한다. 각 스위칭 소자(Q₁, Q₂)의 입력 단자는 해당 데이터선(D₁-D_m)에 연결되어 있다.
- <73> 그러면 도면을 참고로 하여 본 발명의 실시예에 따른 액정 표시 장치의 액정 표시판 조립체(300)의 상세 구조에 대하여 설명한다.
- <74> 도 3은 본 발명의 한 실시예에 따른 액정 표시판 조립체의 배치도이고, 도 4는 도 3에 도시한 액정 표시판 조립체를 IVa-IVa'선을 따라 잘라 도시한 단면도이다. 도 5a는 도 3에 도시한 액정 표시판 조립체를 Va-Va'선을 따라 잘라 도시한 단면도이고, 도 5b는 도 3에 도시한 액정 표시판 조립체를 Vb-Vb'선을 따라 잘라 도시한 단면도이다.
- <75> 도 3에 도시한 것처럼, 본 실시예에 따른 액정 표시판 조립체(300)는 서로 마주 보는 하부 표시판(100)과 상부 표시판(200) 및 둘 사이의 액정층(3)을 포함한다.
- <76> 먼저 하부 표시판(100), 즉 박막 트랜지스터 표시판에 대하여 설명한다.
- <77> 유리 등의 투명한 절연 기판(110) 위에 주로 가로 방향으로 뻗은 복수의 게이트선(121)과 복수의 유지 전극선(131)이 형성되어 있다.
- <78> 각 게이트선(121)은 주로 행 방향으로 뻗어 있으며, 그 복수 부분은 아래위로 확장되어 박막 트랜지스터의 게이트 전극(124a, 124b)을 이룬다.
- <79> 유지 전극선(131)은 공통 전압(V_{com}) 따위의 주어진 전압이 인가되며, 그 가지인 복수 별의 유지 전극(133-136)과 연결부(137)를 포함한다. 각 별의 유지 전극(133-136)은 한 쌍의 열 방향 유지 전극(133, 134), 하나의 행 방향 유지 전극(135) 및 복수의 사선 방향 유지 전극(136)을 포함한다. 열 방향 유지 전극(133, 134)은 유지 전극선(131)으로부터 열 방향으로 뻗으며 서로 마주 보고 있다. 행 방향 유지 전극(135)은 열 방향 유지 전극(133)의 한 끝에서 가로 방향으로 뻗어 있다. 사선 방향 유지 전극(136)은 열 방향 유지 전극(133)으로부터 사선 방향으로 뻗어나오며, 일부는 유지 전극선(131) 본체 또는 행 방향 유지 전극(135)과도 연결되어 있다. 연결부(137)는 이웃하는 열 방향 유지 전극(133, 134)을 연결한다. 열 방향 유지 전극(133) 및 행 방향 유지

전극(135)의 분기점은 다른 부분보다 폭이 크다.

- <80> 게이트선(121) 및 유지 전극선(131)은 Al, Al 합금, Ag, Ag 합금, Mo, Mo 합금, Cr, Ti, Ta 등의 금속 또는 도 전체로 만들어진다.
- <81> 도 5a 및 5b에 도시한 것처럼, 본 실시예의 게이트선(121) 및 유지 전극선(131)은 단일층으로 이루어지지만, 물 리 화학적 특성이 우수한 Cr, Mo, Ti, Ta 등의 금속층과 비저항이 작은 Al 계열 또는 Ag 계열의 금속층을 포함 하는 이중층으로 이루어질 수 있다. 게이트선(121)과 유지 전극선(131)의 측면은 경사져 있으며 수평면에 대한 경사각은 30° ~80° 인 것이 바람직하다.
- <82> 게이트선(121)과 유지 전극선(131) 위에는 질화규소(SiN_x) 따위로 만들어진 게이트 절연막(140)이 형성되어 있 다.
- <83> 게이트 절연막(140) 위에는 수소화 비정질 규소 따위로 만들어진 복수 벌의 반도체(151, 152)가 형성되어 있다. 각 벌의 반도체(151, 152)는 주로 열 방향으로 뻗은 하나의 선형 반도체(151)와 복수의 섬형 반도체(152)를 포 함한다. 선형 반도체(151)로부터 뻗어 나온 각 가지와 각 섬형 반도체(152)는 쌍을 이루어 해당 게이트 전극 (124a, 124b)과 중첩하여 박막 트랜지스터의 채널부를 이룬다.
- <84> 반도체(151, 152)의 위에는 실리사이드 또는 인 등의 N형 불순물이 고농도로 도핑된 비정질 규소로 이루어진 복 수의 선형 및 섬형 저항성 접촉 부재(161, 163a, 163b, 165a, 165b)가 형성되어 있다.
- <85> 반도체(151, 152)와 저항성 접촉 부재(161, 163a, 163b, 165a, 165b)의 측면은 테이퍼 구조를 가지며 경사각은 30° ~80° 범위이다.
- <86> 접촉 부재(161, 163a, 163b, 165a, 165b) 위에는 복수의 데이터선(171) 및 복수 쌍의 박막 트랜지스터용 드레인 전극(175a, 175b)이 형성되어 있다.
- <87> 각 데이터선(171)은 주로 선형 반도체(151)를 따라 열 방향으로 뻗어 있고 그 가지들이 저항성 접촉 부재(163a) 위로 뻗어 나와 복수의 박막 트랜지스터용 소스 전극(173a)을 이룬다. 드레인 전극(175a)은 섬형 저항성 접촉 부재(163b) 위에 위치함과 동시에 다른 섬형 저항성 접촉 부재(165a) 위에도 위치하여 다른 트랜지스터의 소스 전극(173b)의 역할을 겸하며, 위로 길게 뻗어 있다. 드레인 전극(175b)은 행 방향 유지 전극(135)을 가로질러 뻗어 있다.
- <88> 데이터선(171)과 드레인 전극(175a, 175b)도 게이트선(121)과 마찬가지로 Cr, Al 따위의 물질로 만들어지며, 단 일층 또는 다중층으로 이루어질 수 있고, 그 측면은 30° ~80° 의 경사각을 가질 수 있다.
- <89> 여기에서, 저항성 접촉 부재(161, 163a, 163b, 165a, 165b)는 반도체(151, 152)와 데이터선(171) 및 드레인 전 극(175a, 175b)이 중첩하는 부분에만 배치되어 이들 사이의 접촉 저항을 낮추어 준다.
- <90> 본 발명의 다른 실시예에 따르면, 데이터선(171) 및 드레인 전극(175a, 175b)은 저항성 접촉 부재(161, 163a, 163b, 165a, 165b)와 실질적으로 동일한 평면 모양을 가질 수 있으며 반도체(151, 152)는 박막 트랜지스터의 채 널부를 제외하면 이들과 실질적으로 동일한 평면 모양을 가질 수 있다.
- <91> 본 발명의 또 다른 실시예에 따르면 선형 반도체(151)는 채널부가 포함된 가지에만 섬형으로 존재하고 데이터선 (171)을 따라 뻗은 선형 부분은 생략된다. 이 경우 반도체(151)는 게이트선(121)과 데이터선(171)의 효과적인 전기적 절연을 위하여 이들과 교차하는 부분에 넓게 존재할 수도 있다.
- <92> 데이터선(171) 및 드레인 전극(175a, 175b)과 반도체(151, 152)의 채널부 위에는 질화규소 등 무기 절연물이나 수지 등의 유기 절연물로 이루어진 보호막(180)이 형성되어 있다. 보호막(180)은 드레인 전극(175a, 175b)의 일부를 각각 노출하는 복수의 접촉 구멍(183a, 183b)과 유지 전극(133, 136)의 분기점을 드러내는 접촉 구멍 (184, 185)을 가지고 있다. 보호막(180)은 또한 데이터선(171)의 일부를 노출하는 접촉 구멍(182)을 가지고 있 으며, 게이트 절연막(140)과 함께 게이트선(121)의 일부를 노출하는 접촉 구멍(181)을 가지고 있다.
- <93> 보호막(180)의 위에는 복수 쌍의 화소 전극(190a, 190b), 복수의 게이트 접촉 보조 부재(91) 및 복수의 데이터 접촉 보조 부재(92), 그리고 복수의 연결 부재(95)가 형성되어 있다. 화소 전극(190a, 190b), 접촉 보조 부재 (91, 92) 및 연결 부재(95)는 ITO(indium tin oxide) 또는 IZO(indium zinc oxide) 등의 투명한 도전 물질 또 는 반사성 도전 물질로 이루어진다.
- <94> 각 쌍의 화소 전극(190a, 190b)은 해당하는 접촉 구멍(183a, 183b)을 통하여 해당 드레인 전극(175a, 175b)과

각각 연결되어 있다. 각 쌍의 화소 전극(190a, 190b) 중 하나(190a)는 중앙 부근에 위치하며(이하 "중앙 화소 전극"이라 함) 다른 하나(190b)는 중앙 화소 전극(190a)의 아래위에 위치한다(이하 "상하 화소 전극"이라 함).

<95> 중앙 화소 전극(190a)은 등변사다리꼴이며 윗변 및 밑변의 중앙에서 각각 행 방향으로 파 들어간 행 방향 절개부(81, 82)와 빗변에 거의 평행하며 행 방향 절개부(81, 82)에 대하여 대칭으로 배치된 사선 방향 절개부(83)를 포함한다. 사선 방향 절개부(83)는 행 방향 절개부(81)와 연결되어 있다.

<96> 상하 화소 전극(190b)은 중앙 화소 전극(190a)에 대하여 상하 대칭을 이루고, 중앙 화소 전극(190a)과 함께 거의 직사각형을 이룬다. 상하 화소 전극(190b)은 중앙 화소 전극(190a)과 일정한 간격(85)을 두고 있어 중앙 화소 전극(190a)의 윗변 및 빗변과 일정한 평행한 가장자리를 가지고 있다. 상하 화소 전극(190b)은 중앙 화소 전극(190a)의 위쪽에 위치한 상반부(190b1)와 아래쪽에 위치한 하반부(190b2) 및 이들을 연결하는 세로 방향의 가늘고 긴 연결부(196)를 포함한다. 상반부(190b1) 및 하반부(190b2)는 각각 중앙 화소 전극(190a)의 빗변과 평행한 절개부를 하나씩 가지고 있으며, 이들은 대칭으로 배치되어 있다.

<97> 화소 전극(190a, 190b)은 유지 전극선(131)과 중첩되어 유지 축전기를 이룬다.

<98> 게이트 접촉 보조 부재(91) 및 데이터 접촉 보조 부재(92)는 각각 접촉 구멍(181, 182)을 통하여 각각 게이트선(121) 및 데이터선(171)과 연결되어 있다. 접촉 보조 부재(91, 92)는 게이트선(121) 및 데이터선(171)의 노출 부분을 보호하고 외부 장치와의 물리적, 전기적 접촉성을 높이기 위한 것으로서 필수적인 것은 아니다.

<99> 연결 부재(95)는 접촉 구멍(184, 185)을 통하여 게이트선(121)을 가로질러 상하의 유지 전극선(131)을 연결한다.

<100> 접촉 보조 부재(91, 92) 부근을 제외한 박막 트랜지스터 표시판(100) 전면에는 배향막(11)이 형성되어 있다.

<101> 다음, 도 3 및 도 4를 참조하여, 색필터 표시판에 대하여 설명한다.

<102> 유리 등의 투명한 절연 기관(210) 위에 블랙 매트릭스(220)가 형성되어 있고, 블랙 매트릭스(220)는 화소 전극(190a, 190b)에 대응하는 영역에 위치한 개구부를 가지며, 이 개구부에는 복수의 적, 녹, 청색의 색필터(230)가 형성되어 있다. 색필터(230) 위에는 ITO, IZO 등의 투명한 도전 물질로 이루어진 공통 전극(270)이 표시판(200) 전면(全面)에 걸쳐 형성되어 있다. 공통 전극(270)에는 공통 전압이 인가된다.

<103> 공통 전극(270)은 복수 별의 절개부를 포함하며, 각 별에는 복수의 중앙 절개부(271), 복수의 사선 방향 절개부(272) 및 복수의 가장자리 절개부(273)가 포함된다. 각 별에서 중앙 절개부(271)는 대체로 행 방향으로 뻗어 있으며 화소 전극(190a, 190b)의 행 방향 절개부(81, 82) 사이에 위치한다. 사선 방향 절개부(272)는 화소 전극(190a, 190b)의 사선 방향 절개부(83, 84) 및 두 화소 전극(190a, 190b) 사이의 간격(85) 사이에 위치하며, 이들 사이의 거리는 거의 동일하다. 가장자리 절개부(273)는 게이트선(121) 또는 데이터선(171)과 평행하며, 공통 전극(270)의 사선 방향 절개부(272)와 둔각을 이루며 만나고 화소 전극(190a, 190b)의 사선 방향 절개부(84)와는 예각을 이루며 만난다. 가장자리 절개부(273)는 유지 전극선(131) 본체, 행 방향 및 열 방향 유지 전극(133-135)과 중첩되어 가려지고, 사선 방향 절개부(83, 84) 및 화소 전극(190a, 190b) 사이의 간격(85) 또한 사선 방향 유지 전극(136)과 중첩되어 가려져 빛의 누설이 방지된다. 그러나 공통 전극(270)의 사선 방향 절개부(272) 중 일부는 유지 전극으로 가려지지 않을 수도 있다.

<104> 공통 전극(270) 전면에는 배향막(21)이 형성되어 있다.

<105> 두 기관(110, 210)의 바깥쪽에는 각각 편광판(12, 22)이 부착되어 있다. 이 때, 이들 편광판(12, 22)의 편광축은 게이트선(121) 또는 데이터선(171)과 실질적으로 평행하고, 서로 직교하도록 배치된다.

<106> 액정층(3)의 액정 분자들은 수평 배향(homogeneous alignment) 또는 수직 배향(homeotropic alignment 또는 vertical alignment)될 수 있으나 수직 배향되는 것이 시야각의 측면에서 바람직하다.

<107> 도 3 내지 도 5b에 도시한 절개부(81-84, 271-273) 중 적어도 하나는 보호막(180) 위에 별개로 형성되어 있는 돌기로 대체될 수 있다.

<108> 도 3 내지 도 5b에 도시한 액정 표시판 조립체(300)는 도 2a에 도시한 액정 표시판 조립체의 구체적인 실시예로서, 도 2a의 액정 축전기(C_{LC})는 하부 표시판(100)의 화소 전극(190)과 상부 표시판(200)의 공통 전극(270)을 두 단자로 하며 두 전극(190, 270) 사이의 액정층(3)은 유전체로서 기능한다. 도 2a는 스위칭 소자(Q_1, Q_2)의 예로 MOS(MOS) 트랜지스터를 보여주고 있으며, 이 MOS 트랜지스터는 앞서 설명한 바와 같이 게이트 전극

(124a, 124b), 소스 전극(173a, 173b) 및 드레인 전극(175a, 175b)의 세 단자로 하며 비정질 규소층을 채널층으로 하는 박막 트랜지스터로 구현된다.

- <109> 도 3 내지 도 5b에서와는 달리 공통 전극(270)이 하부 표시판(100)에 구비되는 경우도 있으며 이때에는 두 전극(190, 270)이 모두 선형 또는 막대형으로 만들어진다.
- <110> 이러한 액정 표시 장치에서 액정 분자들은 화소 전극(190)과 공통 전극(270)이 생성하는 전기장의 변화에 따라 그 배열을 바꾸고 이에 따라 액정층(3)을 통과하는 빛의 편광이 변화한다. 이러한 편광의 변화는 표시판(100, 200)에 부착된 편광자(도시하지 않음)에 의하여 빛의 투과율 변화로 나타난다.
- <111> 그러면, 본 발명의 한 실시예에 따른 도 3 내지 도 5b에 도시한 액정 표시 장치용 박막 트랜지스터 표시판의 제조 방법에 대하여 도 6 내지 도 17b 및 도 3 내지 도 5b를 참고로 상세하게 설명한다.
- <112> 도 6, 도 9, 도 12 및 도 15는 본 발명의 한 실시예에 따른 박막 트랜지스터 표시판의 제조 방법에서의 중간 단계에서의 박막 트랜지스터 표시판을 도시한 배치도이다. 도 7, 도 8a 및 도 8b는 도 6에 도시한 박막 트랜지스터 표시판을 각각 VII-VII' 선, VIIIa-VIIIIa' 선 및 VIIIb-VIIIIb' 선을 따라 잘라 도시한 단면도이고, 도 10, 도 11a 및 도 11b는 도 9에 도시한 박막 트랜지스터 표시판을 각각 X-X' 선, XIa-XIa' 선 및 XIb-XIb' 선을 따라 잘라 도시한 단면도이고, 도 13, 도 14a 및 도 14b는 도 13에 도시한 박막 트랜지스터 표시판을 각각 XIII-XIII' 선, XIVa-XIVa' 선 및 XIVb-XIVb' 선을 따라 잘라 도시한 단면도이며, 도 16, 도 17a 및 도 17b는 도 15에 도시한 박막 트랜지스터 표시판을 각각 XVI-XVI' 선, XVIIa-XVIIa' 선 및 XVIIb-XVIIb' 선을 따라 잘라 도시한 단면도이다.
- <113> 먼저, 도 6 내지 도 8b에 도시한 바와 같이, 절연 기판(110) 위에 사진 공정으로 복수의 게이트선(121)과 복수의 유지 전극선(131)을 형성한다.
- <114> 다음, 게이트 절연막(140), 비정질 규소층 및 도핑된 비정질 규소층을 차례로 적층하고 위의 두 층, 즉, 도핑된 비정질 규소층 및 비정질 규소층을 하나의 사진 공정으로 차례로 패터닝하여, 도 9 내지 도 11b에 도시한 것처럼, 복수의 선형 및 섬형 도핑된 비정질 규소층과 복수의 선형 및 섬형 반도체(151, 152)를 형성한다.
- <115> 뒤이어, 도 12 내지 도 14b에 도시한 것처럼, 사진 공정으로 복수의 데이터선(171) 및 복수의 드레인 전극(175a, 175b)을 형성한 후, 드러난 도핑된 비정질 규소층 부분을 제거하여 복수의 선형 및 섬형 저항성 접촉 부재(161, 163a, 163b, 165a, 165b)를 형성한다.
- <116> 보호막(180)을 적층한 후, 하나의 사진 공정으로 보호막(180) 및 게이트 절연막(140)을 패터닝하여, 도 15 내지 도 17b에 도시한 것처럼, 복수의 접촉 구멍(181, 182, 183a, 183b, 184, 185)을 형성한다.
- <117> 마지막으로, 도 3 내지 도 5b에 도시한 것처럼, 보호막(180)의 위에 사진 공정으로 복수의 화소 전극(190a, 190b), 복수의 게이트 접촉 보조 부재(91) 및 복수의 데이터 접촉 보조 부재(92), 그리고 복수의 연결 부재(95)를 형성한 후, 박막 트랜지스터 표시판(100) 전면에 배향막(11)을 형성한다.
- <118> 본 발명의 다른 실시예에 따르면, 도 9 내지 도 11b의 단계와 도 12 내지 도 14b의 단계를 하나의 사진 식각 공정으로 형성할 수 있다. 이때에는 위치에 따라 두께가 다른 감광막 패턴을 이용하는데, 예를 들어 데이터선(171) 및 드레인 전극(175a, 175b)이 형성될 부분에서는 가장 두껍고, 게이트 절연막(140)이 드러날 부분에서는 가장 얇거나 두께가 없으며, 반도체(151, 152)가 형성될 부분에서는 중간 두께를 가지는 감광막 패턴이 사용될 수 있다. 이러한 감광막 패턴을 형성하기 위한 광마스크는 빛이 대부분 차단되는 차단 영역, 빛이 대부분 투과하는 투과 영역, 그리고 빛이 일부만 투과하는 반투과 영역을 갖추고 있는 것이 바람직하다. 반투과 영역은 복수의 슬릿 패턴 또는 격자 패턴을 갖추고 있거나 반투과막을 포함한다.
- <119> 이와 같이 형성한 데이터선(171) 및 드레인 전극(175a, 175b)은 저항성 접촉 부재(161, 163a, 163b, 165a, 165b)와 실질적으로 동일한 평면 모양을 가지며 반도체(151, 152)는 박막 트랜지스터의 채널부를 제외하면 이들과 실질적으로 동일한 평면 모양을 가진다.
- <120> 도 18은 본 발명의 다른 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 배치도로서, 도 2b의 구체적인 실시예이지만 전단 게이트 방식이라는 점에서 도 2b와는 다르다.
- <121> 유리 등의 투명한 절연 기판(110) 위에 주로 가로 방향으로 뻗은 복수의 게이트선(121)이 형성되어 있다.
- <122> 각 게이트선(121)은 주로 행 방향으로 뻗어 있으며, 그 복수 부분은 아래위로 확장되어 박막 트랜지스터의 게이트 전극(124a, 124b1, 124b2)을 이룬다. 각 게이트선(121)은 또한 그 가지인 복수 별의 가지 전극(122, 123,

125, 126)과 연결부(127)를 포함한다. 각 벌의 가지 전극(122, 123, 125, 126)은 한 쌍의 열 방향 가지 전극(122, 123)과 두 개의 행 방향 가지 전극(135, 136)을 포함한다. 열 방향 가지 전극(122, 123)은 게이트선(121)으로부터 열 방향으로 뻗으며 서로 마주 보고 있다. 행 방향 가지 전극(125)은 열 방향 가지 전극(122)의 한 끝에서 가로 방향으로 뻗어 있으며, 행 방향 가지 전극(126)은 두 열 방향 가지 전극(122, 123)의 중앙을 가로 방향으로 연결한다. 연결부(127)는 이웃하는 열 방향 가지 전극(122, 123)을 연결한다.

- <123> 게이트선(121) 위에는 게이트 절연막(140)이 형성되어 있다.
- <124> 게이트 절연막(140) 위에는 복수 벌의 반도체(151, 152)가 형성되어 있으며, 각 벌의 반도체(151, 152)는 주로 열 방향으로 뻗은 하나의 선형 반도체(151)와 복수의 섬형 반도체(152)를 포함한다. 선형 반도체(151)로부터 뻗어 나온 각 쌍의 가지와 각 섬형 반도체(152)는 쌍을 이루어 해당 게이트 전극(124a, 124b1, 124b2)과 중첩하여 박막 트랜지스터의 채널부를 이룬다.
- <125> 반도체(151, 152)의 위에는 복수의 선형 및 섬형 저항성 접촉 부재(도시하지 않음)가 형성되어 있다.
- <126> 접촉 부재 위에는 복수의 데이터선(171) 및 복수 벌의 박막 트랜지스터용 드레인 전극(175a, 175b1, 175b2)이 형성되어 있다.
- <127> 각 데이터선(171)은 주로 선형 반도체(151)를 따라 열 방향으로 뻗어 있고 그 가지들이 뻗어 나와 복수의 박막 트랜지스터용 소스 전극(173a)을 이룬다. 드레인 전극(175a)은 세로로 길게 뻗어 있고, 드레인 전극(175b1)은 선형 반도체(151) 위에 위치함과 동시에 섬형 반도체(152) 위에도 위치하여 다른 트랜지스터의 소스 전극의 역할을 겸한다. 드레인 전극(175b2)은 행 방향 가지 전극(125)을 가로질러 뻗어 있다.
- <128> 여기에서, 저항성 접촉 부재(161, 163a, 163b, 165a, 165b)는 반도체(151, 152)와 데이터선(171) 및 드레인 전극(175a, 175b)이 중첩하는 부분에만 배치되어 이들 사이의 접촉 저항을 낮추어 준다.
- <129> 데이터선(171) 및 드레인 전극(175a, 175b1, 175b2)과 반도체(151, 152)의 채널부 위에는 보호막(180)이 형성되어 있다. 보호막(180)은 드레인 전극(175a, 175b2)의 일부를 각각 노출하는 복수의 접촉 구멍(183a, 183b)을 가지고 있다. 보호막(180)은 또한 데이터선(171)의 일부를 노출하는 접촉 구멍(182)을 가지고 있으며, 게이트 절연막(140)과 함께 게이트선(121)의 일부를 노출하는 접촉 구멍(181)을 가지고 있다.
- <130> 보호막(180)의 위에는 복수 쌍의 화소 전극(190a, 190b), 복수의 게이트 접촉 보조 부재(91) 및 복수의 데이터 접촉 보조 부재(92)가 형성되어 있다.
- <131> 각 쌍의 화소 전극(190a, 190b)은 열 방향으로 차례로 배열되어 있으며, 해당하는 접촉 구멍(183a, 183b)을 통하여 해당 드레인 전극(175a, 175b2)과 각각 연결되어 있다.
- <132> 각 화소 전극(190a, 190b)은 전단의 게이트선(121) 및 가지 전극(122, 123, 125, 126)과 중첩하여 유지 축전기를 이루며 가지 전극(126)은 두 화소 전극(190a, 190b) 사이에 위치하여 두 화소 전극(190a, 190b) 사이의 빛샘을 가려준다.
- <133> 게이트 접촉 보조 부재(91) 및 데이터 접촉 보조 부재(92)는 각각 접촉 구멍(181, 182)을 통하여 각각 게이트선(121) 및 데이터선(171)과 연결되어 있다.
- <134> 본 발명의 다른 실시예에 따르면, 도 18에 도시한 박막 트랜지스터 표시판에서 화소 전극(190a, 190b)이 도 3에 도시한 것과 같은 형태를 가진다.
- <135> 본 발명의 다른 실시예에 따르면, 도 18에 도시한 박막 트랜지스터 표시판에서 도 3에 도시한 바와 같은 유지 전극선(131)을 가지며 게이트선(121)의 형태 또한 도 3에 도시한 바와 같을 수 있다.
- <136> 그러면 다시 도 1로 돌아가서 본 발명의 실시예에 따른 액정 표시 장치에 대하여 계속 설명한다.
- <137> 게조 전압 생성부(800)는 액정 표시 장치의 휘도와 관련된 복수의 게조 전압(gray voltage)을 생성한다.
- <138> 게이트 구동부(400)는 스캔 구동부(scan driver)라고도 하며, 액정 표시판 조립체(300)의 게이트선(G_1 - G_n)에 연결되어 구동 전압 생성부(700)로부터의 게이트 온 전압(V_{on})과 게이트 오프 전압(V_{off})의 조합으로 이루어진 게이트 신호를 게이트선(G_1 - G_n)에 인가한다.
- <139> 데이터 구동부(500)는 소스 구동부(source driver)라고도 하며, 조립체(300)의 데이터선(D_1 - D_m)에 연결되어 게

조 전압 생성부(800)로부터의 게조 전압을 선택하여 데이터 신호로서 데이터선(D₁-D_m)에 인가한다.

- <140> 신호 제어부(600)는 게이트 구동부(400), 데이터 구동부(500) 및 구동 전압 생성부(700) 등의 동작을 제어하는 제어 신호를 생성하여, 각 게이트 구동부(400), 데이터 구동부(500) 및 구동 전압 생성부(700)에 공급한다.
- <141> 그러면 이러한 액정 표시 장치의 표시 동작에 대하여 좀더 상세하게 설명한다.
- <142> 신호 제어부(600)는 외부의 그래픽 제어기(도시하지 않음)로부터 RGB 영상 신호(R, G, B) 및 이의 표시를 제어하는 입력 제어 신호, 예를 들면 수직 동기 신호(V_{sync})와 수평 동기 신호(H_{sync}), 메인 클록(MCLK), 데이터 인에이블 신호(DE) 등을 제공받는다. 신호 제어부(600)는 입력 제어 신호를 기초로 게이트 제어 신호(CONT1) 및 데이터 제어 신호(CONT2) 등을 생성하고 영상 신호(R, G, B)를 액정 표시판 조립체(300)의 동작 조건에 맞게 적절히 처리한 후, 게이트 제어 신호(CONT1)를 게이트 구동부(400)로 내보내고 데이터 제어 신호(CONT2)와 처리한 영상 신호(R', G', B')는 데이터 구동부(500)로 내보낸다.
- <143> 게이트 제어 신호(CONT1)는 게이트 온 펄스(게이트 신호의 하이 구간)의 출력 시작을 지시하는 수직 동기 시작 신호(STV), 게이트 온 펄스의 출력 시기를 제어하는 게이트 클록 신호(CPV) 및 게이트 온 펄스의 폭을 한정하는 출력 인에이블 신호(OE) 등을 포함한다.
- <144> 데이터 제어 신호(CONT2)는 영상 데이터(R', G', B')의 입력 시작을 지시하는 수평 동기 시작 신호(STH)와 데이터선(D₁-D_m)에 해당 데이터 전압을 인가하라는 로드 신호(LOAD), 공통 전압(V_{com})에 대한 데이터 전압의 극성(이하 "공통 전압에 대한 데이터 전압의 극성"을 줄여 "데이터 전압의 극성"이라 함)을 반전시키는 반전 신호(RVS) 및 데이터 클록 신호(HCLK) 등을 포함한다.
- <145> 게조 전압 생성부(800)는 액정 표시 장치의 휘도와 관련된 복수의 게조 전압을 생성하여 데이터 구동부(500)에 인가한다.
- <146> 데이터 구동부(500)는 신호 제어부(600)로부터의 데이터 제어 신호(CONT2)에 따라 한 행의 화소에 대응하는 영상 데이터(R', G', B')를 차례로 입력받고, 게조 전압 생성부(800)로부터의 게조 전압 중 각 영상 데이터(R', G', B')에 대응하는 게조 전압을 선택함으로써, 영상 데이터(R', G', B')를 해당 데이터 전압으로 변환한다.
- <147> 게이트 구동부(400)는 신호 제어부(600)로부터의 게이트 제어 신호(CONT1)에 따라 게이트 온 전압(V_{on})을 게이트선(G₁-G_n)에 인가하여 이 게이트선(G₁-G_n)에 연결된 스위칭 소자(Q₁, Q₂)를 턴온시킨다.
- <148> 하나의 게이트선(G₁-G_n)에 게이트 온 전압(V_{on})이 인가되어 이에 연결된 한 행의 스위칭 소자(Q₁, Q₂)가 턴온되어 있는 동안[이 기간을 "1H" 또는 "1 수평 주기(horizontal period)"이라고 하며 수평 동기 신호(Hsync), 데이터 인에이블 신호(DE), 게이트 클록(CPV)의 한 주기와 동일함], 데이터 구동부(400)는 각 데이터 전압을 해당 데이터선(D₁-D_m)에 공급한다. 데이터선(D₁-D_m)에 공급된 데이터 전압은 턴온된 스위칭 소자(Q₁, Q₂)를 통해 해당 화소의 각 부화소의 액정 축전기(C_{LC1}, C_{LC2})에 인가된다.
- <149> 이러한 방식으로, 한 프레임(frame) 동안 모든 게이트선(G₁-G_n)에 대하여 차례로 게이트 온 전압(V_{on})을 인가하여 모든 화소에 데이터 전압을 인가한다. 한 프레임이 끝나면 다음 프레임이 시작되고 각 화소에 인가되는 데이터 전압의 극성이 이전 프레임에서의 극성과 반대가 되도록 데이터 구동부(500)에 인가되는 반전 신호(RVS)의 상태가 제어된다("프레임 반전"). 이때, 한 프레임 내에서도 반전 신호(RVS)의 특성에 따라 한 데이터선을 통하여 흐르는 데이터 전압의 극성이 바뀌거나("라인 반전"), 한 화소행에 인가되는 데이터 전압의 극성도 서로 다를 수 있다("도트 반전").
- <150> 그런데, 도 2a의 예에서, 데이터 전압은 부화소(P_{ij}¹)에는 하나의 트랜지스터(Q₁)만을 거쳐 전달되고, 부화소(P_{ij}²)에는 두 개의 트랜지스터(Q₁, Q₂)를 거쳐 전달되므로, 두 부화소(P_{ij}¹, P_{ij}²)의 액정 축전기(C_{LC1}, C_{LC2})의 충전율이 차이가 난다. 특히 두 부화소(P_{ij}¹, P_{ij}²)의 트랜지스터(Q₁, Q₂)의 애스펙트율(aspect ratio) 또는 스위칭 소자(Q₁, Q₂)의 제어 단자와 입출력 단자(소스/드레인) 사이에 존재하는 기생 용량의 크기를 다르게 함으로써 두 부화소(P_{ij}¹, P_{ij}²)의 전압 충전율을 다르게 할 수 있다. 충전 시간이 충분히 주어진다면 두 부화소(P_{ij}¹,

P_{ψ}^2)에는 거의 동일한 전압이 충전되겠지만 액정의 반응 속도가 늦어 액정 축전기(C_{LC1} , C_{LC2})의 충전 속도 또한 늦기 때문에 그렇지 아니다. 예를 들어, 트랜지스터(Q_1)의 애스펙트율이 트랜지스터(Q_2)의 애스펙트율보다 크면 부화소(P_{ψ}^1)에 충전된 전압이 부화소(P_{ψ}^2)에 충전된 전압보다 크다.

<151> 도 2b의 예에서도 또한, 데이터 전압은 부화소(P_{ψ}^1)에는 하나의 트랜지스터(Q_1)만을 거쳐 전달되고, 부화소(P_{ψ}^2)에는 두 개의 트랜지스터(Q_2 , Q_3)를 거쳐 전달된다. 이에 따라 두 부화소(P_{ψ}^1 , P_{ψ}^2)에 충전되는 전압이 차이가 난다.

<152> 도 2c의 경우, 데이터 전압이 부화소(P_{ψ}^1)에는 트랜지스터(Q_1)를 거쳐 전달되고, 부화소(P_{ψ}^2)에는 트랜지스터(Q_2)를 거쳐 전달된다. 두 트랜지스터(Q_1 , Q_2)의 애스펙트율을 달리 하면 두 부화소(P_{ψ}^1 , P_{ψ}^2)에 충전되는 전압이 차이가 난다.

<153> 또한 본 발명의 다른 실시예에 따르면, 두 부화소(P_{ψ}^1 , P_{ψ}^2)의 액정 축전기(C_{LC1} , C_{LC2})의 용량 또는 유지 축전기(C_{ST1} , C_{ST2})의 용량을 달리 하여 두 부화소(P_{ψ}^1 , P_{ψ}^2)에 충전된 전압을 다르게 한다. 액정 축전기(C_{LC1} , C_{LC2})의 용량을 다르게 하는 방법으로는 두 부화소(P_{ψ}^1 , P_{ψ}^2)의 화소 전극(190a, 190b)의 면적을 다르게 하는 것을 고려할 수 있으며 이때 면적 비는 10:1 내지 1:10 정도인 것이 바람직하다.

<154> 이와 같이 하나의 화소를 두 개의 부화소(P_{ψ}^1 , P_{ψ}^2)로 나누고 두 부화소(P_{ψ}^1 , P_{ψ}^2)에 충전되는 전압을 상이하게 하면 측면에서의 시인성이 개선된다. 이에 대해서는 뒤에서 도 19 및 도 20을 참고로 상세하게 설명할 것이다.

<155> 그런데 앞서 잠깐 설명했지만, 예를 들어 도 2a의 경우, 스위칭 소자(Q_1 , Q_2)의 제어 단자와 입출력 단자(소스/드레인) 사이에 기생 용량(C_{gs1} , C_{gd1} , C_{gd2})이 존재한다. 기생 용량(C_{gs1} , C_{gd1} , C_{gd2})에 의한 킥백 전압은 각 액정 축전기(C_{LC1} , C_{LC2})의 충전 전압을 낮추는 방향으로 작용한다. 즉 각 액정 축전기(C_{LC1} , C_{LC2})의 충전 전압, 즉 화소 전압은 (편의상 공통 전압을 0이라고 가정하면) 데이터 전압에서 킥백 전압을 뺀 값이 된다.

<156> 그런데 정극성과 부극성의 데이터 전압을 번갈아 인가하는 반전 구동을 할 경우 이러한 킥백 전압은 항상 전압을 낮추는 방향으로 작용하기 때문에 공통 전압을 적정하게 보정하지 않을 경우 정극성일 때의 화소 전압과 부극성 전압일 때의 화소 전압이 비대칭이 된다. 특히 두 부화소(P_{ψ}^1 , P_{ψ}^2)의 킥백 전압이 다르면 전압이 역전되는 현상이 생길 수도 있다. 예를 들어 부화소(P_{ψ}^2)의 킥백 전압이 부화소(P_{ψ}^1)의 킥백 전압보다 매우 커지면 부화소(P_{ψ}^2)의 화소 전압의 크기가 정극성일 때는 부화소(P_{ψ}^1)보다 작지만 부극성일 때는 더 커지는 현상이 생길 수 있다.

<157> 그러므로 본 발명의 실시예에서는 킥백 전압이 동일하게 되도록 기생 용량(C_{gs1} , C_{gd1} , C_{gd2}), 액정 축전기 용량(C_{LC1} , C_{LC2}) 및 유지 용량(C_{ST1} , C_{ST2})의 크기를 조절한다. 그 한 예로는 두 트랜지스터(Q_1 , Q_2)의 게이트-드레인 간 기생 용량(C_{gd1} , C_{gd2})의 크기를 동일하게 하고 두 유지 용량(C_{ST1} , C_{ST2}) 및 액정 축전기 용량(C_{LC1} , C_{LC2})의 크기도 동일하게 하는 경우를 들 수 있다.

<158> 도 19는 도 2a에 도시한 액정 표시 장치의 두 부화소(P_{ψ}^1 , P_{ψ}^2)에서의 화소 전압을 시간의 함수로 나타낸 그래프이다.

<159> 도 19의 곡선은, 트랜지스터(Q_1)의 애스펙트율(W/L), 즉 채널폭(W)을 채널 길이(L)로 나눈 값은 20/4.5, 트랜지스터(Q_2)의 W/L은 15/4.5이고, 두 부화소(P_{ψ}^1 , P_{ψ}^2)의 유지 용량(C_{ST1} , C_{ST2})은 0.3pF, 액정 축전기 용량(C_{LC1} , C_{LC2})은 0.1pF이고, 트랜지스터(Q_1)의 게이트-소스 간 기생 용량(C_{gs1})은 7.83fF, 두 트랜지스터(Q_1 , Q_2)의 게이트

-드레인간 기생 용량(Cgd1, Cgd2)은 13.67fF이며, 인가한 데이터 전압은 0V와 10V로 하여 측정한 결과이다.

- <160> 도 19에서 알 수 있는 것처럼, 두 부화소(P_{ψ}^1 , P_{ψ}^2)의 화소 전압에 역전 현상이 생기지 않는다.
- <161> 도 20은 부화소가 없는 종래의 액정 표시 장치 및 본 발명의 한 실시예에 따른 액정 표시 장치에서의 감마 곡선 (투과율을 계조의 함수로 나타낸 곡선) 그래프로서, 정면에서 볼 때와 측면 60°에서 볼 때에 대해서 각각 도시하였다.
- <162> 측정에 사용한 액정 표시 장치는 R-ECB형의 4개의 도메인을 1:1:1:1로 평균화한 액정 표시 장치로서 이축성 보상 필름을 사용하였다.
- <163> 측정에 사용한 종래의 액정 표시 장치에 인가된 최대 전압은 4.9V이고, 본 실시예의 액정 표시 장치에 인가된 최대 전압은 5.9V이다. 본 실시예의 액정 표시 장치의 두 부화소(P_{ψ}^1 , P_{ψ}^2)에 충전되는 전압은 종래의 액정 표시 장치에 비하여 각각 85% 및 75%이며, 두 부화소(P_{ψ}^1 , P_{ψ}^2)의 화소 전극(190a, 190b)의 면적은 동일하다.
- <164> 도 20에서 종래의 액정 표시 장치의 정면 감마 곡선과 본 실시예의 정면 감마 곡선은 동일하게 설정하였다. 도 20에서 알 수 있듯이, 본 실시예의 측면 감마 곡선이 종래의 측면 감마 곡선에 비하여 정면 감마 곡선에 더 가까움을 알 수 있으며 이는 측면의 시인성이 개선되었음을 의미한다.

발명의 효과

- <165> 이처럼, 두 개의 부화소로 이루어진 화소에서, 두 개의 부화소의 충전율을 다르게 함으로써 측면 시인성이 개선된다.
- <166> 이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

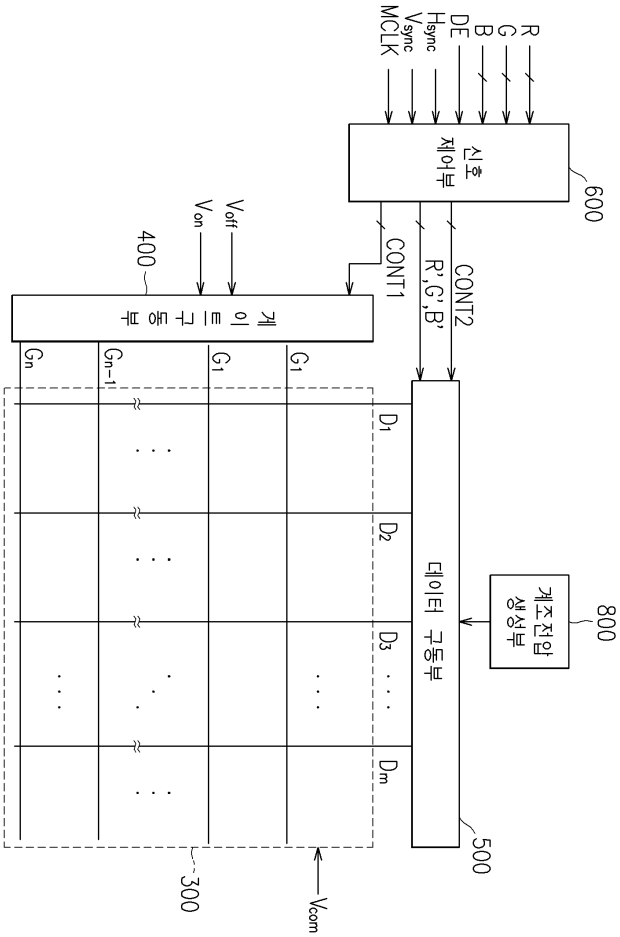
도면의 간단한 설명

- <1> 도 1은 본 발명의 한 실시예에 따른 액정 표시 장치의 블록도이다.
- <2> 도 2a 및 2b는 본 발명의 한 실시예에 따른 액정 표시 장치의 등가 회로도이다.
- <3> 도 3은 본 발명의 한 실시예에 따른 액정 표시판 조립체의 배치도이다.
- <4> 도 4, 도 5a 및 도 5b는 도 3의 액정 표시판 조립체를 각각 IVa-IVa' 선, Va-Va' 선 및 Vb-Vb' 선을 따라 잘라 도시한 단면도이다.
- <5> 도 6, 도 9, 도 12 및 도 15는 본 발명의 한 실시예에 따른 박막 트랜지스터 표시판의 제조 방법에서의 중간 단계에서의 박막 트랜지스터 표시판을 도시한 배치도이다.
- <6> 도 7, 도 8a 및 도 8b는 도 6에 도시한 박막 트랜지스터 표시판을 각각 VII-VII' 선, VIIIa-VIIIa' 선 및 VIIIb-VIIIb' 선을 따라 잘라 도시한 단면도이다.
- <7> 도 10, 도 11a 및 도 11b는 도 9에 도시한 박막 트랜지스터 표시판을 각각 X-X' 선, XIa-XIa' 선 및 XIb-XIb' 선을 따라 잘라 도시한 단면도이다.
- <8> 도 13, 도 14a 및 도 14b는 도 13에 도시한 박막 트랜지스터 표시판을 각각 XIII-XIII' 선, XIVa-XIVa' 선 및 XIVb-XIVb' 선을 따라 잘라 도시한 단면도이다.
- <9> 도 16, 도 17a 및 도 17b는 도 15에 도시한 박막 트랜지스터 표시판을 각각 XVI-XVI' 선, XVIIa-XVIIa' 선 및 XVIIb-XVIIb' 선을 따라 잘라 도시한 단면도이다.
- <10> 도 18은 본 발명의 다른 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 배치도이다.
- <11> 도 19는 도 2a에 도시한 액정 표시 장치의 두 부화소(P_{ψ}^1 , P_{ψ}^2)에서의 화소 전압을 시간의 함수로 나타낸 그래프이다.

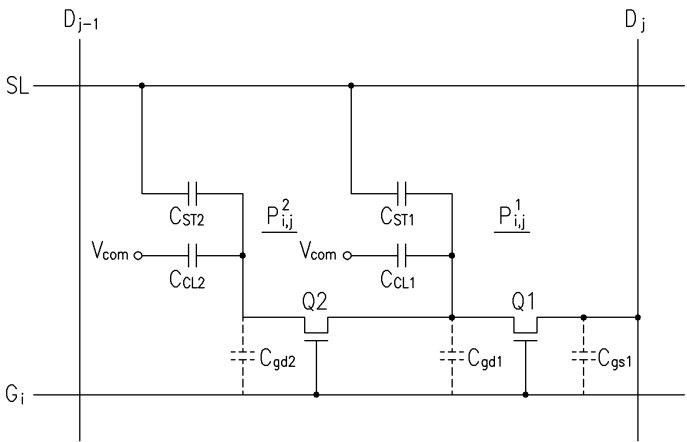
<12> 도 20은 종래의 액정 표시 장치 및 본 발명의 한 실시예에 따른 액정 표시 장치에서의 감마 곡선 그래프이다.

도면

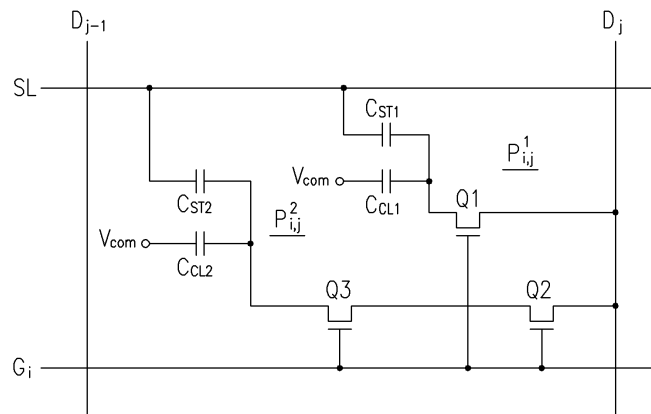
도면1



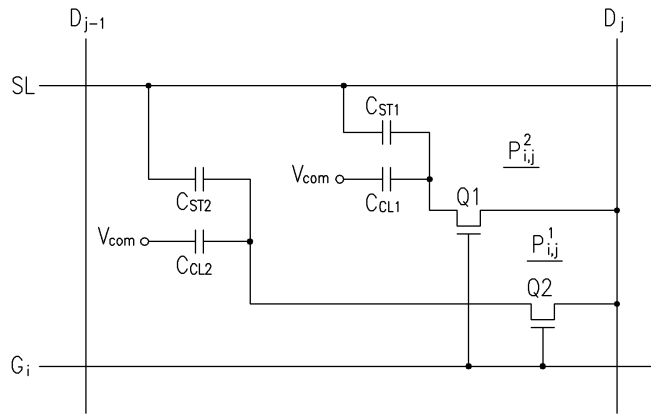
도면2a



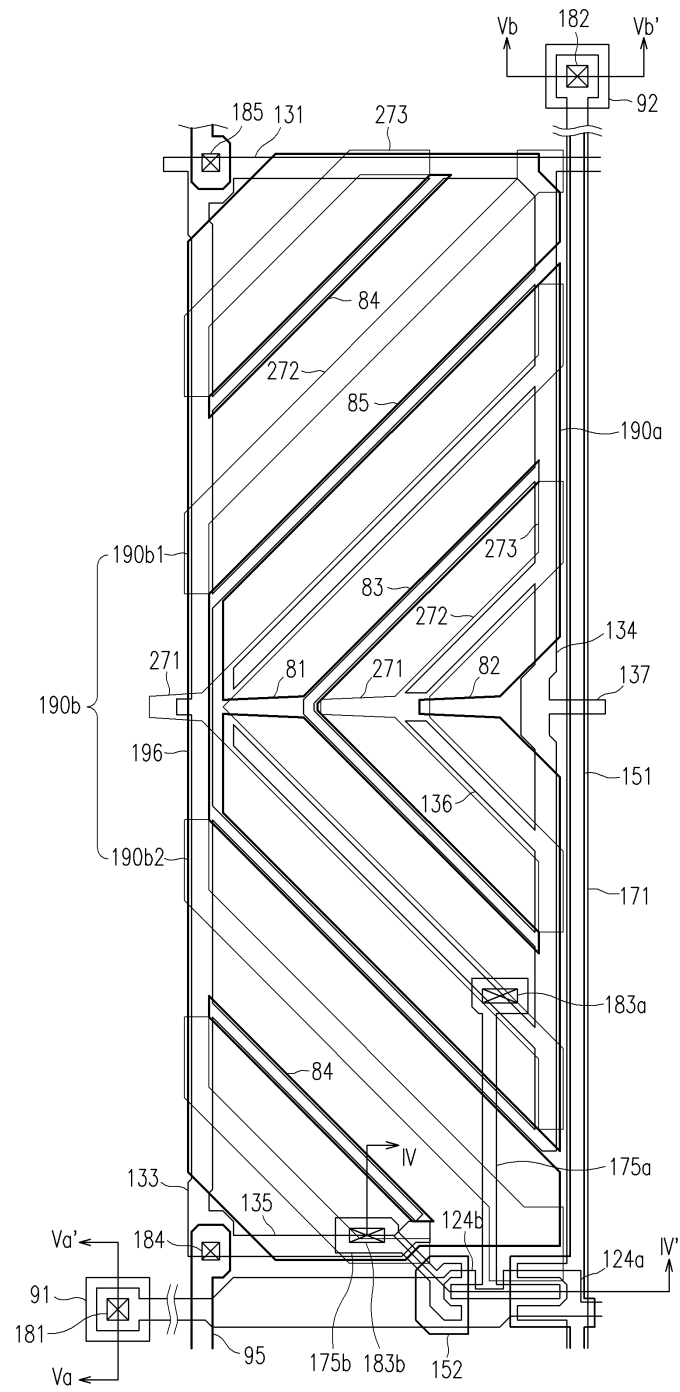
도면2b



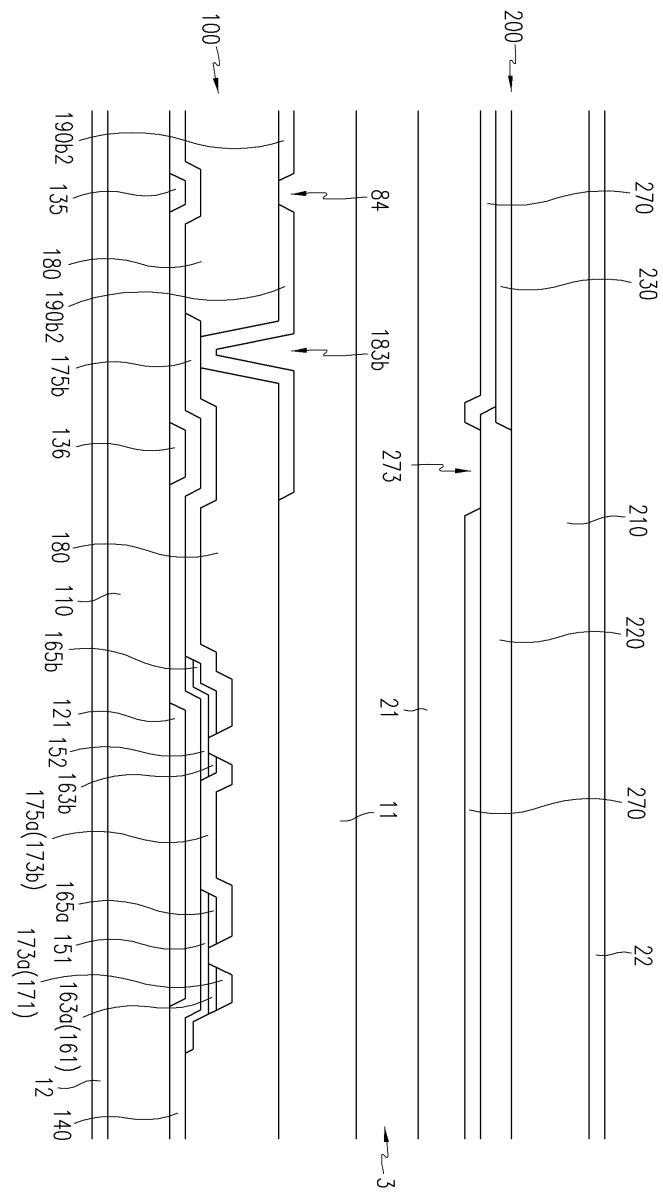
도면2c



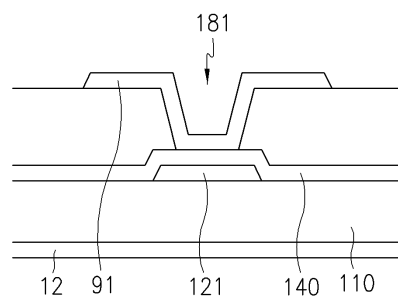
도면3



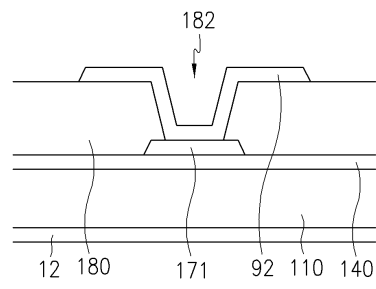
도면4



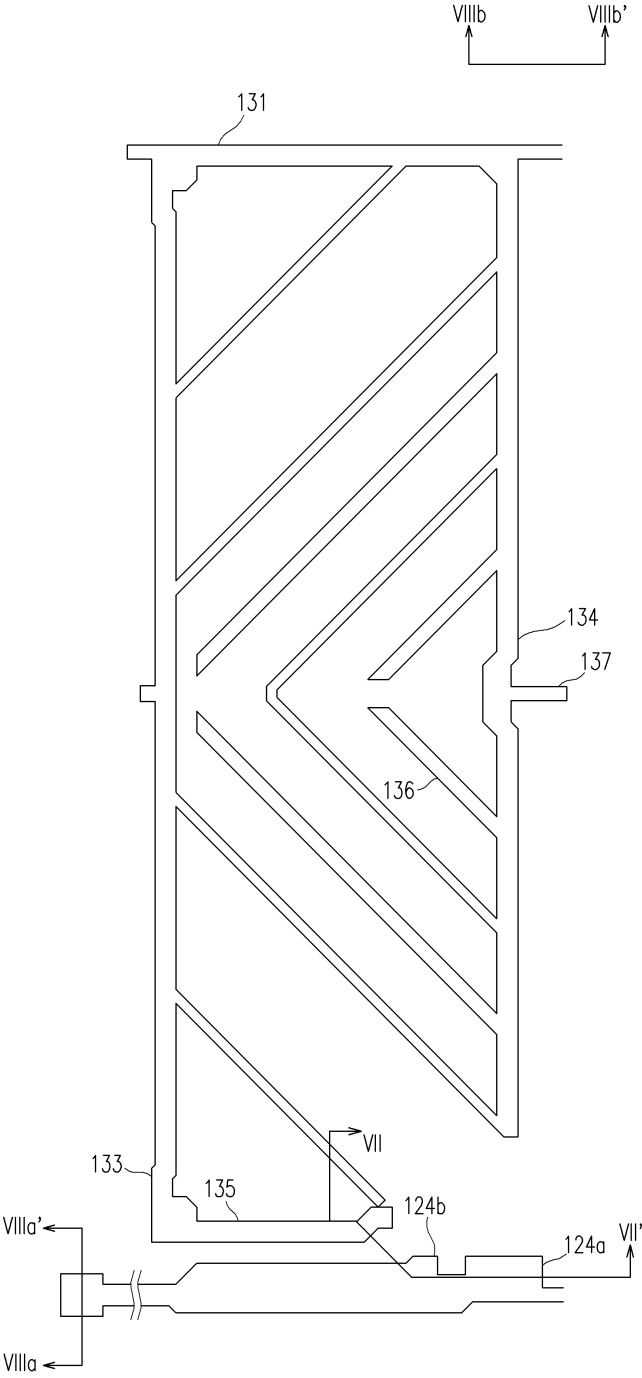
도면5a



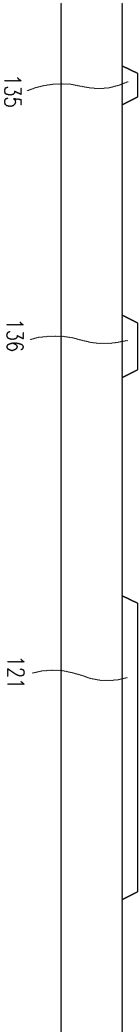
도면5b



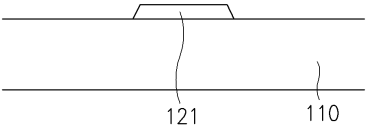
도면6



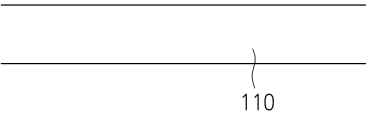
도면7



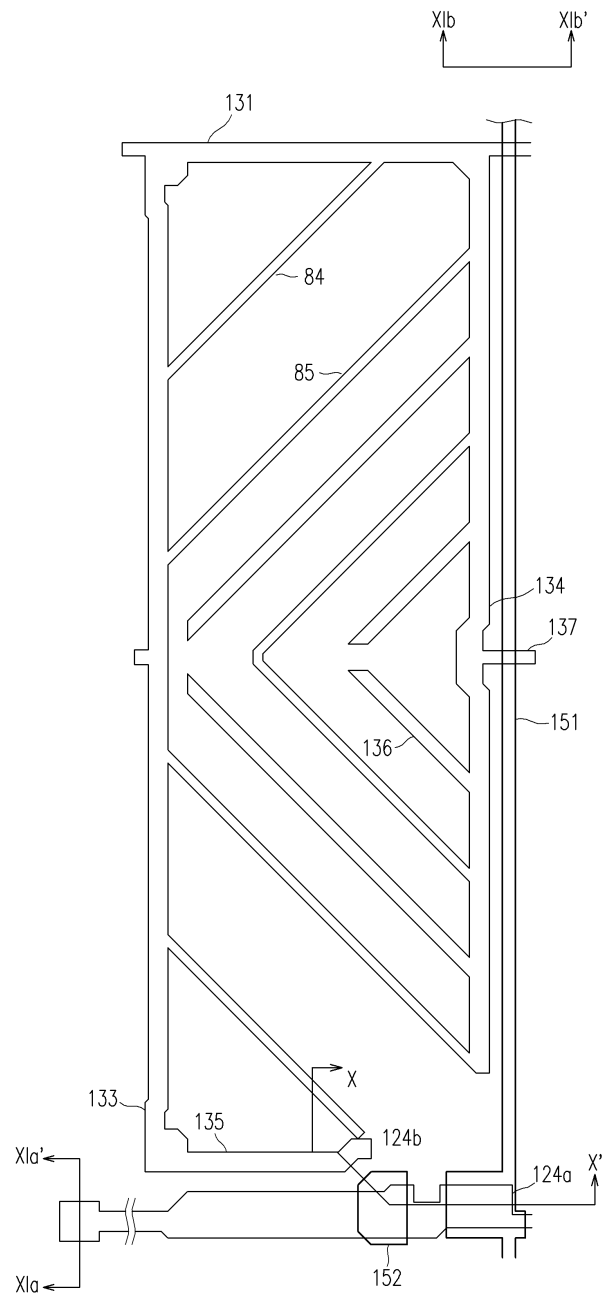
도면8a



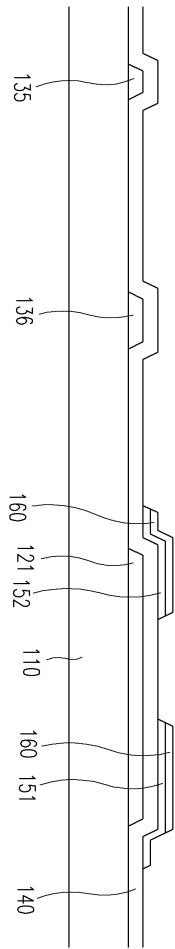
도면8b



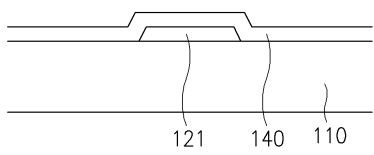
도면9



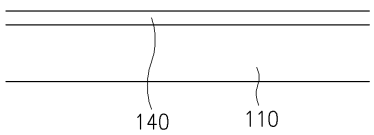
도면10



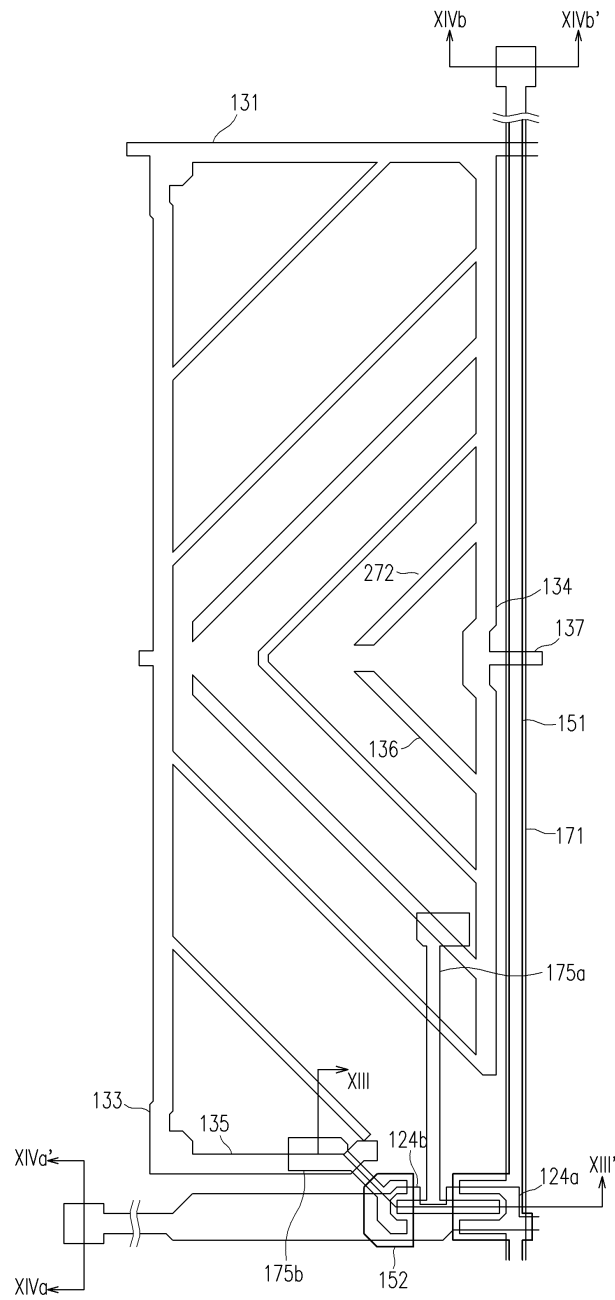
도면11a



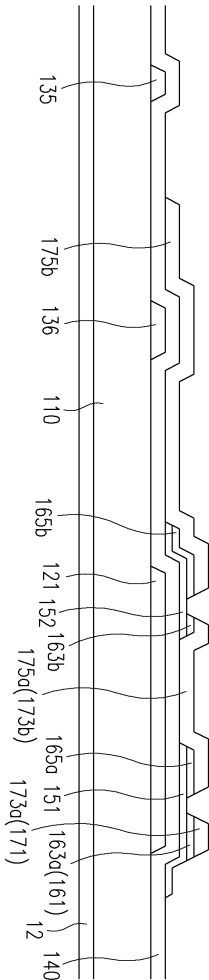
도면11b



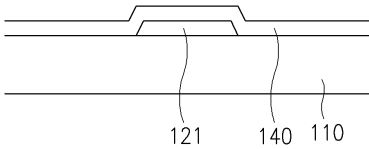
도면12



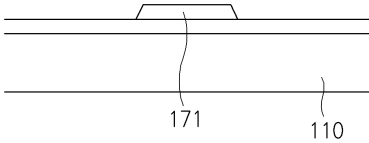
도면13



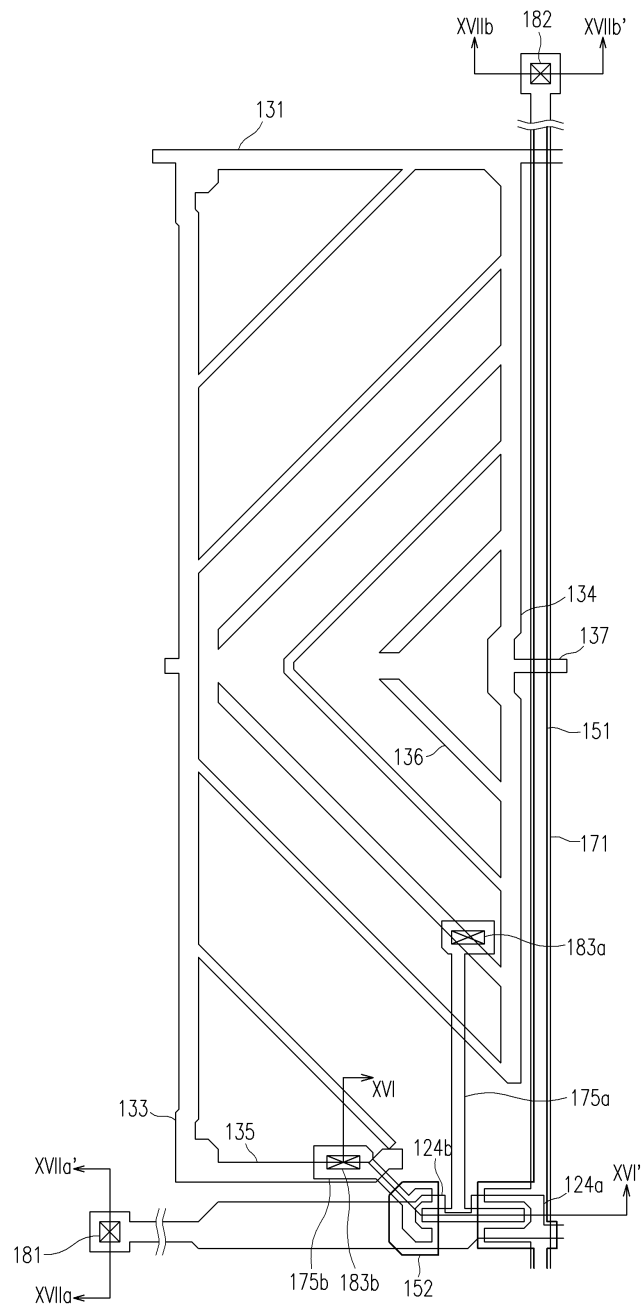
도면14a



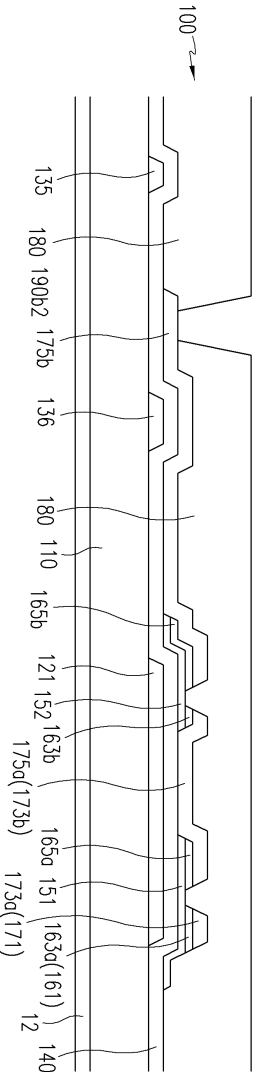
도면14b



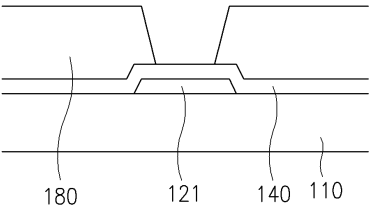
도면15



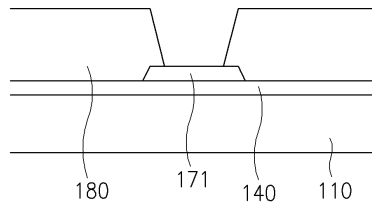
도면16



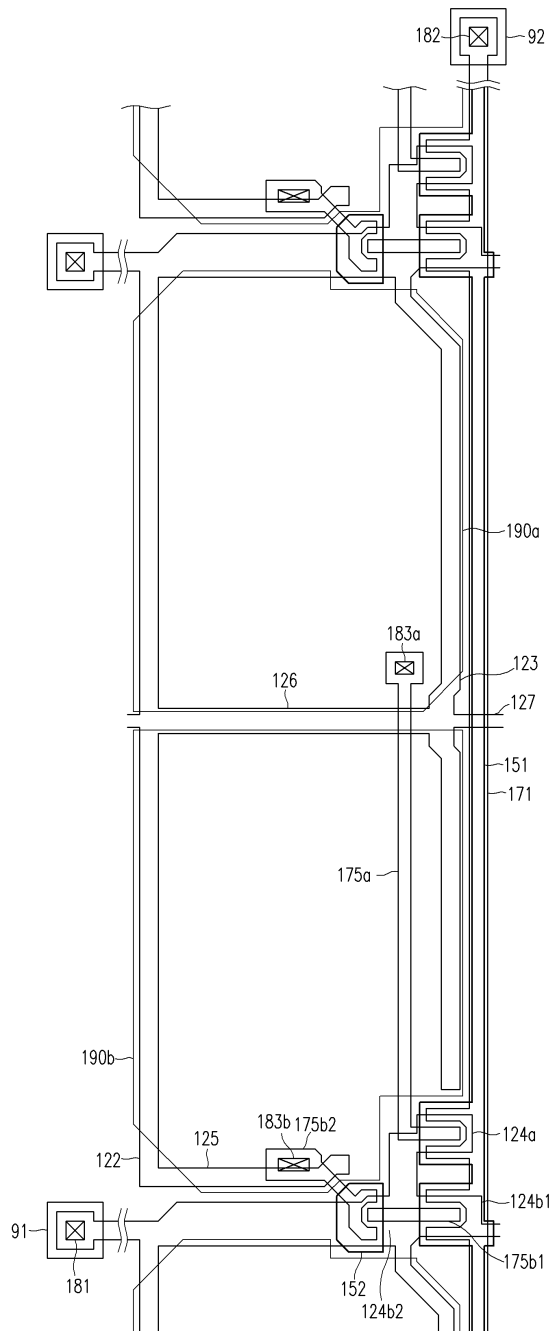
도면17a



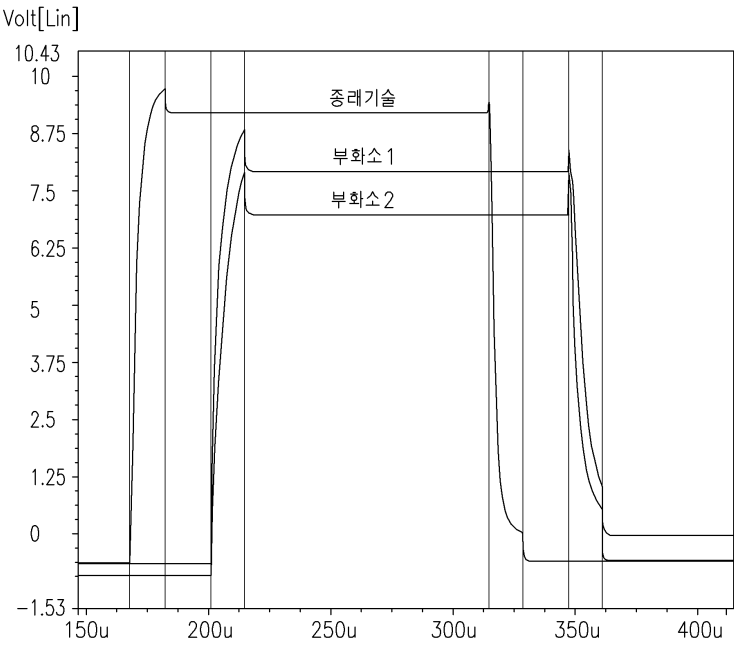
도면17b



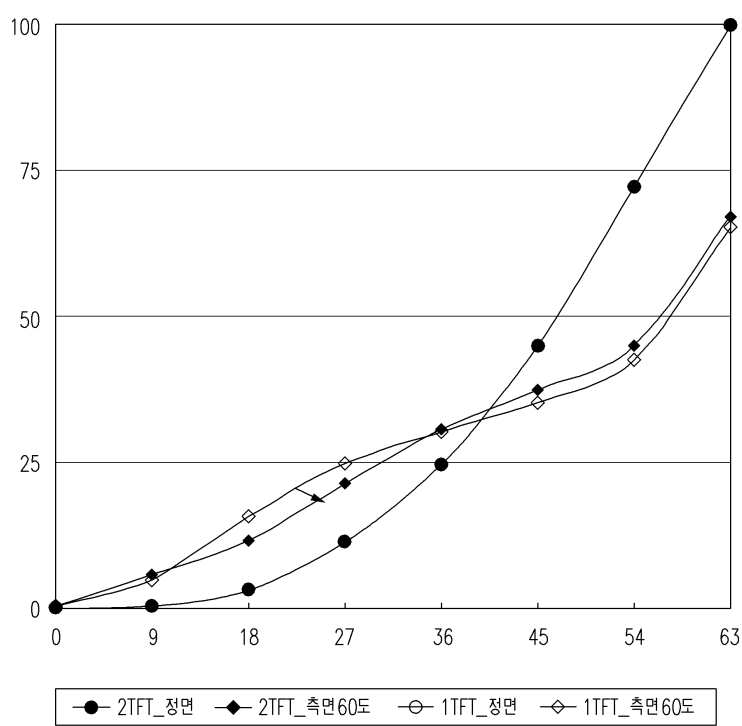
도면18



도면19



도면20



专利名称(译)	液晶显示装置和薄膜晶体管显示板		
公开(公告)号	KR100920340B1	公开(公告)日	2009-10-07
申请号	KR1020030000265	申请日	2003-01-03
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	KIM SANGIL 김상일 SHIN KYONGJU 신경주 YANG YOUNGCHOL 양영철		
发明人	김상일 신경주 양영철		
IPC分类号	G02F1/133		
其他公开文献	KR1020040062751A		
外部链接	Espacenet		

摘要(译)

本发明涉及用于实现液晶显示器的液晶显示器，其具有优异的可视性，改善了液晶显示器的图像质量。该液晶显示器包括多条栅极线，包括多条栅极线，多条数据线，以及多条数据线中相应连接的多条像素。像素具有连接到每条栅极线的控制端子。并且包括串联连接到每条数据线的第二和第一开关元件以及第一和第二液晶电容器。因此，由于第一和第二液晶电容器的填充率不同，所以提高了质量并提供了高质量的图像质量。液晶显示器，LCD，双源，晶体管，电容，充电速率，纵横比，液晶。

