



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2009년04월17일
 (11) 등록번호 10-0893240
 (24) 등록일자 2009년04월06일

- (51) Int. Cl.
G02F 1/1362 (2006.01) *G02F 1/136* (2006.01)
G02F 1/1343 (2006.01)
- (21) 출원번호 10-2007-7013202
- (22) 출원일자 2007년06월12일
 심사청구일자 2007년06월12일
 번역문제출일자 2007년06월12일
- (65) 공개번호 10-2007-0088689
- (43) 공개일자 2007년08월29일
- (86) 국제출원번호 PCT/JP2006/311687
 국제출원일자 2006년06월06일
- (87) 국제공개번호 WO 2006/132392
 국제공개일자 2006년12월14일
- (30) 우선권주장
 JP-P-2005-00170349 2005년06월10일 일본(JP)
- (56) 선행기술조사문헌
 JP05210112 A*
 US05744864 A1*
 US20040174483 A1*
 US20040135940 A1*
 *는 심사관에 의하여 인용된 문헌

- (73) 특허권자
 가시오계산기 가부시킴가이사
 일본국 도쿄도 시부야구 혼마치 1초메 6반 2고
- (72) 발명자
 이시이 히로미츠
 일본국 205-8555 도쿄도 하무라시 사카에초 3초메 2반 1고가시오계산기 가부시킴가이사 하무라기쥬츠센터 지적재산부내
- (74) 대리인
 김문중, 손은진

전체 청구항 수 : 총 11 항

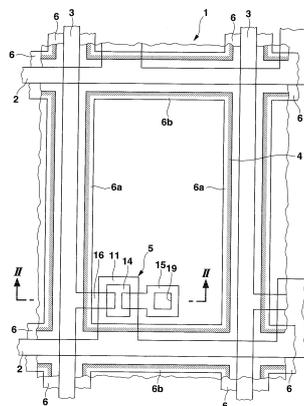
심사관 : 최창락

(54) 액정 표시 장치

(57) 요약

박막 트랜지스터(5)가 제 1 기관의 주사 라인(2)과 데이터 라인(3)이 교차하는 영역 근처에 제공된다. 픽셀 전극(4)은 박막 트랜지스터(5)에 연결된다. 주사 및 데이터 라인을 덮기 위하여, 공통 전위가 인가되는 투명한-전기 도전층(6)이 픽셀 전극과 주사 및 데이터 라인 사이에 제공되며, 양측의 픽셀 전극의 주변부 상에 중첩된다. 절연막(18)은 픽셀 전극과 전기 도전층 사이에 형성된다. 픽셀 전극에 대응하도록, 대향 전극(33)은 제 2 기관(31) 상에 형성된다. 액정(35)은 픽셀 전극과 대향 전극(33) 사이에 제공된다.

대표도 - 도1



특허청구의 범위

청구항 1

액정표시장치로서:

일측 기관 및 타측 기관(1, 31);

상기 일측 기관의 일면 위에 형성되며, 일방향으로 확장된 복수의 주사 라인(2);

상기 일측 기관의 일면 위에 형성되며, 상기 주사 라인(2)과 교차하는 방향으로 확장된 복수의 데이터 라인(3);

상기 일측 기관의 상기 일면의 상기 주사 라인(2)과 상기 데이터 라인(3)이 교차하는 각 영역의 근처에 각각 제공되며, 투명한 반도체 박막(13), 투명한 상기 반도체 박막(13)의 일면측에 배열되는 투명한 게이트 전극(11), 그리고 투명한 상기 반도체 박막(13)의 소스 및 드레인 영역에 각각 연결되는 투명한 소스 및 드레인 전극(15, 16)을 포함하는 복수의 투명한 박막 트랜지스터(5);

각각의 투명한 상기 박막 트랜지스터(5)에 각각 연결되고, 그리고 인접 픽셀 전극(4) 사이에 공간을 두고 배치되고 그리고 투명한 박막 트랜지스터(5)들 중 하나의 투명한 반도체 박막(13)을 덮는 복수의 픽셀 전극(4);

데이터 라인 및 주사 라인을 덮기 위하여 상기 픽셀 전극(4)과 주사 라인(2) 및 데이터 라인(3) 사이에 제공되며, 인접한 픽셀 전극 사이의 공간을 전체적으로 덮도록 형성되고, 인접한 각각의 상기 픽셀 전극(4)의 주변부에 중첩되며, 그리고 블랙 디스플레이가 실행되는 전위가 전기 도전층(6)과 대향 전극(33)사이에 인가되는 투명한 전기 도전층(6);

상기 픽셀 전극(4)과 투명한 상기 전기 도전층(6) 사이에 형성되는 절연막(18);

상기 픽셀 전극(4)에 대응하도록, 상기 타측 기관 상에 형성된 적어도 하나의 대향 전극(33); 및

상기 픽셀 전극과 대향 전극 사이에 제공되는 액정(35)을 포함하고,

상기 액정은 상기 픽셀 전극 사이의 공간에 대응되는 제 1 부분(35a) 및 투명한 전기 도전층이 중첩되는 픽셀 전극의 주변부에 대응되고, 액정 내에서 상기 제 1 부분을 에워싸는 제 2 부분으로 구성되고, 투명한 상기 전기 도전층(6)에 전위가 적용될 때 액정의 상기 제 1 부분만이 전체적으로 일정하게 블랙 상태로 설정되는 것을 특징으로 하는 액정표시장치.

청구항 2

삭제

청구항 3

제 1 항에 있어서,

상기 액정(35)은 90° 뒤틀림 각을 갖는 TN 액정인 것을 특징으로 하는 액정표시장치.

청구항 4

제 1 항에 있어서,

투명한 상기 전기 도전층(6)은 격자형 모양을 갖으며, 상기 주사 라인(2)과 상기 데이터 라인(3)을 덮기 위하여 제공되는 것을 특징으로 하는 액정표시장치.

청구항 5

제 1 항에 있어서,

투명한 상기 박막 트랜지스터(5) 각각은 빛을 투과하도록 구성되며, 상기 픽셀 전극(4) 각각은 투명한 상기 박막 트랜지스터(5)를 덮기 위하여 제공되는 것을 특징으로 하는 액정표시장치.

청구항 6

제 5 항에 있어서,

투명한 상기 박막트랜지스터(5)의 투명한 상기 반도체 박막(13)은 금속 산화물로 형성되며, 투명한 상기 드레인 및 소스 전극(15, 16)과 투명한 상기 게이트 전극(11)은 불순물을 함유하는 금속 산화물로 형성되는 것을 특징으로 하는 액정표시장치.

청구항 7

제 6 항에 있어서,

투명한 상기 드레인 및 소스 전극(15, 16)은 투명한 상기 반도체 박막(13) 상에 형성되는 것을 특징으로 하는 액정표시장치.

청구항 8

제 5 항에 있어서,

투명한 상기 박막트랜지스터(5)의 투명한 상기 반도체 박막(13)은 금속 산화물로 형성되고, 투명한 상기 게이트 전극(11)은 불순물을 함유하는 금속 산화물로 형성되며, 그리고 투명한 상기 드레인 및 소스 전극(15, 16)은 투명한 전기도전성 재료로 형성되는 것을 특징으로 하는 액정표시장치.

청구항 9

제 8 항에 있어서,

투명한 상기 드레인 및 소스 전극(15, 16)은 투명한 상기 반도체 박막의 아래에 제공되는 것을 특징으로 하는 액정표시장치.

청구항 10

제 6 항 또는 8 항에 있어서,

투명한 상기 박막 트랜지스터의 투명한 상기 게이트 전극(11)은 p-형 불순물을 함유하는 금속 산화물로 형성되는 것을 특징으로 하는 액정표시장치.

청구항 11

제 6 항 또는 8 항에 있어서,

상기 주사 라인(2)은 투명한 상기 게이트 전극과 전기적으로 접속하며, 투명한 상기 게이트 전극(11)과 동일한 재료로 형성되고, 그리고, 상기 데이터 라인(3)은 투명한 상기 드레인 및 소스 전극(15, 16) 중 하나와 전기적으로 접속하며, 투명한 상기 드레인 및 소스 전극(15, 16) 중 하나와 동일한 재료로 형성되는 것을 특징으로 하는 액정표시장치.

청구항 12

제 1 항에 있어서,

차광형 전기도전성 막(6B)이 상기 차광형 전기도전성 막(6B)보다 넓은 투명한 상기 전기 도전층의 상부 및 하부면 중 하나에 형성되어 상기 차광형 전기도전성 막을 덮는 것을 특징으로 하는 액정표시장치.

청구항 13

삭제

명세서

기술분야

<1> 본 발명은 액정표시장치에 관한 것이다.

배경기술

<2> 액정표시장치로서, 박막 트랜지스터 기관과 대향 기관 사이에 액정이 봉입되고, 박막 트랜지스터 기관의 내부

측에 매트릭스 형태로 제공되는 주사 라인과 데이터 라인으로 둘러싸인 영역의 스위칭 소자로서 박막 트랜지스터를 통해, 주사 라인과 데이터 라인에 연결되도록 각 픽셀 전극이 제공되며, 공통 전극이 대향 기관의 내부면 측에 제공되는 구성을 갖는 액정표시장치가 있다(일본 특허 공개 제 2003-50405호 참조). 픽셀 전극은 불순물을 함유하는 반도체 재료를 포함하며, 박막 트랜지스터의 반도체 박막과 동일층 상의 반도체 박막과 연결되도록 형성된다.

<3> 종래의 액정표시장치에서는, 픽셀 전극 전압이 구동 동안 주사 신호와 데이터 신호에 의해 영향을 받는 것을 억제하기 위하여, 즉, 픽셀 전극과 주사 및 데이터 라인 사이에 발생하는 기생 용량을 감소하기 위하여, 특정한 틈이 픽셀 전극과 주사 및 데이터 라인 사이에 제공된다. 이러한 틈에 상응하는 부분의 액정은 픽셀 전극 전압에 의해 제어되지 않기 때문에, 이러한 틈 부분이 가시적으로 형성되면, 디스플레이 품질은 저하된다. 따라서, 대개, 이러한 틈 부분은 대향 기관의 내부면 측에 제공되는 블랙 마스크로 확실하게 덮인다. 이러한 경우, 박막 트랜지스터 기관과 대향 기관을 서로 부착할 때, 위치 변위(displacement) 또한 고려되어야 한다. 결과적으로, 픽셀 전극 사이의 공간을 덮는 블랙 마스크의 면적이 인접한 픽셀 전극 사이의 면적보다 약간 크며, 그로 인해 개구율(opening ratio)이 감소되는 문제가 있다.

발명의 상세한 설명

<4> 이에 따라, 본 발명의 목적은 개구율을 증가시킬 수 있는 액정표시장치를 제공하기 위한 것이다.

<5> 본 발명의 일 측면에 따른 액정표시장치는: 일측 기관 및 타측 기관(1, 31); 상기 일측 기관의 일면 위에 형성되며, 일방향으로 확장된 복수의 주사 라인(2); 상기 일측 기관의 일면 위에 형성되며, 상기 주사 라인(2)과 교차하는 방향으로 확장된 복수의 데이터 라인(3); 상기 일측 기관의 상기 일면의 상기 주사 라인(2)과 상기 데이터 라인(3)이 교차하는 각 영역의 근처에 각각 제공되며, 투명한 반도체 박막(13), 투명한 상기 반도체 박막(13)의 일면측에 배열되는 투명한 게이트 전극(11), 그리고 투명한 상기 반도체 박막(13)의 소스 및 드레인 영역에 각각 연결되는 투명한 소스 및 드레인 전극(15, 16)을 포함하는 복수의 투명한 박막 트랜지스터(5); 각각의 투명한 상기 박막 트랜지스터(5)에 각각 연결되고, 그리고 인접 픽셀 전극(4) 사이에 공간을 두고 배치되고 그리고 투명한 박막 트랜지스터(5)들 중 하나의 투명한 반도체 박막(13)을 덮는 복수의 픽셀 전극(4); 데이터 라인 및 주사 라인을 덮기 위하여 상기 픽셀 전극(4)과 주사 라인(2) 및 데이터 라인(3) 사이에 제공되며, 인접한 픽셀 전극 사이의 공간을 전체적으로 덮도록 형성되고, 인접한 각각의 상기 픽셀 전극(4)의 주변부에 중첩되며, 그리고 블랙 디스플레이가 실행되는 전위가 전기 도전층(또는 보조 용량 전극)(6)과 대향 전극(33) 사이에 인가되는 투명한 전기 도전층(6); 상기 픽셀 전극(4)과 투명한 상기 전기 도전층(6) 사이에 형성되는 절연막(18); 상기 픽셀 전극(4)에 대응하도록, 상기 타측 기관 상에 형성된 적어도 하나의 대향 전극(33); 및 상기 픽셀 전극과 대향 전극 사이에 제공되는 액정(35)을 포함하고, 상기 액정은 상기 픽셀 전극 사이의 공간에 대응되는 제 1 부분(35a) 및 투명한 전기 도전층이 중첩되는 픽셀 전극의 주변부에 대응되는 액정 내에서, 상기 제 1 부분을 에워싸는 제 2 부분으로 구성되고, 투명한 상기 전기 도전층(6)에 전위가 적용될 때 액정의 상기 제 1 부분만이 전체적으로 일정하게 블랙 상태로 설정된다.

<6> 본 발명에 따라, 픽셀 전극 사이의 공간에 상응하는 영역의 액정만이 블랙 디스플레이를 확실하게 실행하도록, 빛이 투과되는 전기도전층에 공통 전위가 인가되기 때문에, 개구율이 증가될 수 있다.

<7> 본 발명의 부가적인 목적과 이점은 이하 상세한 설명으로 더욱 명확해지며, 본 발명의 실시예에 의해 이해될 수 있을 것이다. 또한 본 발명의 목적과 이점은 이하 지시되는 방법들과 조합에 의해 구현되며 획득될 수 있을 것이다.

실시예

<16> (제 1 실시예)

<17> 도 1은 본 발명의 제 1 실시예에 따른 액정표시장치의 박막 트랜지스터 일부를 도시하는 투과 평면도이고, 도 2는 도 1의 라인 II-II을 따라 절단한 단면도이다. 액정표시장치에는 투명한 글래스 기관 등으로 형성된 박막 트랜지스터 기관(1)과 대향 기관(31)이 제공된다.

<18> 도 1을 참조하여, 박막 트랜지스터 기관(1) 측 또는 어셈블리가 먼저 설명된다. 주사 라인(2)과 데이터 라인(3)은 박막 트랜지스터 기관(1)의 상부면측(대향 기관(2)을 마주하는 내부면) 상에 매트릭스 형태로 제공되고, 복수의 픽셀 전극(4)은 두 개의 라인(2,3)에 의해 둘러싸인 영역에 있는 박막 트랜지스터(5)를 통해 주사 라인(2)과 데이터 라인(3)에 각각 연결되도록 제공되며, 격자형 보조용량 전극(전기전도층)(6)은 주사 라인(2)과 데

이터 라인(3)에 평행하여 제공된다. 여기서, 픽셀 전극(4)의 4 개 가장자리에 짧은 실선으로 기울어진 빗금 부분이 제공된다.

- <19> 이 경우, 주사 라인(2)과 데이터 라인(3)으로 둘러싸인 직사각형 영역에서, 직사각형과 유사한 모양의 픽셀 전극(4)은 주사 라인(2)과 데이터 라인(3)에 실제적으로 근접하여 배열된다. 픽셀 전극(4)의 4 개 가장자리 측 각각은, 이하 설명될 절연막(18)이 그 사이에 배치되며, 각 가장자리 부분 또는 제 2 부분 주위에 배열된 격자형 보조 용량 전극(6) 상에 중첩된다. 도 1에서, 박막 트랜지스터(5)는 픽셀 전극(4)의 좌측 하부 코너 부분에 배열되며, 실제적으로 픽셀 전극(4)으로 덮여있다.
- <20> 격자형 보조용량 전극(6)은 데이터 라인(3)과 겹치는 부분을 포함하며 열 방향으로 연장된 제 1 보조용량 전극(6a)와 주사 라인(2)과 겹치는 부분을 포함하며 행 방향으로 연장된 제 2 보조용량 전극(6b)을 포함한다. 이 경우, 이하 설명되는 바와 같이, 보조용량 전극(6)은 주사 라인(2)과는 다른 층 상에 제공된다. 특히 제 1 보조용량 전극(6a)은 두개의 방향, 즉 도 1의 페이지 공간에 수직인 방향에서, 절연막(17, 18)을 통해 데이터 라인(3)과 픽셀 전극(4) 사이에 제공된다.
- <21> 제 1 보조용량 전극(6a)의 폭은 데이터 라인(3)의 양 측으로부터 약간 돌출되는 방식으로, 데이터 라인(3)의 폭보다 약간 크다. 결과적으로, 데이터 라인(3)의 연장 방향(열 방향)에 수직인 방향(행 방향)에서의 짧은 위치 변위가 있는 경우에도, 데이터 라인(3)이 픽셀 전극(4)을 직접적으로 마주하지 않는 방식으로, 제 1 보조용량 전극(6a)은 데이터 라인(3)을 확실히 덮는다. 또한, 제 1 보조용량 전극(6a)은 실제적으로 데이터 라인(3)이 배열되는 전 영역에 걸쳐서 배열된다. 결과적으로, 데이터 라인(3)에 평행한 방향의 픽셀 전극(4)에 대한 위치 변위가 존재하는 경우에도, 제 1 보조용량 전극(6a)은 픽셀 전극(4)의 좌측 및 우측에 확실히 겹치며, 그로 인하여, 이러한 방향에서 위치 변위로 인한 보조 용량의 변동을 확실히 방지할 수 있다.
- <22> 제 2 보조용량 전극(6a)의 폭은 주사 라인(2)의 양측으로부터 약간 돌출되는 방식으로, 주사 라인(2)의 폭보다 약간 크다. 결과적으로, 주사 라인(2)에 수직인 방향(열 방향)에서의 짧은 위치 변위가 있는 경우에도, 주사 라인(2)이 픽셀 전극(4)을 직접적으로 마주하지 않는 방식으로, 제 2 보조용량 전극(6b)은 주사 라인(2)을 확실히 덮는다. 또한, 제 2 보조용량 전극(6b)은 실제적으로 주사 라인(2)이 배열되는 전 영역에 걸쳐서 배열된다. 결과적으로, 주사 라인(2)에 평행한 방향의 픽셀 전극(4)에 대한 위치 변위가 존재하는 경우에도, 제 2 보조용량 전극(6b)은 픽셀 전극(4)의 좌측 및 우측에 확실히 겹치며, 그로 인하여, 이러한 방향에서 위치 변위로 인한 보조 용량의 변동을 확실히 방지할 수 있다.
- <23> 도 2를 참조하여, 이러한 액정표시장치의 상세한 구성이 이하 설명된다.
- <24> 게이트 전극(11)과 게이트 전극(11)과 전기적으로 도통하는 주사 라인(2)(도 1 참조)은 박막 트랜지스터 기관(1)의 상부면의 소정 위치에 제공된다. 이 경우, 게이트 전극(11)과 주사 라인(2) 각각은 n-형 또는 p-형 불순물을 함유하는 투명한 금속 산화물로 형성된다. 투명한 금속 산화물로서, 예를 들면, 아연 산화물, 마그네슘 아연 산화물, 카드뮴 아연 산화물 등이 바람직하다. n-형 불순물로서, 예를 들면, 인, 비소, 안티몬 등이 바람직하다. p-형 불순물로서, 예를 들면, 붕소, 알루미늄, 갈륨, 인듐 등이 바람직하다.
- <25> 게이트 전극(11)과 주사 라인(2)을 형성하는 방법으로서, n-형 또는 p-형 불순물을 함유하는 금속 산화막을 타겟으로 스퍼터링(sputtering)을 가하여 금속막을 형성하고, 포토리소그래피 기술을 사용하여 이러한 막을 패터닝하는 방법이 추천된다. n-형 금속 산화막은 디플레션(depletion)형이며, 그 누설 전류가 크기 때문에, 게이트 전극(11)과 주사 라인(2)을 형성하기 위하여, n-형 금속 산화막보다는 p-형 금속 산화막을 사용하는 것이 바람직하지만, 본 발명이 여기에만 국한되는 것은 아니다.
- <26> 질화규소로 만들어진 게이트 절연막(12)은 게이트 전극(11)과 주사 라인(2), 그리고 박막 트랜지스터 기관(1)의 상부면에 제공된다. 2.5 V 이상의 밴드 갭을 갖는 동일한 투명 진성 금속 산화물로 만들어진 반도체 박막(13)은 게이트 전극(11) 위의 게이트 절연막(12) 상부면에 제공된다. 2.5 V 이상 폭의 밴드 갭을 갖는 반도체 박막(13)은 가시 광선을 흡수하지 않기 때문에, 빛의 누출이 없으며, 차광이 요구되지 않는다.
- <27> 채널 보호막(14)은 반도체 박막(13) 상부면의 실제적인 중심 부분에 제공된다. 투명한 n-형 금속 산화물로 만들어진 소스 전극(15), 드레인 전극(16), 그리고 드레인 전극(16)과 연결된 데이터 라인(3)은 채널 보호막(14) 상부면의 양측, 반도체 박막(13)의 상부면, 그리고 게이트 절연막(12)의 상부면의 위치에 제공된다. 금속 산화물과 n-형 불순물의 재료는 게이트 전극(11)과 주사 라인(2)의 예와 동일하다. 소스 전극(15), 드레인 전극(16), 그리고 데이터 라인(3)은 게이트 전극(11)과 주사 라인(2)에 사용된 바와 같이, 금속 산화막을 타겟으로 스퍼터링을 가하고, 포토리소그래피 기술을 사용하여 이러한 막을 패터닝함으로써 형성된다.

- <28> 여기서, 하부 게이트 구조를 갖는 박막 트랜지스터(5)는 게이트 전극(11), 게이트 절연막(12), 반도체 박막(13), 채널 보호막(14), 소스 전극(15), 및 드레인 전극(16)으로 구성된다. 이 경우, 게이트 전극(11)이 투명한 p-형 금속 산화물 또는 n-형 금속 산화물로 형성되고, 소스 전극(15)과 드레인 전극(16) 각각은 n-형 금속 산화물로 형성되기 때문에, 박막 트랜지스터(5)는 빛을 투과하도록 구성된다.
- <29> 질화규소로 만들어진 층간 절연막(17)은 박막 트랜지스터(5), 데이터 라인(3), 및 게이트 절연막(12)의 상부면에 제공된다. 투명한 n-형 금속 산화물로 만들어지며 상술한 구조를 갖는 보조 용량 전극(6)은 층간 절연막(17) 상부면의 소정 위치에 제공된다. 이러한 금속 산화물과 n-형 불순물의 재료는 예를 들면, 게이트 전극(11)과 주사 라인(2)의 예와 동일하다. 보조 용량 전극(6)은 게이트 전극(11)과 주사 라인(2)에 사용된 바와 같이, 금속 산화막을 타깃으로 스퍼터링을 가하고, 포토리소그래피 기술을 사용하여 n-형 금속 산화막을 형성하는 방법에 의하여 획득될 수 있다.
- <30> 질화 규소로 만들어진 보호코팅막(overcoat film) (절연막)(18)은 보조 용량 전극(6)과 층간 절연막(17)의 상부면에 제공된다. 콘택트홀(19)은 소스 전극(15)의 소정 위치에 상응하는 부분에서, 보호코팅막(18)과 층간 절연막(17)에 형성된다. n-형 또는 p-형 불순물을 함유하는 투명한 금속 산화물 또는 ITO와 같은 투명한 전기도전성 재료로 만들어진 픽셀 전극(4)은 콘택트홀(19)을 통해 소스 전극(15)과 전기적으로 도통하는 소정의 위치에서, 보호코팅막(18)의 상부면에 제공된다. 이 경우, 픽셀 전극(4)은 전체 박막 트랜지스터(5)를 실제적으로 덮기 위하여 제공된다. 편광판(20)은 박막 트랜지스터 기관(1)의 하부면에 제공된다.
- <31> 적색, 녹색, 및 청색 수지로 형성된 컬러 필터(32)는 대향 기관(31)의 하부면(박막 트랜지스터 기관(1)과 마주하는 측의 내부면)에 제공된다. ITO와 같은 투명한 전기도전성 재료로 만들어진 대향 전극(33)은 컬러 필터(32)의 하부면에 제공된다. 편광판(34)은 대향 기관(31)의 상부면에 제공된다. 또한, 박막 트랜지스터 기관(1)과 대향 기관은 외부 부분에서 봉입 재료(미도시)를 통해 서로 결합되며, 액정(35)은 봉입 재료의 내부측 기관(1) 사이에서 봉입된다.
- <32> 이러한 액정표시장치가 전계가 없을 때 블랙 디스플레이를 실행하는 정상 블랙 모드에 있을 때의 디스플레이 작동에 대하여 이하 설명된다. 이때 액정(35)은 예를 들면 90°의 뒤틀림각(twist angle)을 갖는 TN 액정이며, 양 편광판(20, 34)은 투과축이 서로 평행이 되도록 배열된다.
- <33> 먼저, 픽셀 전극(4)과 공통 전극(33)의 사이에 전압이 인가되지 않을 때, 액정(35)의 분자 배열은 90° 뒤틀린다. 박막 트랜지스터 기관(1)의 하부면에 배열되는 백라이트(미도시)로부터의 빛은 편광판(20), 박막 트랜지스터 기관(1), 및 픽셀 전극(4) 등에 투과된다. 이후, 빛은 90° 굴절되어 액정(35)에 투과되고, 공통 전극(33), 컬러 필터(32) 및 공통 기관(31)에 또한 투과되며, 편광판(34)에 의해 차단되므로써 블랙 디스플레이가 실행된다.
- <34> 반면, 픽셀 전극(4)과 공통 전극(33)의 사이에 백색 디스플레이를 실행하는 액정 구동 전압이 인가될 때, 액정(35)의 분자 배열은 픽셀 전극(4)과 공통 전극(33)에 수직이 된다. 백라이트(미도시)로부터의 빛은 편광판(20), 박막 트랜지스터 기관(1), 픽셀 전극(4) 등에 투과된다. 이후, 빛은 본래 그대로 액정(35)에 투과되고, 공통 전극(33), 컬러 필터(32) 및 공통 기관(31), 및 편광판(34)에 또한 투과되므로써 백색 디스플레이가 실행된다.
- <35> 대안적으로, 이러한 액정표시장치가 전계가 없을 때 백색 디스플레이를 실행하는 정상 백색 모드에 있을 때의 디스플레이 작동이 이하 설명된다. 이때, 액정(35)은 예를 들면 90°의 뒤틀림각(twist angle)을 갖는 TN 액정이며, 양 편광판(20, 34)은 투과축이 서로 수직이 되도록 배열된다.
- <36> 먼저, 픽셀 전극(4)과 공통 전극(33)의 사이에 전압이 인가되지 않을 때, 액정(35)의 분자 배열은 90° 뒤틀린다. 백라이트(미도시)로부터의 빛은 편광판(20), 박막 트랜지스터 기관(1), 픽셀 전극(4) 등에 투과된다. 이후, 빛은 90° 굴절되어 액정(35)에 투과되고, 공통 전극(33), 컬러 필터(32) 및 공통 기관(31), 및 편광판(34)에 또한 투과되므로써, 백색 디스플레이가 실행된다.
- <37> 반면, 픽셀 전극(4)과 공통 전극(33)의 사이에 흑색 디스플레이를 실행시키는 전압이 인가될 때, 액정(35)의 분자 배열은 픽셀 전극(4)과 공통 전극(33)에 수직이 된다. 백라이트(미도시)로부터의 빛은 편광판(20), 박막 트랜지스터 기관(1), 픽셀 전극(4) 등에 투과된다. 이후, 빛은 본래 그대로 액정(35)에 투과되고, 공통 전극(33), 컬러 필터(32) 및 공통 기관(31)에 또한 투과되며, 편광판(34)에 의해 차단되므로써 흑색 디스플레이가 실행된다.
- <38> 이러한 액정표시장치에서는, 인접한 픽셀 전극(4) 사이의 공간에 위치한 액정의 제 1 부분(35a)의 부분(34a)은

항상 블랙 디스플레이 상태로 설정된다. 여기서, 도 1에서, 픽셀 전극(4) 사이의 공간은 픽셀 전극(4) 이외의 영역이며, 폭 방향에서 데이터 라인(3)의 양측에 배치된 픽셀 전극(4)의 종방향 측 사이의 틈, 폭 방향에서 주사 라인(2)의 양측에 위치한 픽셀 전극(4)의 횡방향 측 사이의 틈, 및 양 라인(2, 3)의 각 교차점 주변에 배열된 픽셀 전극(4) 사이의 틈이다.

- <39> 이러한 액정표시장치가 정상 블랙 모드에 있을 때, 공통 전극(33)에 인가되는 전압과 실제적으로 동일한 전위를 갖도록, 보조 용량 전극(6)에 인가되는 전압은 제어된다(데이터 신호 전압이 공통 전극(33)에 인가될 때, 동일한 위상과 동일한 파형을 갖는 전압이 보조 용량 전극(6)에 인가된다).
- <40> 이후, 픽셀 전극(4) 사이의 공간과 상응하는 부분에서, 전압은 보조 용량 전극(6)과 공통 전극(33) 사이에 항상 인가되지 않으며, 액정의 제 1 부분(35a)의 분자 배열은 90° 뒤틀린다. 백라이트로부터의 빛은 편광판(20), 박막 트랜지스터 기관(1), 주사 라인(2), 데이터 라인(3), 보조 용량 전극(6) 등에 투과된다. 빛은 이후 90° 굴절되어 액정의 제 1 부분(35a)에 투과되고, 공통 전극(33), 컬러 필터(32) 및 공통 기관(31)에 또한 투과되며, 편광판(34)에 의해 차단된다. 그로 인해, 픽셀 전극(4) 사이의 공간과 상응하는 부분에서, 액정의 제 1 부분(35a)은 항상 블랙 디스플레이 상태로 설정된다.
- <41> 상술된 바와 같이, 정상 블랙 모드로 설정된 액정표시장치에서는, 비-디스플레이 모드에서, 픽셀 전극(4) 사이의 공간에 상응하는 부분에서 액정의 제 1 부분(35a)은 상시적인 블랙 디스플레이 상태로 항상 설정된다. 대안적으로, 디스플레이 상태에서는, 액정 구동 전압이 픽셀 전극(4)과 공통 전극(33) 사이에 인가되며, 액정 인가 전압에 따라서, 백라이트로부터의 빛은 픽셀 전극(4)과 공통 전극(33) 사이의 공간으로 투과되며, 공통 전극(33), 컬러 필터(32), 공통 기관(31) 및 편광판(34)에 또한 투과되어, 소정톤의 디스플레이를 실행한다. 그러나, 이 경우, 보조 용량 전극(6)과 픽셀 전극(4) 양쪽이 모두 투명하기 때문에, 빛은 이러한 부재들의 겹치는 부분을 투과하며, 보조 용량 전극(6)과 픽셀 전극(4)의 겹치는 부분은 개구율에 기여하게 된다.
- <42> 또한, 디스플레이 상태에서는, 동일한 전위가 픽셀 전극(4)과 공통 전극(33) 사이에 제공되어, 픽셀 전극(4) 사이의 공간에 상응하는 부분은 차광 상태가 된다. 따라서, 보조 용량 전극(6)과 픽셀 전극(4)이 투명한 경우에도, 빛의 누출은 발생되지 않는다. 즉, 디스플레이 상태에서는, 픽셀 전극(4) 사이의 공간만이 보조 용량 전극(6) 쪽에 상관없이 차광 상태로 설정될 수 있다.
- <43> 다음으로, 이러한 액정표시장치가 정상 화이트 모드에 있을 때에는, 블랙모드를 실행하는 전압보다 작지 않은 전압이 보조 용량 전극(6)과 공통 전극(33) 사이에 인가되도록 제어된다. 이 경우, 데이터 신호 전압이 공통 전극(33)에 인가될 때, 데이터 신호 전압에 대항되는 위상을 갖는 전압이 보조 용량 전극(6)에 인가되거나 또는 최소 크기가 제공되는 경우에도 블랙 디스플레이를 실행시키는 전압보다 작지 않은 전압이 인가되는 방식으로, 데이터 신호 기준 전위가 설정된다.
- <44> 픽셀 전극(4) 사이의 공간에 상응하는 부분에서, 블랙 디스플레이를 실행하는 전압보다 작지 않은 전압은 보조 용량 전극(6)과 공통 전극(33) 사이에 항상 인가되며, 액정의 제 1 부분(35a)의 분자 배열 방향은 보조 용량 전극(6)과 공통 전극(33)에 수직이 된다. 이에 따라서, 백라이트로부터 편광판(20), 박막 트랜지스터 기관(1), 주사 라인(2), 데이터 라인(3), 보조 용량 전극(6) 등을 통과한 빛은 비-굴절 상태에서 액정의 제 1 부분(35a)을 투과한다. 이후, 빛은 공통 전극(33), 컬러 필터(32) 및 공통 기관(31)에 투과되며, 편광판(34)에 의해 차단된다. 그로 인해, 픽셀 전극(4) 사이의 공간에 상응하는 부분에서, 액정의 제 1 부분(35a)은 블랙 디스플레이 상태로 항상 설정된다.
- <45> 상술한 바와 같이, 정상 백색 모드의 액정표시장치에 따른 비-디스플레이 모드에서는, 픽셀 전극(4) 사이의 공간에 상응하는 부분에서 액정의 제 1 부분(35a)은 블랙 디스플레이 상태로 항상 설정된다. 또한, 디스플레이 상태에서는, 액정 구동 전압이 픽셀 전극(4)과 공통 전극(33) 사이에 인가된다. 따라서, 액정 인가 전압에 따라서, 백라이트로부터의 빛은 픽셀 전극(4)과 공통 전극(33) 사이의 공간에 투과된다. 빛은 또한 공통 전극(33), 컬러 필터(32), 공통 기관(31) 및 편광판(34)에 투과되어, 소정 톤의 디스플레이를 실행한다. 그러나, 이런 경우, 보조 용량 전극(6)과 픽셀 전극(4) 모두가 투명하기 때문에, 빛은 이러한 부재들의 겹치는 부분을 투과하며, 보조 용량 전극(6)과 픽셀 전극(4)의 겹치는 부분은 개구율에 기여하게 된다.
- <46> 또한, 디스플레이 상태에서도, 픽셀 전극(4) 사이의 공간에 상응하는 부분은 차광 상태가 되도록, 블랙 디스플레이가 실행되는 전압보다 낮지 않은 전압이 픽셀 전극(4)과 공통 전극(33) 사이에 인가되기 때문에, 보조 용량 전극(6)과 픽셀 전극(4)이 투명한 경우에도, 빛의 누출은 발생 되지 않는다. 즉, 디스플레이 상태에서는, 픽셀 전극(4) 사이의 공간만이 보조 용량 전극(6) 쪽에 상관없이 차광 상태로 설정될 수 있다.

- <47> 상술한 바와 같이, 이러한 액정표시장치에서는, 픽셀 전극(4) 사이의 공간에 상응하는 부분에서, 액정의 제 1 부분(35a)은 정상 블랙 모드와 정상 화이트 모드 모두에서 블랙 디스플레이 상태로 항상 설정된다. 따라서, 블랙 마스크를 사용하지 않고, 픽셀 전극(4) 사이의 공간으로부터 빛의 누출을 확실하게 방지할 수 있다. 이 경우, 빛을 투과하도록 구성된 보조 용량 전극(6)과 픽셀 전극(4)의 겹치는 투명한 부분은 개구율을 기여하며, 개구율을 증가시킨다.
- <48> 또한, 이러한 액정표시장치에서는, 박막 트랜지스터(5)는 빛을 투과하도록 구성되고, 픽셀 전극(4)이 실제로 전체 박막 트랜지스터(5)를 덮기 때문에, 픽셀 전극(4)와 박막 트랜지스터(5)의 겹치는 부분은 개구율에 기여하며, 개구율은 좀 더 증가될 수 있다. 이 경우, 빛이 투명한 진성 금속 산화물로 만들어진 반도체 박막(13)에 입사되지만, 빛은 본래 그대로 투과되므로 문제가 되지 않는다.
- <49> 부가하여, 이러한 액정표시장치에서는, 주사 라인(2)과 데이터 라인(3)보다 큰 폭을 갖는 제 1 및 제 2 보조 용량 전극(6a, 6b)이 인접한 픽셀 전극(4), 주사 라인(2) 및 데이터 라인(3)의 측면 부분 사이에 제공되기 때문에, 제 1 및 제 2 보조 용량 전극(6a, 6b)은 픽셀 전극(4)과 주사 라인(2) 및 데이터 라인(3) 사이에 결합 용량이 발생하는 것을 방지하며, 수직적 누화(crosstalk)의 발생을 방지하고, 디스플레이 특성을 향상할 수 있다.
- <50> **(제 2 실시예)**
- <51> 도 3은 본 발명의 제 2 실시예에 따른 액정표시장치의 박막 트랜지스터 일부를 도시하는 투과 평면도이며, 도 4는 도 3의 라인 IV-IV을 따라 절단한 단면도이다. 이 경우, 도 3을 명확하게 하기 위하여, 픽셀 전극(4)의 4개 가장자리에 짧은 실선으로 기울어진 빗금 부분이 제공된다.
- <52> 이러한 액정표시장치에서, 도 1 및 2의 액정표시장치와의 현저한 차이는 박막 트랜지스터(5)가 최상위 게이트 구조를 갖는다는 것이다. 따라서, 이러한 액정표시장치에서, 도 1 및 도 2의 액정표시장치와 동일한 부분은 동일한 참조부호로 지시된다.
- <53> 이러한 액정표시장치에서, ITO와 같은 투명한 전기도전성 재료로 만들어진 소스 전극(15)과 드레인 전극(16), 그리고 드레인 전극(16)과 연결된 데이터 라인(3)은 박막 트랜지스터 기판(1)의 상부면의 소정 위치에 각각 제공된다. 투명한 진성 금속 산화물로 만들어진 반도체 박막(13)은 소스 전극(15)의 상부면의 소정 위치, 드레인 전극(16)의 상부면의 소정 위치, 그리고 이러한 전극들 사이의 박막 트랜지스터 기판(1) 상부면에 제공된다. 질화규소로 만들어진 보호막(21)은 반도체 박막(13)의 전체 상부면에 제공된다.
- <54> 반도체 박막(13)과 보호막(21)을 형성하는 방법으로서, 진성 금속 산화물로 만들어진 반도체 박막 형성용 막과 질화규소로 만들어진 보호막 형성용 막은 CVD 플라즈마 방법에 의하여, 먼저 박막 트랜지스터 기판(1), 소스 전극(15), 드레인 전극(16), 및 데이터 라인(3)의 상부면에 연속적으로 형성된다. 이후, 레지스트 패턴이 보호막 형성용 막의 상부에 형성되며, 보호막 형성용 막은 마스크로서 사용되는 이러한 레지스트 패턴으로 에칭되어, 보호막(21)을 형성한다.
- <55> 레지스트 패턴은 레지스트 박리액을 사용하여 박리된다. 이 경우, 보호막(21)의 하부 측 이외의 영역에 있는 반도체 박막 형성용 막의 표면이 레지스트 박리액에 노출되기는 하지만, 이러한 노출 부분은 장치 영역 이외의 영역이므로 문제가 되지 않는다. 즉, 보호막(21) 아래의 반도체 박막 형성용 막은 보호막(21)에 의해 보호된다. 순차적으로, 반도체 박막 형성용 막이 마스크로서 사용되는 보호막(21)으로 에칭될 때, 반도체 박막(13)은 보호막(21) 아래에 형성된다.
- <56> 질화규소로 만들어진 게이트 절연막(12)이 박막 트랜지스터 기판(1), 보호막(21), 데이터 라인(3) 및 소스 전극(15)의 상부면에 제공된다. 투명한 p-형 금속 산화물 또는 n-형 금속 산화물로 만들어진 게이트 전극(11)은 게이트 절연막(12) 상부면의 소정 위치에 제공된다.
- <57> 여기서, 게이트 전극(11), 게이트 절연막(12), 반도체 박막(13), 보호막(21), 소스 전극(15) 및 드레인 전극(16)은 최상층 게이트 구조를 갖는 박막 트랜지스터(5)를 구성한다. 이 경우, 게이트 전극(11)이 투명한 p-형 금속 산화물 또는 n-형 금속 산화물로 형성되며, 소스 전극(15)과 드레인 전극(16)이 ITO와 같은 투명한 반도체 재료로 형성되기 때문에, 박막 트랜지스터(5)는 빛을 투과하도록 구성된다.
- <58> 질화규소로 형성되는 층간 절연막(17)은 게이트 절연막(12), 게이트 전극(11) 및 주사 라인(2)의 상부면에 제공된다. 투명한 n-형 금속 산화물로 만들어진 보조 용량 전극(6)은 층간 절연막(17)의 상부면의 소정 위치에 제공된다. 질화규소로 만들어진 보호코팅막(18)은 층간 절연막(17)과 보조 용량 전극(6)의 상부면에 제공된다.

- <59> 콘택트홀(19)은 소스 전극(15)의 소정 위치에 상응하는 부분에서, 보호코팅막(18), 층간 절연막(17) 및 게이트 절연막(12)에 제공된다. ITO와 같은 투명한 전기도전성 재료로 만들어진 픽셀 전극(4)은 콘택트홀(19)을 통해 소스 전극(15)과 전기적으로 도통하는 소정의 위치에서 보호코팅막(18)의 상부면에 제공된다. 이 경우, 픽셀 전극(4)은 실제적으로 전체 박막 트랜지스터(5)를 덮기 위하여 제공된다.
- <60> 또한, 이러한 액정표시장치에서는, 제 1 실시예와 같이, 인접한 픽셀 전극(4) 사이의 공간에 상응하는 부분의 액정의 제 1 부분(35a)은 정상 블랙 모드와 정상 화이트 모드 모두에서 블랙 디스플레이 상태로 항상 설정되고, 블랙 마스크를 사용하지 않고도 픽셀 전극(4) 사이의 공간으로부터 빛의 누출을 확실히 방지할 수 있으며, 빛을 투과하도록 구성된 보조 용량 전극(6)과 픽셀 전극(4)의 겹치는 부분은 개구율에 기여하며, 개구율을 증가시킨다.
- <61> 이러한 액정표시장치에서는, 제 1 실시예와 같이, 박막 트랜지스터(5)가 빛을 투과하도록 구성되고, 픽셀 전극(4)은 실제적으로 전체 박막 트랜지스터(5)를 덮기 때문에, 픽셀 전극(4)과 박막 트랜지스터(5)의 겹치는 부분은 개구율에 기여하며, 개구율은 좀 더 증가될 수 있다.
- <62> **(제 3 실시예)**
- <63> 도 5는 본 발명의 제 3 실시예에 따른 액정표시장치의 박막 트랜지스터 일부를 도시하는 투과 평면도이고, 도 6은 도 5의 라인 VI-VI을 따라 절단한 단면도이다. 이 경우, 도 5를 명확하게 하기 위하여, 픽셀 전극(4)의 4개 가장자리에 짧은 실선으로 기울어진 빗금 부분이 제공된다.
- <64> 이러한 액정표시장치에, 도 1 및 2의 액정표시장치와의 현저한 차이는 도 5의 픽셀 전극(4)의 하부 좌측 코너부분, 즉 게이트 전극(11)과 상응하는 박막 트랜지스터(5)의 부분은 게이트 전극(11) 보다 약간 큰 빗금 부분을 갖으며, 보조 용량 전극(6)은 게이트 전극에 대하여 박막 트랜지스터(5)의 겹치는 부분을 포함하는 제 3 보조 용량 전극(6c)을 갖도록 구성된다는 것이다. 따라서, 이 경우, 픽셀 전극(4)의 전체 주변 부분은 픽셀 전극(4) 주위에 배열된 실제적인 격자형 보조 용량 전극(6)에 중첩된다.
- <65> 또한, 이러한 액정표시장치에서, 제 1 실시예와 같이, 보조 용량 전극(6)과 박막 트랜지스터(5)가 빛을 투과함에도 불구하고, 인접한 픽셀 전극(4) 사이의 공간에 상응하는 부분에서, 액정의 제 1 부분(35a)은 블랙 디스플레이 상태로 항상 설정된다. 결과적으로, 블랙 마스크를 사용하지 않고도, 픽셀 전극(4) 사이의 공간으로부터 빛의 누출을 확실히 방지할 수 있으며, 빛을 투과하도록 구성된 보조 용량 전극(6)과 픽셀 전극(4)의 겹치는 투명 부분은 개구율에 기여하며, 개구율을 증가시킨다.
- <66> **(다른 변형예)**
- <67> 이후의 각 실시예에서, 전체 보조 용량 전극(6)은 투명한 금속 산화물로 형성된다. 일반적으로 알려진 것처럼, 투명한 금속 산화물은 고 저항값을 가지며, 라인의 시작되는 단부측과 종료되는 단부측 사이에서 전위차가 발생되어, 디스플레이가 고르지 않게 된다. 따라서, 보조 용량 전극(6)은 예를 들면, 알루미늄 또는 크롬으로 형성된 차광형 금속막과 투명한 금속 산화물이 중첩되도록 구성되는 경우, 라인의 시작되는 단부측과 종료되는 단부측 사이에서 전위차로 인해 디스플레이가 고르지 못하게 된다. 도 7은 도 1에서 도시된 제 1 실시예에 대하여, 그러한 대응책이 취해진 변형을 도시하는 단면도이다. 도 7에서, 도 1과의 차이는 층간 절연막(17)에 형성된 보조 용량 전극(6)은 전체 차광형 금속막(6B)(상부 및 측면)을 덮는 투명한 금속막(6A)으로 구성된다는 것이다. 투명한 금속막(6A)의 폭은 차광형 금속막(6B)의 폭보다 크며, 투명한 금속막(6A)은 차광형 금속막(6B)을 완전히 덮는다. 폭 방향에서 투명한 금속막(6A)의 양 측면 가장자리 부분은 픽셀 전극(4)의 가장자리 부분과 겹친다. 그러나, 차광형 금속막(6B)의 폭은 인접한 픽셀 전극(4) 사이의 틈(w) 보다 작으며, 폭방향에서 이러한 막의 양 측면 가장자리 부분은 픽셀 전극(4)의 가장자리 부분과 겹치지 않는다. 픽셀 전극(4)과 보조 용량 전극(6)이 보조 용량 전극(6)의 폭방향에서 위치가 전이되는 경우에도, 금속막(6B)의 양단부 부분이 픽셀 전극(4)의 가장자리 부분과 겹쳐지는 않는 면적에, 차광형 금속막(6B)의 폭을 설정하지 않는 것이 바람직하다. 그러나, 개구율이 충분하다면, 저항값을 좀더 감소하기 위하여, 차광형 금속막(6B)의 양단부 부분이 픽셀 전극(4)의 가장자리 부분 중 적어도 한 부분과 어느정도 겹칠 수 있다. 그러나, 본 발명은 이러한 구성에 국한되지 않는다.
- <68> 또한, 차광형 금속막(6B)과 투명한 금속막(6A)의 중첩 순서는 반대가 되어, 차광형 금속막(6B)이 투명한 금속막(6A)의 상부면에 형성될 수도 있다.
- <69> 도시되지는 않았지만, 이러한 구성은 도 4와 도 6에 도시된, 제 2 실시예와 제 3 실시예에 적용될 수 있다.

산업상 이용 가능성

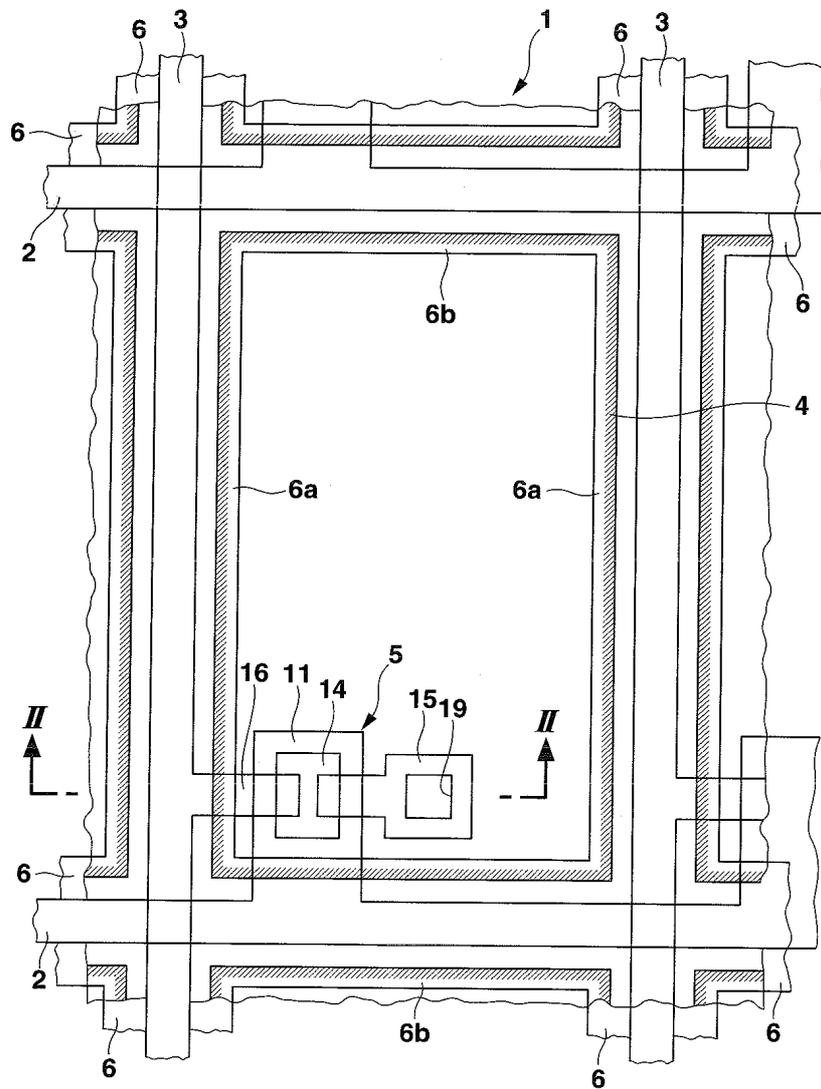
- <70> 또한, 본 발명은 픽셀 전극과 대향 전극이 서로 다른 기판상에 형성되는 구성에 국한되지 않으며, 양 전극이 동일한 기판상에 적용되는 인 플레인 스위칭(In Plane Switching:IPS)으로 불리는 횡전계(transverse electric field) 모드에 적용될 수 있다.
- <71> 당업자에 의한 부가적인 이점과 변형이 만들어질 수 있다. 그러므로, 광의적 국면에서 본 발명은 이곳에서 설명되고 도시된 대표적인 실시예와 그 상세한 설명에만 국한되지 않으며, 다양한 개선과 설계 변형이 본 발명의 요지를 벗어남 없이 만들어질 수 있다.

도면의 간단한 설명

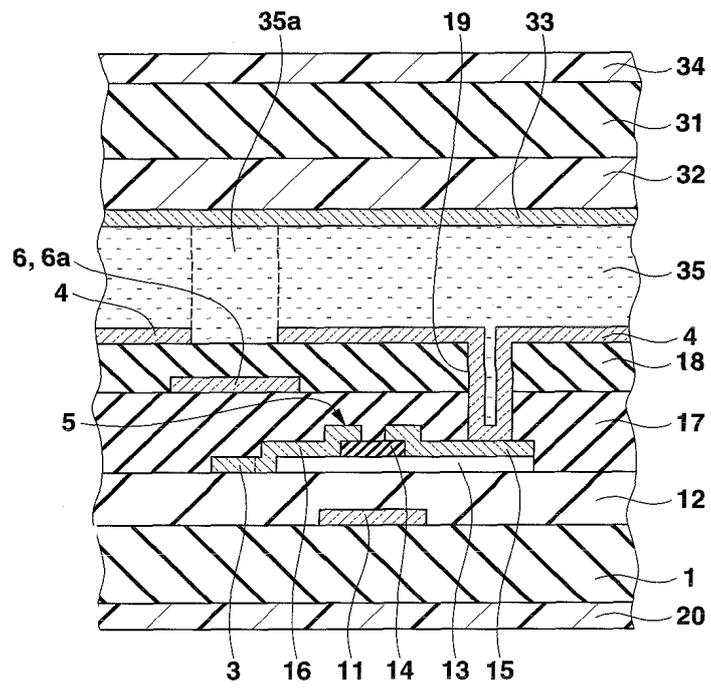
- <8> 상세설명的一部分가 병합되어 구성된 첨부된 도면은 본 발명의 실시예 및 상술된 본 발명의 일반적 개요 및 이하 설명될 상세한 설명을 도시하며, 본 발명의 요지를 설명하기 위하여 제공된다.
- <9> 도 1은 본 발명의 제 1 실시예에 따른 액정표시장치의 박막 트랜지스터 기관 일부를 도시하는 투과 평면도이고;
- <10> 도 2는 도 1의 라인 II-II을 따라 절단한 단면도이며;
- <11> 도 3은 본 발명의 제 2 실시예에 따른 액정표시장치의 박막 트랜지스터 기관 일부를 도시하는 투과 평면도이고;
- <12> 도 4는 도 3의 라인 IV-IV을 따라 절단한 단면도이며;
- <13> 도 5는 본 발명의 제 3 실시예에 따른 액정표시장치의 박막 트랜지스터 기관 일부를 도시하는 투과 평면도이고;
- <14> 도 6은 도 5의 라인 VI-VI을 따라 절단한 단면도이며;
- <15> 도 7은 제 1 실시예의 변형예를 도시하는 단면도이다.

도면

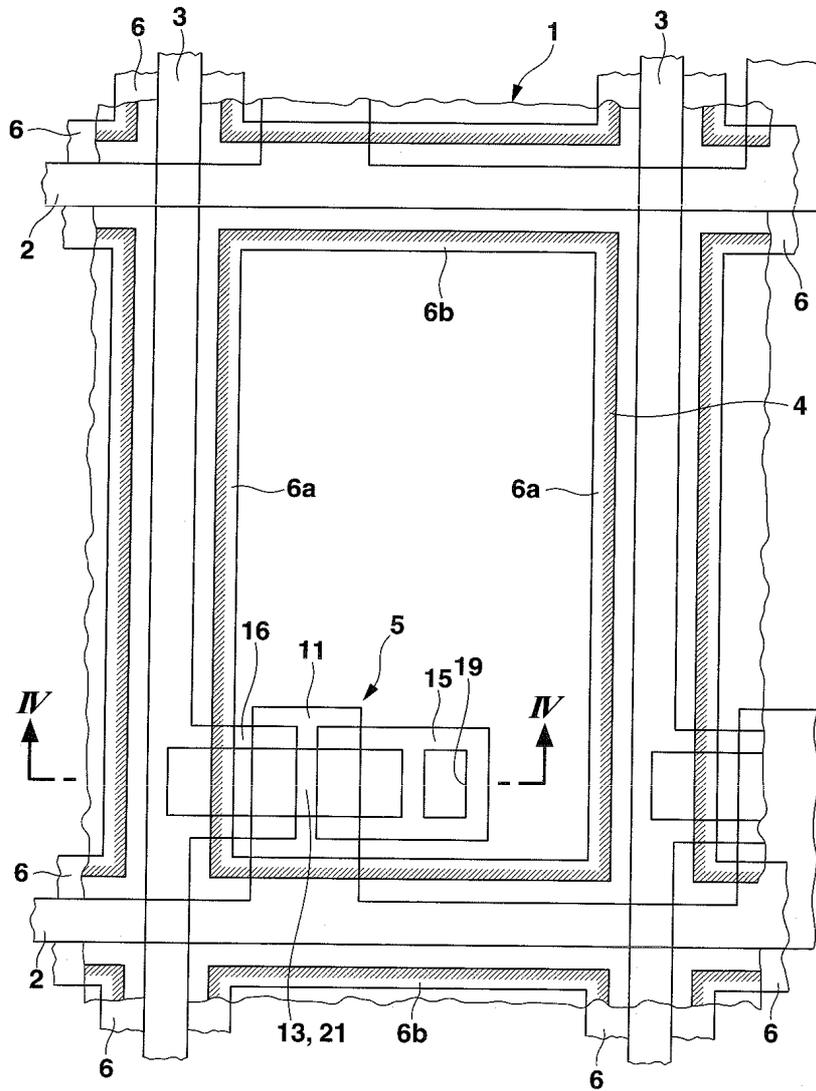
도면1



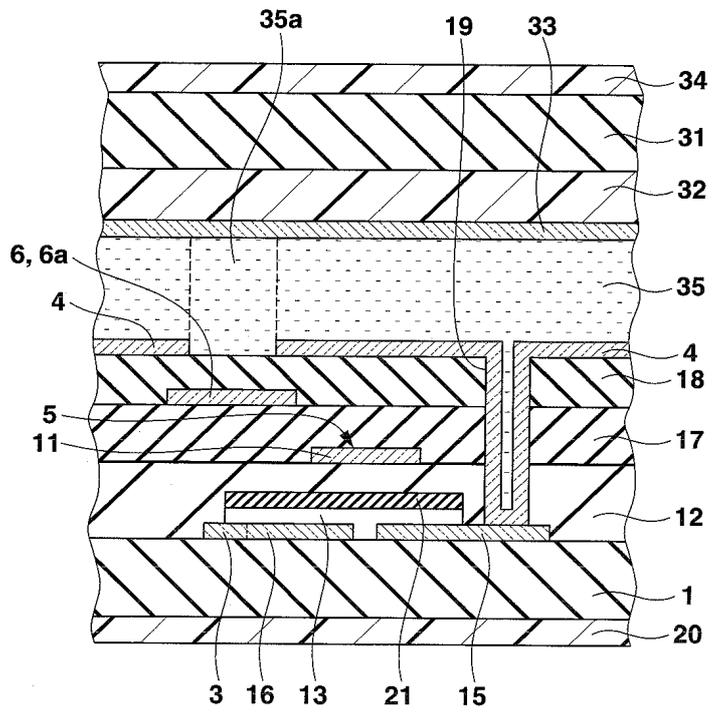
도면2



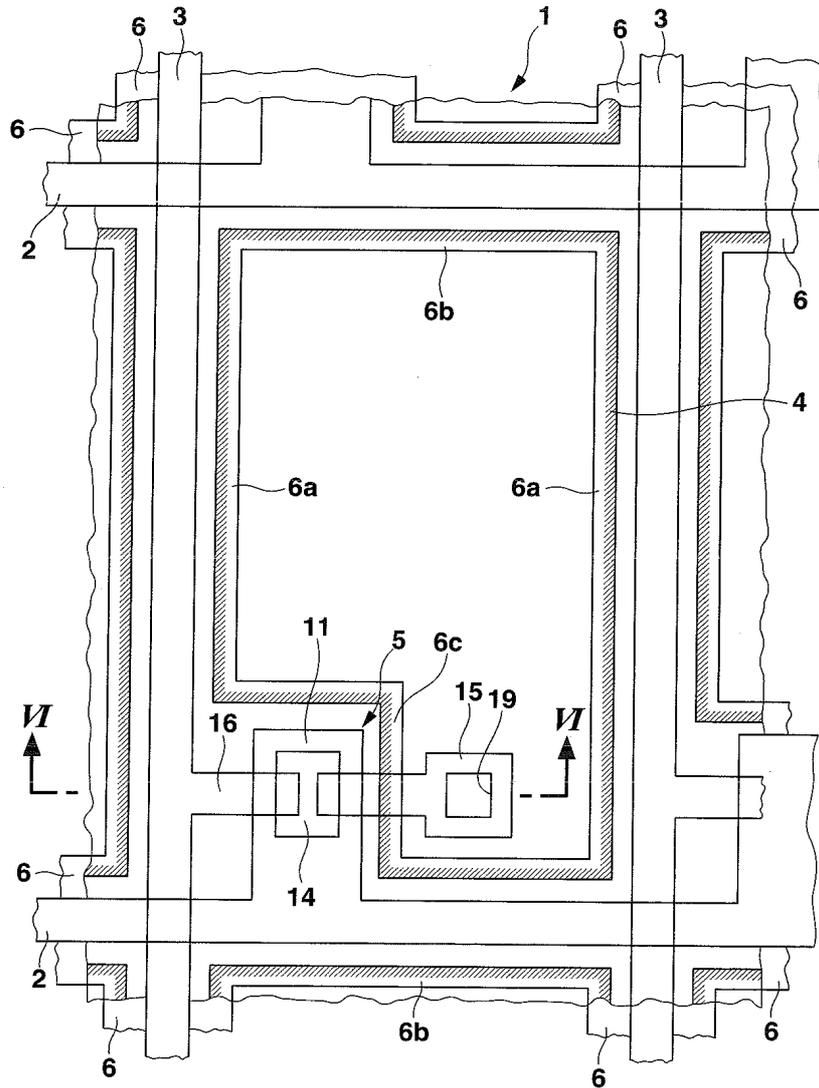
도면3



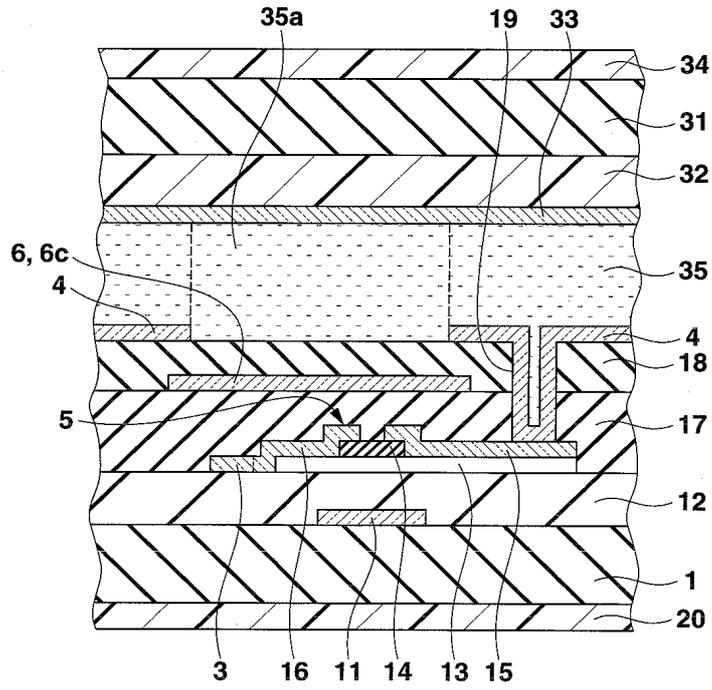
도면4



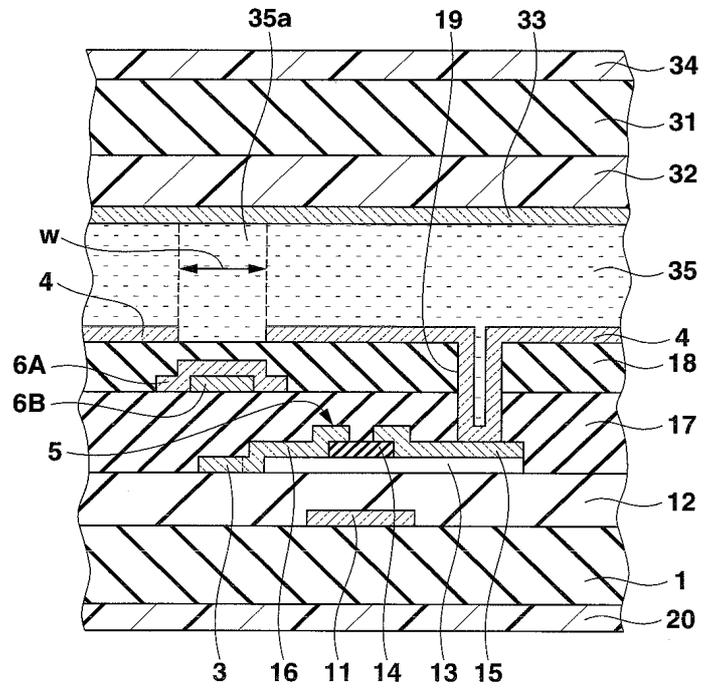
도면5



도면6



도면7



专利名称(译)	液晶显示器		
公开(公告)号	KR100893240B1	公开(公告)日	2009-04-17
申请号	KR1020077013202	申请日	2006-06-06
[标]申请(专利权)人(译)	卡西欧计算机株式会社 西伯利亚有限公司计算关键财富		
申请(专利权)人(译)	计算关键是否西伯利亚有限公司		
当前申请(专利权)人(译)	计算关键是否西伯利亚有限公司		
[标]发明人	ISHII HIROMITSU 이시이히로미츠		
发明人	이시이히로미츠		
IPC分类号	G02F1/1362 G02F1/1343 G02F1/136		
CPC分类号	G02F1/136209 G02F1/136213 G02F2001/13629 G02F2201/40 G02F2203/01		
代理人(译)	김문중 Soneunjin		
优先权	2005170349 2005-06-10 JP		
其他公开文献	KR1020070088689A		
外部链接	Espacenet		

摘要(译)

薄膜晶体管 (5) 设置在扫描的交叉区域和第一基板 (1) 上的数据线 (2,3) 的附近。像素电极 (4) 与薄膜晶体管 (5) 连接。在像素电极和扫描线之间提供施加有公共电位的透明导电层 (6)，以覆盖扫描线和数据线的数据线叠加在两侧的像素电极的周边部分上。在像素电极和导电层之间形成绝缘膜 (18)。相对电极 (33) 形成在第二基板 (31) 上以对应于像素电极。在像素电极和相对电极之间提供液晶 (35)。

©KIPO & WIPO 2007

