



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년12월22일
(11) 등록번호 10-0875182
(24) 등록일자 2008년12월15일

(51) Int. Cl.

G02F 1/136 (2006.01)

(21) 출원번호 10-2002-0021790

(22) 출원일자 2002년04월20일

심사청구일자 2007년04월18일

(65) 공개번호 10-2003-0083308

(43) 공개일자 2003년10월30일

(56) 선행기술조사문헌

KR1019990016188 A*

JP12196098 A*

US05656824 A1*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

송상무

대구광역시남구대명7동2151-19

최승규

대구광역시북구팔달동청구2001아파트112-103

(74) 대리인

김용인, 박영복

전체 청구항 수 : 총 10 항

심사관 : 임동재

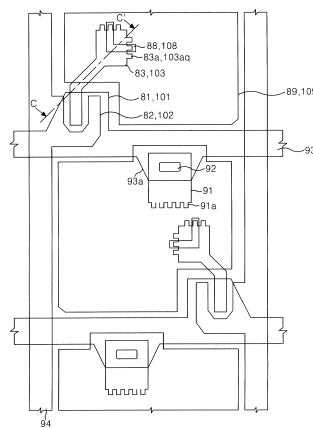
(54) 액정표시장치 및 그 제조방법

(57) 요약

본 발명은 박막트랜지스터의 기생용량값을 균일하게 하도록 한 액정표시장치 및 그 제조방법에 관한 것이다.

본 발명의 실시예에 따른 액정표시장치 및 그 제조방법은 박막트랜지스터들의 소스전극을 데이터라인에 접속시키고 박막트랜지스터들의 드레인전극을 소스전극 내의 오목한 부분에 데이터라인방향으로 삽입하게 된다.

대표도 - 도13



특허청구의 범위

청구항 1

기관 상에 형성되어 스캔전압을 공급하는 다수의 게이트 라인들;

상기 게이트라인들을 덮도록 기관 전면에 형성된 제 1 절연층;

상기 제1 절연층 상에 게이트 라인들과 교차하도록 형성됨과 아울러, 서로 교번하도록 배열된 다수의 제 1 데이터 라인들 및 제 2 데이터 라인들;

상기 제 1 데이터 라인들 및 제 2 데이터 라인들과 상기 게이트 라인들이 교차하는 영역에 형성됨과 아울러, 서로 교번하도록 매트릭스 형태로 배열된 다수의 제 1 화소 전극들 및 제 2 화소 전극들;

상기 제1 데이터라인으로부터의 데이터를 제1 화소전극에 공급하는 제1 박막트랜지스터; 및

상기 제1 데이터라인과 인접한 제2 데이터라인으로부터의 데이터를, 상기 제 1 화소 전극과 데이터 라인 방향으로 교번하여 배열된 제2 화소전극에 공급하는 제2 박막트랜지스터를 구비하고,

상기 제1박막트랜지스터들 및 제2박막트랜지스터들의 소스전극은 데이터 라인과 나란한 방향으로 오목한 부분을 가지는 'U'자 형태로 형성되고, 상기 제1박막트랜지스터들 및 제2박막트랜지스터들의 드레인전극은 각각 상기 제1박막트랜지스터들 및 제2박막트랜지스터들의 소스전극 내의 오목한 부분에 상기 데이터라인과 나란한 방향으로 삽입되도록 형성된 것을 특징으로 하는 액정표시장치.

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

제 1 항에 있어서,

상기 제1 박막트랜지스터는 상기 제1 데이터라인과 제1 게이트라인의 교차부에 위치하며,

상기 제2 박막트랜지스터는 제1 게이트라인과 인접하는 제2 게이트라인과 상기 제2 데이터라인의 교차부에 위치하는 것을 특징으로 하는 액정표시장치.

청구항 6

제 1 항에 있어서,

상기 제1 절연층과 상기 제 1 박막트랜지스터와 제 2 박막 트랜지스터 각각의 소스전극 및 드레인전극 사이에 형성되는 반도체층과,

상기 반도체층과 상기 제 1 박막 트랜지스터와 제 2 박막트랜지스터 각각의 소스전극 및 드레인전극 사이에 형성되는 오믹접촉층과,

상기 제1 절연층 상에 형성되어 상기 게이트라인에 적어도 일부가 중첩되는 캐패시터전극과,

상기 드레인전극과 상기 캐패시터전극을 노출시키기 위한 콘택홀들이 형성되며 상기 제 1 박막트랜지스터 및 제 2 박막 트랜지스터, 상기 데이터라인, 상기 게이트라인 및 상기 캐패시터전극을 덮도록 상기 제1 절연층 상에 형성되는 제2 절연층과,

상기 콘택홀들을 경유하여 상기 드레인전극 및 상기 캐패시터전극에 접속되도록 상기 제2 절연층 상에 형성되는 화소전극을 더 구비하는 것을 특징으로 하는 액정표시장치.

청구항 7

제 6 항에 있어서,

상기 드레인전극 및 상기 캐패시터전극의 적어도 일측 가장자리가 빗살형태로 형성되는 것을 특징으로 하는 액정표시장치.

청구항 8

기판 상에 게이트라인 및 상기 게이트라인에서 분기된 게이트전극을 형성하는 단계;

상기 게이트라인 및 게이트전극 상부에 제1 절연층을 형성하는 단계;

상기 제1 절연층 상에 반도체 패턴을 형성하는 단계; 및

상기 게이트 라인과 교차함과 아울러 서로 교번하도록 배열된 제1 데이터 라인 및 제2 데이터 라인과, 상기 제1 데이터 라인에 접속됨과 아울러 데이터 라인과 나란한 방향으로 오목한 부분을 가지는 'U'자 형태로 이루어진 제 1 박막트랜지스터의 소스 전극 및 상기 소스 전극의 오목한 부분에 데이터 라인과 나란한 방향으로 삽입되는 제 1 박막트랜지스터의 드레인 전극과, 상기 제2 데이터 라인에 접속됨과 아울러 데이터 라인과 오목한 방향으로 오목한 부분을 가지는 'U'자 형태로 이루어진 제2 박막트랜지스터의 소스 전극 및 상기 소스 전극의 오목한 부분에 데이터 라인과 나란한 방향으로 삽입되는 제 2 박막트랜지스터의 드레인 전극을 형성하는 단계를 포함하고,

상기 제1 박막 트랜지스터 및 제 2 박막 트랜지스터는 데이터 라인 방향으로 서로 교번하도록 형성된 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 9

제 8 항에 있어서,

상기 제1 절연층 상에 반도체패턴을 형성하는 단계와,

상기 제 1 박막트랜지스터들과 제 2 박막트랜지스터들 각각의 소스전극과 드레인전극의 형성시 상기 게이트라인에 적어도 일부가 중첩되는 캐패시터전극을 형성하는 단계와,

상기 반도체패턴과 상기 소스전극 사이와 상기 반도체패턴과 상기 드레인전극 사이에 오믹접촉층을 형성하는 단계와,

상기 제 1 박막트랜지스터들과 제 2 박막트랜지스터들과 상기 데이터라인들 및 상기 게이트라인들을 덮도록 상기 유리기판 상에 제2 절연층을 형성하는 단계와,

상기 제2 절연층 상에 상기 드레인전극과 상기 캐패시터전극 각각을 노출시키기 위한 콘택홀들을 형성하는 단계와,

상기 콘택홀을 경유하여 상기 드레인전극과 상기 캐패시터전극에 접속되는 화소전극을 상기 제2 절연층 상에 형성하는 단계를 더 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 10

제 8 항에 있어서,

상기 반도체패턴 및 상기 오믹접촉층을 형성하기 위한 마스크와 상기 소스전극, 상기 드레인전극 및 상기 캐패시터전극을 형성하기 위한 마스크는 서로 다른 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 11

제 8 항에 있어서,

상기 반도체패턴, 상기 오믹접촉층, 상기 소스전극, 상기 드레인전극 및 상기 캐패시터전극은 동일한 마스크를 이용하여 형성되는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 12

삭제

청구항 13

제 8 항에 있어서,

상기 제 1 박막트랜지스터들 및 제 2 박막 트랜지스터들 각각의 오목한 부분이 상기 데이터라인과 나란하게 되는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 14

제 9 항에 있어서,

상기 드레인전극 및 상기 캐패시터전극의 적어도 일측 가장자리가 빗살형태로 형성되는 것을 특징으로 하는 액정표시장치의 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <29> 본 발명은 액정표시장치에 관한 것으로, 특히 박막트랜지스터의 기생용량값을 균일하게 하도록 한 액정표시장치 및 그 제조방법에 관한 것이다.
- <30> 액정표시장치는 비디오신호에 따라 액정셀들의 광투과율을 조절하여 화상을 표시하게 된다. 박막트랜지스터(Thin Film Transistor; 이하 "TFT"라 함)가 각각의 액정셀마다 형성된 액티브 매트릭스(Active Matrix) 타입의 액정표시장치는 패시브 매트릭스(Passive Matrix) 타입의 액정표시장치에 비하여 동영상 표시할 때 더 선명한 화질로 영상을 표시할 수 있다.
- <31> 도 1을 참조하면, 액정표시장치는 액티브 매트릭스 타입의 액정패널(2)과, 액정패널(2)의 데이터라인들(DL1 내지 DLm)에 데이터를 공급하기 위한 데이터 드라이버(6)와, 액정패널(2)의 게이트라인(GL1 내지 GLn)에 스캔펄스를 공급하기 위한 게이트 드라이버(4)를 구비한다. 도 1에서 'C1c'는 액정셀의 등가 정전용량을 나타낸다.
- <32> 액정패널(2)의 상부유리기판과 하부유리기판 사이에는 액정이 주입된다. 이 액정패널(2)에는 $m \times n$ 개의 액정셀(C1c)이 매트릭스 타입으로 배치된다. 또한, 액정패널(2)에는 m 개의 데이터라인들(DL1 내지 DLm)과 n 개의 게이트라인들(GL1 내지 GLn)이 교차되며 그 교차부마다 액정셀(C1c)을 구동하기 위한 TFT가 형성된다. TFT는 스캔펄스에 응답하여 턴-온함으로써 데이터라인들(DL1 내지 DLm) 상의 데이터를 액정셀(C1c)에 공급하게 된다. TFT의 게이트전극(11)은 매 수평라인마다 동일한 게이트라인(GL1 내지 GLn)에 접속된다. TFT의 소스전극(12)은 매 수직라인마다 동일한 데이터라인(DL1 내지 DLm)에 접속된다. 그리고 TFT의 드레인전극(13)은 각각의 액정셀(C1c)마다 액정셀(C1c)의 화소전극에 접속된다.
- <33> 게이트 드라이버(4)는 도시하지 않은 타이밍 컨트롤러의 제어 하에 스캔펄스를 발생하고 그 스캔펄스를 게이트라인들(GL1 내지 GLn)에 순차적으로 공급하게 된다. 이 게이트 드라이버(4)는 스캔펄스를 순차적으로 발생하는 쉬프트 레지스터와, 스캔펄스의 전압의 스윙폭을 액정셀(C1c)의 구동에 적합하게 쉬프트 시키기 위한 레벨 쉬프터를 포함한다. TFT는 게이트 드라이버(4)로부터의 스캔펄스에 응답하여 턴-온된다. TFT 턴-온시 데이터라인(DL1 내지 DLm) 상의 비디오 데이터는 액정셀(C1c)의 화소전극에 공급된다.
- <34> 데이터 드라이버(6)는 도시하지 않은 타이밍 컨트롤러로부터 입력되는 비디오 데이터를 샘플링하고 래치한 후에, 래치된 데이터를 화소데이터전압으로 미리 설정된 감마보상전압으로 변환하여 데이터라인들(DL1 내지 DLm)에 동시에 공급하게 된다. 여기서, 데이터 드라이버(6)에 의해 변환된 데이터는 매 스캔펄스가 발생할 때 마다 각 스캔펄스에 동기되어 1 수평기간 동안에 1 수평라인분씩 데이터라인들(DL1 내지 DLm)에 공급된다.
- <35> 도 2는 액정패널의 하부유리기판 상에 형성된 TFT 어레이의 일부를 확대하여 나타내는 평면도이며, 도 3은 도 2에서 선 "A-A'"을 따라 절취하여 TFT의 단면을 상세히 나타내는 단면도이다.
- <36> 도 2 및 도 3을 참조하면, 액정패널의 하부유리기판(20) 상에는 게이트라인(23)과 데이터라인(24)의 교차부에

TFT가 형성되며, TFT의 드레인전극(13)에 접속되며 게이트라인(23)과 데이터라인(24) 사이에 마련된 화소영역 내에 형성되는 화소전극(19)이 형성된다. 또한, 액정패널의 하부유리기판(20) 상에는 게이트라인(23)과 화소전극(19) 사이에 스토리지 캐패시터(CAP)가 형성된다.

<37> 하부유리기판(20)의 표면에는 금속을 증착 및 패터닝함으로써 TFT의 게이트전극(11)과 그와 연결된 게이트라인(23)이 동시에 형성된다. 게이트라인(23)의 하측면에는 화소전극(19) 쪽으로 돌출되는 돌출부(23a)가 형성된다. 게이트전극(11)과 게이트라인(23)을 포함한 게이트금속층과 하부유리기판(20) 상에는 무기절연물로 이루어지는 게이트절연층(16)이 전면 형성된다. 게이트절연층(16) 상에는 반도체물질로 이루어지는 반도체층(14)이 형성되고, 그 위에 반도체물질에 불순물이 도핑된 오믹접촉층(15)이 적층된다. 오믹접촉층(15) 위에는 TFT의 소스전극(12)과, 그와 연결되는 데이터라인(24) 및 소스전극(12)과 소정의 채널을 사이에 두고 대향하는 드레인전극(13)이 형성된다. TFT의 소스전극(12)과 드레인전극(13)은 게이트절연층(16), 반도체층(14) 및 오믹접촉층(15)을 사이에 두고 게이트전극(11)과 중첩된다. 데이터라인(24), 소스전극(12) 및 드레인전극(13)이 형성됨과 동시에, 게이트라인(23)의 돌출부(23a)와 중첩되도록 캐패시터전극(21)이 형성된다. 스토리지 캐패시터(CAP)는 유전층 즉, 게이트절연층(16)을 사이에 두고 게이트라인(23)과 그에 중첩되는 캐패시터전극(21)를 포함하여 전단 게이트라인(23)에 게이트하이전압이 인가될 때 전압을 충전하고, 다음 프레임에 데이터가 입력되기까지 충전된 전압을 유지하여 화소전극(19)의 전압변동을 억제하는 역할을 한다. 이렇게 TFT, 게이트라인(23) 및 데이터라인(24)이 형성된 후에 하부유리기판(20) 상에는 무기절연물질이나 유기절연물질로 이루어지는 보호층(Passivation Layer)(17)이 전면 형성된다. 보호층(17)에는 드레인전극(13)의 일부를 노출시키기 위한 콘택홀(18)과 캐패시터전극(21)의 일부를 노출시키기 위한 콘택홀(22)이 형성된다. 보호층(17) 위에는 인듐틴옥사이드(Indium-tin-oxide : 이하, "ITO"라 한다) 등의 투명도전성물질로 이루어지는 화소전극(19)이 형성된다. 화소전극(19)의 상단에는 게이트라인의 돌출부(23a)와 캐패시터전극(21)과 중첩되도록 돌출부(19a)가 형성된다. 이 화소전극(19)은 콘택홀(18,22)을 경유하여 드레인전극(13)과 캐패시터전극(22)에 접속된다.

<38> 액정패널의 액정셀(Clc)에 인가되는 전압(ΔV_p)은 아래의 수학적 식 1과 같다.

수학적 식 1

$$\Delta V_p = \frac{C_{gs}}{C_{lc} + C_{st} + C_{gs}} \Delta V_g$$

<39> 여기서, C_{gs} 는 TFT의 게이트전극(11)과 소스전극(12) 또는 TFT의 게이트전극(11)과 드레인전극(13) 사이의 기생용량값이며, C_{st} 는 스토리지 캐패시터(CAP)의 정전용량값이다. 그리고 ΔV_g 는 게이트라인(23)에 공급되는 스캔펄스의 게이트하이전압과 게이트로우전압 사이의 전위차를 나타낸다.

<41> 수학적 식 1에서 알 수 있는 바, 동일한 데이터전압이 공급될 때 액정패널의 각 액정셀(Clc)에 인가되는 전압(V_p)이 동일하게 되기 위해서는 게이트-소스 캐패시턴스(기생용량)(C_{gs}), 스캔전압(ΔV_g), 스토리지 캐패시터의 캐패시턴스(C_{st}), 액정셀의 캐패시턴스(C_{lc})가 동일하게 되어야 한다. 그런데 게이트-소스간 캐패시턴스(기생용량)(C_{gs})는 포토리소그래피(Photolithography) 공정을 이용하여 TFT의 소스전극(12)과 드레인전극(13)을 패터닝할 때 마스크가 정확히 정렬되지 않는 등의 문제로 편차가 나타날 수 있다. 이 경우, 액정셀(Clc)에 인가되는 전압이 변하기 때문에 액정셀(Clc)의 광투과율이 변하게 되고, 그로 인하여 플리커(Flicker)가 발생하여 표시품질이 떨어지게 된다.

발명이 이루고자 하는 기술적 과제

<42> 따라서, 본 발명의 목적은 TFT의 기생용량값을 균일하게 하도록 한 액정표시장치 및 그 제조방법을 제공하는 것이다.

발명의 구성 및 작용

<43> 상기 목적을 달성하기 위하여, 본 발명의 실시예에 따른 액정표시장치는 제1 데이터라인으로부터의 데이터를 제1 화소전극에 공급하는 제1 박막트랜지스터와, 제1 데이터라인과 인접한 제2 데이터라인으로부터의 데이터를 데이터라인방향에서 제1 화소전극과 인접하는 제2 화소전극에 공급하는 제2 박막트랜지스터를 구비한다.

- <44> 상기 박막트랜지스터들의 소스전극은 데이터라인에 접속되고 박막트랜지스터들의 드레인전극은 소스전극 내의 오목한 부분에 데이터라인방향으로 삽입되는 것을 특징으로 한다.
- <45> 상기 박막트랜지스터들의 소스전극은 'U'자 형태인 것을 특징으로 한다.
- <46> 상기 박막트랜지스터들 각각의 오목한 부분이 데이터라인과 나란한 것을 특징으로 한다.
- <47> 본 발명의 실시예에 따른 액정표시장치는 데이터라인들과 교차하며 박막트랜지스터의 게이트전극과 접속되어 스캔전압을 박막트랜지스터의 게이트전극에 공급되는 다수의 게이트라인들을 더 구비한다.
- <48> 상기 제1 박막트랜지스터는 제1 데이터라인과 제1 게이트라인의 교차부에 위치하며, 상기 제2 박막트랜지스터는 제1 게이트라인과 인접하는 제2 게이트라인과 제2 데이터라인의 교차부에 위치하는 것을 특징으로 한다.
- <49> 본 발명의 실시예에 따른 액정표시장치는 박막트랜지스터의 소스전극 및 드레인전극과 박막트랜지스터의 게이트전극 사이에 형성되는 제1 절연층과, 제1 절연층과 박막트랜지스터의 소스전극 및 드레인전극 사이에 형성되는 반도체층과, 반도체층과 박막트랜지스터의 소스전극 및 드레인전극 사이에 형성되는 오믹접촉층과, 제1 절연층 상에 형성되어 게이트라인에 적어도 일부가 중첩되는 캐패시터전극과, 드레인전극과 캐패시터전극을 노출시키기 위한 콘택홀들이 형성되며 박막트랜지스터, 데이터라인, 게이트라인 및 캐패시터전극을 덮도록 제1 절연층 상에 형성되는 제2 절연층과, 콘택홀들을 경유하여 드레인전극 및 캐패시터전극에 접속되도록 제2 절연층 상에 형성되는 화소전극을 더 구비한다.
- <50> 본 발명의 실시예에 따른 액정표시장치의 제조방법은 제1 데이터라인에 접속되도록 제1 박막트랜지스터의 소스전극을 형성함과 동시에 데이터라인방향으로 소스전극의 오목한 부분에 삽입되고 제1 화소전극에 접속되도록 제1 박막트랜지스터의 드레인전극을 형성하는 단계와, 제1 데이터라인과 인접하는 제2 데이터라인에 접속되도록 제2 박막트랜지스터의 소스전극을 형성함과 아울러 데이터라인방향으로 소스전극의 오목한 부분에 삽입되고 데이터라인방향에서 제1 화소전극과 인접한 제2 화소전극에 접속되도록 제2 박막트랜지스터의 드레인전극을 형성하는 단계를 포함한다.
- <51> 본 발명의 실시예에 따른 액정표시장치의 제조방법은 유리기관 상에 제1 및 제2 박막트랜지스터의 게이트전극 및 게이트전극과 연결되는 다수의 게이트라인들을 형성하는 단계와, 게이트전극 및 게이트라인들을 덮도록 유리기관 상에 제1 절연층을 형성하는 단계와, 제1 절연층 상에 반도체패턴을 형성하는 단계와, 박막트랜지스터들의 소스전극과 드레인전극의 형성시 게이트라인에 적어도 일부가 중첩되는 캐패시터전극을 형성하는 단계와, 반도체패턴과 소스전극 사이와 반도체패턴과 드레인전극 사이에 오믹접촉층을 형성하는 단계와, 박막트랜지스터들과 데이터라인들 및 게이트라인들을 덮도록 유리기관 상에 제2 절연층을 형성하는 단계와, 제2 절연층 상에 드레인전극과 캐패시터전극 각각을 노출시키기 위한 콘택홀들을 형성하는 단계와, 콘택홀을 경유하여 드레인전극과 캐패시터전극에 접속되는 화소전극을 제2 절연층 상에 형성하는 단계를 더 포함한다.
- <52> 본 발명의 실시예에 따른 액정표시장치의 제조방법은 반도체패턴 및 오믹접촉층을 형성하기 위한 마스크와 소스전극, 드레인전극 및 캐패시터전극을 형성하기 위한 마스크는 서로 다른 것을 특징으로 한다.
- <53> 본 발명의 실시예에 따른 액정표시장치의 제조방법은 반도체패턴, 오믹접촉층, 소스전극, 드레인전극 및 캐패시터전극을 동일한 마스크를 이용하여 형성하는 것을 특징으로 한다.
- <54> 본 발명의 실시예에 따른 액정표시장치 및 그 제조방법은 박막트랜지스터들의 소스전극을 'U'자 형태로 패터닝하는 것을 특징으로 한다.
- <55> 본 발명의 실시예에 따른 액정표시장치 및 그 제조방법은 박막트랜지스터들 각각의 오목한 부분을 데이터라인과 나란하게 형성하는 것을 특징으로 한다.
- <56> 본 발명의 실시예에 따른 액정표시장치 및 그 제조방법은 드레인전극 및 상기 캐패시터전극의 적어도 일측 가장자리를 빗살형태로 형성하는 것을 특징으로 한다.
- <57> 상기 목적 외에 본 발명의 다른 목적 및 이점들은 첨부한 도면을 참조한 실시 예에 대한 상세한 설명을 통하여 명백하게 드러나게 될 것이다.
- <58> 이하, 본 발명의 바람직한 실시예들을 첨부한 도 4 내지 도 16을 참조하여 상세하게 설명하기로 한다.
- <59> 도 4는 본 발명에 따른 액정표시장치의 제1 실시 예를 나타낸다.
- <60> 도 4를 참조하면, 본 발명의 제1 실시예에 따른 액정표시장치는 인접한 두 개의 데이터라인들(DL1 내지 DLm+1)

사이에 TFT들이 지그재그로 배열된 액정패널(33)과, 액정패널(33)의 게이트라인들(GL1 내지 GLn)을 구동하기 위한 게이트 드라이버(34)와, 액정패널(33)의 데이터라인들(DL1 내지 DLm+1)을 구동하기 위한 데이터 드라이버(35)와, 게이트 드라이버(34) 및 데이터 드라이버(35)를 제어하기 위한 타이밍 컨트롤러(36)를 구비한다.

<61> 액정패널(33)의 상부유리기판과 하부유리기판 사이에는 액정이 주입된다. 이 액정패널(33)에는 $m \times n$ 개의 액정셀(C1c)이 매트릭스 타입으로 배치된다. 또한, 액정패널(33)에는 $m+1$ 개의 데이터라인들(DL1 내지 DLm+1)과 n 개의 게이트라인들(GL1 내지 GLn)이 교차되며 그 교차부마다 액정셀(C1c)을 구동하기 위한 TFT들(31)이 형성된다. TFT들(31)은 스캔펄스에 응답하여 턴-온함으로써 데이터라인들(DL1 내지 DLm+1) 상의 데이터를 액정셀(C1c)에 공급하게 된다. 기수 수평라인의 TFT들(31)은 액정셀의 좌측 데이터라인(DL1 내지 DLm)과 기수 게이트라인들(GL1, GL3, GL5, ..., GLn-1)의 교차부에 위치하며, 우수 수평라인에서 TFT들(31)은 액정셀의 우측 데이터라인(DL2 내지 DLm+1)과 우수 게이트라인들(GL2, GL4, GL6, ..., GLn)의 교차부에 위치한다. TFT들(31)의 게이트전극은 게이트라인들(GL1 내지 GLn)에 접속된다. 기수 수평라인에 위치한 TFT들(31)의 소스전극들은 제1 내지 제m 데이터라인(DL1 내지 DLm)에 접속되고, 우수 수평라인에 위치한 TFT들(31)의 소스전극들은 제2 내지 제m+1 데이터라인(DL2 내지 DLm+1)에 접속된다. 그리고 기수 수평라인에 위치한 TFT들(31)의 드레인전극들은 자신을 기준으로 우측에 인접하는 액정셀들(C1c)의 화소전극들(32)에 접속되고, 우수 수평라인에 위치한 TFT들(31)의 드레인전극들은 자신을 기준으로 좌측에 인접하는 액정셀들(C1c)의 화소전극들(32)에 접속된다. 따라서, 기수 수평라인에 위치하는 액정셀들(C1c)은 자신을 기준으로 좌측에 인접하는 데이터라인들(DL1 내지 DLm)로부터 공급되는 데이터를 충전하게 되고, 우수 수평라인에 위치하는 액정셀들(C1c)은 자신을 기준으로 우측에 인접하는 데이터라인들(DL2 내지 DLm+1)로부터 공급되는 데이터를 충전하게 된다.

<62> 타이밍 컨트롤러(36)는 도시하지 않은 디지털 비디오 카드로부터 공급되는 디지털 비디오 데이터를 데이터 드라이버(35)에 공급하게 된다. 또한, 타이밍 컨트롤러(36)는 자신에게 입력되는 수평/수직 동기신호(H,V)를 이용하여 데이터 드라이버(35)와 게이트 드라이버(34)에 필요한 타이밍 제어신호를 발생한다. 데이터 드라이버(35)에 필요한 타이밍 제어신호로는 소스쉬프트클럭(SSC), 소스스타트펄스(SSP), 극성제어신호(POL) 및 소스출력인에이블신호(SOE) 등이 있다. 게이트 드라이버(34)에 필요한 타이밍 제어신호로는 게이트스타트펄스(GSP), 게이트쉬프트클럭(GSC) 및 게이트출력인에이블(GOE) 등이 있다.

<63> 게이트 드라이버(34)는 타이밍 컨트롤러(36)로부터의 게이트스타트펄스(GSP), 게이트쉬프트클럭(GSC) 및 게이트출력인에이블(GOE)를 이용하여 게이트라인들(GL1 내지 GLn)에 순차적으로 스캔펄스를 공급하게 된다. 스캔펄스는 각 수평라인의 TFT(31)를 수평라인 단위로 순차적으로 턴-온시킴으로써 데이터가 공급되는 스캔라인을 선택하게 된다. 이 게이트 드라이버(34)는 스캔펄스를 순차적으로 발생하는 쉬프트 레지스터와, 스캔펄스의 전압의 스윙폭을 액정셀(C1c)의 구동에 적합하게 쉬프트 시키기 위한 레벨 쉬프터를 포함한다.

<64> 데이터 드라이버(35)는 타이밍 컨트롤러(36)로부터의 소스쉬프트클럭(SSC), 소스스타트펄스(SSP), 극성제어신호(POL) 및 소스출력인에이블신호(SOE)를 이용하여 타이밍 컨트롤러(36)로부터 입력되는 m 개의 디지털 비디오 데이터를 기수 수평기간에 그대로 출력하고 우수 수평기간에 우측으로 한 채널씩 쉬프트시킨다. 그리고 데이터 드라이버(35)는 수평기간 단위로 쉬프트되는 m 개의 디지털 비디오 데이터와 블랭크 데이터를 정극성 감마보상전압 또는 부극성 감마보상전압으로 변환함으로써 디지털 비디오 데이터와 블랭크 데이터를 아날로그 화소전압으로 변환한다. 블랭크 데이터는 타이밍 컨트롤러(36)에 의해 데이터 인에이블기간 사이에 존재하는 블랭크 데이터로써 샘플링되거나 타이밍 컨트롤러(36)의 내부에서 생성되는 전압이다. 감마보상전압에 의해 아날로그 형태로 변환된 화소전압은 정극성 감마보상전압과 부극성 감마보상전압이 수직라인간 교번됨으로써 컬럼 인버전 방식과 같이 수평으로 인접한 데이터들 간에 극성이 상반되게 된다.

<65> 데이터 드라이버(35)에 의해 컬럼 인버전 방식으로 극성이 반전된 $m+1$ 개의 화소전압은 스캔펄스에 동기되어 매 수평기간마다 $m+1$ 개의 데이터라인들(DL1 내지 DLm+1)에 순차적으로 공급된다.

<66> 도 5a 및 도 5b는 n 번째 프레임과 $(n+1)$ 번째 프레임 기간 동안, 도 4에 도시된 액정패널(33)의 데이터라인들(DL1 내지 DLm+1)에 공급되는 데이터를 나타낸다.

<67> 도 5a를 참조하면, n 번째 프레임의 기수 번째 수평기간($1H, 3H, \dots, (n-1)H$)에 적색, 녹색 및 청색의 화소전압은 제1 내지 제m 데이터라인들(DL1 내지 DLm)에 공급됨과 동시에, 블랭크 데이터(BK)의 화소전압은 제m+1 데이터라인(DLm+1)에 공급된다. n 번째 프레임의 우수 번째 수평기간($2H, 4H, \dots, nH$)에 적색, 녹색 및 청색의 화소전압은 제2 내지 제m+1 데이터라인들(DL2 내지 DLm+1)에 공급됨과 동시에, 블랭크 데이터(BK)의 화소전압은 제1 데이터라인(DL1)에 공급된다. n 번째 프레임 기간 동안, 기수 데이터라인들(DL1, DL3, DL5, ..., DLm-1, DLm+1)에는 항상 정극성의 화소전압이 인가되며, 우수 데이터라인들(DL2, DL4, DL6, ..., DLm-2, DLm)에는 항상 부극성의 화소전압이

인가된다.

- <68> (n+1) 번째 프레임에는 도 5b와 같이 데이터라인들(DL1 내지 DL_{m+1}) 각각에 공급되는 화소전압의 극성이 반전된다.
- <69> 도 5b를 참조하면, (n+1) 번째 프레임의 기수 번째 수평기간(1H, 3H, ..., (n-1)H)에는 n 번째 프레임의 기수 번째 수평기간(1H, 3H, ..., (n-1)H)과 동일하게 적색, 녹색 및 청색의 화소전압이 제1 내지 제_m 데이터라인들(DL1 내지 DL_m)에 공급됨과 동시에, 블랙 데이터(BK)의 화소전압이 제_{m+1} 데이터라인(DL_{m+1})에 공급된다. (n+1) 번째 프레임의 우수 번째 수평기간(2H, 4H, ..., nH)에는 n 번째 프레임의 우수 번째 수평기간(2H, 4H, ..., nH)과 동일하게 적색, 녹색 및 청색의 화소전압이 제2 내지 제_{m+1} 데이터라인들(DL2 내지 DL_{m+1})에 공급됨과 동시에, 블랙 데이터(BK)의 화소전압이 제1 데이터라인(DL1)에 공급된다. (n+1) 번째 프레임 기간 동안, 기수 데이터라인들(DL1, DL3, DL5, ..., DL_{m-1}, DL_{m+1})에는 항상 부극성의 화소전압이 인가되며, 우수 데이터라인들(DL2, DL4, DL6, ..., DL_{m-2}, DL_m)에는 항상 정극성의 화소전압이 인가된다.
- <70> 도 6은 본 발명에 따른 액정표시장치의 제2 실시 예를 나타낸다.
- <71> 도 6을 참조하면, 본 발명의 제2 실시예에 따른 액정표시장치는 기수 수평라인의 TFT들(41)이 제2 내지 제_{m+1} 데이터라인들(DL2 내지 DL_{m+1})로부터의 데이터를 액정셀에 공급하고 우수 수평라인의 TFT들(41)이 제1 내지 제_m 데이터라인들(DL1 내지 DL_m)로부터의 데이터를 액정셀에 공급하도록 TFT들이 수직라인방향에서 지그재그로 배치되는 액정패널(43)과, 액정패널(43)의 게이트라인들(GL1 내지 GL_n)을 구동하기 위한 게이트 드라이버(44)와, 액정패널(43)의 데이터라인들(DL1 내지 DL_{m+1})을 구동하기 위한 데이터 드라이버(45)와, 게이트 드라이버(44) 및 데이터 드라이버(45)를 제어하기 위한 타이밍 컨트롤러(46)를 구비한다.
- <72> 액정패널(43)에는 m+1 개의 데이터라인들(DL1 내지 DL_{m+1})과 n 개의 게이트라인들(GL1 내지 GL_n)이 교차되며 그 교차부마다 액정셀(C1c)을 구동하기 위한 TFT들(41)이 형성된다. 기수 수평라인의 TFT들(41)은 액정셀의 우측 데이터라인들(DL2 내지 DL_{m+1})과 기수 게이트라인들(GL1, GL3, GL5, ..., GL_{n-1})의 교차부에 위치한다. 우수 수평라인의 TFT들(41)은 액정셀의 좌측 데이터라인(DL1 내지 DL_m)과 우수 게이트라인들(GL2, GL4, GL6, ..., GL_n)의 교차부에 위치한다. TFT들(41)의 게이트전극은 게이트라인(GL1 내지 GL_n)에 접속된다. 기수 수평라인에 위치한 TFT들(41)의 소스전극들은 제2 내지 제_{m+1} 데이터라인들(DL2 내지 DL_{m+1})에 접속된다. 우수 수평라인에 위치한 TFT들(41)의 소스전극들은 제1 내지 제_m 데이터라인(DL1 내지 DL_m)에 접속된다. 그리고 기수 수평라인에 위치한 TFT들(41)의 드레인전극들은 자신을 기준으로 좌측에 인접하는 화소전극들(42)에 접속되고, 우수 수평라인에 위치한 TFT들(41)의 드레인전극들은 자신을 기준으로 우측에 인접하는 화소전극들(42)에 접속된다. 따라서, 기수 수평라인에 위치하는 액정셀들(C1c)은 자신을 기준으로 우측에 인접하는 데이터라인들(DL2 내지 DL_{m+1})로부터 공급되는 데이터를 충전하게 되고, 우수 수평라인에 위치하는 액정셀들(C1c)은 자신을 기준으로 좌측에 인접하는 데이터라인들(DL1 내지 DL_m)로부터 공급되는 데이터를 충전하게 된다.
- <73> 타이밍 컨트롤러(46)는 도시하지 않은 디지털 비디오 카드로부터 공급되는 디지털 비디오 데이터를 데이터 드라이버(45)에 공급함과 아울러, 자신에게 입력되는 수평/수직 동기신호(H, V)를 이용하여 데이터 드라이버(45)와 게이트 드라이버(44)에 필요한 타이밍 제어신호를 발생한다.
- <74> 게이트 드라이버(44)는 도 4에 도시된 게이트 드라이버(34)와 실질적으로 동일한 구성 및 기능을 가진다.
- <75> 데이터 드라이버(45)는 도 4에 도시된 데이터 드라이버(35)와 실질적으로 동일한 구성 및 기능을 가진다.
- <76> 도 7a 및 도 7b는 n 번째 프레임과 (n+1) 번째 프레임 기간 동안, 도 6에 도시된 액정패널의 데이터라인들(DL1 내지 DL_{m+1})에 공급되는 데이터를 나타낸다.
- <77> 도 7a를 참조하면, n 번째 프레임의 기수 번째 수평기간(1H, 3H, ..., (n-1)H)에 적색, 녹색 및 청색의 화소전압은 제2 내지 제_{m+1} 데이터라인들(DL2 내지 DL_{m+1})에 공급됨과 동시에, 블랙 데이터(BK)의 화소전압은 제1 데이터라인(DL1)에 공급된다. n 번째 프레임의 우수 번째 수평기간(2H, 4H, ..., nH)에 적색, 녹색 및 청색의 화소전압은 제1 내지 제_m 데이터라인들(DL1 내지 DL_m)에 공급됨과 동시에, 블랙 데이터(BK)의 화소전압은 제_{m+1} 데이터라인(DL_{m+1})에 공급된다. n 번째 프레임 기간 동안, 기수 데이터라인들(DL1, DL3, DL5, ..., DL_{m-1}, DL_{m+1})에는 항상 정극성의 화소전압이 인가되며, 우수 데이터라인들(DL2, DL4, DL6, ..., DL_{m-2}, DL_m)에는 항상 부극성의 화소전압이 인가된다.
- <78> (n+1) 번째 프레임에는 도 7b와 같이 데이터라인들(DL1 내지 DL_{m+1}) 각각에 공급되는 화소전압의 극성이 반전된다.

- <79> 도 7b를 참조하면, (n+1) 번째 프레임의 기수 번째 수평기간(1H, 3H, ..., (n-1)H)에는 n 번째 프레임의 기수 번째 수평기간(1H, 3H, ..., (n-1)H)과 동일하게 적색, 녹색 및 청색의 화소전압이 제2 내지 제m+1 데이터라인들(DL2 내지 DLm+1)에 공급됨과 동시에, 블랙 데이터(BK)의 화소전압이 제1 데이터라인(DL1)에 공급된다. (n+1) 번째 프레임의 우수 번째 수평기간(2H, 4H, ..., nH)에는 n 번째 프레임의 우수 번째 수평기간(2H, 4H, ..., nH)과 동일하게 적색, 녹색 및 청색의 화소전압이 제1 내지 제m 데이터라인들(DL1 내지 DLm)에 공급됨과 동시에, 블랙 데이터(BK)의 화소전압이 제m+1 데이터라인(DLm+1)에 공급된다. (n+1) 번째 프레임 기간 동안, 기수 데이터라인들(DL1, DL3, DL5, ..., DLm-1, DLm+1)에는 항상 부극성의 화소전압이 인가되며, 우수 데이터라인들(DL2, DL4, DL6, ..., DLm-2, DLm)에는 항상 정극성의 화소전압이 인가된다.
- <80> 결과적으로, 도 4 및 도 6에 도시된 데이터 드라이버(35, 45)는 데이터라인들(DL1 내지 DLm+1)의 극성을 인접한 라인간 상호 반전되는 컬럼 인버전(Column inversion) 형태로 제어한다. 액정패널(33, 43)의 TFT들이 수평라인간 지그재그 형태로 배열되기 때문에 액정패널(33, 43)은 데이터 드라이버(35, 45)로부터 공급되는 컬럼 인버전 형태의 데이터를 도 8a 및 도 8b와 같이 도트 인버전 형태로 표시하게 된다. 즉, 도 8a와 같이 액정패널(33, 43)은 기수 프레임에서 기수 수직라인과 기수 수평라인의 교점에 위치하는 액정셀들과 우수 수직라인과 우수 수평라인의 교점에 위치하는 액정셀들에 정극성의 데이터전압을 공급함과 동시에 기수 수직라인과 우수 수평라인의 교점에 위치하는 액정셀들과 우수 수직라인과 기수 수평라인의 교점에 위치하는 액정셀들에 부극성의 데이터전압을 공급한다. 기수 프레임에 이어지는 우수 프레임 기간 동안 액정패널(33, 43)은 도 8b와 같이 이전과 반대로 데이터전압의 극성을 반전시킨다. 이렇게 액정패널(33, 43) 상에 공급되는 데이터의 극성이 도트 인버전 형태로 반전되기 때문에 수평방향 또는 수직방향에서 발생하는 라인간 플리커가 작아지게 되므로 표시품질이 높게 된다. 또한, 데이터 드라이버(35, 45)는 컬럼 인버전 형태로 데이터를 제어하게 되므로 기존의 도트 인버전용 데이터 드라이버에 비하여 구동 주파수가 낮아지게 되고 소비전력이 작아지게 된다.
- <81> 도 9 및 도 10은 본 발명에 따른 액정패널 (액정패널의 제1 실시예 및 제2 실시예를 모두 포함)에서 TFT 어레이의 제1 실시예를 나타내는 도면들이다.
- <82> 도 9 및 도 10을 참조하면, 액정패널의 하부유리기판(60) 상에는 두 개의 데이터라인들(64) 사이에 지그재그로 배열되도록 TFT가 형성되며, TFT의 드레인전극(53)에 접속되며 게이트라인(63)과 데이터라인(64) 사이에 마련된 화소영역 내에 형성되는 화소전극(59)이 형성된다. 또한, 액정패널의 하부유리기판(60) 상에는 게이트라인(63)과 화소전극(59) 사이에 스토리지 캐패시터(CAP)가 형성된다.
- <83> 하부유리기판(60)의 표면에는 금속을 증착 및 패터닝함으로써 TFT의 게이트전극(51)과 그와 연결된 게이트라인(63)이 동시에 형성된다. 게이트라인(63)의 하측면에는 화소전극(59) 쪽으로 돌출되는 돌출부(63a)가 형성된다. 게이트전극(51)과 게이트라인(63)을 포함한 게이트금속층과 하부유리기판(60) 상에는 무기절연물질로 이루어지는 게이트절연층(56)이 전면 형성된다. 게이트절연층(56) 상에는 반도체물질로 이루어지는 반도체층(54)이 형성되고, 그 위에 반도체물질에 불순물이 도핑된 오믹접촉층(55)이 적층된다. 오믹접촉층(55) 위에는 TFT의 소스전극(52)과 그와 연결되는 데이터라인(64) 및 소스전극(52)과 소정의 채널을 사이에 두고 대향하는 드레인전극(53)이 형성된다. TFT의 소스전극(52)과 드레인전극(53)은 게이트절연층(56), 반도체층(54) 및 오믹접촉층(55)을 사이에 두고 게이트전극(51)과 중첩된다. 소스전극(52)은 액정에 인가되는 전압의 변동을 줄이기 위하여 게이트-소스간 캐패시턴스(기생용량)(Cgs)를 줄임과 아울러 소스전극(52)과 드레인전극(53) 사이의 채널길이가 길게 될 수 있도록 화소전극(59) 쪽으로 대략 45° 정도 기울어진 "U"자 형태로 패터닝된다. 드레인전극(53)의 일단은 소스전극(52)의 오목한 부분으로 삽입되는 모양으로 패터닝된다. 데이터라인(64), 소스전극(52) 및 드레인전극(53)이 형성됨과 동시에, 게이트라인(63)의 돌출부(63a)와 중첩되도록 캐패시터전극(61)이 형성된다. 드레인전극(53)과 캐패시터전극(61)의 가장자리에는 돌출부(53a, 61a)가 형성된다. 이 돌출부(53a, 61a)에 의해 드레인전극(53)과 캐패시터전극(61) 각각의 가장자리가 빗살 형태로 형성되기 때문에 드레인전극(53)과 캐패시터전극(61)의 단차부로 인한 화소전극(59)의 불량이 최소화된다.
- <84> 이렇게 TFT, 게이트라인(63) 및 데이터라인(64)이 형성된 후에 하부유리기판(60) 상에는 무기절연물질이나 유기절연물질로 이루어지는 보호층(57)이 전면 형성된다. 보호층(57)에는 드레인전극(53)의 일부를 노출시키기 위한 콘택홀(58)과 캐패시터전극(61)의 일부를 노출시키기 위한 콘택홀(62)이 형성된다. 보호층(57) 위에는 ITO 등의 투명도전성물질로 이루어지는 화소전극(59)이 형성된다. 화소전극(59)의 상단에는 게이트라인의 돌출부(63a)와 캐패시터전극(61)과 중첩되도록 돌출부(59a)가 형성된다. 이 화소전극(59)은 콘택홀(58, 62)을 경유하여 드레인전극(53)과 캐패시터전극(62)에 접속된다.
- <85> 그런데 도 4 및 도 6에 도시된 본 발명에 의한 액정패널(33, 43)은, TFT의 소스전극(52)과 드레인전극(53)을 형

성하는 공정에서 도 11과 같이 마스크가 정확히 정렬되지 못하고 어느 한쪽으로 치우치게 되면, 액정셀(C1c)에 인가되는 전압(ΔV_p)이 수평라인 간에 편차가 심하게 될 수 있다. 도 11에서 실선이 정확한 정렬위치에서의 소스전극(52)과 드레인전극(53)이라 할 때, 정확한 정렬위치로부터 마스크가 화살표(71)와 같이 상향 우측으로 이동하게 되면, 상측 수평라인(72n-1)에 형성된 TFT의 드레인전극(53)과 게이트전극(51) 간의 캐패시턴스(기생용량)(Cgs)는 작아지는 반면, 하측 수평라인(72n)에 형성된 TFT의 드레인전극(53)과 게이트전극(51) 간의 캐패시턴스(기생용량)(Cgs)는 커지게 된다. 이렇게 드레인전극(53)과 게이트전극(51) 간의 캐패시턴스(기생용량)(Cgs) 편차가 커지게 되면, 수학적 1에서 알 수 있는 바와 같이 액정셀(C1c)에 인가되는 전압(ΔV_p)의 편차가 발생할 수 있다. 한편, 도 12와 같이 소스전극(73)의 오목한 부분이 수평방향으로 향하고 드레인전극(74)의 일단이 수평 방향에서 소스전극(73)의 오목한 부분에 삽입되는 경우에, 드레인전극(53)과 게이트전극(51) 간의 캐패시턴스(기생용량)(Cgs) 편차가 더 심하게 될 수 있다.

- <86> 도 13 내지 도 15는 본 발명에 따른 액정패널에서 TFT 어레이의 제2 실시 예를 나타내는 도면들이다.
- <87> 도 13을 참조하면, 본 발명에 의한 액정패널에서 제2 실시예에 따른 TFT 어레이는 오목한 부분이 수직으로 향하는 소스전극(82,102)과, 소스전극(82,102)의 오목한 부분에 일단이 삽입되어 소스전극(82,102)과 대향하는 드레인전극(83,103)을 구비한다.
- <88> TFT의 소스전극(82,102)의 오목한 부분이 데이터라인들(94)과 나란하게 된다. 이 때문에 TFT의 소스전극(81,101)과 드레인전극(83,103)을 형성하는 공정에서 도 14와 같이 마스크가 화살표(111) 방향으로 이동하여 마스크가 정확히 정렬되지 못하는 경우에도 드레인전극(83,103)과 게이트전극(81,101) 간의 캐패시턴스(Cgs) 편차가 거의 없게 된다.
- <89> 이러한 TFT 어레이는 5 개의 마스크가 필요한 5 마스크 공정이나 4 개의 마스크가 필요한 4 마스크 공정으로 제조된다.
- <90> 도 15는 5 마스크 공정을 이용하여 제작된 도 13에 도시된 TFT 어레이의 단면을 나타낸다.
- <91> 도 15를 참조하면, 먼저 하부유리기판(90) 상에 스퍼터링(sputtering) 등의 증착방법으로 알루미늄(Al) 또는 구리(Cu) 등의 게이트 금속층이 전면 증착된다. 전면 증착된 게이트 금속층은 그 위에 제1 마스크가 정렬된 후, 포토리소그래피 공정에 의해 패터닝된다. 이렇게 게이트 금속층이 패터닝됨으로써 게이트라인(93)과 게이트전극(81)이 동시에 형성된다.
- <92> 게이트라인(93)과 게이트전극(81) 위에는 게이트절연층(86)이 형성된다. 이 게이트절연층(86)은 PECVD(Plasma Enhanced Chemical Vapor Deposition)를 이용하여 질화실리콘(SiNx), 산화실리콘(SiOx) 등의 게이트 절연물질이 하부유리기판(90) 상에 전면 증착됨으로써 하부유리기판(90) 상에 형성된다. 게이트절연층(86) 상에는 반도체 물질로 이루어지는 반도체층(84)과 반도체물질 내에 불순물이 도핑된 오믹접촉층(85)이 적층된다. 게이트절연층(86) 상에 반도체층(84)과 오믹접촉층(85)이 적층된 후에 제2 마스크가 그 위에 정렬된다. 이어서, 포토리소그래피 공정에 의해 반도체층(84)과 오믹접촉층(85)이 패터닝된다.
- <93> 데이터라인(94), 소스전극(82), 드레인전극(83) 및 캐패시터전극(91)을 동시에 형성하기 위하여, 하부유리기판(90) 상에는 CVD방법이나 스퍼터링방법을 이용하여 크롬(Cr)이나 몰리브덴(Mo) 등의 소스/드레인 금속층이 게이트절연층(86)과 반도체/오믹접촉층 패터를 덮도록 전면 증착된다. 이렇게 소스/드레인 금속층이 증착된 후, 제3 마스크가 정렬된다. 이 제3 마스크를 이용한 포토리소그래피공정에 의해 소스/드레인금속층이 패터닝됨으로써 데이터라인(94), 소스전극(82), 드레인전극(83) 및 캐패시터전극(91)이 동시에 패터닝된다. 이 패터닝공정에 의해 소스전극(82)은 'U' 자 형태를 가지게 된다. 소스전극(82)의 오목한 부분은 게이트-소스간 캐패시턴스(기생용량)(Cgs)를 작게 하고 소스-드레인간 채널의 길이가 길어지게 한다. 드레인전극(83) 및 캐패시터전극(91) 각각의 에지부분에는 후술되는 화소전극 형성공정에서 전극의 단차부로 인하여 발생하는 화소전극(89)의 불량이 줄도록 빗살모양의 돌출부(83a,91a)가 형성된다. 이어서, 소스전극(82)과 드레인전극(83)의 패터를 마스크로 하여 오믹접촉층(85)에서 소스전극(82)과 드레인전극(83) 사이의 부분이 건식식각에 의해 제거되어 반도체층(84)이 노출된다. 소스전극(82)과 드레인전극(83)은 게이트전극(81)과 중첩되고 'U' 자 형태의 채널을 통하여 대향된다.
- <94> 이렇게 소스/드레인금속층의 패터닝 공정과 오믹접촉층(85)의 패터닝 공정이 완료된 후에, 질화실리콘(SiNx), 산화실리콘(SiOx) 등의 무기절연물질이나 아크릴계(acryl)유기화합물, BCB(benzocyclobutene), 사이토프(cytop) 또는 PFCB(perfluorocyclobutane) 등의 유전상수가 작은 유기절연물질이 하부유리기판(90) 상에 전면 증착됨으로써 보호층(87)이 형성된다. 보호층(87)에는 그 위에 제4 마스크가 정렬되고 포토리소그래피공정이

실시됨으로써 드레인전극(83)의 일부를 노출시키는 콘택홀(88)과 캐패시터전극(91)의 일부를 노출시키는 콘택홀(92)이 형성된다.

<95> 보호층(87) 상에는 ITO, IZO(Indium-zinc-oxide) 등의 투명도전성물질이 전면 증착된 후, 그 위에 제5 마스크가 정렬된다. 제5 마스크를 이용한 포토리소그래피 공정이 실시되면, 투명도전성물질의 패터닝에 의해 콘택홀(88,91)을 경유하여 드레인전극(83) 및 캐패시터전극(91)과 접촉되는 화소전극(89)이 형성된다.

<96> 도 16은 4 마스크 공정을 이용하여 제작된 도 13에 도시된 TFT 어레이의 단면을 나타낸다.

<97> 도 16을 참조하면, 먼저 하부유리기판(100) 상에 스퍼터링방법으로 알루미늄(Al) 또는 구리(Cu) 등의 게이트 금속층이 전면 증착된다. 전면 증착된 게이트 금속층은 그 위에 제1 마스크가 정렬된 후, 포토리소그래피 공정에 의해 패터닝된다. 이렇게 게이트 금속층이 패터닝됨으로써 게이트라인(93)과 게이트전극(101)이 동시에 형성된다.

<98> 게이트라인(93)과 게이트전극(101) 위에는 게이트절연층(106)이 형성된다. 게이트절연층(106) 상에는 반도체물질, 불순물이 도핑된 반도체물질 및 소스/드레인 금속이 연속적으로 전면 증착된다. 소스/드레인 금속 위에는 포토레지스트가 형성되고 그 위에 제2 마스크로써 회절마스크(diffraction mask)나 하프톤마스크(half-tone mask)가 정렬된다. 제2 마스크에는 광을 차단하는 광차단부, 입사광의 대략 50% 정도를 투과시키는 반투과부 또는 회절부, 입사광 대부분을 투과시키는 투과부를 포함한다. 제2 마스크의 차단부는 소스전극(102), 드레인전극(103)이 형성되는 영역에 정렬되며, 제2 마스크의 반투과부 또는 회절부는 소스전극(102)과 드레인전극(103) 사이의 'U'자 형 채널이 형성되는 영역에 정렬된다. 그리고 제2 마스크의 투과부는 반도체물질, 불순물이 도핑된 반도체물질 및 소스/드레인금속이 모두 제거되어야 할 영역에 정렬된다. 이 제2 마스크를 통하여 소스/드레인금속 상에 형성된 포토레지스트에 자외선이 조사되고, 마스크가 제거된 다음에 현상액으로 포토레지스트가 현상된다. 그러면 제2 마스크의 차단부에 대응하는 포토레지스트는 대략 최초 두께를 유지하게 되며, 제2 마스크의 반투과부 또는 회절부에 대응하는 포토레지스트는 최초 도포 두께의 대략 10~50% 정도의 두께로 줄어든다. 제2 마스크의 투과부에 대응하는 포토레지스트는 완전히 제거되어 그 아래의 게이트절연층(106)이 노출된다. 이렇게 포토레지스트가 패터닝된 후에, 건식식각이나 습식식각이 실시되어 반도체물질, 불순물이 도핑된 반도체물질 및 소스/드레인금속이 동시에 패터닝된다. 그 결과, 하나의 마스크를 이용하여 반도체층(104), 오믹접촉층(105), 소스전극(102), 데이터라인(94), 드레인전극(103) 및 캐패시터전극(91)이 동시에 형성된다. 이 패터닝공정에 의해 소스전극(102)은 'U'자 형태로 패터닝되며, 'U'자 형태에서 오목한 부분이 데이터라인(94)과 나란하게 된다. 그리고 드레인전극(103)과 캐패시터전극(91)의 가장자리에는 다수의 빗살모양 돌출부들(83a,103a)가 형성된다. 이렇게 반도체층(104), 오믹접촉층(105), 소스전극(102), 데이터라인(94), 드레인전극(103) 및 캐패시터전극(91)이 동시에 형성된 후에, 포토레지스트패턴은 제거된다.

<99> 포토레지스트패턴은 제거된 후, 질화실리콘(SiNx), 산화실리콘(SiOx) 등의 무기절연물질이나 아크릴계(acryl)유기화합물, BCB(benzocyclobutene), 사이토프(cytop) 또는 PFCB(perfluorocyclobutane) 등의 유기절연물질이 하부유리기판(100) 상에 전면 증착된다. 이렇게 보호층(107)이 형성된 후, 보호층(107) 위에 제3 마스크가 정렬되고 포토리소그래피공정이 실시됨으로써 보호층(107)에는 드레인전극(103)의 일부를 노출시키는 콘택홀(108)과 캐패시터전극(91)의 일부를 노출시키는 콘택홀(92)이 형성된다. 콘택홀들(108,92)이 형성된 후, 보호층(107) 상에는 ITO, IZO(Indium-zinc-oxide) 등의 투명도전성물질이 전면 증착된다. 투명도전성물질 위에는 제4 마스크가 정렬된다. 제4 마스크를 이용한 포토리소그래피 공정이 실시되면, 투명도전성물질의 패터닝에 의해 콘택홀(108,92)을 경유하여 드레인전극(103) 및 캐패시터전극(91)과 접촉되는 화소전극(109)이 형성된다.

<100> 한편, 도 9 및 도 12에 도시된 액정패널의 TFT 어레이는 5 개의 마스크를 이용한 5 마스크 공정이나 적어도 하나의 회절마스크나 하프톤마스크를 포함한 4 개의 마스크를 이용하는 4 마스크 공정에 의해 제조될 수 있다.

발명의 효과

<101> 상술한 바와 같이, 본 발명에 따른 액정표시장치는 액정패널의 TFT를 인접한 두 개의 데이터라인들 사이에서 지그재그로 배치하고 그 액정패널을 컬럼 인버전용 데이터 드라이버로 구동함으로써 소비전력을 최소화함과 아울러 표시품질을 높게 된다. 또한, 본 발명에 따른 액정표시장치 및 그 제조방법은 인접한 두 개의 데이터라인들 사이에서 지그재그로 배치된 TFT들의 소스전극을 데이터라인과 나란한 방향의 'U'자 형상으로 패터닝하고 소스전극의 오목한 부분 내로 드레인전극의 일단이 데이터라인방향으로 삽입되게 함으로써 마스크가 정확히 정렬되지 않더라도 드레인전극과 게이트전극 간의 정전용량의 편차를 최소화할 수 있다. 그 결과, 본 발명에 따

른 액정표시장치 및 그 제조방법은 TFT의 기생용량값을 균일하게 할 수 있다.

<102> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

도면의 간단한 설명

- <1> 도 1은 종래의 액정표시장치를 나타내는 도면이다.
- <2> 도 2는 도 1에 도시된 액정표시장치의 TFT 어레이의 일부를 확대하여 나타내는 평면도이다.
- <3> 도 3은 도 2에서 선 "A-A'"을 따라 절취하여 나타내는 단면도이다.
- <4> 도 4는 본 발명에 따른 액정 표시 장치의 제1 실시예를 나타내는 도면이다.
- <5> 도 5a는 n 번째 프레임 기간 동안 도 4에 도시된 액정패널에 공급되는 데이터를 나타내는 파형도이다.
- <6> 도 5b는 (n+1) 번째 프레임 기간 동안 도 4에 도시된 액정패널에 공급되는 데이터를 나타내는 파형도이다.
- <7> 도 6은 본 발명에 따른 액정 표시 장치의 제2 실시예를 나타내는 도면이다.
- <8> 도 7a는 n 번째 프레임 기간 동안 도 6에 도시된 액정패널에 공급되는 데이터를 나타내는 파형도이다.
- <9> 도 7b는 (n+1) 번째 프레임 기간 동안 도 6에 도시된 액정패널에 공급되는 데이터를 나타내는 파형도이다.
- <10> 도 8a 및 도 8b는 도 4 및 도 6에 도시된 액정패널에 공급되는 데이터의 극성을 나타내는 도면이다.
- <11> 도 9는 도 4 및 도 6에 도시된 본 발명에 의한 액정표시장치에 적용하는 TFT 어레이의 제1 실시 예를 나타내는 도면으로서 TFT 부분을 확대하여 나타내는 평면도이다.
- <12> 도 10은 도 2에서 선 "B-B'"을 따라 절취하여 나타내는 단면도이다.
- <13> 도 11은 도 9에 도시된 TFT 어레이의 마스크 정렬 불량을 나타내는 평면도이다.
- <14> 도 12는 소스전극의 오목한 부분이 게이트라인방향으로 형성되는 TFT 어레이의 일부를 확대하여 나타내는 평면도이다.
- <15> 도 13은 도 4 및 도 6에 도시된 본 발명에 의한 액정표시장치에 적용하는 TFT 어레이의 제2 실시 예를 나타내는 도면으로서, TFT 부분을 확대하여 나타내는 평면도이다.
- <16> 도 14는 도 13에 도시된 TFT 어레이의 마스크 정렬 불량을 나타내는 평면도이다.
- <17> 도 15는 5 마스크 공정을 이용하여 도 13에 도시된 TFT 어레이를 제조하는 경우에 도 13에서 선 "C-C'"을 따라 절취하여 TFT 어레이의 단면을 보여주는 단면도이다.
- <18> 도 16은 4 마스크 공정을 이용하여 도 13에 도시된 TFT 어레이를 제조하는 경우에 도 13에서 선 "C-C'"을 따라 절취하여 TFT 어레이의 단면을 보여주는 단면도이다.

<도면의 부호에 대한 간단한 설명>

- | | |
|---------------------------|-----------------------------|
| <20> 2,33,43 : 액정패널 | 4,34,44 : 게이트 드라이버 |
| <21> 6,35,36 : 데이터 드라이버 | 36,46 : 타이밍 컨트롤러 |
| <22> 11,51,81,101 : 게이트전극 | 12,52,82,102 : 소스전극 |
| <23> 13,53,83,103 : 드레인전극 | 14,54,84,104 : 반도체층 |
| <24> 15,55,85,105 : 오믹접촉층 | 16,56,86,106 : 게이트절연층 |
| <25> 17,57,87,107 : 보호층 | 18,22,58,62,88,92,108 : 콘택홀 |
| <26> 19,59,89,109 : 화소전극 | 20,60,90,100 : 유리기판 |

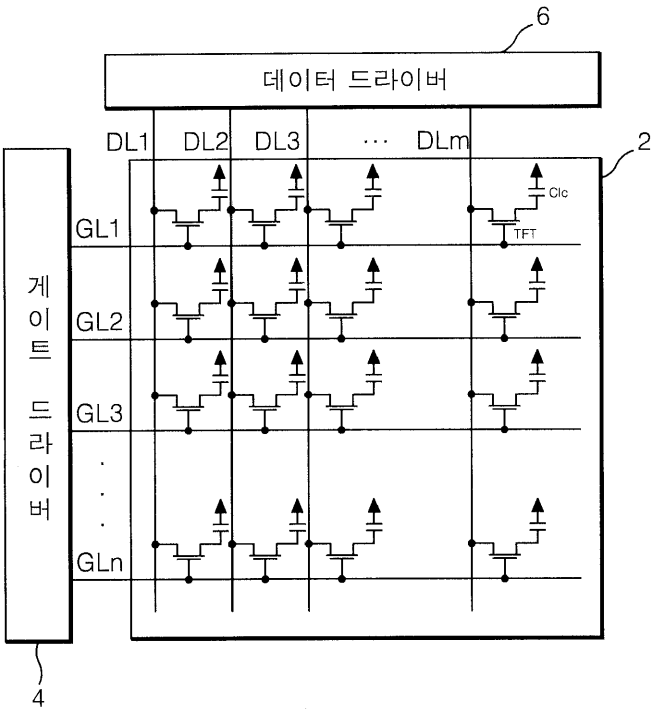
- <27>

21,61,91 : 캐패시터전극
- <28>

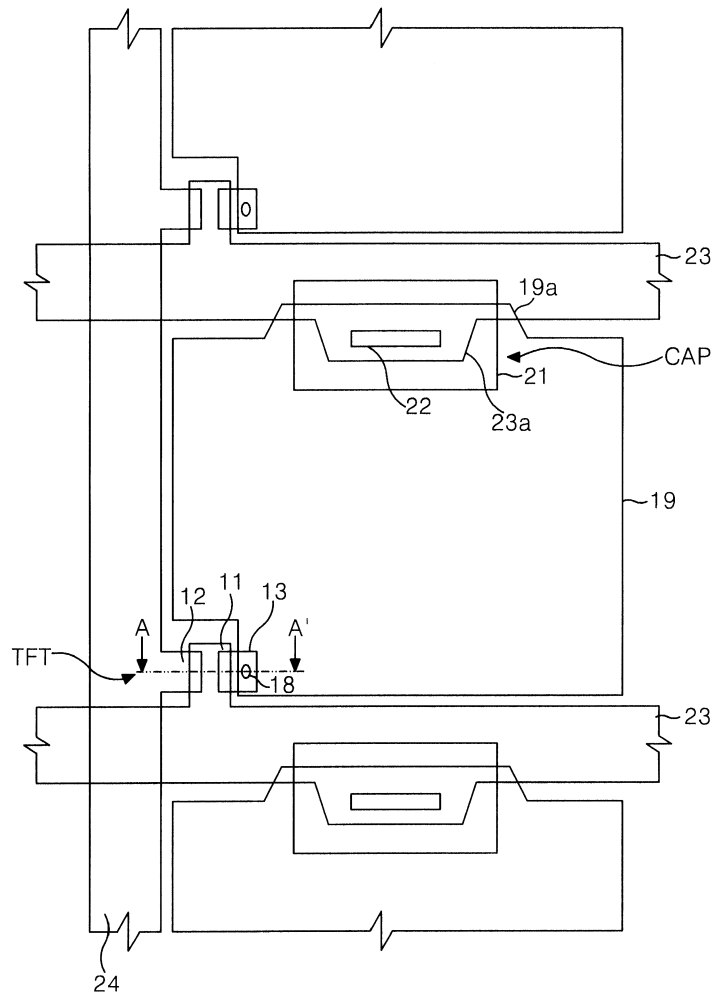
24,64,94 : 데이터라인
- 23,63,93 : 게이트라인

도면

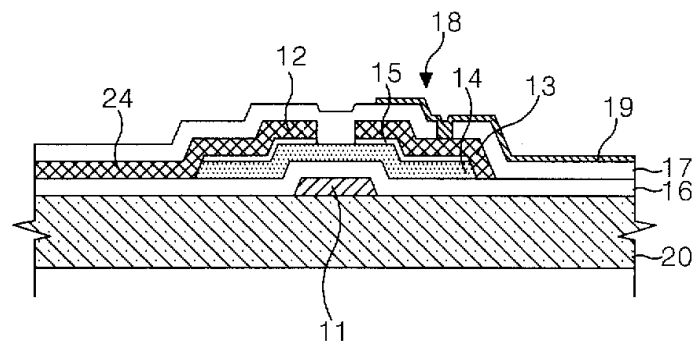
도면1



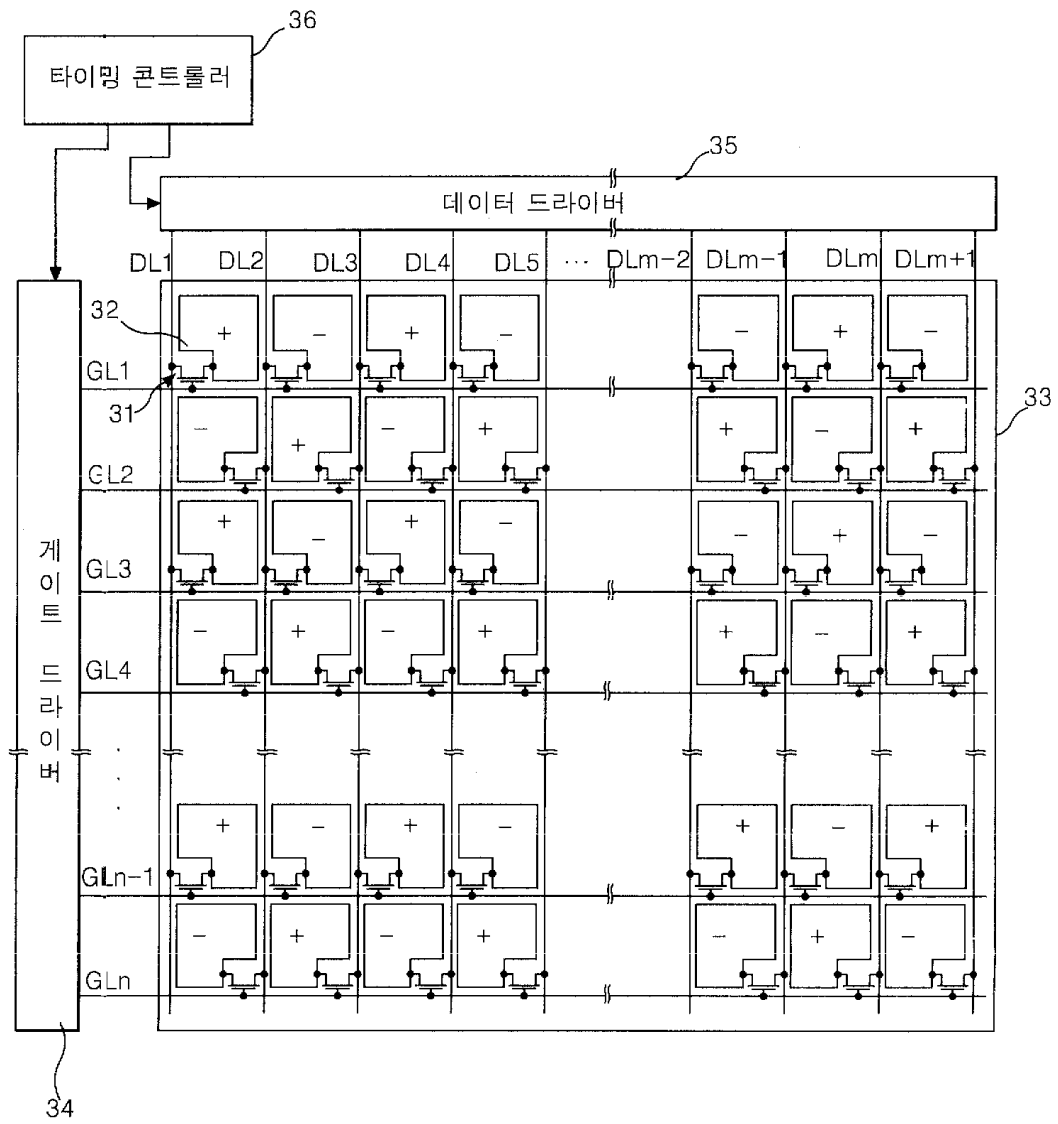
도면2



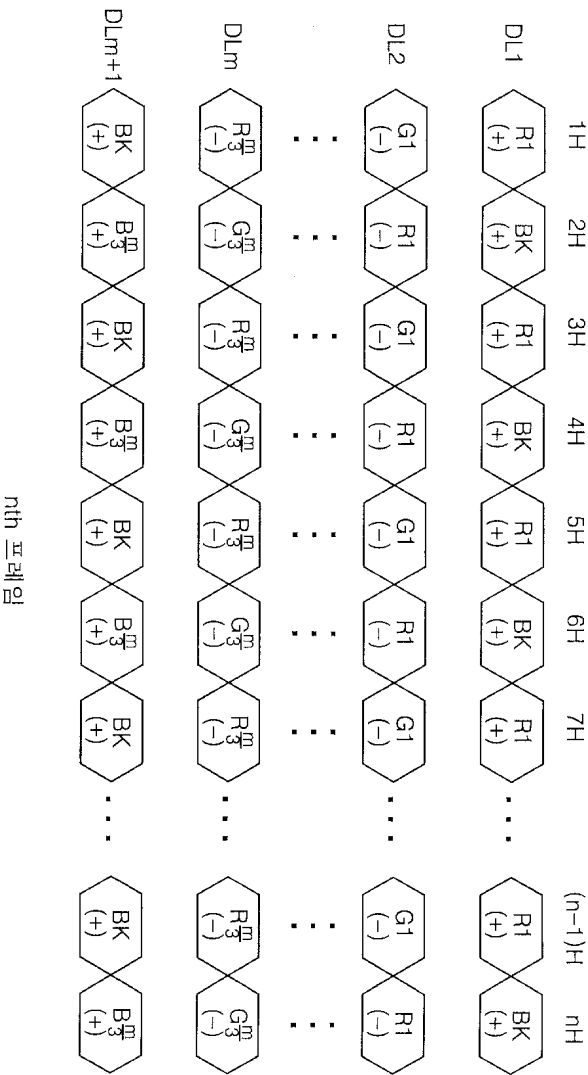
도면3



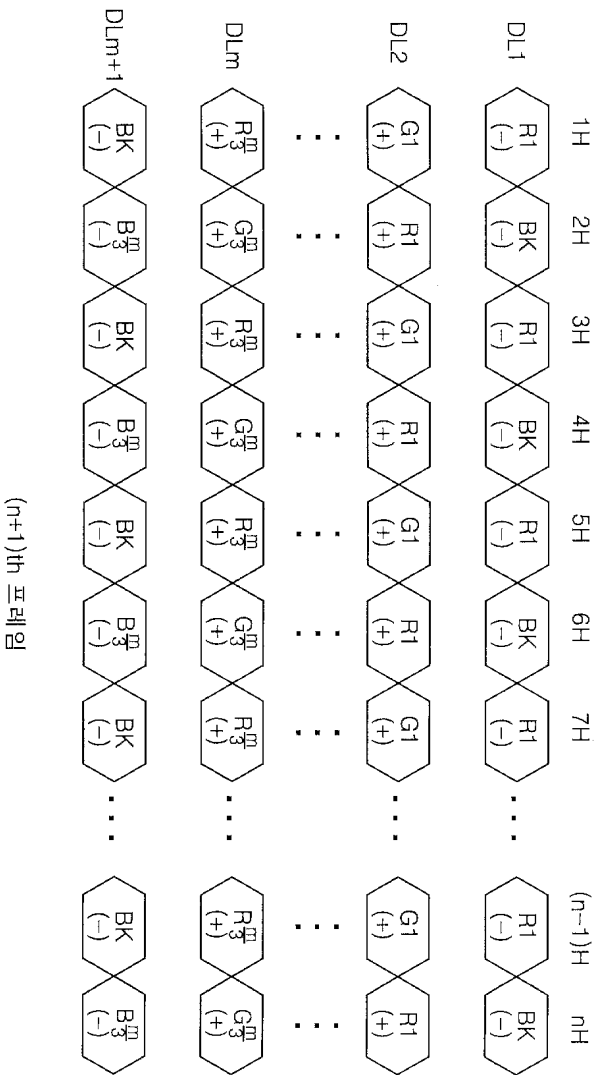
도면4



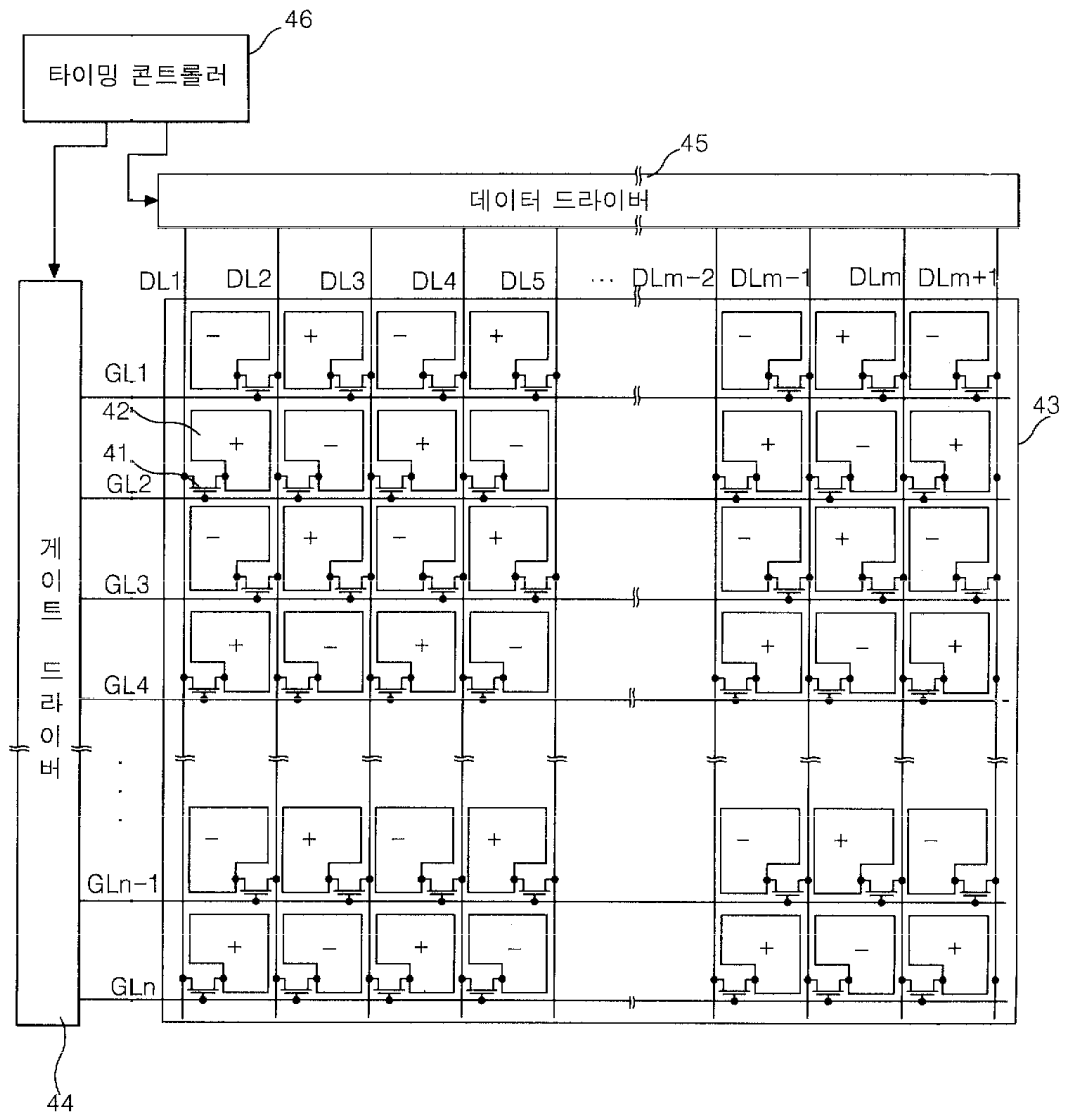
도면5a



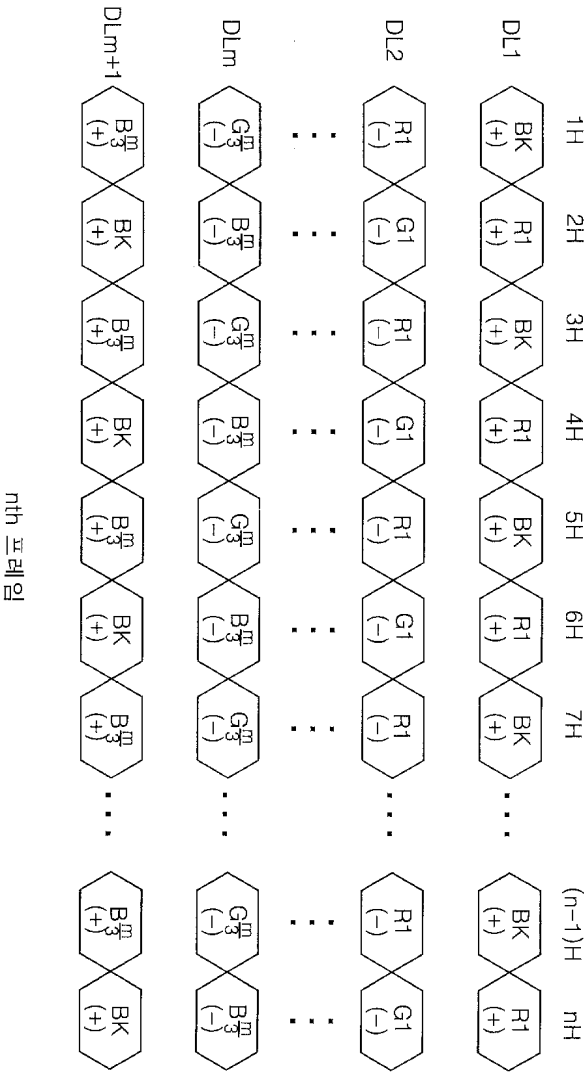
도면5b



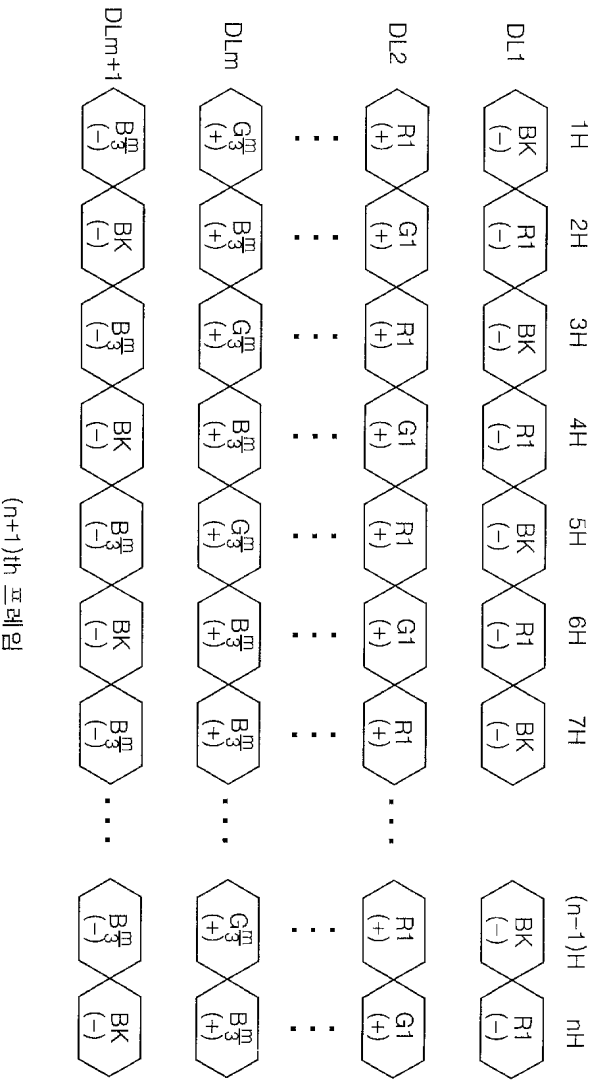
도면6



도면7a



도면7b



도면8a

+	-	+	-	+	-	+	-
-	+	-	+	-	+	-	+
+	-	+	-	+	-	+	-
-	+	-	+	-	+	-	+
+	-	+	-	+	-	+	-
-	+	-	+	-	+	-	+
+	-	+	-	+	-	+	-
-	+	-	+	-	+	-	+

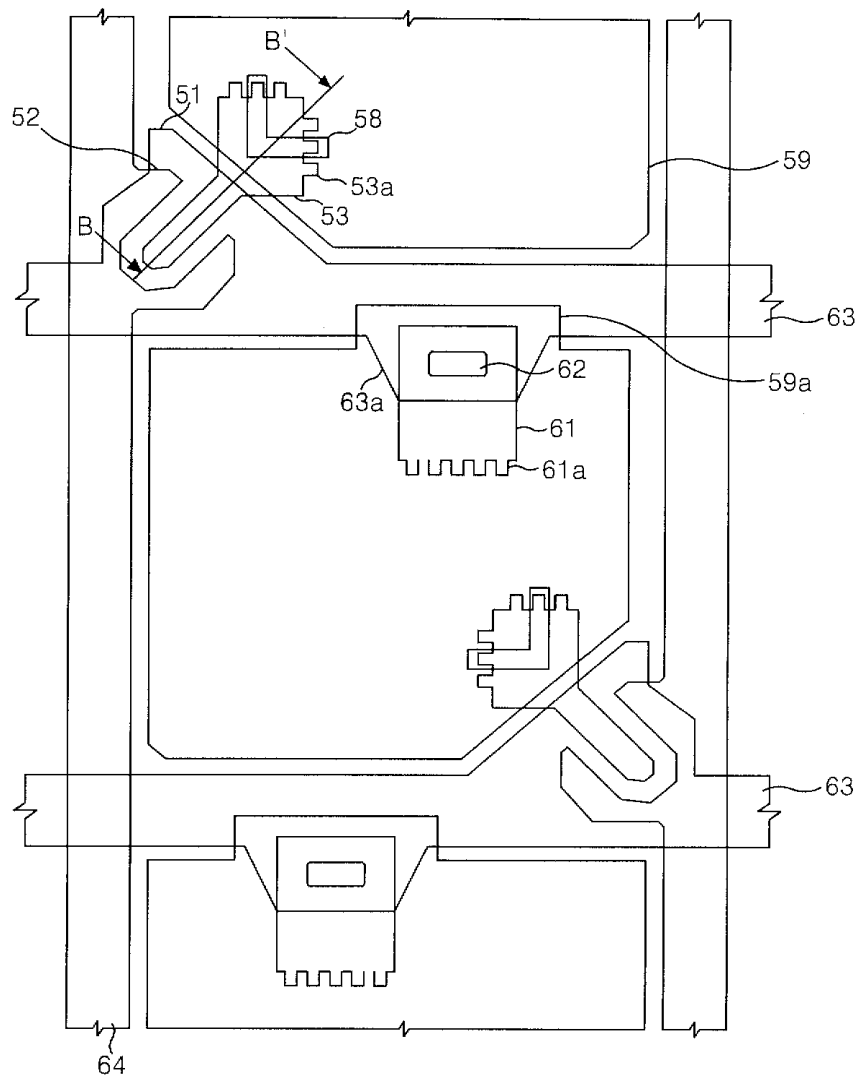
기수 프레임

도면8b

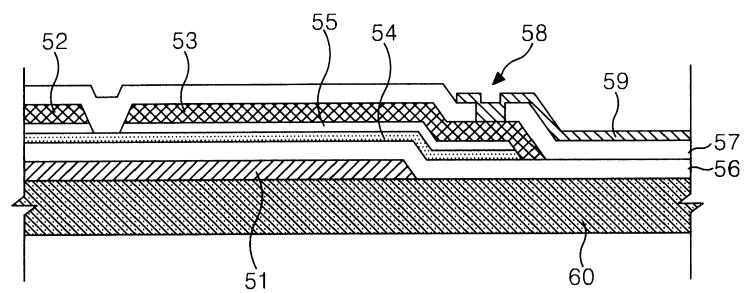
-	+	-	+	-	+	-	+
+	-	+	-	+	-	+	-
-	+	-	+	-	+	-	+
+	-	+	-	+	-	+	-
-	+	-	+	-	+	-	+
+	-	+	-	+	-	+	-
-	+	-	+	-	+	-	+
+	-	+	-	+	-	+	-

우수 프레임

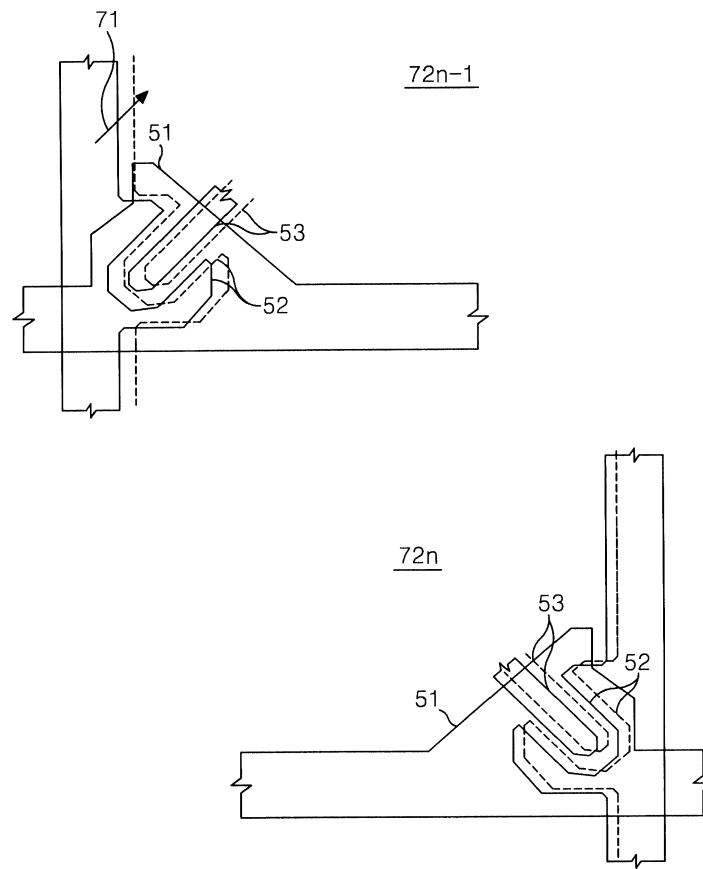
도면9



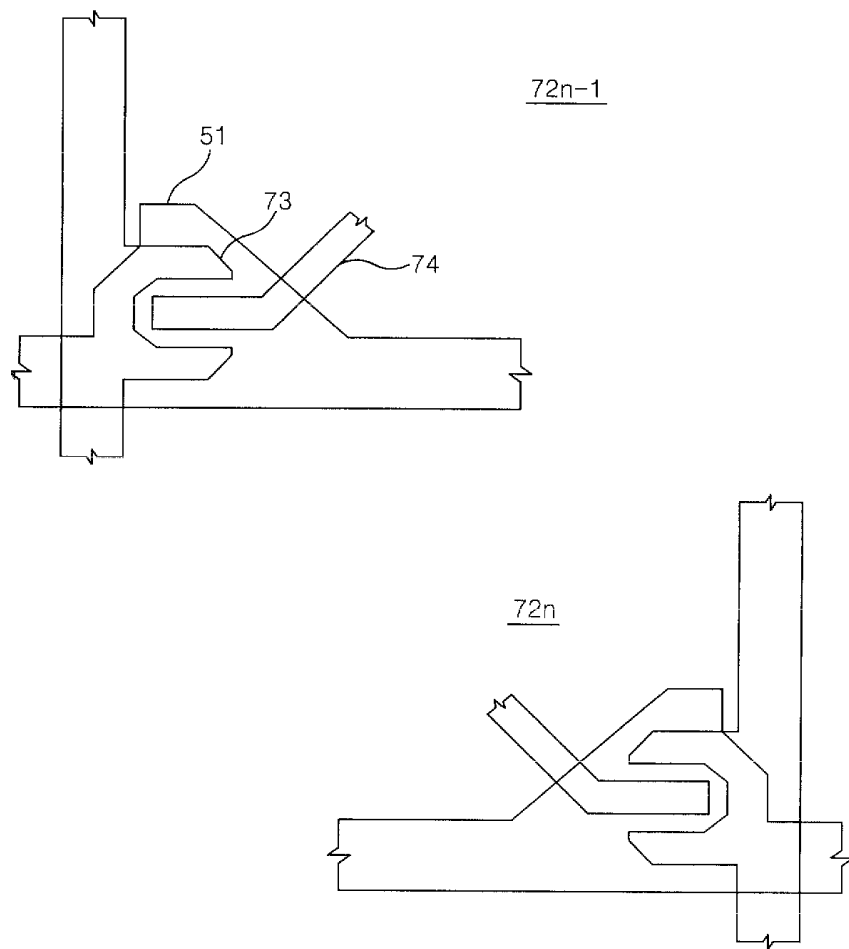
도면10



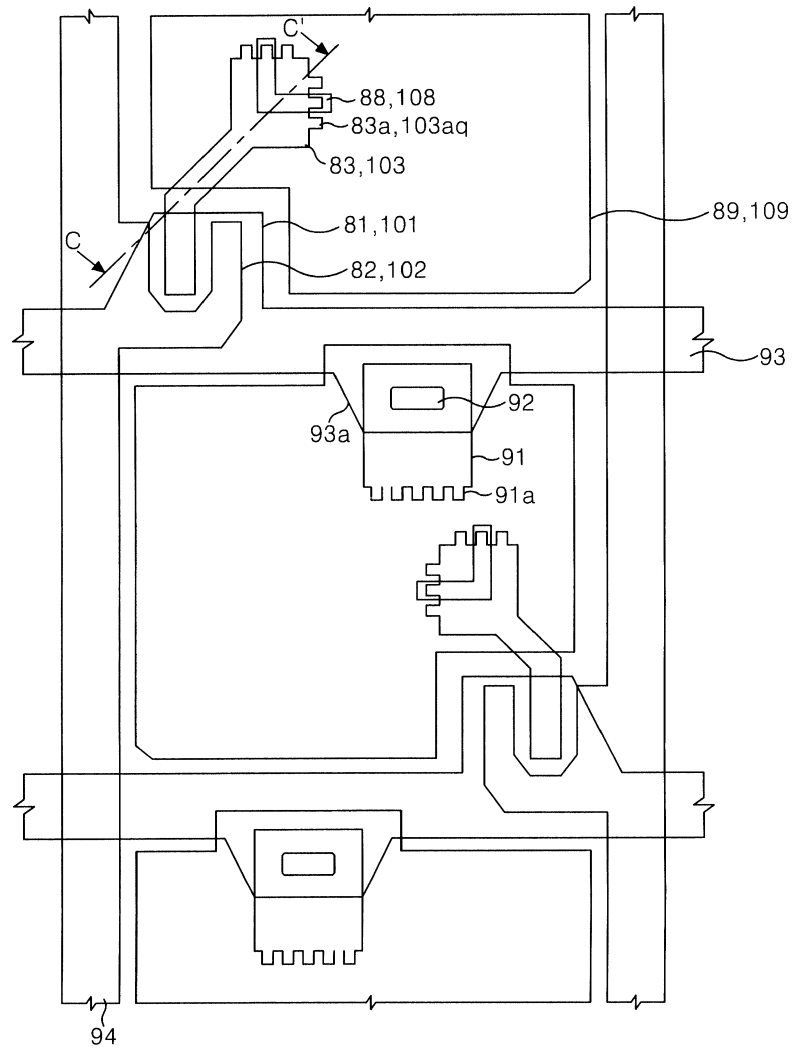
도면11



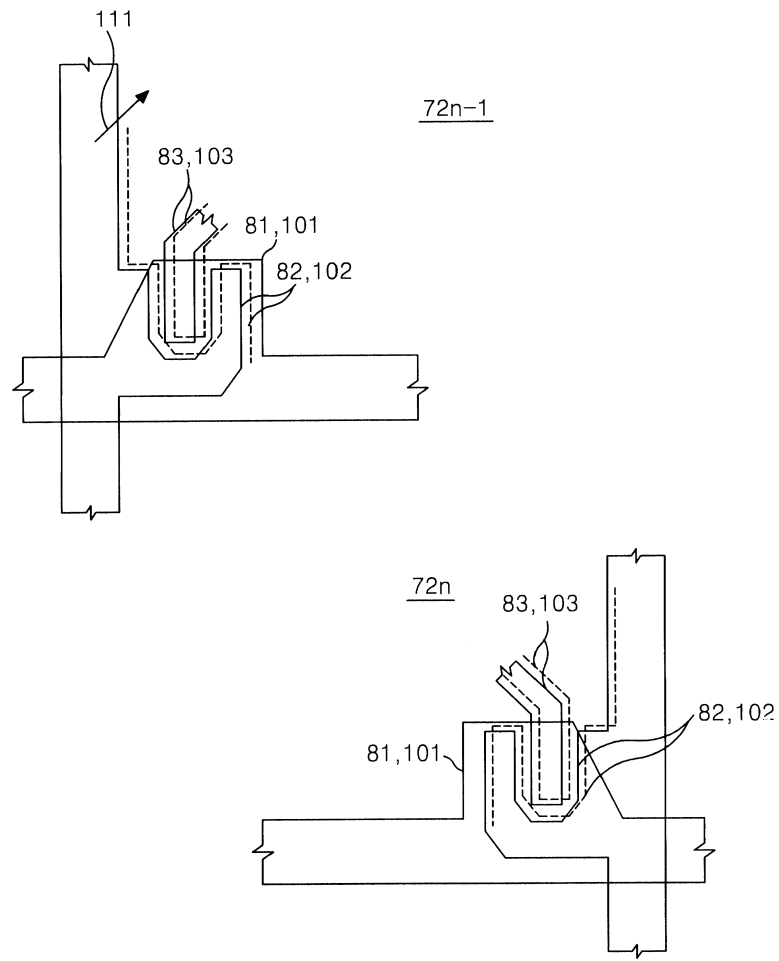
도면12



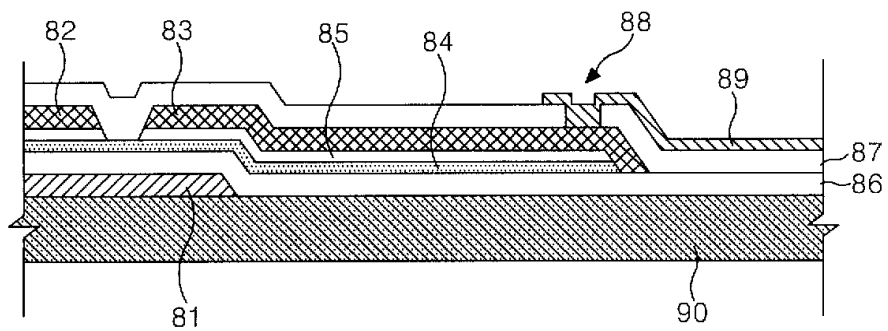
도면13



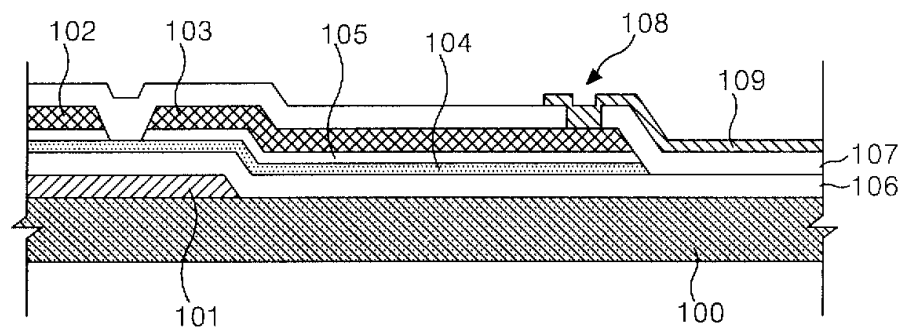
도면14



도면15



도면16



专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	KR100875182B1	公开(公告)日	2008-12-22
申请号	KR1020020021790	申请日	2002-04-20
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	SONG SANGMOO 송상무 CHOI SEUNGKYU 최승규		
发明人	송상무 최승규		
IPC分类号	G02F1/136		
CPC分类号	G02F1/136286		
代理人(译)	金勇 年轻的小公园		
其他公开文献	KR1020030083308A		
外部链接	Espacenet		

摘要(译)

本发明涉及液晶显示装置及其制造方法，用于均匀地制作薄膜晶体管的寄生电容值。根据本发明优选实施例的液晶显示装置及其制造方法将薄膜晶体管的源极与数据线连接，薄膜晶体管的漏极插入源极内的凹陷部分。数据线方向。液晶显示器和反转。

