

반도체층(5) 및 이것에 중첩되는 드레인배선(6a)가 게이트전극(2) 단부를 넘는 부분의 폭을 박막트랜지스터의 채널폭보다 좁게 하고, 이것에 의해 게이트전극(2)과 드레인전극(6)의 중첩면적을 작게 하고, 게이트배선(2), 드레인전극(6) 및 소스전극(7)을 패턴형성할 때에 사용되는 사진제판장치의 정렬어긋남에 의한 중첩면적의 어긋남을 더욱 작게 하여 표시불량을 저감할 수 있다.

특허청구의 범위

청구항 1.

절연성기판(1)상에 복수개 형성된 게이트전극을 구비한 게이트배선(2), 상기 게이트배선(2)과 교차하는 복수개의 소스전극(7)을 구비한 소스배선(3), 상기 게이트배선(2)상에 게이트절연막(4)를 거쳐서 마련된 반도체층(5), 이 반도체층(5)에 접속된 상기 소스전극(7) 및 드레인전극(6)으로 이루어지는 박막트랜지스터, 상기 드레인전극(6)으로부터 연장된 드레인배선(6a)에 접속된 화소전극(8)을 구비한 TFT 어레이기판에 있어서,

상기 박막트랜지스터의 상기 소스전극(7)과 상기 드레인전극(6)이 대향하는 채널폭의 방향이 상기 게이트배선(2)과 거의 평행한 방향으로 연장되고,

상기 드레인배선(6a)은 상기 소스배선(3)과 거의 평행한 방향으로 연장되어 있으며,

상기 반도체층(5)은, 이 반도체층(5)에 중첩되는 상기 드레인전극(6) 및 상기 드레인배선(6a)의 부분에서는, 상기 채널부분을 제외하고, 상기 드레인전극(6) 및 상기 드레인배선(6a)의 형상을 따라 형성되어 있으며,

상기 반도체층(5) 및 이 반도체층(5)에 중첩되는 상기 드레인배선(6a)이 상기 게이트전극의 단부를 넘는 부분의 폭을, 상기 박막트랜지스터의 채널폭(11)인 상기 드레인전극(6)의 폭보다 좁게 형성한 것을 특징으로 하는 TFT 어레이기판.

청구항 2.

절연성기판(1)상에 복수개 형성된 게이트전극을 구비한 게이트배선(2), 상기 게이트배선(2)과 교차하는 복수개의 소스전극(7)을 구비한 소스배선(3), 상기 게이트전극상에 게이트절연막(4)를 거쳐서 마련된 반도체층(5), 이 반도체층(5)에 접속된 상기 소스전극(7) 및 드레인전극(6)으로 이루어지는 박막트랜지스터, 상기 드레인전극(6)에 접속된 화소배선(8a)을 갖는 화소전극(8)을 구비한 TFT 어레이기판에 있어서,

상기 드레인전극(6)은 상기 게이트전극 상에만 마련되고,

상기 반도체층(5) 및 이 반도체층(5)에 중첩되는 상기 화소배선(8a)이 상기 게이트전극의 단부를 넘는 부분의 폭을, 상기 박막트랜지스터의 채널폭(11)인 상기 드레인전극(6)의 폭보다 좁게 형성한 것을 특징으로 하는 TFT 어레이기판.

청구항 3.

절연성기판(1)상에 복수개 형성된 게이트전극을 구비한 게이트배선(2), 상기 게이트배선(2)과 교차하는 복수개의 소스전극(7)을 구비한 소스배선(3), 상기 게이트전극상에 게이트절연막(4)를 거쳐서 마련된 반도체층(5), 이 반도체층(5)에 접속된 상기 소스전극(7) 및 드레인전극(6)으로 이루어지는 박막트랜지스터, 상기 드레인전극(6)에 접속된 화소배선(8a)을 갖는 화소전극(8)을 구비한 TFT 어레이기판에 있어서,

상기 드레인전극(6)은 상기 게이트전극 상에만 마련되고,

상기 화소배선(8a)이 상기 게이트전극의 단부를 넘는 부분의 폭을, 상기 박막트랜지스터의 채널폭(11)인 상기 드레인전극(6)의 폭보다 좁게 형성한 것을 특징으로 하는 TFT 어레이기판.

청구항 4.

특허청구범위 제1항 내지 제3항 중 어느 한 항에 기재된 TFT 어레이기판과, 투명전극 및 컬러필터를 갖는 대향전극기판 사이에 액정이 배치되어 있는 것을 특징으로 하는 액정표시장치.

청구항 5.

특허청구범위 제1항 내지 제3항의 어느 한 항에 기재된 TFT 어레이기판과, 투명전극을 갖는 대향전극기판 사이에 액정이 배치되어 있는 것을 특징으로 하는 액정표시장치.

명세서

기술분야

본 발명은 박막 트랜지스터(이하, TFT라 한다)를 스위칭소자로서 탑재한 액티브 매트릭스형의 TFT 어레이기판 및 이것을 사용한 액정표시장치에 관한 것이다.

배경기술

도 7의 (a)는 종래의 TFT 어레이기판의 1화소를 도시한 평면도, 도 7의 (b)는 스위칭소자인 TFT부를 도시한 평면도, 도 7의 (c)는 도 7의 (b)중의 D-D'로 나타낸 부분의 단면도이다. 도면에 있어서, (1)은 투명절연성 기판, (2)는 투명절연성 기판(1)상에 복수개 형성된 게이트배선 및 이 게이트배선에 구비된 게이트전극, (3)은 게이트배선(2)와 교차하는 복수개의 소스전극(7)을 구비한 소스배선, (5)는 게이트전극(2)상에 게이트절연막(4)를 거쳐서 마련된 반도체층으로서, 이 반도체층(5)에 접속된 소스전극(7) 및 드레인전극(6)에 의해 TFT가 구성되어 있다. 또, (8)은 투명도전막으로 이루어지는 화소전극으로서, 층간절연막(9)에 마련된 콘택트홀(10)을 거쳐서 드레인전극(6)에 접속되어 있다. 또한, (11)은 채널폭을 나타내고 있다.

이하, 종래의 TFT 어레이기판의 제조방법을 간단히 설명한다. 우선, 투명절연성 기판(1)상에 스퍼터법 등에 의해 Cr등으로 이루어지는 금속막을 퇴적한 후, 사진제판법 등에 의해 패터닝하고, 게이트전극을 구비한 게이트배선(2)를 형성한다. 다음에, 플라즈마 CVD법 등에 의해 게이트절연막(4)과 반도체층(5)을 연속해서 퇴적하고, 반도체층(5)을 패터닝한 후, 금속막을 퇴적하여 드레인전극(6), 소스전극(7) 및 소스배선(3)을 형성한다. 다음에, TFT를 덮도록 질화실리콘 등으로 이루어지는 층간절연막(9)을 성막하고, 콘택트홀(10)을 형성한 후, 스퍼터법 등에 의해 ITO 등의 투명도전막으로 이루어지는 화소전극(8)을 형성하고, TFT 어레이기판이 완성된다.

액정표시장치는 상기의 TFT 어레이기판과 대향전극기판 사이에 배치된 액정을 어레이기판상의 화소전극(8)과 대향전극에 인가한 전압으로 제어하는 것에 의해 영상표시를 실행하는 것이다. 이 때, 화소전극(8)로의 인가전압이 표시영역내에서 다르면, 휘도불균일이나 쇼트불균일, 플리커 등의 표시불량을 일으킨다.

도 8에 화소전극전압과 각 신호전압의 관계를 도시한다. 도면에 있어서, A는 게이트전극전압, B는 화소전극전압, C는 소스전극전압을 나타내고 있다. 게이트전극전압A가 TFT를 온시키는 충전기간CP에 있어서 화소전극전압B가 소스전극(7)에 인가되고, 드레인전극(6)을 거쳐서 화소전극(8)로 전달된다. 화소전극전압B는 충전기간중 소스전극전압C에 도달하고 있지만, 충전기간CP에서 유지시간HP로 게이트전극전압A가 오프될 때, 용량커플링 등에 의해 화소전극전압B가 저하하고 있다. 이 화소전극(8)의 전압강하는 피드스루(feed-through)전압D이며, 이하의 식으로 간이하게 나타낼 수 있다. 또한, 식 중, ΔV_{gd} : 피드스루전압, C_{gd} : 게이트전극과 드레인전극의 기생용량, C_s : 화소전극의 보조용량, C_{1c} : 액정용량을 각각 나타내고 있다.

$$\Delta V_{gd} = \Delta V \times C_{gd} / (C_{1c} + C_s + C_{gd})$$

표시영역내에서 피드스루전압에 차가 발생하는 원인중의 하나로서, 게이트전극(2)와 드레인전극(6)의 기생용량(이하, C_{gd} 라 한다)의 변동이 있다. 화소나 TFT가 매트릭스형상으로 배치되어 있는 어레이기판은 사진제판법을 사용해서 각 패

턴을 형성하고 있고, 복수개의 쇼트를 적용해서 하나의 공정이 완료한다. 각 쇼트에 있어서 사진제판장치의 정렬(얼라인먼트)어긋남이 생긴 경우, 게이트전극(2), 반도체층(5), 소스전극(7) 및 드레인전극(6) 등의 패턴배치관계가 각 쇼트 사이에서 다르다. 이 때문에 게이트전극(2)와 드레인전극(6)의 중첩면적에 의해서 결정되는 Cgd가 쇼트 사이에서 다르고, 그 결과, 각 쇼트 사이에서 피드스루전압에 차가 생겨 쇼트불균일이나 플리커 등이 시인(視認)되기 쉽게 된다. 또, 게이트전극전압A가 오프될 때까지 게이트전극(2)상의 드레인전극(6)의 외부에 형성된 반도체층(5)가 드레인전극(6)과 동일 전위로 되어 이것도 Cgd변동에 기여하고 있다.

도 7에 도시한 종래의 TFT구조에서는 TFT의 채널폭(11)과 평행한 방향으로의 정렬어긋남에 의한 게이트배선(2)와 드레인전극(6) 및 반도체층(5)의 중첩면적의 변동은 작지만, 채널폭(11)과 수직인 방향으로의 정렬어긋남에 대해서는 배려가 되어 있지 않아 면적의 변동이 크다는 문제가 있었다. 또한, 종래 구조에서는 게이트배선(2)에 대한 부하용량이 커서 저감하는 것이 바람직하였다.

또, 예를 들면, 일본국 특허공개공보 평성2-10331호에서는 게이트전극에 의해 생기는 단차부상에서 게이트절연막을 거쳐서 마련되는 드레인전극의 단차부상의 길이를 다른 부분의 드레인전극폭보다 좁게 하는 것에 의해 단차부에 기인하는 상하층의 단락발생을 저감시킨 TFT 어레이기판이 제안되어 있지만, 상기 단차부상의 반도체층의 폭에 대해서는 기재되어 있지 않았다.

발명의 상세한 설명

[발명의 개시]

본 발명은 상기와 같은 문제점을 해소하기 위해 이루어진 것으로서, 본 발명이 해결하고자 하는 과제는 어레이기판 제조공정에 있어서의 사진제판장치의 정렬어긋남에 기인하는 쇼트불균일이나 플리커 등의 표시불량이 저감됨과 동시에 게이트배선에 대한 부하용량이 저감되는 고개구율의 TFT 어레이기판 및 이것을 사용한 액정표시장치를 제공하는 것을 목적으로 한다.

본 발명에 의한 과제를 해결하기 위한 수단에 대해서 설명한다. 본 발명에 관한 TFT 어레이기판은 절연성기판상에 복수개 형성된 게이트전극을 구비한 게이트배선, 이 게이트배선과 교차하는 복수개의 소스전극을 구비한 소스배선, 게이트전극상에 게이트절연막을 거쳐서 마련된 반도체층, 이 반도체층에 접속된 소스전극 및 드레인전극으로 이루어지는 박막 트랜지스터, 드레인전극으로부터 연장된 드레인배선에 접속된 화소전극을 구비한 TFT 어레이기판에 있어서, 반도체층 및 이것에 중첩되는 드레인배선의 게이트전극 단부를 넘는 부분의 폭을 박막트랜지스터의 채널폭인 드레인전극폭보다 좁게 마련한 것이다.

또한, 드레인전극 및 드레인배선은 게이트전극상에 있어서 반도체층과 중첩되지 않는 부분을 갖는 것이다.

또, 절연성기판상에 복수개 형성된 게이트전극을 구비한 게이트배선, 이 게이트배선과 교차하는 복수개의 소스전극을 구비한 소스배선, 게이트전극상에 게이트절연막을 거쳐서 마련된 반도체층, 이 반도체층에 접속된 소스전극 및 드레인전극으로 이루어지는 박막트랜지스터, 드레인전극에 접속된 화소배선을 갖는 화소전극을 구비한 TFT 어레이기판에 있어서, 반도체층 및 이것에 중첩되는 화소배선의 게이트전극 단부를 넘는 부분의 폭을 박막트랜지스터의 채널폭인 드레인전극폭보다 좁게 마련한 것이다.

또한, 드레인전극 및 화소배선은 게이트전극상에 있어서 반도체층과 중첩되지 않는 부분을 갖는 것이다.

또, 절연성기판상에 복수개 형성된 게이트전극을 구비한 게이트배선, 이 게이트배선과 교차하는 복수개의 소스전극을 구비한 소스배선, 게이트전극상에 게이트절연막을 거쳐서 마련된 반도체층, 이 반도체층에 접속된 소스전극 및 드레인전극으로 이루어지는 박막트랜지스터, 드레인전극에 접속된 화소배선을 갖는 화소전극을 구비한 TFT 어레이기판에 있어서, 화소배선의 게이트전극 단부를 넘는 부분의 폭을 박막트랜지스터의 채널폭인 드레인전극폭보다 좁게 마련한 것이다.

또한, 드레인전극은 게이트전극상에 있어서 반도체층과 중첩되지 않는 부분을 갖는 것이다.

또, 본 발명에 관한 액정표시장치는 상기 중의 어느 하나의 TFT 어레이기판, 투명전극 및 컬러필터 등을 갖는 대향전극기판 또는 투명전극을 갖는 대향전극기판 사이에 액정이 배치되어 있는 것이다.

본 발명에 의한 효과에 대해서 설명한다. 본 발명에 의한 TFT 어레이기판은 상기와 같이 절연성기판상에 복수개 형성된 게이트전극을 구비한 게이트배선, 이 게이트배선과 교차하는 복수개의 소스전극을 구비한 소스배선, 게이트전극상에 게이트절연막을 거쳐서 마련된 반도체층, 이 반도체층에 접속된 소스전극 및 드레인전극으로 이루어지는 박막트랜지스터, 드레인전극으로부터 연장된 드레인배선에 접속된 화소전극을 구비한 것에 있어서, 반도체층 및 이것에 중첩되는 드레인배선의 게이트전극 단부를 넘는 부분의 폭을 박막트랜지스터의 채널폭인 드레인전극폭보다 좁게 마련했으므로, 게이트배선, 드레인전극 및 소스전극을 패터닝형성할 때에 사용하는 사진제판장치의 정렬어긋남에 의해 생기는 각 쇼트사이의 게이트전극과 드레인전극의 중첩면적의 차가 작아지고, 이것에 의해 피드스루전압의 파라미터인 게이트전극과 드레인전극의 기생용량의 변동을 저감할 수 있으므로, 쇼트불균일이나 플리커 등의 표시불량의 발생을 억제할 수 있다.

또, 드레인전극 및 드레인배선이 게이트전극상에 있어서 반도체층과 중첩되지 않는 부분을 갖도록 하고 이것에 의해 게이트전극상에 있어서 드레인전극 및 드레인배선으로부터 돌출된 반도체층의 면적을 작게 했으므로, 드레인전극에서 돌출된 반도체층과 게이트전극으로 형성되는 용량이 작아지고 피드스루전압에 거의 영향을 미치지 않으므로, 쇼트불균일이나 플리커 등의 표시불량의 발생을 더욱 억제할 수 있다. 또, 본 발명에 의하면, 종래의 TFT 구조보다 게이트배선에 대한 부하용량을 저감할 수 있다. 또한, 화소배선을 채용하는 것에 의해 종래보다 고개구율의 TFT 어레이기판을 얻을 수 있어 표시특성이 우수한 액정표시장치가 얻어진다.

[도면의 간단한 설명]

- 도 1은 본 발명의 실시예1인 TFT 어레이기판의 구조를 도시한 평면도 및 단면도,
- 도 2는 본 발명의 실시예2인 TFT 어레이기판의 구조를 도시한 평면도,
- 도 3은 본 발명의 실시예3인 TFT 어레이기판의 구조를 도시한 평면도 및 단면도,
- 도 4는 본 발명의 실시예4인 TFT 어레이기판의 구조를 도시한 평면도,
- 도 5는 본 발명의 실시예5인 TFT 어레이기판의 구조를 도시한 평면도 및 단면도,
- 도 6은 본 발명의 실시예6인 TFT 어레이기판의 구조를 도시한 평면도,
- 도 7은 종래의 TFT 어레이기판의 구조를 도시한 평면도 및 단면도,
- 도 8은 화소전극전압과 각 신호전압의 관계를 도시한 도면.

[발명을 실시하기 위한 최량의 형태]

실시예

<실시예1>

이하, 본 발명의 실시예를 도면에 따라서 설명한다. 도 1의 (a)는 본 발명의 실시예1에 있어서의 TFT 어레이기판의 스위칭소자인 TFT부를 도시한 평면도, 도 1의 (b)는 도 1의 (a)중 A-A'로 나타내는 부분의 단면도이다.

도면에 있어서, (1)은 투명절연성 기판, (2)는 투명절연성 기판(1)상에 복수개 형성된 게이트배선 및 이 게이트배선에 구비된 게이트전극, (3)은 게이트배선(2)와 교차하는 복수개의 소스배선으로서, 소스전극(7)을 구비하고 있다. (5)는 게이트전극(2)상에 게이트절연막(4)를 거쳐서 마련된 반도체층으로서, 이 반도체층(5)에 접속된 소스전극(7) 및 드레인전극(6)에 의해 TFT가 구성되어 있다. 또, (8)은 투명도전막으로 이루어지는 화소전극으로서, 층간절연막(9)에 마련된 콘택트홀(10)을 거쳐서 드레인전극(6)으로부터 연장된 드레인배선(6a)에 접속되어 있다. 또, (11)은 TFT의 채널폭을 나타내고 있다.

본 실시예에서는 반도체층(5) 및 이것에 중첩되는 드레인배선(6a)의 게이트전극(2) 단부를 넘는 부분의 폭을 TFT의 채널폭(11)인 드레인전극(6)의 폭보다 좁게 마련한 것이다.

본 실시예에 있어서의 TFT 어레이기판의 제조방법을 간단히 설명한다. 우선, 투명절연성 기판(1)상에 스퍼터법 등에 의해 Cr 등으로 이루어지는 금속막을 퇴적시킨 후, 사진제판법 등에 의해 레지스트를 노출시킨 후 패터닝하고, 게이트전극을 구비한 게이트배선(2)을 형성한다. 다음에, 플라즈마 CVD법 등에 의해 게이트절연막(4)과 반도체층(5)을 연속해서 퇴적하고, 반도체층(5)을 패터닝한 후, Cr 등으로 이루어지는 금속막을 스퍼터법 등에 의해 퇴적하여 드레인전극(6) 및 드레인배선(6a), 소스배선(3) 및 소스전극(7)을 형성한다. 다음에, TFT를 덮도록 질화실리콘 등으로 이루어지는 층간절연막(9)을 성막하고, 드레인배선(6a)와 화소전극(8)을 접속하는 콘택트홀(10)을 형성한 후, 스퍼터법 등에 의해 ITO 등의 투명도전막을 성막하고, 화소전극(8)을 패터닝해서 본 실시예에 있어서의 TFT 어레이기판을 완성한다. 또한, 이 TFT어레이기판, 투명전극 및 컬러필터 등을 갖는 대향전극기판 또는 투명전극을 갖는 대향전극기판 사이에 액정을 배치하는 것에 의해 본 실시예에 있어서의 액정표시장치가 얻어진다.

본 실시예에서는 반도체층(5) 및 이것에 중첩되는 드레인배선(6a)의 게이트전극(2) 단부를 넘는 부분의 폭을 TFT의 채널폭(11)인 드레인전극(6)의 폭보다 좁게 마련하였다. 이것에 의해, 게이트전극(2), 드레인전극(6) 및 소스전극(7)을 패터닝할 때에 사용하는 사진제판장치의 정렬어긋남에 의해 발생하는 각 쇼트사이의 게이트전극(2)과 드레인전극(6)의 중첩면적의 차가 종래의 TFT구조(도 7의 (b)참조)에 비해 작게 되므로 피드스루전압의 파라미터인 Cgd의 변동을 저감할 수 있고, 쇼트불균일이나 플리커 등의 표시불량의 발생을 억제할 수 있다. 또, Cgd에 기여하는 게이트전극(2) 단부를 넘는 반도체층(5)의 폭도 좁게 마련하는 것에 의해 Cgd변동을 방지할 수 있다. 특히, 종래의 TFT 구조에서는 채널폭과 평행한 방향의 정렬어긋남밖에 고려되어 있지 않았지만, 본 실시예에서는 수직방향의 정렬어긋남을 고려한 것에 의해 모든 방향의 정렬어긋남에 의한 Cgd의 변동을 저감할 수 있는 것이다.

또한, 게이트전극(2)상에 형성된 반도체층(5)는 Cgd에 기여하고 있고, 도 1의 (a)중 L1로 나타낸 드레인전극(6)의 한변과 반도체층(5)의 한변의 거리에 대해서 L1이 약 5 μ m이상으로 되면, 반도체층(5)에 기인하는 피드스루전압이 급격히 증가하므로 L1은 5 μ m이하로 설계하는 것이 바람직하다.

또, 종래의 TFT구조에서는 드레인전극(6)이 게이트절연막(4)을 거쳐서 게이트전극(2) 단부를 넘는 단차부분에 있어서 게이트전극(2)과 드레인전극(6)의 단락이 발생하기 쉽다고 하는 문제가 있었지만, 본 실시예에서는 드레인배선(6a)를 채용하는 것에 의해 단차부분에 있어서의 드레인전극의 폭을 좁게 했으므로, 단락의 발생확률이 감소하고 또한 드레인배선(6a)의 막두께를 두껍게 하는 것에 의해 단선도 방지할 수 있다.

<실시예2>

도 2는 본 발명의 실시예2에 있어서의 TFT 어레이기판의 스위칭소자인 TFT부를 도시한 평면도이다. 도면 중, 동일 및 상당부분에는 동일부호를 붙이고 설명을 생략한다.

본 실시예에서는 상기 실시예1과 마찬가지로, 반도체층(5) 및 이것에 중첩되는 드레인배선(6a)의 게이트전극(2) 단부를 넘는 부분의 폭을 TFT의 채널폭(11)인 드레인전극(6)의 폭보다 좁게 마련하고 또한 드레인전극(6) 및 드레인배선(6a)가 게이트전극(2)상에 있어서 반도체층(5)와 중첩되지 않는 부분을 갖도록 하였다. 이것에 의해, 게이트전극(2)상에 있어서 드레인전극(6)으로부터 돌출된 반도체층(5)의 면적을 상기 실시예1보다 작게 하고 있다.

상기 실시예1에 도시한 TFT구조(도 1의 (a))에서는 게이트전극(2)상에 있어서 드레인전극(6)으로부터 돌출된 반도체층(5)의 면적이 크므로, 피드스루전압에 영향을 미칠 가능성이 있다. 그래서, 본 실시예에서는 게이트전극(2)상에 있어서 드레인전극(6) 및 드레인배선(6a)의 일부를 반도체층(5)와 중첩되지 않도록 배치하고, 드레인전극(6)으로부터 돌출된 반도체층(5) 즉 드레인전극(6)과 동일전위로 되는 반도체층(5)의 면적을 작게 하는 것에 의해 피드스루전압의 파라미터인 Cgd의 값이 드레인전극(6)과 게이트전극(2)의 중첩면적에 의해 대략 결정되도록 한 것이다.

본 실시예에 의하면, 상기 실시예1과 마찬가지로의 효과에 부가해서 드레인전극(6)으로부터 돌출된 반도체층(5)의 면적을 작게 하는 것에 의해, Cgd에 기여하는 드레인전극(6)으로부터 돌출된 반도체층(5)와 게이트전극(2)로 형성되는 용량을 작게 할 수 있으므로, 피드스루전압의 증가를 억제할 수 있고, 쇼트불균일이나 플리커의 발생을 더욱 억제할 수 있다.

<실시예3>

도 3의 (a)는 본 발명의 실시예3에 있어서의 TFT 어레이기판의 스위칭소자인 TFT부를 도시한 평면도, 도 3의 (b)는 도 3의 (a)중 B-B'로 나타내는 부분의 단면도이다. 도면에 있어서, (8a)는 화소전극(8)로부터 연장되어 드레인전극(6)에 접속

된 화소배선이다. 또한, 도면 중, 동일 및 상당부분에는 동일부호를 붙이고 있다. 또, 본 실시예에 있어서의 TFT어레이기판의 제조방법은 화소배선(8a)를 갖는 화소전극(8)을 패턴형성하고, 콘택트홀(10)에 의해 드레인전극(6)과 화소배선(8a)를 접속하는 것 이외에는 상기 실시예1과 거의 마찬가지로 하기 때문에 설명을 생략한다.

본 실시예에서는 TFT의 드레인전극(6)을 게이트전극(2)상의 반도체층(5)상에 마련하고 이 드레인전극(6)상에 콘택트홀(10)을 마련하여 드레인전극(6)과 화소배선(8a)를 전기적으로 접속한 TFT 어레이기판에 있어서, 반도체층(5) 및 이것에 중첩되는 화소배선(8a)의 게이트전극(2) 단부를 넘는 부분의 폭을 TFT의 채널폭(11)인 드레인전극(6)의 폭보다 좁게 마련한 것이다. 이것에 의해, 종래의 TFT구조(도 7의 (b)참조)에 비해 사진제판장치의 정렬어긋남에 의해 생기는 각 쇼트사이의 게이트전극(2)와 드레인전극(6)(및 화소배선(8a))의 중첩면적의 차가 작아지므로 피드스루전압의 파라미터인 Cgd의 변동을 저감할 수 있어 쇼트불균일이나 플리커의 발생을 억제할 수 있다.

또한, 게이트전극(2)상에 형성된 반도체층(5)는 Cgd에 기여하고 있고, 도 3의 (a)중 L2로 나타내는 드레인전극(6)의 한변과 반도체층(5)의 한변의 거리에 대해서 L2가 약 5 μ m이상으로 되면, 반도체층(5)에 기인하는 피드스루전압이 급격히 증가하기 때문에 L2는 5 μ m이하로 설계하는 것이 바람직하다.

<실시예4>

도 4는 본 발명의 실시예4에 있어서의 TFT 어레이기판의 스위칭소자인 TFT부를 도시한 평면도이다. 도면 중, 동일 및 상당부분에는 동일부호를 붙이고 설명을 생략한다.

본 실시예에서는 상기 실시예3과 마찬가지로 반도체층(5) 및 이것에 중첩되는 화소배선(8a)의 게이트전극(2) 단부를 넘는 부분의 폭을 TFT의 채널폭(11)인 드레인전극(6)의 폭보다 좁게 마련하고 또한 드레인전극(6) 및 화소배선(8a)가 게이트전극(2)상에 있어서 반도체층(5)와 중첩되지 않는 부분을 갖도록 하였다. 이것에 의해, 게이트전극(2)상에 있어서 드레인전극(6) 및 화소배선(8a)로부터 돌출된 반도체층(5)의 면적을 상기 실시예3보다 작게 하고 있다.

본 실시예에 의하면, 상기 실시예3과 마찬가지로의 효과에 부가하여 Cgd의 요인으로 되는 드레인전극(6) 및 화소배선(8a)로부터 돌출된 반도체층(5)와 게이트전극(2)로 형성되는 용량을 작게 할 수 있으므로, 피드스루전압의 증가를 억제할 수 있어 쇼트불균일이나 플리커의 발생을 더욱 억제할 수 있다.

<실시예5>

도 5의 (a)는 본 발명의 실시예5에 있어서의 TFT 어레이기판의 스위칭소자인 TFT부를 도시한 평면도, 도 5의 (b)는 도 5의 (a)중 C-C'로 나타내는 부분의 단면도이다. 도면 중, 동일 및 상당부분에는 동일부호를 붙이고 설명을 생략한다.

본 실시예에서는 TFT의 드레인전극(6)을 게이트전극(2)상의 반도체층(5)상에 마련하고 이 드레인전극(6)상에 콘택트홀(10)을 마련하여 드레인전극(6)과 화소배선(8a)를 전기적으로 접속한 TFT 어레이기판에 있어서, 화소배선(8a)의 게이트전극(2) 단부를 넘는 단차부분의 폭을 TFT의 채널폭(11)인 드레인전극(6)의 폭보다 좁게 마련한 것이다. 이것에 의해, 종래의 TFT구조(도 7의 (b)참조)에 비해 사진제판장치의 정렬어긋남에 의해 생기는 각 쇼트사이의 게이트전극(2)와 드레인전극(6)(및 화소배선(8a))의 중첩면적의 차가 작아지므로 피드스루전압의 파라미터인 Cgd변동을 저감할 수 있고 쇼트불균일이나 플리커의 발생을 억제할 수 있다.

또한, 게이트전극(2)상에 형성된 반도체층(5)는 Cgd에 기여하고 있고, 도 5의 (a)중 L3로 나타내는 드레인전극(6)의 한변과 반도체층(5)의 한변의 거리에 대해서 L3이 약 5 μ m이상으로 되면, 반도체층(5)에 기인하는 피드스루전압이 급격히 증가하기 때문에 L3은 5 μ m이하로 설계하는 것이 바람직하다.

<실시예6>

도 6은 본 발명의 실시예6에 있어서의 TFT 어레이기판의 스위칭소자인 TFT부를 도시한 평면도이다. 도면 중, 동일 및 상당부분에는 동일부호를 붙이고 설명을 생략한다.

본 실시예에서는 상기 실시예5와 마찬가지로 화소배선(8a)의 게이트전극(2) 단부를 넘는 부분의 폭을 TFT의 채널폭(11)인 드레인전극(6)의 폭보다 좁게 마련하고, 또한 드레인전극(6)이 게이트전극(2)상에 있어서 반도체층(5)와 중첩되지 않는 부분을 갖도록 하였다. 이것에 의해, 게이트전극(2)상에 있어서 드레인전극(6)으로부터 돌출된 반도체층(5)의 면적을 상기 실시예5보다 작게 하고 있다.

본 실시예에 의하면, 상기 실시예5와 마찬가지로의 효과에 부가하여 Cgd에 기여하는 드레인전극(6)으로부터 돌출된 반도체층(5)과 게이트전극(2)로 형성되는 용량을 작게 할 수 있으므로, 피드스루전압의 증가를 억제할 수 있고 쇼트불균일이나 플리커의 발생을 더욱 억제할 수 있다.

또한, 상기 실시예1~실시예6에 있어서의 드레인전극(6), 드레인배선(6a) 및 화소배선(8a), 반도체층(5)의 형상은 도면에 도시한 형상에 한정되는 것은 아니고, 드레인배선(6a) 또는 화소배선(8a)의 게이트전극(2) 단부를 넘는 부분의 폭이 TFT의 채널폭(11)인 드레인전극(6)의 폭보다 좁게 마련되어 있으면, 임의의 패턴이라도 마찬가지로의 효과를 기대할 수 있다.

또, TFT를 형성하는 게이트전극(2), 반도체층(5) 및 드레인전극(6)의 패턴을 설계함에 있어서 쇼트 사이의 정렬어긋남 발생에 의한 피드스루전압의 변화를 약 150mV 이하로 하는 것이 바람직하다.

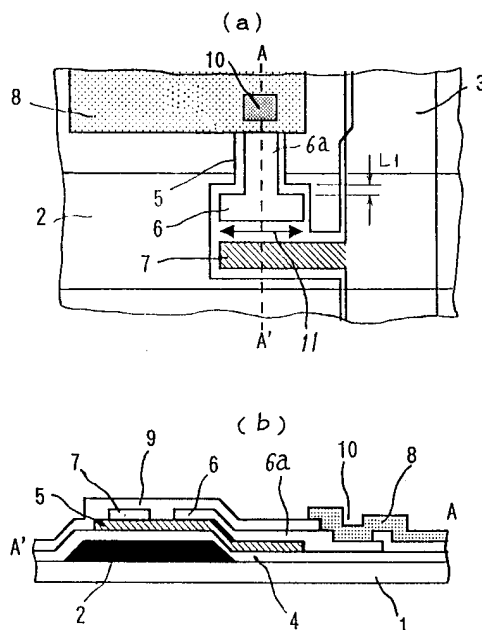
또, 본 발명은 상기 실시예1~실시예6에서 설명한 TFT구조에만 적용되는 것은 아니고, 예를 들면 게이트배선으로부터 돌기형상으로 인출된 게이트전극상에 드레인전극 및 소스전극을 형성해서 구축한 TFT에 있어서도 게이트전극에 의한 단차부상의 화소와 전기적으로 접속되어 있는 드레인배선 또는 화소배선 등의 금속패턴과 반도체층의 폭을 TFT의 채널폭보다 좁게 마련하는 것에 의해, 마찬가지로의 효과를 얻을 수 있다.

산업상 이용 가능성

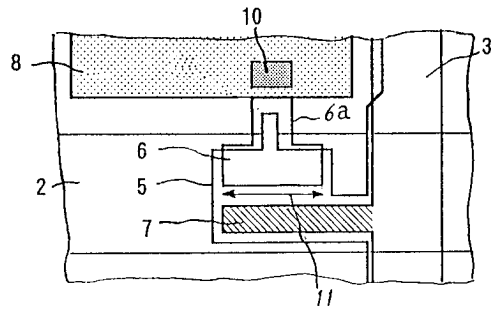
본 발명의 TFT어레이기판은 액정표시장치에 사용되고, 그 표시불량을 저감하고, 또 게이트배선에 대한 부하용량을 저감하는데 유효하다. 또, 본 발명에 의한 액정표시장치는 각종 표시장치의 표시패널로서 이용된다.

도면

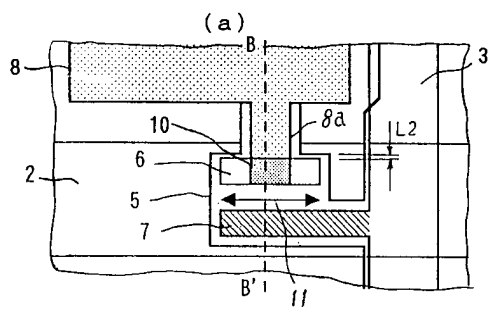
도면1



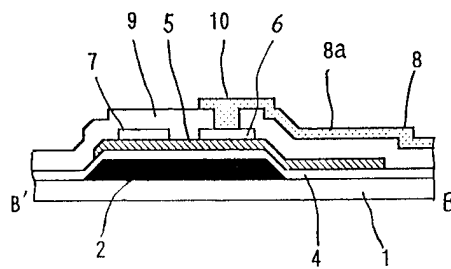
도면2



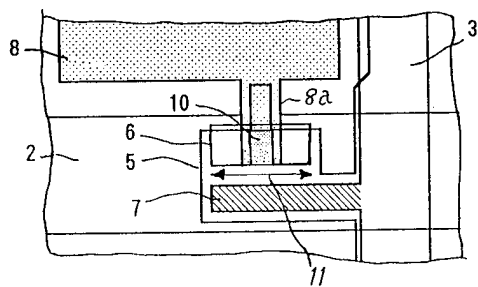
도면3



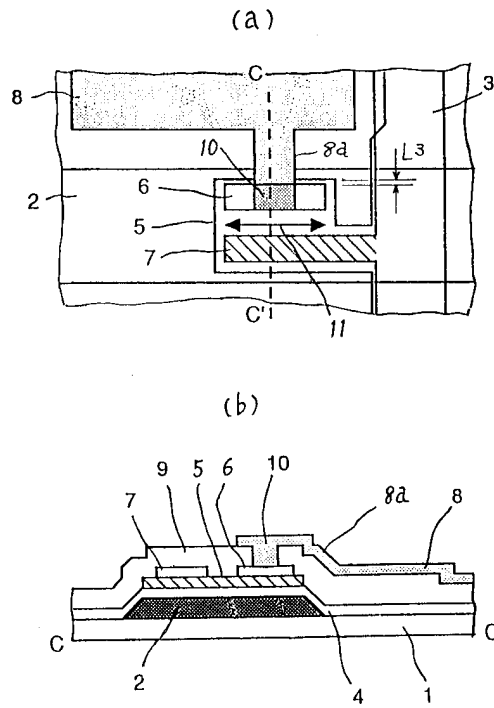
(b)



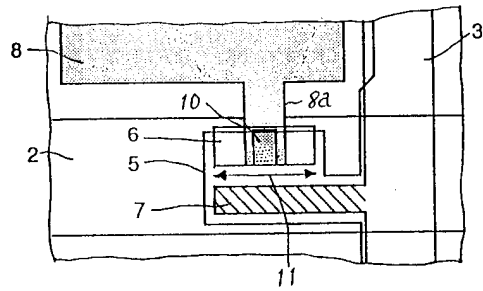
도면4



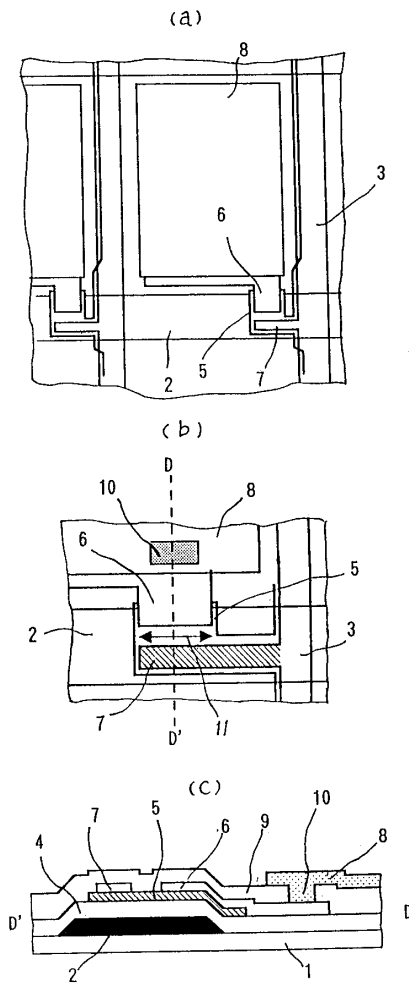
도면5



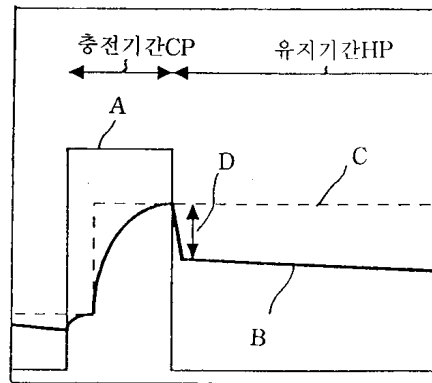
도면6



도면7



도면8



专利名称(译)	TFT阵列基板和使用其的液晶显示装置		
公开(公告)号	KR100735853B1	公开(公告)日	2007-07-04
申请号	KR1020027000831	申请日	2001-06-11
申请(专利权)人(译)	可否让我有这一半的喷雾.		
当前申请(专利权)人(译)	可否让我有这一半的喷雾.		
[标]发明人	HASHIGUCHI TAKAFUMI 하시구치다카후미 YAMAGUCHI TAKEHISA 야마구치다케히사 NAKAGAWA NAOKI 나카가와나오키		
发明人	하시구치다카후미 야마구치다케히사 나카가와나오키		
IPC分类号	G02F1/136 G02F1/1343 G02F1/1368 G09F9/30 H01L27/12 H01L29/423 H01L29/786		
CPC分类号	G02F1/1368 H01L27/12 H01L29/42384		
代理人(译)	Yihwaik 권태복		
优先权	2000193453 2000-06-27 JP		
其他公开文献	KR1020020060153A		
外部链接	Espacenet		

摘要(译)

使半导体层5和漏极布线6a的与栅电极2的端部重叠的半导体层5的部分的宽度比薄膜晶体管的沟道宽度窄，并且，在对栅极布线2，漏极电极6和源极电极7进行图案化时使用的光刻板形成装置的未对准引起的重叠区域的偏差进一步减小，可以减少。

