



## 특허청구의 범위

### 청구항 1.

제 1 기관과;

상기 제 1 기관상에 중첩으로 형성되어 화소영역을 정의하는 게이트라인 및 데이터라인과;

상기 게이트라인 방향으로 배열된 제 1 공통배선과;

상기 게이트라인 및 데이터라인의 교차 부위에 형성된 박막 트랜지스터와;

상기 박막 트랜지스터를 포함한 상기 제 1 기관의 전면에 형성된 층간절연막과;

상기 층간절연막상에 상기 데이터라인 상부를 완전히 덮도록 상기 화소영역에 형성된 칼라필터층과;

상기 칼라필터층을 포함한 상기 제 1 기관상에 형성된 평탄화막과;

상기 박막 트랜지스터의 채널영역 상측의 상기 평탄화막상에 형성된 차광막과;

상기 게이트라인 및 상기 박막 트랜지스터 상부에 중첩되도록 상기 평탄화막상에 형성된 제 2 공통배선과;

상기 제 2 공통배선과 연결되어 있으며, 상기 데이터라인 상부에 완전히 중첩 형성되고, 상기 화소영역에 일방향으로 배열 되도록 상기 평탄화막상에 각각 형성된 공통전극과;

상기 박막 트랜지스터의 드레인전극과 콘택되며 상기 공통전극 사이에 일정 간격을 갖고 형성된 화소전극과;

상기 제 1 기관과 소정 간격을 두고 서로 대향되며 블랙 매트릭스층 없이 구성된 제 2 기관을 포함하여 구성됨을 특징으로 하는 액정표시장치.

### 청구항 2.

제 1 항에 있어서,

상기 칼라필터층은 서로 일정 간격 이격되어 있으며, 상기 데이터라인 일측에서 이보다 일정폭 만큼 더 확장되어 있음을 특징으로 하는 액정표시장치.

### 청구항 3.

제 1 항 또는 제 2 항에 있어서,

상기 데이터라인 상부의 공통전극은 상기 데이터라인보다 넓은 폭으로 형성되고, 상기 칼라필터층간의 이격된 상부에도 중첩되도록 확장 형성되어 비대칭 구조를 이룸을 특징으로 하는 액정표시장치.

### 청구항 4.

제 1 항에 있어서,

상기 화소영역의 공통전극은 상기 데이터라인과 평행하게 배열됨을 특징으로 하는 액정표시장치.

#### 청구항 5.

제 1 항에 있어서,

상기 공통전극은 상기 제 2 공통배선과 일체로 형성됨을 특징으로 하는 액정표시장치.

#### 청구항 6.

제 1 항에 있어서,

상기 제 2 공통배선, 공통전극 및 화소전극은 동일층상에 형성됨을 특징으로 하는 액정표시장치.

#### 청구항 7.

제 1 항에 있어서,

상기 제 2 공통배선, 공통전극 및 화소전극은 인듐주석산화물(Indium Tin Oxide : ITO), 주석산화물(Tin Oxide : TO), 인듐아연산화물(Indium Zinc Oxide : IZO) 또는 인듐주석아연산화물(Indium Tin Zinc Oxide:ITZO)로 구성됨을 특징으로 하는 액정표시장치.

#### 청구항 8.

삭제

#### 청구항 9.

제 1 항에 있어서,

상기 차광막은 크롬(Cr), 몰리브덴(Mo), 구리(Cu), 탄탈륨(Ta) 또는 알루미늄(Al)중 적어도 어느 하나의 금속으로 형성됨을 특징으로 하는 액정표시장치.

#### 청구항 10.

제 1 항에 있어서,

상기 차광막의 표면에는 광의 반사를 줄이기 위해 산화막이 구비되는 것을 더 포함함을 특징으로 하는 액정표시장치.

#### 청구항 11.

제 1 항에 있어서,

상기 박막 트랜지스터의 채널영역에 대응되는 상기 제 2 기판에는 블랙 매트릭스층이 형성되는 것을 더 포함함을 특징으로 하는 액정표시장치.

## 청구항 12.

제 1 항에 있어서,

상기 제 1 공통배선은 상기 게이트라인과 동일층상에 형성됨을 특징으로 하는 액정표시장치.

## 청구항 13.

제 1 항에 있어서,

상기 제 1 공통배선 상부의 상기 게이트절연막상에 상기 드레인전극이 연장 형성되어 스토리지 전극을 구성함을 특징으로 하는 액정표시장치.

## 청구항 14.

제 1 항에 있어서,

상기 평탄화막은 포토 아크릴, 폴리 이미드, BCB(Benzo Cyclo Butene)중 적어도 어느 하나로 구성됨을 특징으로 하는 액정표시장치.

## 청구항 15.

제 1 항에 있어서,

상기 드레인전극의 일영역에 제 1 콘택홀과, 상기 제 1 공통배선의 일영역에 제 2 콘택홀이 더 구비됨을 특징으로 하는 액정표시장치.

## 청구항 16.

제 15 항에 있어서,

상기 제 2 공통배선은 상기 제 2 콘택홀을 통해 화소영역 내부에서 상기 제 1 공통배선과 콘택됨을 특징으로 하는 액정표시장치.

## 청구항 17.

제 15 항에 있어서,

상기 화소전극은 제 1 콘택홀을 통해 상기 드레인전극과 콘택됨을 특징으로 하는 액정표시장치.

## 청구항 18.

기관상에 일측에 게이트전극을 구비한 게이트라인을 형성하는 단계;

상기 게이트라인과 평행하게 제 1 공통배선을 형성하는 단계;

상기 게이트라인을 포함한 상기 기관상에 게이트절연막을 형성하는 단계;

상기 게이트전극 상부에 액티브층을 형성하는 단계;

상기 게이트라인과 교차 배치되어 화소영역을 정의하도록 데이터라인을 형성하는 단계;

상기 액티브층의 일측 및 타측에 오버랩되도록 소오스전극과 드레인전극을 형성하는 단계;

상기 데이터라인을 포함한 전면에 층간절연막을 형성하는 단계;

상기 데이터라인 상부를 완전히 덮도록 상기 화소영역에 칼라필터층을 형성하는 단계;

상기 칼라필터층을 포함한 상기 기관상에 평탄화막을 형성하는 단계;

상기 박막 트랜지스터의 채널영역 상부를 커버하도록 상기 평탄화막상에 차광막을 형성하는 단계;

상기 게이트라인 및 상기 박막 트랜지스터 상부에 제 2 공통배선을 형성하고, 상기 데이터라인 상부에 완전히 중첩 형성되고, 상기 화소영역에 일방향으로 배열되도록 공통전극을 형성하는 단계;

상기 공통전극 사이에 일정 간격을 갖도록 상기 화소영역에 화소전극을 형성함을 특징으로 하는 액정표시장치의 제조방법.

## 청구항 19.

제 18 항에 있어서,

상기 칼라필터층은 서로 일정 간격 이격되며, 상기 데이터라인의 일측보다 일정폭 만큼 더 확장되도록 형성함을 특징으로 하는 액정표시장치의 제조방법.

## 청구항 20.

제 18 항 또는 제 19 항에 있어서,

상기 공통전극은 상기 제 2 공통배선과 일체로 형성하며,

상기 데이터라인 상부의 공통전극은 상기 데이터라인보다 넓은 폭으로, 상기 칼라필터층간의 이격된 상부에도 중첩 형성함을 특징으로 하는 액정표시장치의 제조방법.

## 청구항 21.

제 18 항에 있어서,

상기 화소영역의 공통전극은 상기 제 2 공통배선에서 연장되어 상기 데이터라인과 평행하게 배열되도록 형성함을 특징으로 하는 액정표시장치의 제조방법.

## 청구항 22.

제 18 항에 있어서,

상기 제 2 공통배선과 상기 공통전극과 상기 화소전극은 상기 평탄화막 상부에 투명 도전막을 증착하는 공정과,

포토 및 식각 공정을 통해 상기 투명 도전막을 선택적으로 제거하는 공정을 포함함을 특징으로 하는 액정표시장치의 제조 방법.

### 청구항 23.

제 22 항에 있어서,

상기 투명 도전막은 인듐주석산화물(Indium Tin Oxide : ITO), 주석산화물(Tin Oxide : TO), 인듐아연산화물(Indium Zinc Oxide : IZO) 또는 인듐주석아연산화물(Indium Tin Zinc Oxide:ITZO)을 사용하여 형성하는 것을 특징으로 하는 액정표시장치의 제조방법.

### 청구항 24.

삭제

### 청구항 25.

제 18 항에 있어서,

상기 차광막은 상기 평탄화막상에 금속층을 증착하는 공정과,

상기 박막 트랜지스터의 채널영역 상부에만 남도록 포토 및 사진식각으로 상기 금속층을 패터닝하는 공정을 포함함을 특징으로 하는 액정표시장치의 제조방법.

### 청구항 26.

제 25 항에 있어서,

상기 금속층은 크롬(Cr), 몰리브덴(Mo), 구리(Cu), 탄탈륨(Ta) 또는 알루미늄(Al)중 적어도 어느 하나를 사용함을 특징으로 하는 액정표시장치의 제조방법.

### 청구항 27.

제 18 항에 있어서,

상기 차광막의 표면에 광의 반사를 줄이기 위해서 산화막을 형성하는 단계를 더 포함함을 특징으로 하는 액정표시장치의 제조방법.

### 청구항 28.

제 18 항에 있어서,

상기 제 1 공통배선은 상기 게이트라인과 동일층상에 형성함을 특징으로 하는 액정표시장치의 제조방법.

### 청구항 29.

제 18 항에 있어서,

상기 제 1 공통배선의 상부에 상기 드레인전극에서 연장된 스토리지 전극을 형성하는 것을 더 포함함을 특징으로 하는 액정표시장치의 제조방법.

### 청구항 30.

제 18 항에 있어서,

상기 평탄화막은 포토 아크릴, 폴리 이미드, BCB(Benzo Cyclo Butene)중에서 적어도 하나를 사용하여 형성함을 특징으로 하는 액정표시장치의 제조방법.

### 청구항 31.

제 18 항에 있어서,

상기 드레인전극의 일영역이 드러나도록 상기 칼라필터층과 상기 층간절연막을 식각하여 상기 드레인전극의 일영역이 드러나도록 콘택홀을 형성하는 제 1 공정과,

상기 콘택홀 상부의 상기 평탄화막을 식각하여 상기 드레인전극의 일영역에 콘택홀을 형성하는 제 2 공정을 통하여 제 1 콘택홀을 형성함을 특징으로 하는 액정표시장치의 제조방법.

### 청구항 32.

제 18 항에 있어서,

상기 제 1 공통배선의 일영역이 드러나도록 상기 평탄화막과 상기 칼라필터층과 상기 층간절연막과 상기 게이트절연막을 차례로 식각해서 제 2 콘택홀을 형성하는 것을 더 포함함을 특징으로 하는 액정표시장치의 제조방법.

명세서

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치(Liquid Crystal Display Device)에 관한 것으로, 특히 외부광 반사를 감소시켜서 화질을 향상시키기에 알맞은 액정표시장치 및 그의 제조방법에 관한 것이다.

정보화 사회가 발전함에 따라 표시장치에 대한 요구도 다양한 형태로 점증하고 있으며, 이에 부응하여 근래에는 LCD(Liquid Crystal Display), PDP(Plasma Display Panel), ELD(Electro Luminescent Display), VFD(Vacuum Fluorescent Display) 등 여러 가지 평판 표시 장치가 연구되어 왔고, 일부는 이미 여러 장비에서 표시장치로 활용되고 있다.

그 중에, 현재 화질이 우수하고 경량, 박형, 저소비 전력의 장점으로 인하여 이동형 화상 표시장치의 용도로 CRT(Cathode Ray Tube)를 대체하면서 LCD가 가장 많이 사용되고 있으며, 노트북 컴퓨터의 모니터와 같은 이동형의 용도 이외에도 방송신호를 수신하여 디스플레이하는 텔레비전, 및 컴퓨터의 모니터 등으로 다양하게 개발되고 있다.

이와 같이 액정표시장치가 여러 분야에서 화면 표시장치로서의 역할을 하기 위해 여러 가지 기술적인 발전이 이루어졌음에도 불구하고 화면 표시장치로서 화상의 품질을 높이는 작업은 상기 장점과 배치되는 면이 많이 있다.

따라서, 액정표시장치가 일반적인 화면 표시장치로서 다양한 부분에 사용되기 위해서는 경량, 박형, 저 소비전력의 특징을 유지하면서도 고정세, 고휘도, 대면적 등 고 품위 화상을 얼마나 구현할 수 있는가에 발전의 관건이 걸려 있다고 할 수 있다.

이와 같은 액정표시장치는, 화상을 표시하는 액정 패널과 상기 액정 패널에 구동신호를 인가하기 위한 구동부로 크게 구분될 수 있으며, 상기 액정 패널은 공간을 갖고 합착된 제 1, 제 2 유리 기판과, 상기 제 1, 제 2 유리 기판 사이에 주입된 액정층으로 구성된다.

여기서, 상기 제 1 유리 기판(TFT 어레이 기판)에는, 일정 간격을 갖고 일 방향으로 배열되는 복수개의 게이트 라인과, 상기 각 게이트 라인과 수직한 방향으로 일정한 간격으로 배열되는 복수개의 데이터 라인과, 상기 각 게이트 라인과 데이터 라인이 교차되어 정의된 각 화소영역에 매트릭스 형태로 형성되는 복수개의 화소 전극과 상기 게이트 라인의 신호에 의해 스위칭되어 상기 데이터 라인의 신호를 상기 각 화소 전극에 전달하는 복수개의 박막 트랜지스터가 형성되어 있다.

그리고 제 2 유리 기판(컬러필터 기판)에는, 상기 화소 영역을 제외한 부분의 빛을 차단하기 위한 블랙 매트릭스층과, 컬러색상을 표현하기 위한 R,G,B 컬러 필터층과 화상을 구현하기 위한 공통 전극이 형성되어 있다. 물론, 횡전계 방식의 액정 표시장치에서는 공통전극이 제 1 유리 기판에 형성되어 있다.

이와 같은 상기 제 1, 제 2 유리 기판은 스페이서(spacer)에 의해 일정 공간을 갖고 액정 주입구를 갖는 씨일재에 의해 합착되고 상기 두 기판 사이에 액정이 주입된다.

이때, 액정 주입 방법은 상기 실재에 의해 합착된 두 기판 사이를 진공 상태로 유지하여 액정 용기에 상기 액정 주입구가 잠기도록 하면 삼투압 현상에 의해 액정이 두 기판 사이에 주입된다. 이와 같이 액정이 주입되면 상기 액정 주입구를 밀봉재로 밀봉하게 된다.

한편, 상기와 같이 액정표시장치의 구동원리는 액정의 광학적 이방성과 분극성질을 이용한다.

상기 액정은 구조가 가늘고 길기 때문에 분자의 배열에 방향을 가지고 있으며, 인위적으로 액정에 전기장을 인가하여 분자 배열의 방향을 제어할 수 있다.

따라서, 상기 액정의 분자배열 방향을 임의로 조절하면, 액정의 분자배열이 변하게 되고, 광학적 이방성에 의하여 편광된 빛이 임의로 변조되어 화상정보를 표현할 수 있다.

이러한 액정은 전기적인 특정분류에 따라 유전율 이방성이 양(+ )인 포지티브 액정과 음(-)인 네거티브 액정으로 구분될 수 있으며, 유전율 이방성이 양인 액정분자는 전기장이 인가되는 방향으로 액정분자의 장축이 평행하게 배열하고, 유전율 이방성이 음인 액정분자는 전기장이 인가되는 방향과 액정분자의 장축이 수직하게 배열한다.

도 1은 일반적인 TN 액정표시장치의 일부를 나타낸 분해 사시도이다.

도 1에 도시한 바와 같이, 일정 공간을 갖고 합착된 하부기판(1) 및 상부기판(2)과, 상기 하부기판(1)과 상부기판(2) 사이에 주입된 액정층(3)으로 구성되어 있다.

보다 구체적으로 설명하면, 상기 하부기판(1)은 화소영역(P)을 정의하기 위하여 일정한 간격을 갖고 일방향으로 복수개의 게이트 라인(4)이 배열되고, 상기 게이트 라인(4)에 수직한 방향으로 일정한 간격을 갖고 복수개의 데이터 라인(5)이 배열되며, 상기 게이트 라인(4)과 데이터 라인(5)이 교차하는 각 화소영역(P)에는 화소전극(6)이 형성되고, 상기 각 게이트 라인(4)과 데이터 라인(5)이 교차하는 부분에 박막 트랜지스터(T)가 형성되어 있다.

그리고 상기 상부기관(2)은 상기 화소영역(P)을 제외한 부분의 빛을 차단하기 위한 블랙 매트릭스층(7)과, 컬러 색상을 표현하기 위한 R,G,B 컬러 필터층(8)과, 화상을 구현하기 위한 공통전극(9)이 형성되어 있다.

여기서, 상기 박막 트랜지스터(T)는 상기 게이트 라인(4)으로부터 돌출된 게이트 전극과, 전면에 형성된 게이트 절연막(도면에는 도시되지 않음)과 상기 게이트 전극 상층의 게이트 절연막위에 형성된 액티브층과, 상기 데이터 라인(5)으로부터 돌출된 소오스 전극과, 상기 소오스 전극에 대향되도록 드레인 전극을 구비하여 구성된다.

상기 화소전극(6)은 인듐-틴-옥사이드(indium-tin-oxide : ITO)와 같이 빛의 투과율이 비교적 뛰어난 투명 도전성 금속을 사용한다.

전술한 바와 같이 구성되는 액정표시장치는 상기 화소전극(6)상에 위치한 액정층(3)이 상기 박막 트랜지스터(T)로부터 인가된 신호에 의해 배향되고, 상기 액정층(3)의 배향 정도에 따라 액정층(3)을 투과하는 빛의 양을 조절하는 방식으로 화상을 표현할 수 있다.

전술한 바와 같은 액정패널은 상-하로 걸리는 전기장에 의해 액정을 구동하는 방식으로, 투과율과 개구율 등의 특성이 우수하며, 상부기관(2)의 공통전극(9)이 접지역할을 하게 되어 정전기로 인한 액정 셀의 파괴를 방지할 수 있다.

그러나, 상-하로 걸리는 전기장에 의한 액정 구동은 시야각 특성이 우수하지 못한 단점을 갖고 있다.

따라서, 상기의 단점을 극복하기 위해 새로운 기술 즉, IPS의 액정표시장치가 제안되고 있다.

도 2는 일반적인 IPS의 액정표시장치를 나타낸 개략적인 단면도이다.

도 2에 도시한 바와 같이, 하부기관(11)상에 화소전극(12)과 공통전극(13)이 동일 평면상에 형성되어 있다.

그리고 상기 하부기관(11)과 일정 공간을 갖고 합착된 상부기관(15) 사이에 형성된 액정층(14)은 상기 하부기관(11)상의 상기 화소전극(12)과 공통전극(13) 사이의 횡전계에 의해 작동한다.

도 3a 내지 도 3b는 IPS 모드에서 전압 온(on)/오프(off)시 액정의 상 변이 모습을 나타내는 도면이다.

즉, 도 3a는 화소전극(12) 또는 공통전극(13)에 횡전계가 인가되지 않은 오프(off)상태로써, 액정층(14)의 상 변이가 일어나지 않음을 알 수 있다. 예를 들어 화소전극(12)과 공통전극(13)의 수평 방향에서 기본적으로 45°틀어져있다.

도 3b는 상기 화소전극(12)과 공통전극(13)에 횡전계가 인가된 온(on) 상태로써, 액정층(14)의 상 변이가 일어나고, 도 3a의 오프 상태와 비교해서 45°정도로 뒤틀림 각을 가지고, 화소전극(12)과 공통전극(13)의 수평방향과 액정의 비틀림 방향이 일치함을 알 수 있다.

상술한 바와 같이 IPS의 액정표시장치는 동일 평면상에 화소전극(12)과 공통전극(13)이 모두 존재한다.

상기 횡전계 방식의 장점으로는 광시야각이 가능하다는 것이다.

즉, 액정표시장치를 정면에서 보았을 때, 상/하/좌/우 방향으로 약 70°방향에서 가시 할 수 있다.

그리고, 일반적으로 사용되는 액정표시장치에 비해 제작 공정이 간단하고, 시야각에 따른 색의 이동이 적은 장점이 있다.

그러나, 공통전극(13)과 화소전극(12)이 동일 기관상에 존재하기 때문에 빛에 의한 투과율 및 개구율이 저하되는 단점이 있다.

또한, 구동전압에 의한 응답시간을 개선해야 하고, 셀 갭(cell gap)의 정렬오차 마진(misalign margin)이 작기 때문에 상기 셀 갭을 균일하게 해야 하는 단점이 있다.

즉, 횡전계 방식의 액정표시장치는 상기와 같은 장점과 단점이 있으므로 사용자의 사용 용도에 따라 선택해서 사용할 수 있다.

도 4a 및 도 4b는 각각 오프상태와 온 상태일 때 IPS의 액정표시장치의 동작을 나타낸 사시도이다.

도 4a에 도시한 바와 같이, 화소전극(12) 또는 공통전극(13)에 횡전계 전압이 인가되지 않았을 경우에는 액정분자 배열방향(16)은 초기 배향막(도시되지 않음)의 배열 방향과 동일한 방향으로 배열된다.

그리고 도 4b에 도시한 바와 같이, 화소전극(12)과 공통전극(13)에 횡전계 전압이 인가되었을 때 액정분자의 배열방향(16)은 전기장이 인가되는 방향(17)으로 배열함을 알 수 있다.

이하, 첨부된 도면을 참고하여 종래의 액정표시장치에 대하여 설명하기로 한다.

도 5는 종래 기술에 따른 액정표시장치의 평면도이고, 도 6은 도 5의 I-I'와 II-II' 선상을 자른 구조 단면도이다.

그리고 도 7은 종래의 다른 기술에 따른 액정표시장치의 평면도이고, 도 8은 도 7의 III-III'와 IV-IV' 선상을 자른 구조 단면도이다.

그리고 도 9는 종래의 또 다른 기술에 따른 액정표시장치의 평면도이고, 도 10은 도 9의 V-V'와 VI-VI' 선상을 자른 구조 단면도이다.

종래 기술에 따른 액정표시장치는 도 5와 도 6에 도시한 바와 같이 투명한 하부기판(60)상에 종횡으로 배열되어 화소영역을 정의하는 게이트라인(61) 및 데이터라인(64)과, 상기 게이트라인(61)과 평행한 방향으로 화소영역의 상,하부내에 일방향으로 형성된 공통배선(61b)과, 상기 공통배선(61b)과 일체로 형성되며 상기 데이터라인(64)과 평행한 방향으로 상기 화소영역내에 복수개 형성된 공통전극(61c)과, 상기 게이트라인(61)의 일측에서 돌출 형성된 게이트 전극(61a)과, 상기 게이트 전극(61a)을 포함한 하부기판(60)의 전면에 SiNx 또는 SiOx와 같은 물질로 형성되는 게이트 절연막(62)과, 상기 게이트 전극(61a) 상부의 상기 게이트절연막(62)상에 아일랜드 형태로 형성되는 액티브층(63)과, 상기 액티브층(63)의 일측에 오버랩되도록 상기 데이터 라인(64)으로부터 돌출 형성된 소오스 전극(64a)과 상기 소오스 전극(64a)과 이격되어 상기 액티브층(63)의 타측에 오버랩되는 드레인 전극(64b)과, 상기 드레인전극(64b)에서 연장되어 상기 공통전극(61c) 사이에 형성된 화소전극(64d)과, 상기 화소전극(64c)에서 연장되어 상기 공통배선(61b) 상부에 형성된 스토리지 전극(64c)으로 구성된다.

상기에서 드레인전극(64b)과 화소전극(64d)과 스토리지 전극(64c)은 동일층상에 일체로 형성되어 있다.

상기 구성을 갖는 하부기판(60)에 대응되는 상부기판(50)에는, 빛의 누설을 방지하기 위한 블랙 매트릭스층(51)과, 화소영역에 대응되는 부분에 형성된 R,G,B의 칼라필터층(52)으로 구성된다.

이때 상부기판(50)에 형성된 블랙 매트릭스층(51)은 데이터라인(64)과 이에 인접한 곳에 배열된 공통전극(61c) 사이까지 확장 형성되어 있으며, 데이터라인(64)과 게이트라인(61) 및 박막 트랜지스터(TFT)에 대응되는 영역에 상, 하판 합착 마진을 고려하여 넓게 형성되어 있다.

그러나 상기와 같은 종래의 횡전계 방식(IPS)의 액정표시장치는 다음과 같은 문제점이 있다.

즉, 투명하지 않은 공통배선(전극) 및 화소전극이 화소영역의 일영역을 점유하고 있으므로 개구율이 낮아지고, 게이트라인과 공통배선 사이의 빛샘을 방지하기 위해서 상부기판에 형성된 블랙 매트릭스층이 상/하판 합착 마진을 고려하여 넓게 설계되어 있으므로 실제 개구율이 줄어들게 된다.

다음에 개구율을 보다 향상시키기 위한 종래의 다른 기술에 따른 액정표시장치는 도 7과 도 8에 도시한 바와 같이 투명한 하부기판(80)상에 종횡으로 배열되어 화소영역을 정의하는 게이트라인(81) 및 데이터라인(84)과, 상기 게이트라인(81)과 평행한 방향으로 화소영역의 상,하부내에 일방향으로 형성된 공통배선(81b)과, 상기 공통배선(81b)과 일체로 형성되며 상기 데이터라인(84)과 평행한 방향으로 상기 화소영역내에 복수개 형성된 공통전극(81c)과, 상기 게이트라인(81)의 일측에서 돌출 형성된 게이트 전극(81a)과, 상기 게이트 전극(81a)을 포함한 하부기판(80)의 전면에 SiNx 또는 SiOx와 같은 물질로 형성되는 게이트 절연막(82)과, 상기 게이트 전극(81a) 상부의 상기 게이트절연막(82)상에 아일랜드 형태로 형성되는 액티브층(83)과, 상기 액티브층(83)의 일측에 오버랩되도록 상기 데이터 라인(84)으로부터 돌출 형성된 소오스 전극(84a)과 상기 소오스 전극(84a)과 이격되어 상기 액티브층(83)의 타측에 오버랩되는 드레인 전극(84b)과, 상기 공통배선(81b)의 일영역 상부에 형성된 스토리지 전극(84c)과, 상기 소오스 전극(84a)과 드레인 전극(84b)을 포함한 하부기판(80)

전면에 형성되며 상기 드레인전극(84b)과 스토리지 전극(84c)에 각각 제 1, 제 2 콘택홀(87a, 87b)을 갖는 층간절연막(85)과, 상기 제 1, 제 2 콘택홀(87a, 87b)을 통해 드레인전극(84b)과 스토리지 전극(84c)에 콘택되며 상기 공통전극(81c) 사이에 형성된 화소전극(86)으로 구성된다.

상기에서 화소전극(86)은 투명 도전막으로 형성되어 있다.

그러나 상기 도 7, 도 8과 같은 종래의 횡전계 방식(IPS)의 액정표시장치에서도 다음과 같은 문제점이 있다.

즉, 화소전극은 투명한 물질로 형성되므로 도 5에 비해 개구율이 향상되나, 상기 공통 배선(전극)이 화소영역의 일영역을 점유하고 있으므로 개구율이 낮고, 게이트라인과 공통배선 사이의 빛샘을 방지하기 위해서 상부기판에 형성된 블랙 매트릭스층이 상/하판 합착 마진을 고려하여 넓게 설계되어 있으므로 실제 개구율이 줄어들게 된다.

따라서 보다 더 개구율을 향상시킨 종래의 또 다른 기술에 따른 액정표시장치에 대하여 설명한다.

삭제

종래의 또 다른 기술에 따른 액정표시장치는 도 9와 도 10에 도시한 바와 같이 투명한 하부기판(100)상에 일방향으로 배열된 게이트라인(101)과, 상기 게이트 라인(101)의 일측에서 돌출 형성된 게이트 전극(101a)과, 상기 게이트라인(101)과 동일층상에 동일물질로 평행하게 배열된 제 1 공통배선(101b)과, 상기 게이트 전극(101a)과 제 1 공통배선(101b)을 포함한 하부기판(100)의 전면에 형성된 게이트 절연막(102)과, 상기 게이트 전극(101a) 상부의 상기 게이트 절연막(102)상에 아일랜드 형태로 형성되는 액티브층(103)과, 상기 게이트라인(101)과 교차 배열되어 화소영역을 정의하는 데이터라인(104)과, 상기 데이터라인(104)으로부터 돌출되어 상기 액티브층(103)의 일측 상부에 오버랩된 소오스 전극(104a)과, 상기 소오스 전극(104a)과 일정 간격 이격되어 액티브층(103)의 타측에 오버랩된 드레인 전극(104b)과, 상기 제 1 공통배선(101b)의 상부에 형성된 스토리지 전극(104c)와, 데이터라인(104)과 소오스 전극(104a) 및 드레인 전극(104b)을 포함한 하부기판(100)의 전면에 형성된 평탄화막(105)과, 상기 드레인전극(104b)의 일영역이 드러나도록 평탄화막(105)상에 형성된 콘택홀(106)과, 상기 소오스 전극(104a) 및 드레인 전극(104b)을 포함한 하부기판(100)의 평탄화막(105)상에 형성된 제 2 공통배선(107a)과, 상기 제 2 공통배선(107a)과 일체로 형성되어 있으며 데이터라인(104)의 상부 및 상기 화소영역의 일영역에 형성된 공통전극(107b)과, 상기 콘택홀(106)을 통해 드레인전극(104b)과 콘택되며 상기 공통전극(107b)의 사이에 일정 간격 이격되어 형성된 화소전극(107c)으로 구성된다.

상기 구성을 갖는 하부기판(100)에 대응되는 상부기판(90)에는, 빛의 누설을 방지하기 위한 블랙 매트릭스층(91)과, 화소영역에 대응되는 부분에 형성된 R,G,B의 칼라필터층(92)으로 구성된다.

이때 상부기판(90)에 형성된 블랙 매트릭스층(91)은 박막 트랜지스터(TFT)에 대응되는 영역에 상, 하판 합착 마진을 고려하여 넓게 형성되어 있다.

그리고 도면에는 도시되어 있지 않지만 상,하부기판은 액정 주입구를 갖는 씨일재에 의해 합착되는데, 이때 씨일재는 유기 절연막과 접촉하고 있다.

상기 도 9 및 도 10에서 설명한 종래의 IPS 액정표시장치는 공통전극과 화소전극이 투명한 물질로 형성되므로 이전의 액정표시장치에 비해 고개구율을 갖는다, 그러나, 칼라필터층이 상부기판에 형성되어 있으므로, 상/하부기판 합착시 화소영역과 칼라필터층간의 미스얼라인 문제가 발생되고, 유리기판이 대형화될수록 하부기판의 화소영역과 이에 대응하는 상부기판의 칼라필터층간의 위치편차가 커진다.

삭제

삭제

삭제

삭제

삭제

이와 같은 문제를 해결하기 위해서는 상기 미스얼라인 문제에 대응하기 위한 설계를 해야 하는데, 이에 의해서 상/하부기판 합착시 실제 개구율이 더욱 저하되는 문제가 발생한다.

상기와 같이 하부기관의 화소영역과 이에 대응하는 칼라필터층간의 위치편차 문제를 해결하기 위해서, 칼라필터층을 하부기관에 형성하는 COT 구조의 액정표시장치를 제공할 수 있다.

그러나, 상기 COT 구조의 액정표시장치에서 칼라필터층은 데이터라인 상부에서 칼라필터층이 서로 중첩되어 발생하는 평탄화 문제를 해결하기 위해서, 데이터라인 상부에서는 서로 중첩되지 않도록 형성한다.

그러나, 이와 같이 구성하면 데이터라인 상부에 칼라필터층이 형성되지 않는 영역이 존재하게되고, 이 부분으로 입사된 외부광은 반사되어 실 사용 환경에서 콘트라스트 비율이 감소하게 되는 문제가 발생하게 된다.

또한 이와 같이 데이터라인 상부에서의 외부광 반사 문제를 해결하기 위해서, 그 상부에 수지 BM을 구성할 수 있는데, 상기 수지 BM을 사용하면 수지(Resin)가 고가(高價)이고, 고유저항(Resistivity)이 낮아서 전기적 특성이 좋지 않으며, 불순물 오염 및 파티클 소오스(Particle Source)가 되는 문제가 발생할 수 있다.

### 발명이 이루고자 하는 기술적 과제

본 발명은 상기와 같은 문제를 해결하기 위하여 안출한 것으로, 본 발명의 목적은 데이터라인에서의 외부광의 반사를 줄여 화질을 향상시키기에 알맞은 액정표시장치 및 그의 제조방법을 제공하는데 있다.

본 발명의 다른 목적은 하부기관의 차광막을 수지(Resin)가 아닌 금속(Metal)으로 형성하여 경제성과 공정 적용을 용이하게 할 수 있는 액정표시장치 및 그의 제조방법을 제공하는데 있다.

본 발명의 또 다른 목적은 상/하부기관 합착시 개구율 감소를 해결하기에 알맞은 액정표시장치 및 그의 제조방법을 제공하는데 있다.

### 발명의 구성

상기와 같은 목적을 달성하기 위한 본 발명의 액정표시장치는 소정 간격을 두고 서로 대향되는 제 1 기관 및 제 2 기관과; 상기 제 1 기관상에 중첩으로 형성되어 화소영역을 정의하는 게이트라인 및 데이터라인과; 상기 게이트라인 방향으로 배열된 제 1 공통배선과; 상기 게이트라인 및 데이터라인의 교차 부위에 형성된 박막 트랜지스터와; 상기 박막 트랜지스터를 포함한 상기 제 1 기관의 전면에 형성된 층간절연막과; 상기 데이터라인 상부를 완전히 덮도록 상기 화소영역에 형성된 칼라필터층과; 상기 칼라필터층을 포함한 상기 제 1 기관상에 형성된 평탄화막과; 상기 게이트라인 및 상기 박막 트랜지스터 상부를 따라 형성된 제 2 공통배선과; 상기 데이터라인 상부에 완전히 중첩되어 형성되고, 상기 화소영역에 일방향으로 배열되도록 각각 형성된 공통전극과; 상기 박막 트랜지스터의 드레인전극과 콘택되며 상기 공통전극 사이에 일정 간격을 갖고 형성된 화소전극을 포함하여 구성됨을 특징으로 한다.

상기 칼라필터층은 서로 일정 간격 이격되어 있으며, 상기 데이터라인 일측에서 이보다 일정폭 만큼 더 확장되어 있다.

상기 데이터라인 상부의 공통전극은 상기 데이터라인보다 넓은 폭으로 형성되고, 상기 칼라필터층간의 이격된 상부에도 중첩 형성된다.

상기 화소영역의 공통전극은 상기 데이터라인과 평행하게 배열된다.

상기 공통전극은 상기 제 2 공통배선과 일체로 형성된다.

상기 제 2 공통배선, 공통전극 및 화소전극은 동일층상에 형성된다.

상기 제 2 공통배선, 공통전극 및 화소전극은 인듐주석산화물(Indium Tin Oxide : ITO), 주석산화물(Tin Oxide : TO), 인듐아연산화물(Indium Zinc Oxide : IZO) 또는 인듐주석아연산화물(Indium Tin Zinc Oxide:ITZO)로 구성된다.

상기 박막 트랜지스터의 채널영역 상층의 상기 평탄화막상에 차광막이 더 형성된다.

상기 차광막은 크롬(Cr), 몰리브덴(Mo), 구리(Cu), 탄탈륨(Ta) 또는 알루미늄(Al)중 적어도 어느 하나의 금속으로 형성된다.

상기 차광막의 표면에는 광의 반사를 줄이기 위해 산화막이 더 구비될 수 있다.

상기 박막 트랜지스터의 채널영역에 대응되는 상기 제 2 기판에는 블랙 매트릭스층이 형성되는 것을 더 포함한다.

상기 제 1 공통배선은 상기 게이트라인과 동일층상에 형성된다.

상기 제 1 공통배선 상부의 상기 게이트절연막상에 상기 드레인전극이 연장 형성되어 스토리지 전극을 구성한다.

상기 평탄화막은 포토 아크릴, 폴리 이미드, BCB(Benzo Cyclo Butene)중 적어도 어느 하나로 구성된다.

상기 드레인전극의 일영역에 제 1 콘택홀과, 상기 제 1 공통배선의 일영역에 제 2 콘택홀이 더 구비된다.

상기 제 2 공통배선은 상기 제 2 콘택홀을 통해 화소영역 내부에서 상기 제 1 공통배선과 콘택된다.

상기 화소전극은 제 1 콘택홀을 통해 상기 드레인전극과 콘택된다.

상기와 같은 구성을 갖는 본 발명의 액정표시장치의 제조방법은 기판상에 일측에 게이트전극을 구비한 게이트라인을 형성하는 단계; 상기 게이트라인과 평행하게 제 1 공통배선을 형성하는 단계; 상기 게이트라인을 포함한 상기 기판상에 게이트절연막을 형성하는 단계; 상기 게이트전극 상부에 액티브층을 형성하는 단계; 상기 게이트라인과 교차 배치되어 화소영역을 정의하도록 데이터라인을 형성하는 단계; 상기 액티브층의 일측 및 타측에 오버랩되도록 소오스전극과 드레인전극을 형성하는 단계; 상기 데이터라인을 포함한 전면에 층간절연막을 형성하는 단계; 상기 데이터라인 상부를 완전히 덮도록 상기 화소영역에 칼라필터층을 형성하는 단계; 상기 칼라필터층을 포함한 상기 기판상에 평탄화막을 형성하는 단계; 상기 게이트라인 및 상기 박막 트랜지스터 상부에 제 2 공통배선을 형성하고, 상기 데이터라인 상부에 완전히 중첩 형성하고, 상기 화소영역에 일방향으로 배열되도록 공통전극을 형성하는 단계; 상기 공통전극 사이에 일정 간격을 갖도록 상기 화소영역에 화소전극을 형성함을 특징으로 한다.

상기 칼라필터층은 서로 일정 간격 이격되며, 상기 데이터라인의 일측보다 일정폭 만큼 더 확장되도록 형성한다.

상기 공통전극은 상기 제 2 공통배선과 일체로 형성하며, 상기 데이터라인 상부의 공통전극은 상기 데이터라인보다 넓은 폭으로, 상기 칼라필터층간의 이격된 상부에도 중첩 형성한다.

상기 화소영역의 공통전극은 상기 제 2 공통배선에서 연장되어 상기 데이터라인과 평행하게 배열되도록 형성한다.

상기 제 2 공통배선과 상기 공통전극과 상기 화소전극은 상기 평탄화막 상부에 투명 도전막을 증착하는 공정과, 포토 및 식각 공정을 통해 상기 투명 도전막을 선택적으로 제거하는 공정을 포함하여 형성한다.

상기 투명 도전막은 인듐주석산화물(Indium Tin Oxide : ITO), 주석산화물(Tin Oxide : TO), 인듐아연산화물(Indium Zinc Oxide : IZO) 또는 인듐주석아연산화물(Indium Tin Zinc Oxide:ITZO)을 사용하여 형성한다.

상기 박막 트랜지스터의 채널영역 상층의 상기 평탄화막상에 차광막을 형성하는 단계를 더 포함한다.

상기 차광막은 상기 평탄화막상에 금속층을 증착하는 공정과, 상기 박막 트랜지스터의 채널영역 상부에만 남도록 포토 및 사진식각으로 상기 금속층을 패터닝하는 공정을 포함한다.

상기 금속층은 크롬(Cr), 몰리브덴(Mo), 구리(Cu), 탄탈륨(Ta) 또는 알루미늄(Al)중 적어도 어느 하나를 사용한다.

상기 차광막의 표면에 광의 반사를 줄이기 위해서 산화막을 형성하는 단계를 더 포함한다.

상기 드레인전극의 일영역이 드러나도록 상기 칼라필터층과 상기 층간절연막을 식각하여 상기 드레인전극의 일영역이 드러나도록 콘택홀을 형성하는 제 1 공정과, 상기 콘택홀 상부의 상기 평탄화막을 식각하여 상기 드레인전극의 일영역에 콘택홀을 형성하는 제 2 공정을 통하여 제 1 콘택홀을 형성한다.

상기 제 1 공통배선의 일영역이 드러나도록 상기 평탄화막과 상기 칼라필터층과 상기 층간절연막과 상기 게이트절연막을 차례로 식각해서 제 2 콘택홀을 형성하는 것을 더 포함한다.

이하, 첨부 도면을 참조하여 본 발명의 바람직한 실시예에 따른 액정표시장치 및 그의 제조방법에 대하여 설명하면 다음과 같다.

먼저, 본 발명의 실시예에 따른 액정표시장치의 구성에 대하여 설명하기로 한다.

본 발명의 실시예는 공통전극이 하부기판에 배열되는 횡전계 방식의 액정표시장치이며, 칼라필터층을 하부기판에 형성한 COT(Color filter On TFT array) 구조이다.

또한, 상기 COT 구조에서는 하부기판의 TFT의 채널영역 상부에 차광막(블랙 매트릭스층)을 형성하는데, 이때 차광막을 수지(Resin)를 사용하지 않고 금속(Metal)을 사용하는 것에 특징이 있다.

또한, 데이터라인 상부에 칼라필터층과 공통전극을 완전히 중첩하는 것에 특징이 있다.

먼저, 본 발명의 실시예에 따른 액정표시장치에 대하여 설명한다.

도 11은 본 발명의 실시예에 따른 액정표시장치의 평면도이고, 도 12는 도 11의 VII-VII'와 VIII-VIII' 선상을 자른 구조 단면도이다.

본 발명의 실시예에 따른 액정표시장치는 공통전극이 하부기판에 형성되어 있는 횡전계 방식의 액정표시장치로써, 도 11과 도 12에 도시한 바와 같이, 투명한 하부기판(120)상에 일방향으로 배열된 게이트라인(121)과, 상기 게이트 라인(121)의 일측에서 돌출 형성된 게이트 전극(121a)과, 상기 게이트라인(121)과 동일층상에 동일물질로 평행하게 배열된 제 1 공통배선(121b)과, 상기 게이트 전극(121a)과 제 1 공통배선(121b)을 포함한 하부기판(120)의 전면에 SiNx 또는 SiOx와 같은 물질로 형성된 게이트 절연막(122)과, 상기 게이트 전극(121a) 상부의 상기 게이트 절연막(122)상에 아일랜드 형태로 형성되는 액티브층(123)과, 상기 게이트라인(121)과 교차 배열되어 화소영역을 정의하는 데이터라인(124)과, 상기 데이터라인(124)으로부터 돌출되어 상기 액티브층(123)의 일측 상부에 오버랩된 소오스 전극(124a)과, 상기 소오스 전극(124a)과 일정 간격 이격되고 액티브층(123)의 타측에 오버랩된 드레인 전극(124b)과, 데이터라인(124)과 소오스 전극(124a) 및 드레인 전극(124b)을 포함한 하부기판(120)의 전면에 형성된 층간절연막(125)과, 데이터라인(124) 상부에 완전히 오버랩되어 상기 하부기판(120)의 각 화소영역에 형성된 R,G,B의 칼라필터층(126)과, 상기 드레인전극(124b)의 일영역에 제 1 콘택홀(127a)을 갖도록 상기 칼라필터층(126)을 포함한 하부기판(120)상에 형성된 평탄화막(128)과, 상기 게이트전극(121a)과 소오스 전극(124a) 및 드레인 전극(124b)으로 구성된 박막 트랜지스터(TFT)의 채널영역 상측에 형성된 차광막(129)과, 상기 차광막(129)을 포함한 하부기판(120)의 평탄화막(128)상에 형성된 제 2 공통배선(130a)과, 데이터라인(124)의 상부에 완전히 오버랩될 뿐만아니라 상기 화소영역의 일영역에 일방향으로 형성된 공통전극(130b)과, 상기 제 1 콘택홀(127a)을 통해 드레인전극(124b)과 콘택되며 상기 공통전극(130b)의 사이에 일정 간격 이격되어 형성된 화소전극(130c)으로 구성된다.

또한, 도면에는 도시되지 않았지만, 상기 하부기판(120)의 전면에 폴리이미드(polyimide)로 이루어진 배향막(도시되지 않음)이 형성되어 있다.

상기 구성 요소중, 상기 데이터라인(124) 상부에 완전히 오버랩되어 있는 칼라필터층(126)은 서로 일정 간격 이격되어 있고, 데이터라인(124) 상부에서 일정폭 만큼 더 확장되어 형성되어 있으며, 전체적인 평탄성을 위해서 데이터라인(124) 상부에서는 서로 중첩되어 있지 않다.

상기와 같이 데이터라인(124) 상부에 칼라필터층(126)을 완전히 중첩시키면, R, G, B의 칼라필터층(126)의 투과율이 각각 대략 30%라고 할 때, 외부광이 R, G, B의 칼라필터층(126)의 상부로 입사한 후 외부로 반사되므로 칼라필터층을 왕복하여 2번 통과하게되므로 30%×30%로써 외부광의 반사가 9%로 감소하게 된다.

그리고, 상기 평탄화막(128)은 제 2 공통배선(130a)과 공통전극(130b)에 의해서 게이트라인(121)과 데이터라인(124)의 신호가 지연되는 문제를 방지하기 위해서, 대략 3 $\mu$ m 정도의 두께를 갖는 포토 아크릴, 폴리 이미드, BCB(Benzo Cyclo Butene)층 적어도 어느 하나의 저유전율의 유기절연막으로 형성되어 있다.

그리고 상기 차광막(129)은 수지(Resin)로 형성되어 있지 않고 금속(Metal)으로 형성되어 있다.

상기 차광막(129)이 수지(Resin)로 형성되어 있지 않고 금속으로 형성되어 있는 이유는, 수지(Resin)는 재료가 고가이고, 고유저항(Resistivity)이 낮아서 전기적 특성이 좋지 않으며, 액정에의 불순물 오염 및 파티클 소오스(Particle Source)가 되는 문제가 있는데, 금속은 수지와 같은 문제를 일으키지 않기 때문이다.

이때 차광막(129)을 구성하는 금속은 크롬(Cr), 몰리브덴(Mo), 구리(Cu), 탄탈륨(Ta) 또는 알루미늄(Al)중 적어도 어느 하나를 사용한다.

또한, 상기 차광막(129)의 표면에는 광의 반사를 줄이기 위해 산화막(129a)을 더 구비시킬 수 있다.

그리고 상기 제 2 공통배선(130a)은 게이트라인(121)상부를 따라 형성된다.

그리고 데이터라인(124) 상부의 상기 공통전극(130b)은, 인접한 화소전극(130c)과 함께 횡전계 구동하도록 데이터라인(124) 상부에 완전히 오버랩되어 있다.

이때 데이터라인(124) 상부의 상기 공통전극(130b)은, 데이터라인(124)의 전압이 화소전극(130c)의 전압에 영향을 주는 것을 방지하기 위해서 좌측은 이에 해당하는 폭만큼의 마진을 갖도록 설계되어 있고, 우측은 상기 마진 외에도 칼라필터층(126)의 형성 위치 정확도인 칼라필터층(126) 간격 만큼의 마진을 더 갖도록 설계되어 있다.

이때 우측이 좌측보다 더 큰 마진(Margin)을 갖고 형성되어 있으므로 데이터라인(124) 상부의 상기 공통전극(130b)은 비대칭 중첩 구조를 갖는다.

예를 들어서, 공통전극(130b)의 좌측은  $4\mu\text{m}$ 의 마진을 갖도록 설계하고, 공통전극(130b)의 우측은 칼라필터층(126) 형성 시 위치 정확도를  $\pm 3\mu\text{m}$ 라고 가정할 경우, 데이터라인을 완전히 가려주기 위한 칼라필터층(126)의 확장 마진이  $3\mu\text{m}$ , 칼라필터층(126)간의 중첩을 방지하기 위한 칼라필터층(126)간의 거리가 대략  $6\mu\text{m}$ 를 갖도록 설계하여 총  $9\mu\text{m}$ 의 마진을 갖도록 설계한다.

상기의 예에서와 같이, 공통전극(130b)의 좌측이  $4\mu\text{m}$ 의 마진을 갖도록 설계될 때 우측은  $9\mu\text{m}$ 의 마진을 갖도록 설계되므로, 데이터라인(124) 상부의 상기 공통전극(130b)은 데이터라인(124) 상부에서 비대칭 중첩 구조를 갖는다.

이때 데이터라인을 완전히 가려주기 위한 칼라필터층(126)의 마진은 외부광 반사의 허용치를 고려하여 조정될 수 있고, 칼라필터층(126)간의 중첩을 방지하기 위한 칼라필터층(126)간의 간격은 평탄화 정도를 고려하여 조정 가능하다.

상기에서 데이터라인(124) 상부의 공통전극(130b)을 칼라필터층(126)간의 간격 상부까지 연장시켜서 형성시키는 이유는, 공통전극(130b) 에지부터 화소전극(130c)의 에지까지 액정이 구동되어 빛이 이곳으로 투과되는데 칼라필터층(126)간의 간격 상부에 공통전극(130b)을 중첩시키지 않으면 칼라필터층(126)을 통과하지 않은 백색광이 투과되어 색순도를 악화시킬 수 있기 때문이다.

그러나 상기에서 칼라필터층(126)간의 간격이 클수록 개구율 측면에서는 불리하므로 색순도와 개구율의 관계를 고려하여 최적 설계치를 결정한다.

그리고 화소영역내의 공통전극(130b)은 제 2 공통배선(130a)과 일체로 형성되어 데이터라인(124)과 평행하게 배열되어 있다.

또한 제 2 공통배선(130a)과 공통전극(130b)은 도 11에서와 같이, 제 1 공통배선(121b)상에 형성된 제 2 콘택홀(127b)을 통해서 화소영역 내부에서 제 1 공통배선(121b)과 콘택되게 할 수도 있다.

상기 외에도 제 2 공통배선(130a)과 공통전극(130b)은, 액정패널의 액티브영역 외부에서 제 1 공통배선(121b)과 콘택되게 하거나, 제 1 공통배선(121b)과 별도로 외부에서 전원을 공급할 수도 있다.

그리고 상기 제 1 공통배선(121b) 상부의 게이트절연막(122)상에 드레인전극(124b)이 연장 형성되어 스토리지 전극(124c)을 구성한다. 본 발명의 제 1 실시예는 스토리지 온 콰(Storage On Common) 구조이다.

상기에서 제 2 공통배선(130a)과 공통전극(130b)과 화소전극(130c)은 동일층상에 형성되며, 인듐주석산화물(Indium Tin Oxide : ITO), 주석산화물(Tin Oxide : TO), 인듐아연산화물(Indium Zinc Oxide : IZO) 또는 인듐주석아연산화물(Indium Tin Zinc Oxide:ITZO)로 구성되어 있다.

또한, 상기와 같이 형성된 하부기관(120)과 대응하는 상부기관(110)위에는, 칼라필터층과 블랙 매트릭스층 없이 배향만(미도시)으로 구성되어 있다.

상기에서 상부기관(110)에는 게이트라인(121)과 데이터라인(124) 및 박막 트랜지스터의 채널영역 상부에 형성된 제 2 공통배선(130a), 공통전극(130b) 및 차광막(129)이 블랙 매트릭스층의 역할을 대신하므로 생략한 것이다.

상기에서 차광막(129)은 하부기관(120)의 TFT 채널영역 상부에 형성하지 않고, TFT 채널영역 상부에 대응되는 상부기관(110)상에 아일랜드(Island) 형상으로 형성하여 광입사를 방지할 수도 있다.

다음에, 상기 구성을 갖도록 본 발명의 실시예에 따른 액정표시장치의 제조방법에 대하여 설명한다.

도 13a 내지 도 13c는 본 발명의 실시예에 따른 액정표시장치의 제조방법을 나타낸 공정단면도이다.

본 발명의 실시예에 따른 액정표시장치의 제조방법은 먼저, 도 11과 도 13a에 도시한 바와 같이 투명한 하부 기관(120)상에 도전성 금속을 증착하고, 포토 및 식각 공정을 이용하여 도전성 금속을 패터닝하여, 일 끝단이 소정면적으로 넓게 구성되는 게이트 패드(미도시)와 상기 게이트 패드에서 일 방향으로 연장된 게이트라인(121)과 상기 게이트 라인(121)에서 일 방향으로 돌출 형성된 게이트 전극(121a)을 형성한다.

또한 이와 동시에 상기 게이트라인(121)과 동일층상에 동일물질로 게이트라인(121)과 평행한 방향으로 배열되도록 제 1 공통배선(121b)을 형성한다.

이후에 상기 게이트라인(121) 및 제 1 공통배선(121b)이 형성된 하부기관(120)의 전면에 게이트 절연막(122)을 형성한다.

여기서 상기 게이트 절연막(122)은 실리콘 질화막(SiNx) 또는 실리콘 산화막(SiO<sub>2</sub>)을 사용할 수 있다.

이후에 상기 게이트 절연막(122)상에 반도체층(아몰퍼스실리콘 + 불순물 아몰퍼스실리콘)을 형성한다.

이어, 상기 반도체층을 포토 및 식각 공정으로 패터닝하여, 상기 게이트 전극(121a) 상부에 아일랜드(island) 형태를 갖는 액티브층(123)을 형성한다.

이후에 상기 액티브층(123)이 형성된 하부기관(120)의 전면에 도전성 금속을 증착하고 포토 및 식각 공정을 통해 패터닝하여, 상기 게이트 라인(121)과 교차하여 화소영역을 정의하는 데이터 라인(124)을 형성하고, 끝단에 소정면적을 갖는 소오스 패드(미도시)와, 상기 데이터 라인(124)에서 일방향으로 돌출 연장된 소오스전극(124a)과, 소오스전극(124a)과 일정간격 격리된 드레인전극(124b)을 형성한다.

이때 드레인전극(124b)에서 연장되어 제 1 공통배선(121b)의 상부에 스토리지 전극(124c)이 형성된다. 이에 의해서 스토리지는 스토리지 온 콰(Storage On Common) 구조를 이룬다.

이어서 도 13b에 도시한 바와 같이, 데이터라인(124)이 형성된 하부기관(120)의 전면에 층간절연막(125)을 형성한다.

상기 층간절연막(125)은 산화막 또는 질화막으로 형성한다.

이후에 각 화소영역에 R,G,B의 칼라필터층(126)들을 형성한다. 이때 칼라필터층(126)은 데이터라인(124) 상부에 완전히 오버랩되도록 형성하는데, 특히 데이터라인(124)의 일측에서 이보다 일정폭 만큼 더 확장되도록 형성한다. 또한, 상기 R,G,B의 칼라필터층(126)들은 서로 일정 간격 이격되도록 형성하며, 전체적인 평탄성을 위해서 데이터라인(124) 상부에서는 서로 중첩되지 않도록 형성한다.

다음에 칼라필터층(126)과 층간절연막(125)을 식각하여 상기 드레인전극(124b)의 일영역이 드러나도록 제 1 콘택홀(127a)을 형성한다.

이어서 도 13c에 도시한 바와 같이, 칼라필터층(126)상에 평탄화막(128)을 형성한다.

이때 평탄화막(128)은 포토 아크릴, 폴리 이미드, BCB(Benzo Cyclo Butene)중에서 적어도 하나를 사용하여 형성할 수 있다.

다음에 제 1 콘택홀(127a)상부의 상기 평탄화막(128)을 식각하여 상기 드레인전극(124b) 또는 이에 연장된 스토리지 전극(124c) 일영역이 드러나도록 콘택홀을 형성한다.

이때 제 1 공통배선(121b)의 일영역이 드러나도록 평탄화막(128)과 칼라필터층(126)과 층간절연막(125)과 게이트절연막(122)을 차례로 식각해서 제 2 콘택홀(127b)을 형성할 수도 있다.

이어서 상기 평탄화막(128)상에 금속층을 증착하고, 포토 및 사진 식각 공정을 통해 패터닝하여 박막 트랜지스터의 채널 영역상부에 차광막(129)을 형성한다.

이때 차광막(129)은 크롬(Cr), 몰리브덴(Mo), 구리(Cu), 탄탈륨(Ta) 또는 알루미늄(Al)중 적어도 어느 하나를 사용하여 형성할 수 있다.

상기에서 차광막(129)은 표면에서의 광의 반사를 줄이기 위해서 산화막(129a)을 형성하는 공정을 추가할 수도 있는데, 이때 산화막(129a)의 형성공정은 상기 금속층을 패터닝한 후에 열처리 공정을 진행하여 형성할 수도 있고, 차후에 공통전극 및 화소전극을 형성하기 위한 투명 도전막을 산소 분위기에서 증착할때 형성할 수도 있다.

이후에 차광막(129)을 포함한 평탄화막(128) 상부에 투명 도전막을 증착한 후에 포토 및 식각 공정을 통해 상기 투명 도전막을 선택적으로 제거하여, 제 2 공통배선(130a)과 공통전극(130b) 및 화소전극(130c)을 형성한다.

이때 제 2 공통배선(130a)은 게이트라인(121) 및 박막 트랜지스터 상부에 중첩되도록 형성한다.

그리고 공통전극(130b)은 제 2 공통배선(130a)과 연결되어, 데이터라인(124) 상부를 완전히 오버랩하도록 형성되어 있을 뿐만 아니라, 제 2 공통배선(130a)에서 연장되어 화소영역에 일방향으로 배열되어 있다.

이때, 데이터라인(124) 상부에 오버랩된 공통전극(130b)은, 데이터라인(124)의 전압이 화소전극(130c)의 전압에 영향을 주는 것을 방지하기 위해서 좌측은 이에 해당하는 폭만큼의 마진을 갖도록 형성하고, 우측은 상기 마진 외에도 칼라필터층(126)의 형성 위치 정확도인 칼라필터층(126) 간격 만큼의 마진을 더 갖도록 형성한다.

이때 우측이 좌측보다 더 큰 마진(Margin)을 갖고 형성되어 있으므로, 데이터라인(124) 상부의 상기 공통전극(130b)은 비대칭 중첩 구조를 갖게 된다.

이때 데이터라인을 완전히 가려주기 위한 칼라필터층(126)의 마진은 외부광 반사의 허용치를 고려하여 조정하고, 칼라필터층(126)간의 중첩을 방지하기 위한 칼라필터층(126)간의 간격은 평탄화 정도를 고려하여 조정한다.

상기에서 데이터라인(124) 상부의 공통전극(130b)을 칼라필터층(126)간의 간격 상부까지 연장시켜서 형성시키는 이유는, 공통전극(130b) 에지부터 화소전극(130c)의 에지까지 액정이 구동되어 빛이 이곳으로 투과되는데, 칼라필터층(126)간의 간격 상부에 공통전극(130b)을 중첩시키지 않으면 칼라필터층(126)을 통과하지 않은 백색광이 투과되어 색순도를 악화시킬 수 있기 때문이다.

그러나 상기에서 칼라필터층(126)간의 간격이 클수록 개구율 측면에서는 불리하므로 색순도와 개구율의 관계를 고려하여 최적 설계치를 결정한다.

또한, 화소영역에 일방향으로 형성하는 공통전극(130b)은 데이터 라인(124)과 평행하게 배열하며, 제 1 공통배선(121b) 상부에서 일끝단이 오버랩되도록 형성한다.

상기에서 제 1 콘택홀(127a)을 통해서 상기 화소전극(130c)과 드레인전극(124b)이 연결되도록 형성한다. 그리고 상기 제 2 콘택홀(127b)을 통해서 상기 제 2 공통배선(130a)과 제 1 공통배선(121b)이 연결된다.

상기에서 투명 도전막은 인듐주석산화물(Indium Tin Oxide : ITO), 주석산화물(Tin Oxide : TO), 인듐아연산화물(Indium Zinc Oxide : IZO) 또는 인듐주석아연산화물(Indium Tin Zinc Oxide:ITZO)을 사용하여 형성할 수 있다.

이후에 도면에는 도시되지 않았지만, 제 2 공통배선(130a), 공통전극(130b), 화소전극(130c)을 포함한 하부기판(120)의 전면에는 폴리이미드(polyimide)나 광배향성 물질로 이루어진 배향막을 형성한다.

여기서 폴리이미드로 이루어진 배향막은 기계적인 러빙에 의해 배향방향이 결정되며, PVCN계 물질(polyvinylcinnamate based material)이나 폴리실록산계 물질(polysiloxane based material)로 이루어진 광반응성 물질은 자외선과 같은 광의 조사에 의해 배향방향이 결정된다.

이때, 배향방향은 광의 조사방향이거나 조사되는 광의 성질, 즉 편광방향 등에 의해 결정된다.

이후에 상부기판(110)을 준비하고, 상기 하부기판(120)과 상부기판(110)을 합착하기 위한 씨일재(미도시)를 하부기판(120) 또는 상부기판(110)에 형성한다.

이어, 상기 상부기판(110)과 하부기판(120)을 합착한다.

여기서, 도면에는 도시되지 않았지만 상기 상부기판(110)의 전면에는 하부기판(120)과 동일한 물질의 배향막을 형성한다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술 사상을 이탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다.

따라서, 본 발명의 기술 범위는 상기 실시예에 기재된 내용으로 한정되는 것이 아니라, 특허 청구의 범위에 의하여 정해져야 한다.

### 발명의 효과

상기와 같은 본 발명의 액정표시장치 및 그의 제조방법은 다음과 같은 효과가 있다.

첫째, 칼라필터층과 공통전극이 데이터라인 상부에 완전히 중첩되어 있으므로 데이터라인 상부에서의 외부광 반사율을 감소시켜서 화질을 향상시킬 수 있다.

둘째, 차광막을 수지(Resin) 대신에 금속(Metal)으로 형성하므로 가격 경쟁력 및 전기적 특성을 개선시킬 수 있다.

셋째, 칼라필터층이 하부기판에 형성된 COT 구조이고, 차광막이 TFT의 채널영역을 완전히 가리고 있으므로 상부기판에 블랙 매트릭스층을 형성하지 않아도 되므로, 상/하부기판 합착 마진에 의해 개구율이 감소하는 문제를 해결할 수 있다.

### 도면의 간단한 설명

도 1은 일반적인 TN 액정표시장치의 일부를 나타낸 분해 사시도

도 2는 일반적인 횡전계 방식(IPS)의 액정표시장치를 나타낸 개략적인 단면도

도 3a 내지 도 3b는 IPS 모드에서 전압 온(on)/오프(off)시 액정의 상 변이 모습을 나타내는 도면

도 4a 및 도 4b는 각각 오프상태와 온 상태일 때 IPS 모드 액정표시장치의 동작을 나타낸 사시도

도 5는 종래 기술에 따른 액정표시장치의 평면도

도 6은 도 5의 I-I'와 II-II' 선상을 자른 구조 단면도

도 7은 종래의 다른 기술에 따른 액정표시장치의 평면도

도 8은 도 7의 III-III'와 IV-IV' 선상을 자른 구조 단면도

도 9는 종래의 또 다른 기술에 따른 액정표시장치의 평면도

도 10은 도 9의 V-V'와 VI-VI' 선상을 자른 구조 단면도

도 11은 본 발명의 실시예에 따른 액정표시장치의 평면도

도 12는 도 11의 VII-VII'와 VIII-VIII' 선상을 자른 구조 단면도

도 13a 내지 도 13c는 본 발명의 실시예에 따른 액정표시장치의 제조방법을 나타낸 공정단면도

\* 도면의 주요 부분에 대한 부호의 설명 \*

110 : 상부기관 120 : 하부기관

121 : 게이트라인 121a : 게이트전극

121b : 제 1 공통배선 122 : 게이트절연막

123 : 액티브층 124 : 데이터라인

124a : 소오스전극 124b : 드레인전극

124c : 스토리지 전극 125 : 층간절연막

126 : 칼라필터층 127a : 제 1 콘택홀

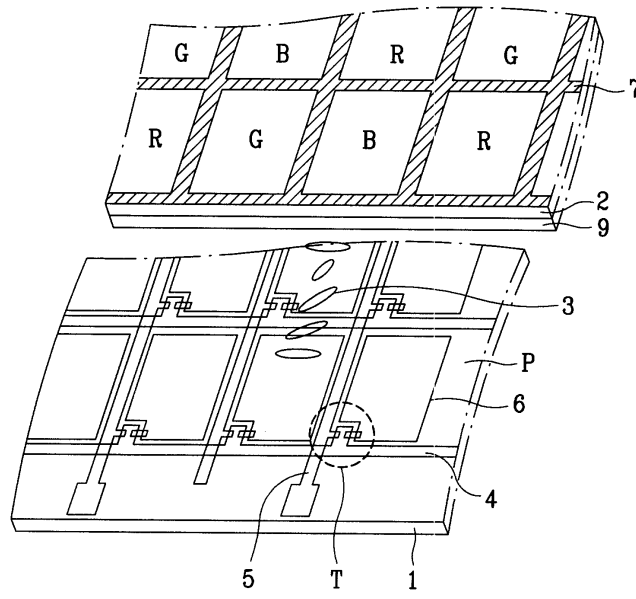
127b : 제 2 콘택홀 128 : 평탄화막

129 : 차광막 130a : 제 2 공통배선

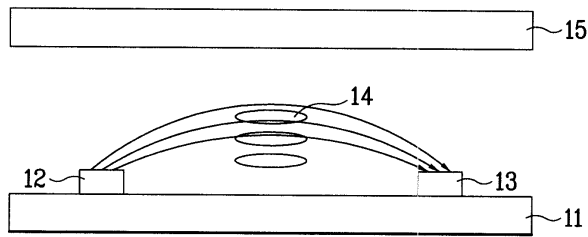
130b : 공통전극 130c : 화소전극

도면

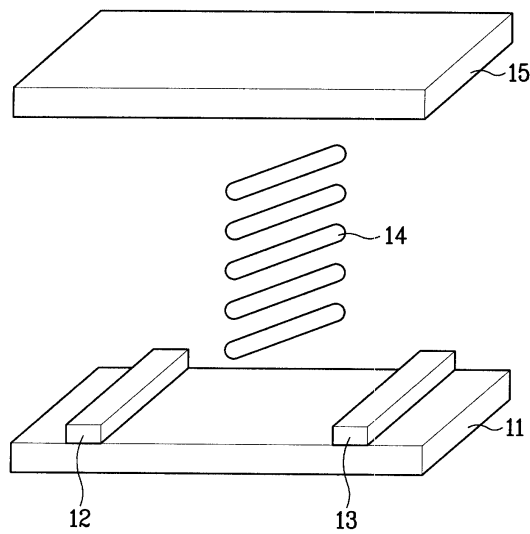
도면1



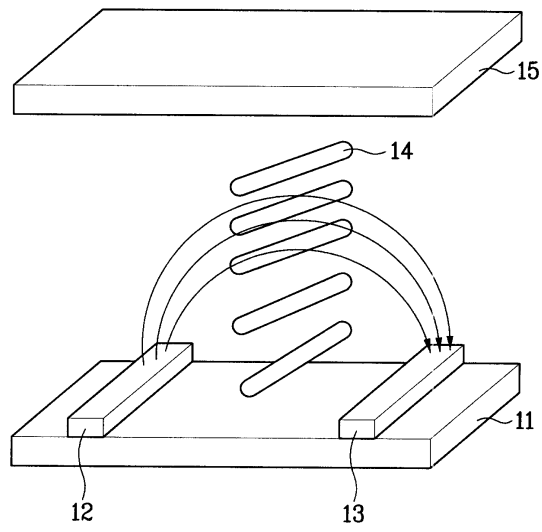
도면2



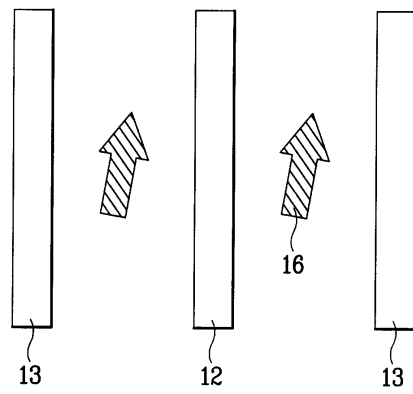
도면3a



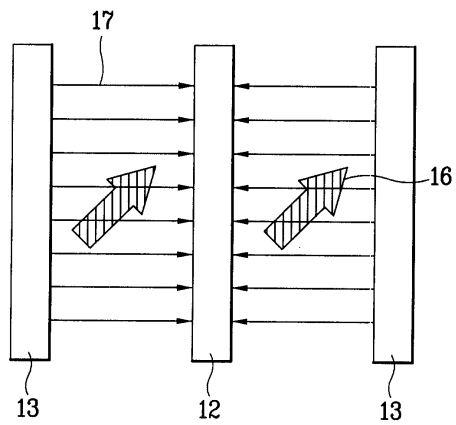
도면3b



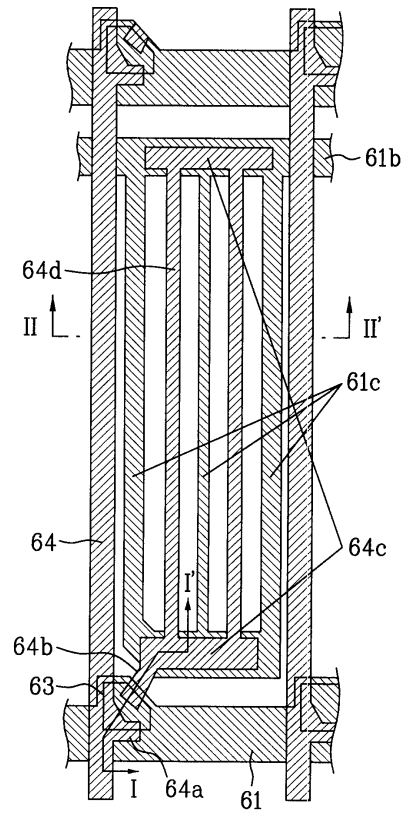
도면4a



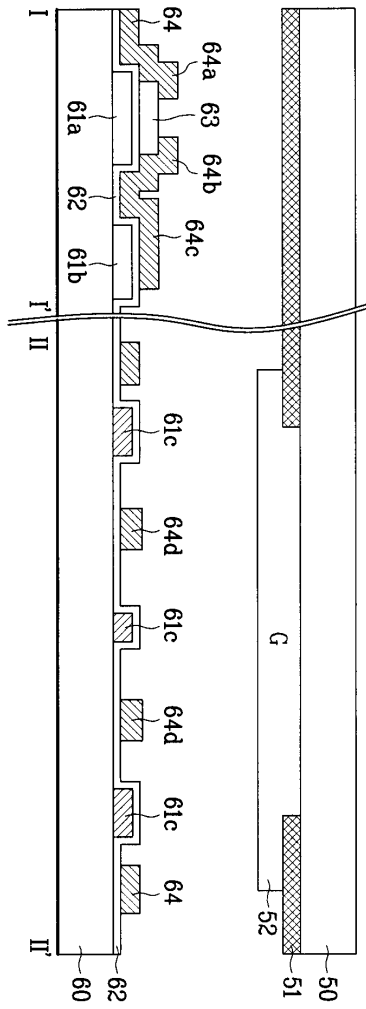
도면4b



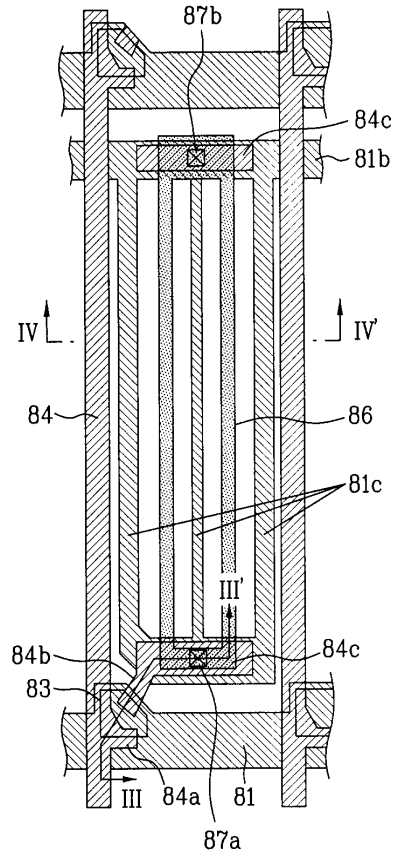
도면5



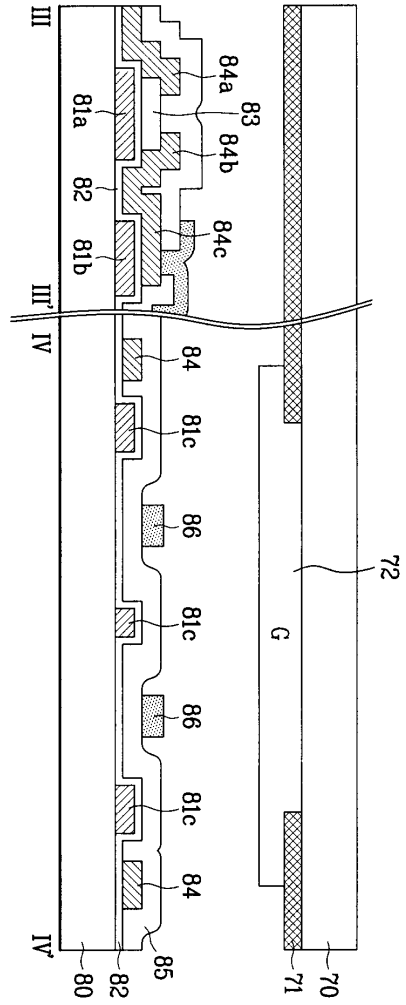
도면6



도면7

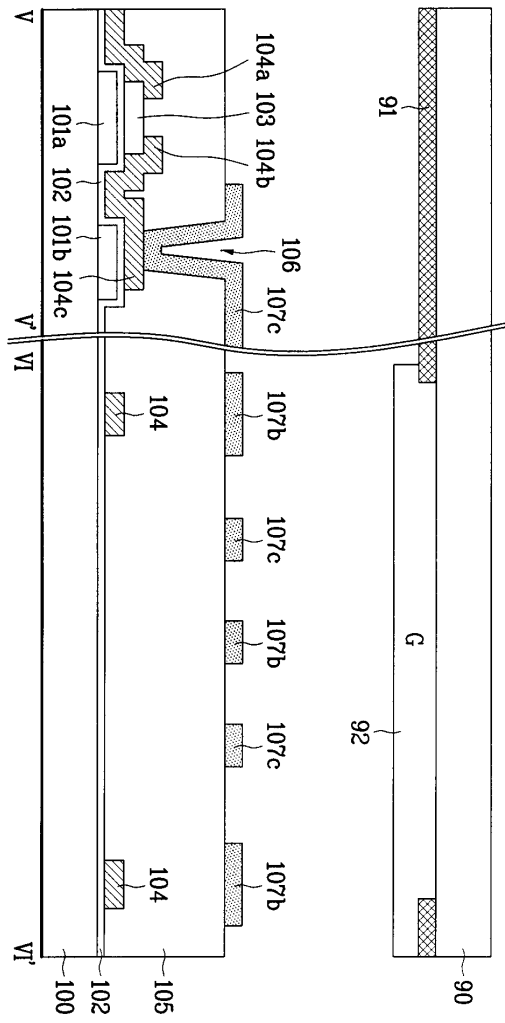


도면8

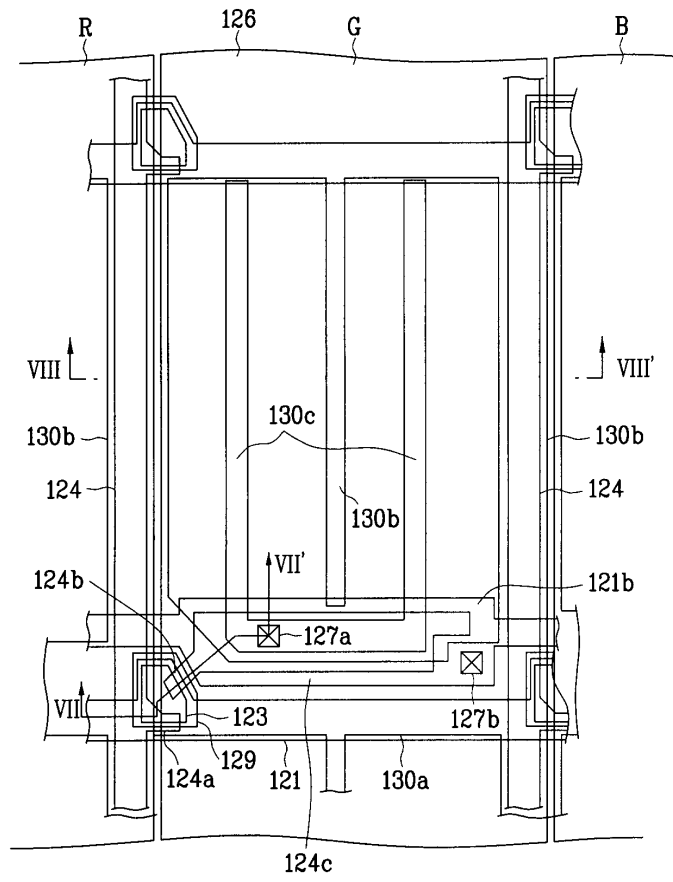




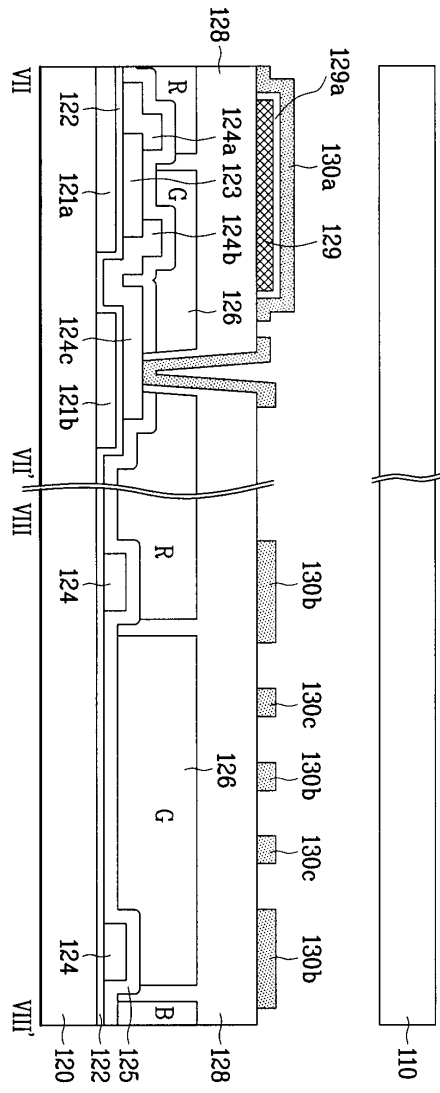
도면10



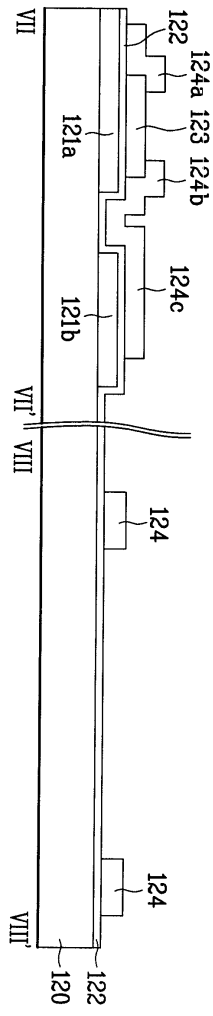
도면11



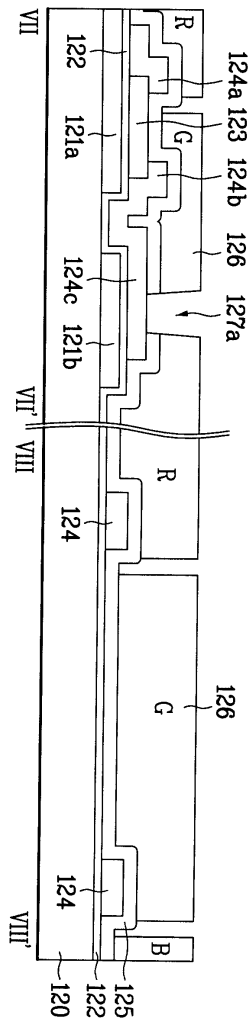
도면12



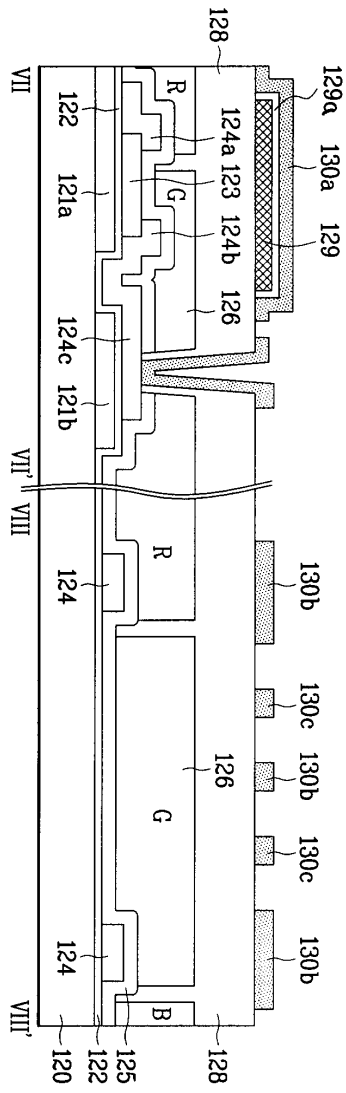
도면13a



도면13b



도면13c



专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	<a href="#">KR100710166B1</a>	公开(公告)日	2007-04-20
申请号	KR1020030042963	申请日	2003-06-28
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM WOOHYUN		
发明人	KIM,WOOHYUN		
IPC分类号	G02F1/1343 G02F1/1362		
CPC分类号	G02F2001/136222 G02F1/134363		
代理人(译)	金勇 新昌		
其他公开文献	KR1020050001953A		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

用途：提供LCD（液晶显示器）及其制造方法，以减少由外部光源引起的光反射，从而提高图像质量。

